



(12) **Patentschrift**

(21) Aktenzeichen: **103 48 908.8**
(22) Anmeldetag: **21.10.2003**
(43) Offenlegungstag: **25.05.2005**
(45) Veröffentlichungstag
der Patenterteilung: **20.03.2014**

(51) Int Cl.: **B81B 7/02 (2006.01)**
B81B 3/00 (2006.01)
B81C 3/00 (2006.01)
G01P 15/08 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
Robert Bosch GmbH, 70469, Stuttgart, DE

(72) Erfinder:
Laermer, Franz, 71263, Weil der Stadt, DE

(56) Ermittelter Stand der Technik:

DE	100 06 035	A1
DE	198 47 455	A1
US	7 259 436	B2

(54) Bezeichnung: **Verfahren zur Herstellung eines Mikrosystems mit integrierter Schaltung und mikromechanischem Bauteil**

(57) Hauptanspruch: Verfahren zur Herstellung eines Mikrosystems auf einem Halbleitersubstrat (1) mit einer integrierten Schaltung (IS) in einem Schaltungsbereich des Halbleitersubstrats (1) und mit mindestens einem mit der Schaltung (IS) elektrisch leitend verbundenen mikromechanischen Bauelement in einem Bauelementbereich des Halbleitersubstrats (1),

– wobei der Schaltungsbereich vom Bauelementbereich durch einen geätzten Bereich getrennt ist,

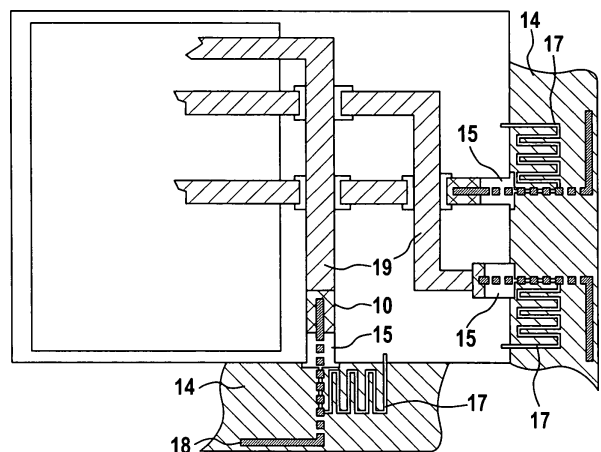
– wobei in einem ersten Prozessblock im Bauelementbereich des Halbleitersubstrats (1) Opfer-Si-Zonen (5) erzeugt und mit strukturierten Trennoxid-Zonen (6) abgedeckt werden und wobei dann auf dem Halbleitersubstrat (1) im Bauelementbereich eine die Trennoxid-Zonen (6) überdeckende, als Funktionsschicht (7) ausgebildete Si-Schicht (7) erzeugt und planarisiert wird,

– wobei in einem zweiten Prozessblock die integrierte Schaltung (IS) auf dem Schaltungsbereich erzeugt wird, wobei am Ende des zweiten Prozessblocks auf dem Halbleitersubstrat (1) eine strukturierte Ein- oder Mehrlagenmetallisierung (10) der Schaltung mit Anschlusskontakten zur Bauelement-Funktionsschicht (7) erzeugt wird, und

– wobei in einem dritten Prozessblock später freizulegende mikromechanische Funktionselemente (11) des mikromechanischen Bauelements und Si-Anschlussstege (22, 12), die den Bauelementbereich mit dem Schaltungsbereich verbinden und auf denen die Ein- oder Mehrlagenmetallisierung (10) verläuft, durch Trenchätzprozesse aus der Funktionsschicht (7) herausstrukturiert werden und anschließend die mikromechanischen Funktionselemente (11) durch einen nachfolgenden Opferschichtätzprozess der Opfer-Si-Zonen (5) freigelegt werden, wobei im Zuge dieses Opferschichtätzprozesses jeweils an einer Soll-Unterbrechungsstelle (15) der Si-Anschlussstege (22, 12) ein

Unterätzen der Si-Anschlussstege (22, 12) durch zeitkontrollierte Ätzung erfolgt,

– wobei die Trennoxid-Zonen (6) so geschaffen und so strukturiert werden, dass sie im Bereich der vorgesehenen Soll-Unterbrechungsstelle (15) jeweils eine Öffnung (16) aufweisen, an der sich eine Opfer-Si-Zone (5) und das Silizium der Anschlussstege (17) berühren und die Opfer-Si-Zonen (5) so strukturiert sind, dass sich jeweils eine von einer der Trennoxid-Zonen (6) abgedeckte, aus einer der Opfer-Si-Zonen (5) gebildete zündschnurartige Opfer-Si-Struktur (17) ausbildet, die an einer Öffnung (16) endet, so dass beim Opferschichtätzen der Ätzprozess über die vorgesehene zündschnurartige Opfer-Si-Struktur (17) bis unter die Soll-Unterbrechungsstelle (15) des jeweiligen Si-Anschlusssteiges (12) vordringt und diesen an dieser ...



Beschreibung

[0001] Die Erfindung geht aus von einem Mikrosystem und einem Verfahren zur Herstellung eines Mikrosystems wie es aus der DE 195 37 814 A1 bekannt ist. Dort wird insbesondere ein Beschleunigungssensor beschrieben und die Möglichkeit der Integration des Sensors mit einer integrierten Schaltung erwähnt. Die elektrisch leitfähigen Verbindungselemente des dort beschriebenen Sensors, die an einem Ende als feststehende Elektroden zum Antrieb bzw. zur Detektion eines vom Substrat gelösten Funktionselementes (seismische Masse) ausgebildet sind, sind an ihrem anderen Ende mit Kontaktlöchern verbunden, die über eine vergrabene Leitschicht mit aus der Funktionsschicht herausstrukturierten Anschlussbereichen verbunden sind, die an ihrer Oberseite durch eine beim bekannten Sensor für Bonddrähte vorgesehene Metallisierung angeschlossen sind. Die beschriebene Topografie mit dem Ebenenwechsel zwischen einer vergrabenen Verdrahtungsebene des Sensors und einer oberhalb der Funktionsschicht angeordneten Metallisierung ist gerade im Hinblick auf eine Mikrosystem-Integration deshalb von besonderem Interesse, da die Gate-Bereiche einer integrierten Schaltung in jedem Fall von der Oberseite her angeschlossen werden müssen.

[0002] Obwohl auf Mikrosysteme mit beliebigen mikromechanischen Elementen anwendbar, werden die vorliegende Erfindung sowie die ihr zugrundeliegende Problematik in Bezug auf ein oberflächenmikromechanisches Bauelement, z. B. einen Drehratensensor, in Siliziumtechnologie erläutert. In der Oberflächenmikromechanik (OMM) werden Sensorelemente aus einer ein- oder polykristallinen aktiven Si-Oberflächenschicht herausstrukturiert und mittels einer Opferschichttechnik, d. h. dem Entfernen einer unter den Strukturen befindlichen Opferschicht, zum Teil (Funktionselemente) frei beweglich gemacht.

[0003] Drehratensensoren in Siliziumoberflächenmikromechanik und mit kapazitiver Signalauswertung werden bereits seit mehreren Jahren gefertigt. Bisher werden diese Gyros hybrid integriert als sogenannte 2-Chip-Lösungen. Ein Sensorchip und ein Elektronikchip zur Auswertung der Sensorsignale werden dazu jeweils in einem gemeinsamen Gehäuse gepaart und miteinander durch Bonddrähte verbunden. Aufgrund der Chip-Chip Verbindung durch Drahtbonds, der dafür benötigten Größe der Bondlands, sowie der Notwendigkeit von ESD-Schutzdioden im Eingangsteil der C/U-Wandler treten hohe Parasitärkapazitäten auf, die die Nutzkapazitäten der Sensorstruktur überdecken und die aufgrund des Messeffekts im Sensorelement auftretende relative Kapazitätsvariation $\delta C/C$ verkleinern. Dies limitiert die erzielbare Sensorperformance, verstärkt das Signalrauschen bzw. erfordert aufwändige Elektronik, um diesen Performanverlust zumindest teilweise wieder auszugleichen.

Aus diesem Grund ist eine monolithische Integration des Sensorelements zusammen mit der Auswerteelektronik auf einem Chip wünschenswert, da damit Verbindungswege verkürzt und die erwähnten Parasitärkapazitäten großteils vermieden werden können.

[0004] Grundsätzlich kommen für eine sinnvolle Integration zu einem Mikrosystem zwei Wege in Frage: Beim sogenannten MEMS-first-Integrationsansatz wird die Mikromechanik-Prozessierung vor dem IC-Prozess durchgeführt und die Mikrostrukturen werden anschliessend in einer mit dem darauffolgenden IC-Prozess verträglichen Weise verkapselt. Dieser Ansatz führt zu einem sehr komplizierten Gesamtprozess mit dem Risiko, dass die verkapselten, aber freigelegten Mikrostrukturen während des IC-Prozesses beschädigt werden können. Vorteile dieses Ansatzes sind andererseits, da keine Begrenzung des MEMS-Temperaturbudgets gegeben ist, die hohe Materialqualität der für die Mikrostrukturen zugänglichen aktiven Schichten sowie die aus diesem Ansatz abfallende integrierte Verkappung der Sensorelemente.

[0005] Einen alternativen sinnvollen Integrationsansatz stellt die sogenannte Backend-Integration dar. Bei diesem MEMS-Last-Integrationsansatz werden gemäß dem gegenwärtigen Stand der Technik nach Abschluss der IC-Prozessierung die für den Sensoraufbau benötigten Schichten auf dem mit den kompletten IC-Schaltkreisen versehenen Wafer abgeschieden und strukturiert. Der Vorteil dieser Technik ist die komplette Entkopplung der beiden Prozesse, d. h. der IC-Prozess läuft auf einem Standardwafer und der Sensorprozess setzt später darauf auf. Nachteilig hingegen ist das stark eingeschränkte Temperaturbudget für den MEMS-Prozess aufgrund der Randbedingungen aus dem Schaltungsbereich, die nur eine enge Auswahl von Schichtabscheidungsprozessen überhaupt zulassen. Als Niedertemperaturabscheidungsverfahren kommen zwar grundsätzlich die galvanische Abscheidung von Metallen in Frage, oder die Deposition von Silizium-Germanium-Schichten (SiGe). Galvanische Metallschichten sind jedoch für ein Gyro aufgrund ihrer niedrigen intrinsischen Güten unzureichend.

[0006] Die Qualität des SiGe-Materials leidet ebenfalls unter den Einschränkungen hinsichtlich der Temperatur der Abscheidung und der post-Deposition-Behandlung, so dass es zweifelhaft ist, ob mit dem SiGe-Ansatz ein Gyro dargestellt werden kann. In jedem Fall bedeutet SiGe die Entwicklung eines neuen Schichtsystems und der zugehörigen Strukturierungstechniken, die von der bisher eingeführten Technik in noch nicht abschätzbarem Ausmaß abweichen. Andererseits stellt die bei diesem Ansatz gegebenenfalls erforderliche Durchführung eines Kappenlötprozesses auf aktiver Chipfläche zur inneren Verpackung der Sensorelemente auf Waferlevel vermutlich keinen grundsätzlichen Nachteil dar.

[0007] Grundsätzlich ist es auch möglich, wie in der eingangs genannten DE 195 37 814 A1 beschrieben, in derselben Si-Schicht auf der Oberfläche eines Wafers sowohl das Sensorelement, als auch die Auswerteschaltung herzustellen. Problematisch ist bei dieser Integration von mikromechanischen Bauelementen und integrierter Schaltung auf einem Chip in derselben Si-Ebene außer der Kompatibilität der OMM-Prozesse mit einem Standard-VLSI-Prozess auch die Frage der elektrischen Isolation vom Sensorbereich zum Schaltungsbereich in derselben Silizium-Ebene/Si-Schicht. In der obengenannten DE 195 37 814 A1 werden im Zusammenhang mit der Integration einer Schaltung generell – statt Trenchgräben – Isolierungsdiffusionen vorgeschlagen, ohne dies jedoch näher zu erläutern. Diese Isolierungsdiffusionen bringen jedenfalls wieder Nachteile im Hinblick auf die relativ großen parasitären Kapazitäten der pn-Übergänge bzw. der pn-Sperrschicht mit sich. Andererseits ist es aus der DE 101 52 254 A1 bekannt, lateral elektrisch zueinander isolierte Teilstrukturen innerhalb eines mikromechanischen Sensors zu erzeugen, indem in der Funktionsschicht zunächst Isolationsgräben getrennt und mit Refill-Oxid gefüllt werden. Um das Refill-Oxid bei der späteren Opferschichtentfernung nicht anzugreifen, ist dabei eine alternative Opferschichtätztechnik erforderlich, die auf der selektiven Entfernung von Opfer-Si-bereichen durch isotropes Gasphasenätzen mit ClF_3 beruht, wobei aber aktive Silizium-Strukturen während der Ätzung allseitig passiert werden müssen. Die Möglichkeit der Integration des Sensors mit einer Schaltung wird nicht erwähnt. Sollte jedoch daran gedacht werden, dieses bekannte Verfahren zur Erzeugung von Isolationen beispielsweise im Rahmen der zuvor geschilderten konventionellen Backend-Integration einzusetzen, so würden die entsprechenden Schritte den IC-Prozessfluss unterbrechen, da das Anlegen der Trenchisolationen mit Refill nach den Diffusionen, aber vor Anlegen der IC-Metallisierung plus Dielektrika erfolgen muss.

[0008] Aus der Druckschrift DE 198 47 455 A1 ist eine elektrische Verbindung eines MEMS Sensors und einer auf dem gleichen Wafer gefertigten Schaltung mittels einer brückenartigen Leiterbahn bekannt.

[0009] Die Druckschrift US 7 259 436 B2 offenbart ein Verfahren zur Herstellung eines Mikrosystems bestehend aus einer integrierten Schaltung und einem Beschleunigungssensor. Dabei wird eine obere Verdrahtungsebene der integrierten Schaltung verwendet um den Beschleunigungssensor brückenartig über einen Isolationsgraben hinweg zu kontaktieren.

[0010] Die vorliegende Erfindung schlägt demgegenüber ein modifiziertes, partielles Backend-MEMS-Integrationsverfahren gemäß dem kennzeichnenden Merkmal des Anspruchs 1 vor, um eine weitgehende Entkopplung der Schaltungs- und Bauelementpro-

zesse hinsichtlich der Mikrostrukturierungsschritte zu erreichen.

[0011] Das erfindungsgemäße Verfahren nach Patentanspruch 1 zeichnet sich dadurch aus, dass in einem ersten Prozessblock im Bauelementbereich des Substrats Opfer-Si-Zonen erzeugt und mit strukturierten Trennoxid-Zonen abgedeckt werden und dass dann auf dem Substrat eine im Bauelementbereich als Funktionsschicht ausgebildete Si-Schicht erzeugt und planarisiert wird. In einem zweiten Prozessblock wird daraufhin die integrierte Schaltung auf dem Schaltungsbereich erzeugt, wobei am Ende des zweiten Prozessblocks auf dem Substrat eine strukturierte Ein- oder Mehrlagenmetallisierung der Schaltung mit Anschlusskontakten zur Bauelement-Funktionsschicht erzeugt wird. In einem dritten Prozessblock schließlich werden durch einen Opferschichtätzprozess der Opfer-Si-Zonen mikromechanische Funktionselemente freigelegt, wobei im Zuge der Opferschichtätzung jeweils an einer Soll-Unterbrechungsstelle ein Abtrennen von im Laufe des ersten oder dritten Prozessblocks aus der Funktionsschicht herausstrukturierten Si-Anschlussstegen von der umgebenden Si-Schicht (Si-Festland) des Schaltungsbereichs durch zeitkontrollierte Ätzung erfolgt.

[0012] Das vorliegende erfindungsgemäße Verfahren schafft demnach eine modifizierte Backend-Integration der Sensorstruktur mit einem an sich beliebigen IC-Prozess, d. h. insbesondere können alle mit dem Freilegen der Funktionselemente verbundenen Mikrostrukturierungsschritte im Anschluss an den IC-Prozess durchgeführt werden. Das erfindungsgemäße Verfahren eignet sich für alle modernen IC-Prozesse die nur flache Diffusionen einsetzen und mit einer aktiven Si-Schichtdicke von 3–5 μm auskommen. Das sind z. B. alle heute existierenden CMOS-Prozesse, sowie neuere Bipolar-CMOS Mischprozesse. Insofern stellt diese Randbedingung keine echte Einschränkung für die verwendbaren IC-Prozesse dar, da alle Prozessneuentwicklungen in diese Richtung gehen. Auch der Einsatz von Gasphasenätzen als Opferschichtätztechnik mit Silizium als Opferschicht und z. B. ClF_3 -Gas als Ätzmedium für Silizium ist inzwischen ohne weiteres im Rahmen der Standard-Prozesse einsetzbar.

[0013] Erfindungsgemäß ist weiterhin vorgesehen, dass die später freizulegenden Funktionselemente und die Si-Anschlussstege des Bauelementbereiches erst im dritten Prozessblock durch Trenchätzprozesse aus der Funktionsschicht herausstrukturiert werden. Da dabei alle Mikrostrukturierungsschritte nach dem IC-Prozess stattfinden, besteht eine vollständige Entkopplung der Prozesse.

[0014] Die Erfindung und ihre Vorteile werden nachfolgend anhand von mehreren Ausführungsbeispielen

len anhand der Figuren der Zeichnung noch näher erläutert. Es zeigen

[0015] Fig. 1A bis Fig. 1F schematische Darstellungen verschiedener Prozessstadien zur Erläuterung einer ersten Ausführungsform der Erfindung,

[0016] Fig. 2A und Fig. 2B schematische Darstellungen einer Draufsicht auf Strukturen der ersten Ausführungsform der Erfindung vor und nach der Erzeugung der Soll-Unterbrechungsstellen,

[0017] Fig. 3A und Fig. 3B schematische Darstellungen von Varianten des erfindungsgemäßen Prozesses,

[0018] Fig. 4A bis Fig. 4I schematische Darstellungen verschiedener Prozessstadien zur Erläuterung einer zweiten Ausführungsform der Erfindung,

[0019] Fig. 5A bis Fig. 5I schematische Darstellungen verschiedener Prozessstadien zur Erläuterung einer dritten Ausführungsform der Erfindung.

[0020] Der erfindungsgemäße Prozessablauf wird im Folgenden zunächst anhand der Fig. 1 und Fig. 2 für EpiPoly-Si als aktivem Sensor-Schichtmaterial beschrieben. Hiervon abweichend ist es auch möglich, wie weiter unten in Zusammenhang mit den Prozessvarianten gemäß Fig. 3 beschrieben, SOI-Material einzusetzen, was insbesondere für dicke aktive Si-Schichten vorteilhaft ist.

[0021] Fig. 1A zeigt einen Waferaufbau, wie er unter Einsatz der heute in der Halbleitertechnik verbreiteten Depositions- und Strukturierungsverfahren herstellbar ist.

[0022] Dargestellt ist der spätere sogenannte Sensorkern und seine unmittelbare Umgebung auf dem Wafer 1. Der Prozess beginnt mit der Abscheidung und Strukturierung eines unteren Isolationsoxids 2, einer vergrabenen PolySi-Verdrahtungsebene 3, einer oberen Oxidschicht 4, OpferSi-Zonen 5, darüber befindlichen Trennoxidzonen 6, und darüber der aktiven EpiPolySi-Schicht 7. Ausserhalb des eigentlichen Sensorkerns, also im Bereich 8, wächst die epitaktische Si-Schicht 7 einkristallin, da dort die einkristalline Waferoberfläche als Seed angeboten wird; innerhalb des Sensorkerns wächst die epitaktische Schicht 7 polykristallin, da dort ein (nicht dargestelltes) StartpolySi über dem Trenn- und Isolationsoxid 6 und 4 als Anfangsbedingung für die Epitaxie dient. Die Dotierung der Episichicht 7 wird ohne Rücksicht auf die spätere Dotierung im Sensorkern so gewählt, dass sie den Anforderungen des späteren IC-Prozesses entspricht, also z. B. p-Typ Bor 5–10 Ωcm .

[0023] Die gleichzeitige Herstellung einer bereichsweise einkristallinen und polykristallinen EpiSi-

Schicht mit diesen Randbedingungen ist an sich bekannt, wird hier jedoch im Zusammenhang mit vergrabenen Polyleiterbahnen 3 sowie mit vergrabenen Opfer-Si-Zonen 5 mit Trennoxid 6 durchgeführt. Der Wafer 1 wird nach der Epiabscheidung planarisiert mittels CMP (chemical-mechanical polishing). Im Ergebnis wird eine geschlossene planare Siliziumoberfläche des Wafers 1 erhalten, die sowohl polykristalline Zonen als auch diese einhüllende einkristalline Zonen 8 enthält. Die polykristallinen Zonen im Sensorkern werden anschliessend mittels maskierter Implantation hochdotiert (z. B. mit Phosphor P oder Arsen As) und die Dotierstoffe eingetrieben, was bis zu Schichtdicken von etwa 15–20 μm möglich ist. Damit wird eine hohe elektrische Leitfähigkeit des Polymaterials der Si-Schicht 7, also der Funktionsschicht des Sensors, erreicht, wie es die später in diesem Material hergestellten Sensoren erfordern. Die implantierten Zonen werden mit einer thermischen Oxidschicht 9 abgedeckt, um ein Austreten von Dotierstoffen während nachfolgender Hochtemperaturschritte zu verhindern.

[0024] Dem schliesst sich der komplette IC-Prozess in der einkristallinen Umgebung des Sensorkerns an. Fig. 1B zeigt die Waferoberfläche nach Abschluss des IC-Prozesses. Zu erkennen ist insbesondere, dass der Sensorbereich bereits elektrisch an den IC angeschlossen ist, was durch die dicke Schicht 10 aus Dielektrika 19 und Mehrlagenmetall 18 bewerkstelligt wird. Heutige IC-Prozesse weisen mindestens drei, typisch fünf und mehr Metallebenen auf, die jeweils durch Zwischenoxidschichten voneinander isoliert werden. Ein solcher Stack, also die Mehrlagenmetallisierung 10, ist mehrere Mikrometer dick. Dieses Schichtpaket 10 wird vorzugsweise vollständig zu den Anschlusskontaktierungen des späteren Sensorelements geführt, wobei zur Reduktion von Parastärkapazitäten vorzugsweise die oberste Metallebene 18 für den Sensoranschluss verwendet wird, da durch die Vielzahl der Isolationslagen unter dieser Metallebene in Form mehrerer übereinandergestapelter Oxidschichten die Kapazität zum Substrat besonders gering ist. IC-seitig ist der Waferprozess damit beendet, ohne dass der IC-Prozess in irgendeiner Weise die Gegenwart der für den späteren Sensorprozess angelegten Schichtzonen zu spüren bekommen hätte. Vielmehr kann der IC-Prozess ohne Rücksicht auf die später herzustellende Sensorik durchgeführt werden.

[0025] Fig. 1C zeigt das Ergebnis des ersten Mikrostrukturierungsschritts, der die aktive Si-Schicht 7 zu Sensorelementen 11 und Verbindungselementen 12, die im Normalfall alle elektrisch anzuschließen sind, strukturiert. Der hierzu durchgeführte Si-Plasmaätzschritt (DRIE) stoppt auf den vergrabenen Oxiden 4 bzw. 6. Zusätzlich erkennt man die Seitenwandpassivierung 13 der erzeugten Strukturen durch abgedichtetes Teflonmaterial, wie es in an sich bekannten Prozessen zur Si-Tiefenstrukturierung zur

Verfügung steht), oder durch abgeschiedene dünne Oxidschichten wie z. B. LTO, PECVD-SiO₂, TEOS/O₂, TEOS/O₃ usw. Diese Schichten schützen die getrennten Si-Strukturen **11** und **12** vor dem Ätzangriff des beim späteren Opferschichtätzen eingesetzten ClF₃-Gases.

[0026] In **Fig. 1D** ist das Trennoxid **6** am Boden der Strukturen **11** und **12** jeweils selektiv zum darunter liegenden Opfer-Si **5** entfernt worden. Hierfür eignen sich bekannte Plasmaätzprozesse für SiO₂, z. B. RIE mit Prozessgasen wie CHF₃/CF₄, C₄F₈/CF₄ oder C₄F₈/CH₄. Es muss bei diesem RIE-Schritt darauf geachtet werden, dass weder das Seitenwandoxid **13** (oder Seitenwand-Teflonmaterial) beschädigt wird noch das OpferPolySi **5** vollständig durchgeätzt wird. Das ist jedoch mit auf dem Markt erhältlichen Ätzanlagen und -prozessen problemlos möglich.

[0027] In den **Fig. 1D** und **Fig. 1F** ist der Waferzustand nach dem ClF₃-Opferschichtätzen dargestellt. Man erkennt, dass die OpferSi-Zonen **5** unter Zurückbleiben eines Hohlraums entfernt wurden und dass die Ätzung im Bauelementbereich designgesteuert (durch die lateralen Begrenzungen der OpferSi-Zonen **5**) zum Stillstand gekommen ist. Gleichzeitig wird das Unterbrechen der Si-Anschlussstrukturen (Verbindungselemente **12** bzw. Si-Anschlussstege **12**) von unten zum umgebenden Si-Festland **14** deutlich, was durch eine OpferPolySi-Struktur erreicht wird, die vergraben zu der Soll-Unterbrechungsstelle **15** geführt wird, wo bereits im Vorprozess bei der Herstellung und Strukturierung des Trennoxids **6** eine Öffnung **16** (vgl. **Fig. 1C**) im Trennoxid **6** angelegt wurde. Analog zu einer "Zündschnur" führt die so strukturierte OpferPoly-Bahn das ClF₃-Gas bis zu der Stelle, wo im Trennoxid **6** ein Loch **16** angelegt wurde, um dem ClF₃-Gas auf diese Weise Zutritt zu den oberen Bereichen der Si-Anschlussbahn **12** zu verschaffen. Damit kann das anzuschließende Verbindungselement **12** von unten lokal (Soll-Unterbrechungsstelle **15**) aufgezehrt werden.

[0028] **Fig. 1E** zeigt diesen Zustand im Querschnitt durch den Si-Steg **12** mit darüber befindlicher IC-Mehrlagenmetallisierung **10**, während **Fig. 1F** diesen Zustand in einem um 90° gedrehten Querschnitt zeigt, wobei der Übergang der oberen Leiterstruktur **10** (Metall + Dielektrika) zum Si-Festland **14** deutlich wird.

[0029] Der erfindungsgemäße Prozess des Aufzehhrens des Si-Anschlusssteges **12** von unten erfolgt zeitkontrolliert, d. h. die Ätzfront schreitet umso weiter fort, wie der Prozess andauert. Da es sich jedoch nur um die Unterätzung einer dielektrischen Membran mit eingebetteten Metallschichten handelt, ist dieser Prozessschritt auch überhaupt nicht kritisch. Es muss nur sichergestellt sein, dass die Siliziumverbindung zum Si-Festland **14** wirklich unterbrochen ist, ansonsten

ist es fast beliebig, wie weit diese Unterätzung über diese Minimalforderung hinausgehend fortschreitet. Das Bedenken, dadurch könnte ein möglicherweise instabiles freitragendes Gebilde entstehen, ist nicht berechtigt, da das mehrere Mikrometer dicke dielektrische Schichtpaket **10** bzw. **19** eines Standard-IC-Prozesses mechanisch ausserordentlich stabil und in der Lage ist, einige 100 µm freitragend zu überspannen. Es ist bekannt, dass in Foundry-Prozessen (z. B. MUMPS) solche Aufbauten aus Metallebenen und dielektrischen Isolationsschichten von Standard-IC-Prozessen sogar dazu verwendet werden, um freitragende Sensorstrukturen, wie z. B. Beschleunigungssensoren, nach Art einer Oberflächenmikromechanik herzustellen. Das Problem bei dem bekannten Prozess ist nicht die mechanische Stabilität des Schichtaufbaus, sondern die starke Verwölbung freitragender ausgedehnter Gebilde aufgrund der Spannungsgradienten im Schichtaufbau. Bezogen auf die vorliegende Erfindung, wo typischerweise lediglich 10–100 µm, vorzugsweise 20–50 µm, beispielsweise 25 µm von einer mehrfach eingespannten Brückenkonstruktion aus diesem Schichtsystem **10** überspannt werden muss, sind keinerlei Probleme hinsichtlich Stabilität oder Verwölbung zu erwarten. Man erhält vielmehr eine stabile dielektrische Brücke **10**, die die Leiterbahnen **18** enthält, welche zur elektrischen Verbindung des zugeordneten Sensorkontakts mit dem IC-Bereich notwendig sind, und zwar mit einem sehr weiten Prozessfenster und mit Prozesssicherheit hinsichtlich des Unterätzprozesses.

[0030] **Fig. 2A** und **Fig. 2B** zeigen in der Draufsicht eine spezielle Ausführungsform der "PolySi-Zündschnur", um damit die Unterätzung des Anschluss-Siliziums im Steg **12** im Bereich des Übergangs zum Si-Festland **14** relativ zum Unterätzprozess der eigentlichen Sensorelemente **11** beeinflussen zu können. Oft wird im Sensorbereich eine große Unterätzweite gefordert, um z. B. Perforationen von Sensormassen zu Gunsten höherer Massen einsparen zu können. Dann benötigt die Opferschichtätzung entsprechend lange, da die MEMS-Strukturen nur von ihren äußeren Rändern her, oder ausgehend von nur wenigen Perforationslöchern, unterätzt werden können. Unter Umständen ist die Unterätzweite dann so groß, dass die Anschluss-Si-Stege **12** während dieser Zeit dann doch zu weit unterätzt würden und die Stabilität der dielektrischen Brücken möglicherweise an eine Grenze gebracht würde. Aus diesem Grund ist es, wie in **Fig. 2** dargestellt, vorteilhaft, die Opfer-PolySi-Struktur **17**, die das ClF₃-Gas verzögert zu der Soll-Unterätzstelle **15** geleiten soll, so zu strukturieren, dass dadurch eine "aufgewickelte Zündschnur" entsteht. Diese kann z. B. unter dem Festland-Si **14** vergraben werden, wobei, wie in **Fig. 2** erkennbar, an einer Stelle der Anfang der "Zündschnur" herauschaut. Nach mehreren Windungen erreicht das Ende der "Zündschnur" die Öffnung **16** im Trennoxid **6**

unter dem Si-Anschlusssteg **12**, der durch Unterätzen vom Si-Festland **14** getrennt werden soll.

[0031] Fig. 2B zeigt das Resultat einer solchen Ätzung. Das ClF_3 -Gas hat sich entlang der PolySi-Zündschnur **17** unterhalb des Festland-Si-Rands bis zu den Übergängen des Anschlusssteges **12** ins Si-Festland **14** vorgearbeitet, das PolySi der "Zündschnur" **17** dabei aufgezehrt, und anschliessend die Übergangsstelle zum Si-Festland **14** von unten unterätzt und den unerwünschten, elektrisch leitfähigen Übergang im Silizium der Schicht **7** unterbrochen. Durch Variation der Länge der "Zündschnur" **17** ist es möglich, dieses Abtrennen der Si-Verbindung zum Festland **14** zeitlich anzupassen an eine wie auch immer geartete Unterätzung bzw. Unterätzzeit im eigentlichen Sensorelement. Am Prozessende können dünne verbleibende Passivierungsoxide noch durch einen kurzen Flash in HF-Dampf abgeraucht werden, und/oder Teflonpassivierungen der Seitenwände **13** noch mittels eines Sauerstoffplasmastrippens restlos entfernt werden. Dieser Schritt ist angesichts der zu entfernenden Schichtdicken von maximal 50–100 nm so kurz, dass er zu keiner Schädigung des IC-Bereichs oder der Isolationsoxide führt.

[0032] Fig. 2A und Fig. 2B zeigen weiter die Metallleiterbahnen **18** (schwarz) von der Kontaktstelle am Sensoranschlusssteg **12** zum Si-Festland **14**, sowie das die Metallleiterbahnen **18** einhüllende dielektrische Schichtpaket **19**. Im Bereich der ClF_3 Unterätzung im Übergang zum Si-Festland **14** bildet das dielektrische Schichtpaket **19** mit den eingebetteten Metallleiterbahnen **18** eine freitragende, mehrfach durch Si der Schicht **7** eingespannte Brücke. Die Kontaktstelle Metall-Si am Sensoranschlusssteg **12** muss soweit von der Zone **15** der zeitkontrollierten Unterätzung entfernt plaziert sein, dass mit Sicherheit keine Unterätzung des Kontaktbereichs selbst auftreten kann, d. h. dass ein möglichst grosses Prozessfenster erhalten bleibt (z. B. 60 μm entfernt vom Zentrum der Unterätzungszone **15**, wenn 30 μm weit unterätzt werden soll). Die geringfügige Abdünnung des dielektrischen Schichtpakets **19** von oben bzw. von unten um 2·(50–100 nm) während des kurzzeitigen HF-Dampf-Flashes zur Entfernung der dünnen Oxidpassivierungen ist für die Stabilität des Schichtpakets **19** angesichts seiner Dicke von mehreren Mikrometern ebenfalls ohne Bedeutung.

[0033] Zusammenfassend soll nochmals das generelle Vorgehen bei dieser Ausführungsform des erfindungsgemäßen Backend-MEMS-Integrationsprozesses, der aus drei Blöcken besteht, verdeutlicht werden:

Im ersten Block wird der Wafer **1** vorbereitet, d. h. alle vergrabenen Schichten **2** bis **6** abgeschieden und strukturiert und anschließend wird epitaktisch eine Si-Schicht **7** der gewünschten Dicke aufgewachsen. Nach der Epiabscheidung wird die Waferoberfläche

planarisiert und der Sensorbereich gegebenenfalls durch Implantation auf den gewünschten Wert dotiert. Der so vorbereitete Wafer **1**, der noch keine MEMS-Strukturen **11**, **12** enthält und noch keine MEMS-Mikrostrukturierungsschritte erfahren hat, und dessen Oberfläche ausschliesslich aus einer ebenen Siliziumfläche besteht, durchläuft anschliessend den kompletten IC-Prozessblock. Die Verbindung zwischen späterem Sensor und IC stellt das im IC-Prozess standardmässig vorhandene Metallisierungspaket **10** bestehend aus mehreren Metalllagen **18** und dielektrischen Schichten **19** zur Isolation der Metallebenen **18** gegeneinander, zum Substrat und nach aussen, her. Zuletzt folgt der eigentliche Mikrostrukturierungsblock, d. h. Trenchen, Passivieren, Öffnen des Bodenoxids, ClF_3 -Opferschichtätzen (Entfernen der Opferschicht **5** unter den MEMS-Strukturen **11** und **12** und Abtrennen der Anschlussstege **12** vom Si-Festland **14** mittels zeitkontrollierter Ätzung) und Entfernen der dünnen Passivierschichten (HF-Dampfätzen für Oxide und/oder O_2 -Plasmaätzen für Teflonschichten). Diese Schritte sind in vollem Umfang kompatibel zu den integrierten Schaltkreisen auf demselben Wafer **1**.

[0034] Fig. 3A und Fig. 3B zeigen Varianten dieser Ausführungsform des erfindungsgemäßen Verfahrens hinsichtlich des aktiven Si-Materials der Schicht **7**. Dabei kann, wie zuvor beschrieben, epitaktisch abgeschieden werden, um EpiPoly und gleichzeitig einkristallines Si auf ein- und demselben Wafer **1** zu erhalten. Alternativ ist es auch möglich, SOI-Wafer einzusetzen, die über vergrabene Ebenen verfügen. Hierzu wird am besten der Wafer, der später die SOI-Schicht bilden soll, nacheinander und in umgekehrter Reihenfolge mit den vergrabenen Schichten versehen, also mit Trennoxid **6**, OpferSi **5**, Isolationsoxid **4** ("oberes"), Leitpoly **3**, Isolationsoxid **2** ("unteres"). Das Isolationsoxid **2** muss geeignet planarisiert werden, um eine völlig plane Oberfläche mit minimaler Oberflächenrauigkeit, vorzugsweise besser als 1 nm peak-to-peak zu liefern. Die so planarisierte, hochpolierte und hydrophilisierte Oberfläche wird nun in an sich bekannter Weise direkt gegen einen zweiten Trägerwafer gebondet, um so einen SOI-Waferaufbau zu erhalten. Nach dem Bondschritt wird die SOI-Schicht auf die gewünschte Dicke abgedünnt und poliert. Ein SOI-Waferaufbau ist vor allem dann interessant, wenn besonders dicke aktive Schichten **7** angestrebt werden, was bei einem Gyro sehr vorteilhaft ist. Damit werden nicht nur die Parasitärkapazitäten verkleinert, sondern ebenso vorteilhaft zusätzlich auch die Nutzkapazität vergrößert, so dass besonders leistungsfähige Gyros realisiert werden können oder entsprechend am elektronischen Schaltungsaufwand eingespart werden kann.

[0035] Fig. 3A zeigt eine aktive Si-Schicht **7**, die epitaktisch abgeschieden oder SOI sein kann. Die Grunddotierung der Schicht **7** entspricht im einkristal-

linen Bereich **8** ausserhalb des Sensorkerns der vom IC-Prozess geforderten Dotierung, also z. B. P-Typ (Bor-Standard, 5–10 Ωcm) für CMOS oder z. B. N-Typ (Phosphor-Standard 1 Ωcm) für BCD. Im Sensorbereich wird die Dotierung durch nachträgliche maschierte Implantation und Eintreiben der Dotierung auf den von den Sensorstrukturen benötigten Wert gebracht. Bei Eintreiben der Dotierung von oben wird mit Rücksicht auf die mechanischen Eigenschaften des Sensormaterials vorzugsweise eine N⁺⁺-Dotierung mit Phosphor oder Arsen durchgeführt, um eine stressgradientenfreie Schicht **7** im Bereich der Sensorkerne zu erhalten. Für den Schaltungsbereich ist die Dotierung des Sensorkerns bei dem Ansatz nach **Fig. 3A** ohne Bedeutung.

[0036] **Fig. 3B** zeigt einen Ansatz mit einer homogen dotierten ersten Siliziumschicht **7a**, die entweder P⁺⁺ oder N⁺⁺ dotiert sein kann. Vorzugsweise orientiert man sich auch hier bereits am vom IC-Prozess benötigten Dotierungstyp, jedoch nicht an der Dotierstoffkonzentration: diese ist mit Rücksicht auf eine gute elektrische Leitfähigkeit um Grössenordnungen höher zu wählen als vom IC-Prozess gefordert. Diese erste Schicht **7a** kann entweder durch in-situ dotierte Epiabscheidung mit hohem Dotierstoffeinsatz erzeugt werden (Zugabe von Diboran oder Phosphin oder Arsin zum Si-Träger im Epiprozessgas). Ist das Sensormaterial EpiPoly, so hat dieses Vorgehen gegenüber einer nachträglichen Dotierung von oben den Vorteil, dass wesentlich niedrigere Dotierstoffkonzentrationen benötigt werden, da diese nicht wie bei der nachträglichen Dotierung in hohem Masse in den Korngrenzen verschwinden, wo sie elektrisch inaktiv sind. Außerdem entfallen die Implantation und das zeitraubende Drive-In bei hohen Temperaturen. Darüberhinaus kann die Epischichtdicke theoretisch beliebig dick gewachsen werden, da keine nachträgliche Dotierung durch Eindiffusion erforderlich ist, so dass also insbesondere Epidicken von 20–50 μm hergestellt werden können. Besonders vorteilhaft ist jedoch der Einsatz von SOI, das in grosser Dicke homogen dotiert mit hoher Dotierstoffkonzentration hergestellt werden kann durch entsprechende Auswahl des Wafermaterials für den Aufbau der SOI-Schicht. Für die nachträgliche Schaltungsintegration wird nachfolgend auf diese dicke "Bulk-Si-Schicht" eine dünne Epischicht aufgebracht (z. B. 3–5 μm dick), deren Dotierungstyp und Dotierstoffkonzentration exakt den Anforderungen des IC-Prozesses entspricht. Im Schaltungsbereich liegt also oberflächlich eine Epischicht einer Dicke von 3–5 μm mit der vom IC-Prozess benötigten Dotierung vor (Typ und Konzentration), in der die Schaltkreisintegration vorgenommen werden kann. Im Sensorbereich kann diese obere Epischicht im Bedarfsfall noch umdotiert oder aufdotiert werden, der Dotierungstyp sollte im Sensorbereich letztendlich auf jeden Fall dem der unteren Si-Schicht ("Bulk-Si-Schicht") entsprechen, um einen Ohm'schen Kontakt zur unteren Schicht zu ge-

währleisten. Man erhält also im Sensorbereich eine erste dicke, homogen mit hoher Dotierstoffkonzentration dotierte Si-Schicht, vorzugsweise in Form von einkristallinem Si (SOI), mit einer darüber befindlichen dünnen Epischicht vom gleichen Dotierungstyp, aber eventuell niedrigerer Dotierstoffkonzentration, über die der elektrische Anschluss der unteren hochdotierten Si-Schicht erfolgt. In allen Fällen, ob SOI-Waferaufbau oder EpiPoly-Aufbau, wird mit heute verfügbaren Standardprozessen ein aktives Sensormaterial hoher Güte erhalten, das mit Standardprozessen strukturierbar ist und das seine Eignung zur Herstellung von Drehratensensoren bereits gezeigt hat. Somit wird eine modifizierte Backend-Integration von MEMS-Strukturen erreicht ohne das Erfordernis, neue Schichten oder neue Mikrostrukturierungsverfahren zu entwickeln.

[0037] Die im Folgenden beschriebenen Weiterbildungen der Erfindung beinhalten eine integrierte Dünnschichtverkappung nach der sogenannten "Füllpoly-Technologie", die grundsätzlich bereits aus der DE 100 06 035 A1 bekannt ist.

[0038] Im Unterschied zu den bisher bekannten Dünnschichtverkappungsverfahren vermeidet die in der Folge beschriebene Technik jedoch vorteilhaft das Prozessieren von Wafern im IC-Prozess, welche bereits frei bewegliche Mikrostrukturen unter der Kappe aufweisen. Vielmehr wird die Erzeugung frei beweglicher Mikrostrukturen an das Prozessende gelegt, d. h. nach Abschluss aller Prozessschritte. Dies ist aus mehreren Gründen vorteilhaft:

Zum einen wird dadurch vermieden, dass empfindliche und leicht zerstörbare Mikrostrukturen in einem komplexen IC-Prozess Schaden nehmen könnten, z. B. durch mechanischen Schock, Vibrationen, Ultraschallbehandlung in den Reinigungsbädern des IC-Prozesses, thermische Beanspruchung in Hochtemperaturschritten, Rapid Thermal Annealing usw. Zum anderen wird die Ausbeute des Prozesses günstig beeinflusst dadurch, dass keine freitragenden Mikrostrukturen mit Dünnschichtabdeckung vorhanden sind, welche aufplatzen könnten und den Wafer als ganzes damit unbrauchbar machen könnten: ein Wafer, auf dem auch nur eine einzige Dünnschichtmembran geplatzt oder sonstwie beschädigt worden ist, könnte nicht mehr weiter prozessiert werden, da er von dem Zeitpunkt dieser Beschädigung an tiefe Kavernen aufweist, welche im Prozess nicht mehr zulässig sind (z. B. in der Fotolithographie, Lacktechnik, oder in Reinigungen etc.). Darüberhinaus könnten Partikel z. B. von geplatztmembranmaterial die IC-Prozessanlagen kontaminieren. Da erfindungsgemäß keine freien Strukturen im Wafer vorhanden sind, sondern vielmehr während des IC-Prozesses ein massiver Waferaufbau vorliegt, können solche Schäden nicht auftreten.

[0039] Als ein weiterer Vorteil der späten Herstellung freitragender Mikrostrukturen im Gesamtprozess, insbesondere nach allen Hochtemperaturprozessschritten, resultiert die Chance, auf die nunmehr freigelegten Sensorstrukturen vor dem endgültigen Verschluss der Dünnschichtkappen sogenannte Self-Assembled-Monolayers oder SAM-Coatings zur Vermeidung von Stiction aufzubringen. Diese Schichten z. B. von speziellen Trichlorsilanen oder Dichlor-Dimethyl-Silanen (DDMS) tolerieren unter Ausschluss von Sauerstoff Temperaturen bis maximal 450°C. Bei höheren Temperaturen tritt mehr oder weniger vollständige Dekomposition der Schichten ein, wodurch sie ihre Wirksamkeit als stiction-reduzierende Oberflächen-Beschichtung einbüßen können. Dadurch, dass freitragende Mikrostrukturen erst am Ende des Gesamtprozesses erzeugt und erst danach ein Versiegeln der Dünnschichtkappen durchgeführt wird, kann in diesem Stadium ein SAM-coating aufgebracht werden zur Vermeidung von Stiction.

[0040] Fig. 4A–Fig. 4I zeigen eine vorteilhafte Prozessvariante mit Dünnschichtverkappung:

[0041] Fig. 4A zeigt einen Waferquerschnitt nach Trenchen, mit Stopp auf unterem Stopp(Trenn)oxid **6** über dem vergrabenen Opfersilizium **5**.

[0042] Fig. 4B zeigt den Waferbereich nach Seitenwandpassivierung z. B. mit einem Seitenwandoxid **13** und geöffnetem Bodenoxid (Trennoxid) **6** zum vergrabenen Opfersilizium.

[0043] Fig. 4C zeigt die mit Polysilizium refüllte Struktur, wobei das Refillmaterial **20** bereits mit einer Oxidpassivierschicht **21** versehen wurde, welche ausserhalb der Refillgebiete von der Waferoberfläche entfernt worden ist. Insbesondere wird ein Bereich über dem Anschlusspad **22** (der bei dieser Ausführungsform dem Si-Anschlusssteg **12** entspricht) von Oxid **21** befreit, so dass dort eine elektrische Verbindung zum später aufgebrauchten Kappensilizium ermöglicht wird.

[0044] Fig. 4D zeigt die Strukturierung des Passivieroxids **21**, insbesondere zu einer Öffnung **23**, so dass im Bereich der später gewünschten Soll-Unterbrechung **15** im Silizium **7** ein Fenster **23** erzeugt wird (dieser Schritt kann bereits zusammen mit dem Strukturieren des Oxids **21** in Fig. 4C in einem Schritt erfolgen). Ausserdem ist in Fig. 4D das Kappensilizium **24** epitaktisch aufgewachsen und planarisiert worden (z. B. mittels CMP). Das Kappensilizium **24** wächst im Sensorbereich ausgehend von Startpoly polykristallin, ausserhalb des Sensorbereichs, vom umgebenden Festland-Si **14** aus, einkristallin. Dort wird nun die in Fig. 4E angedeutete komplette Schaltungsintegration durchgeführt bis zum elektrischen Anschluss der Sensorpads an die integrierten Schaltkreise.

[0045] Fig. 4F zeigt die Eröffnung des Refill-Polysiliziums **20** mittels Trenchgräben durchs Kappenpoly **24** hindurch. Dieser Trench stoppt auf dem Passivieroxid **21** des Refill-Polys **20**. In Fig. 4F ist das Passivieroxid **21** bereits am Trenchboden entfernt, die Seitenwände der Trenches sind wieder mittels Oxidschichten passiviert. Erst jetzt wird die Planarität der Waferoberfläche aufgegeben, die während des gesamten IC-Prozesses beibehalten werden konnte.

[0046] Fig. 4G zeigt den Waferaufbau nach dem Entfernen des Refill-Polys **20** und ebenso des damit direkt in Verbindung stehenden Opferpolys **5**. Jetzt liegen freibewegliche Sensorstrukturen **11** vor. Wie rechts in der Figur erkennbar, wurde die Si-Verbindung vom Anschlusspad **22** zum Festland-Si **14** unter der Mehrlagenmetallisierung **10** zum IC durch isotropes Unterätzen durchtrennt. Die Metalleiterbahn **18** überspannt zusammen mit ihrem dielektrischen Schichtpaket **19** diesen Unterätzbereich **15** als freitragende Membran. Die Unterätzung startet hier im Refill-Poly **20** (innerhalb des eigentlichen Sensor-kerns, der umschlossen wird von einem geschlossenen Si-Rahmen), durchbricht dann die Öffnung **23** im Passivieroxid **21** des Refill-Polys **20** und arbeitet sich nach oben durch das Kappenpoly **24** hindurch bis unter die Anschlussbahn **10**. Letztlich wird die "Zündschnur" hierbei durch das Refill-Si-Material **20** gebildet, das den Anschlusspad **22** umgibt und durch das sich das ClF_3 -Gas bis zur Oxidöffnung **23** und zum darüber befindlichen Kappensilizium **24** hindurcharbeiten muss. Von dieser Oxidöffnung **23** ausgehend wird dann die Unterätzung **15** im Kappensilizium **24** erzeugt.

[0047] In Fig. 4H ist derselbe Waferaufbau gezeigt nach dem Abrauchen der dünnen Schutzoxide auf den Strukturen mittels einer kurzen Einwirkung von HF-Dampf. Da die Schutzoxide nur wenige 10 nm dick sind, genügt hierzu ein kurzes Abrauchen von maximal 1–2 Minuten Dauer; andere funktionale Oxide werden dabei kaum beeinträchtigt.

[0048] In Fig. 4I ist die Perforation des Dünnschichtkappen-Siliziums mit einer geeigneten Versiegelungsschicht **26**, z. B. SiN , verschlossen worden. Dieser Prozess kann unter Ausschluss von Sauerstoff, z. B. unter Einsatz von Silan und Ammoniak als Prozessgase, z. B. in einem PECVD-Reaktor zur SiN -Abscheidung durchgeführt werden. Zwischen Fig. 4H und I findet vorzugsweise eine Beschichtung der MEMS-Strukturen mit einer SAM-anti-stiction-Schicht aus der Dampfphase heraus statt. Im Stadium Fig. 4I ist die Waferoberfläche wieder annähernd planar. Das erlaubt auch eine Fotolithographie auf der und ein Strukturieren der Versiegelungsschicht **26**, um z. B. die elektrischen IC-Anschlüsse (Metallpads) wieder freizulegen.

[0049] Eine Variante der Dünnschichtverkappung ist in **Fig. 5A-I** dargestellt:

Auch bei dieser Variante beginnt der Prozess gemäß **Fig. 5A** mit getrennten Strukturen **11**, wobei der Trenchprozess zur Herstellung der Mikrostrukturen auf dem Passivieroxid **6** über dem Opfer-Silizium **5** gestoppt hat. Zu beachten ist im rechten Teil der Figur die Opfer-Si-Zone **5** mit einer Öffnung **25** im Passivieroxid **6** zum aktiven Silizium **7**, welche zur späteren Unterbrechung der elektrischen Verbindung vom Anschlusspad **22** zum Festland-Si **14** mittels isotroper ClF_3 Unterätztechnik dienen soll. Dieser Teil des Opfer-Si **5** kann als das Ende einer entsprechend verlegten "Zündschnur" in dieser Ebene betrachtet werden, über die das ClF_3 später an die zu unterätzende Zone **15** (Soll Unterbrechungsstelle) im Silizium **7** herangeführt werden soll.

[0050] In **Fig. 5B** ist gezeigt, wie das Bodenoxid in den Trenches entfernt wurde und die Seitenwände der getrennten Mikrostrukturen z. B. mittels eines Passivieroxids **13** bedeckt wurden. Nicht zu sehen ist das andere Ende der "Opfer-Si-Zündschnur", die ebenfalls eröffnet wurde und das ClF_3 -Gas später an die Soll-Unterbrechungsstelle **15**, vgl. **Fig. 5G**, geleiten soll.

[0051] In **Fig. 5C** wurde das Füllpoly **20** aufgebracht, die Gräben der Mikrostrukturen damit komplett aufgefüllt, die Oberfläche planarisiert und über dem Sensorbereich strukturiert sowie mit einer dünnen Oxidschicht **21** passiviert.

[0052] In **Fig. 5D** wurde das Kappen-Silizium **24** epitaktisch angewachsen und planarisiert: im Bereich des Sensorkerns ist die Kappenschicht **24** polykristallin (startet von einem Seed-Polylayer), ausserhalb des Sensorkerns wächst die Kappen-Schicht **24** einkristallin (startet vom Festland-Si **14**). Dort wird gemäß **Fig. 5E** der IC-Prozess durchgeführt bis zum elektrischen Anschluss der Sensoranschlusspads an das IC.

[0053] In **Fig. 5F** wurden Trenchgräben zum Refill-Si **20** erzeugt, die Oxidpassivierung **21** am Trenchboden entfernt und die Seitenwände der Trenchgräben durch dünnes Oxid passiviert. Über die Trenchgräben wird das Refill-Poly **20** und das Opfer-Poly **5** dem ClF_3 -Gas zugänglich gemacht.

[0054] In **Fig. 5G** ist das Refill-Silizium **20** und das Opfer-Si **5** komplett entfernt worden. Ausgehend vom Refill-Si **20**, das direkt mit dem Opfer-Si **5** der "Zündschnur" in Verbindung steht, und über die in Opfer-Si **5** angelegte "Zündschnur" selbst ist auch die Verbindung des Anschlusspads **22** zum Si-Festland **14** unter der Anschlussbahn **10** (Metallbahn **18** und Dielektrische Membran **19**) durch isotropes Unterätzen durchtrennt worden.

[0055] In **Fig. 5H** sind die Passivieroxide durch ein kurzes Abrauchen in HF-Dampf von allen Strukturen entfernt worden. Die funktionalen Oxide werden dabei nur in geringem Ausmaß in Mitleidenschaft gezogen.

[0056] **Fig. 5I** zeigt den Waferaufbau nach dem Aufbringen der Versiegelungsschicht **26** zum Verschluss der Dünnschichtkappenperforation. Zwischen den Stadien gemäß **Fig. 5H** und **Fig. 5I** kann ein self-assembled monolayer (SAM-coating) zur Vermeidung von stiction auf den Mikrostrukturen aufgebracht werden. Die Versiegelungsschicht **26** wird vorzugsweise mittels sauerstofffreien Prozessgasen (Silane und Ammoniak etc.) z. B. in einem PECVD-Reaktor abgeschieden bei Temperaturen unter 400°C , was die SAM-Beschichtung nicht schädigt. Da die Waferoberfläche nach dem Aufbringen der Versiegelungsschicht **26** wieder annähernd planar ist, kann eine Fotolithographie und Strukturierung der Versiegelungsschicht **26** auf der Oberfläche durchgeführt werden, z. B. um die IC-Anschlusspads **22** zur elektrischen Kontaktierung freizulegen.

Bezugszeichenliste

1	Substrat
2	unteres Isolieroxid
3	vergrabene PolySi-Leiterbahn
4	obere Oxidschicht
5	Opfer-Silizium-Zone
6	Trennoxid-Zone
7	(Aktive) Si-Schicht
7a	Teilschicht von 7
8	einkristalliner Bereich von 7
9	thermische Oxidschicht
10	Mehrlagenmetallisierung
11	Funktionselement
12	Verbindungselement
13	Seitenwandoxid
14	Si-Festland (Schaltungsbereich von 7)
15	Soll-Unterbrechungsstelle in 12 bzw. 22
16	Öffnung in 6
17	Opfer-PolySi-Struktur ("Zündschnur")
18	Metalleiterbahn von 10
19	dielektrisches Schichtpaket von 10
20	Refill-PolySi
21	Oxidpassivierschicht für 20
22	Si-Anschlusspad (entspricht 12)
23	Öffnung in 21
24	Kappensilizium
25	Öffnung in 6
26	Versiegelungsschicht auf 24

Patentansprüche

1. Verfahren zur Herstellung eines Mikrosystems auf einem Halbleitersubstrat (**1**) mit einer integrierten Schaltung (IS) in einem Schaltungsbereich des Halbleitersubstrats (**1**) und mit mindestens einem mit der

Schaltung (IS) elektrisch leitend verbundenen mikromechanischen Bauelement in einem Bauelementbereich des Halbleitersubstrats (1),

– wobei der Schaltungsbereich vom Bauelementebereich durch einen geätzten Bereich getrennt ist,

– wobei in einem ersten Prozessblock im Bauelementbereich des Halbleitersubstrats (1) Opfer-Si-Zonen (5) erzeugt und mit strukturierten Trennoxid-Zonen (6) abgedeckt werden und wobei dann auf dem Halbleitersubstrat (1) im Bauelementbereich eine die Trennoxid-Zonen (6) überdeckende, als Funktionsschicht (7) ausgebildete Si-Schicht (7) erzeugt und planarisiert wird,

– wobei in einem zweiten Prozessblock die integrierte Schaltung (IS) auf dem Schaltungsbereich erzeugt wird, wobei am Ende des zweiten Prozessblocks auf dem Halbleitersubstrat (1) eine strukturierte Ein- oder Mehrlagenmetallisierung (10) der Schaltung mit Anschlusskontakten zur Bauelement-Funktionsschicht (7) erzeugt wird, und

– wobei in einem dritten Prozessblock später freizulegende mikromechanischen Funktionselemente (11) des mikromechanischen Bauelements und Si-Anschlussstege (22, 12), die den Bauelementbereich mit dem Schaltungsbereich verbinden und auf denen die Ein- oder Mehrlagen-Metallisierung (10) verläuft, durch Trenchätzprozesse aus der Funktionsschicht (7) herausstrukturiert werden und anschließend die mikromechanischen Funktionselemente (11) durch einen nachfolgenden Opferschichtätzprozess der Opfer-Si-Zonen (5) freigelegt werden, wobei im Zuge dieses Opferschichtätzprozesses jeweils an einer Soll-Unterbrechungsstelle (15) der Si-Anschlussstege (22, 12) ein Unterätzen der Si-Anschlussstege (22, 12) durch zeitkontrollierte Ätzung erfolgt,

– wobei die Trennoxid-Zonen (6) so geschaffen und so strukturiert werden, dass sie im Bereich der vorgesehenen Soll-Unterbrechungsstelle (15) jeweils eine Öffnung (16) aufweisen, an der sich eine Opfer-Si-Zone (5) und das Silizium der Anschlussstege (17) berühren und die Opfer-Si-Zonen (5) so strukturiert sind, dass sich jeweils eine von einer der Trennoxid-Zonen (6) abgedeckte, aus einer der Opfer-Si-Zonen (5) gebildete zündschnurartige Opfer-Si-Struktur (17) bildet, die an einer Öffnung (16) endet, so dass beim Opferschichtätzen der Ätzprozess über die vorgesehene zündschnurartige Opfer-Si-Struktur (17) bis unter die Soll-Unterbrechungsstelle (15) des jeweiligen Si-Anschlusssteges (12) vordringt und diesen an dieser Stelle (15) von unten her bis zur Ein- oder Mehrlagen-Metallisierung (10) hin aufzehrt, wobei mindestens eine der zündschnurartigen Opfer-Si-Strukturen (17) in Form einer mäanderförmigen Zündschnur ausgeführt wird, so dass der Opferschichtätzprozess mit kontrollierter Verzögerung zur jeweiligen Soll-Unterbrechungsstelle (15) vordringt.

chungsstellen (15) nahe dem Übergangsbereich zum Schaltungsbereich vorgesehen wird und dass die mindestens eine mäanderförmige Zündschnur (17) unter dem Schaltungsbereich vergraben vorgesehen wird.

Es folgen 10 Seiten Zeichnungen

2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, dass mindestens eine der Soll-Unterbre-

Anhängende Zeichnungen

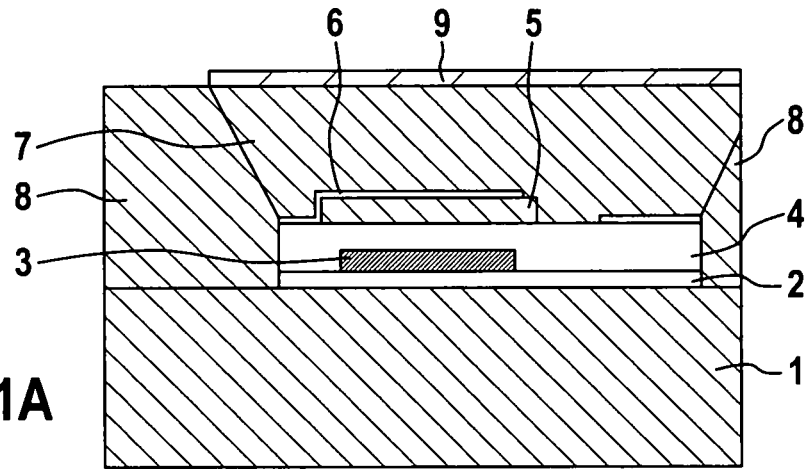


FIG. 1A

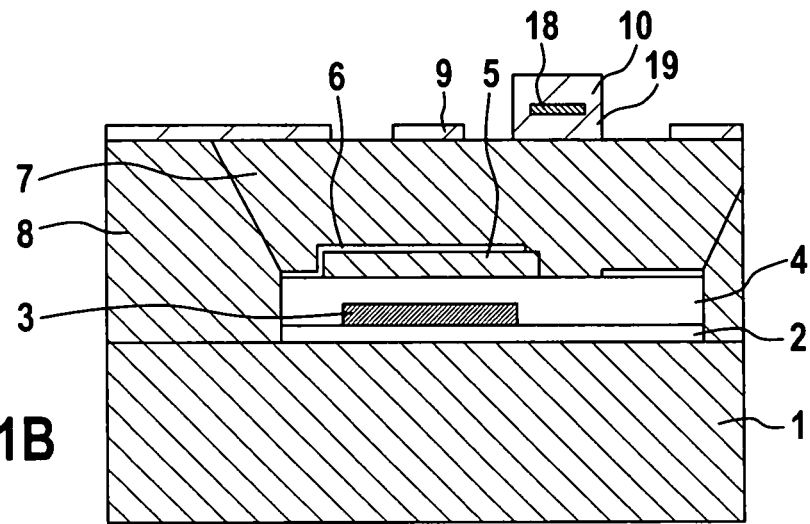


FIG. 1B

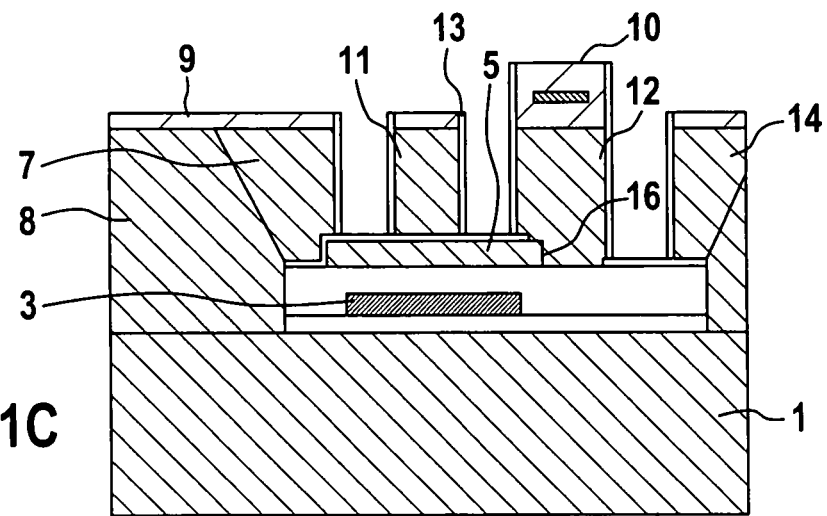
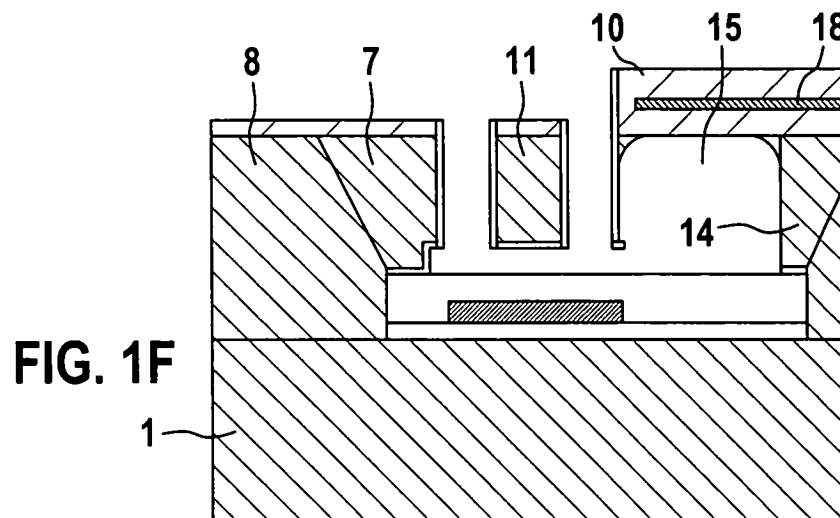
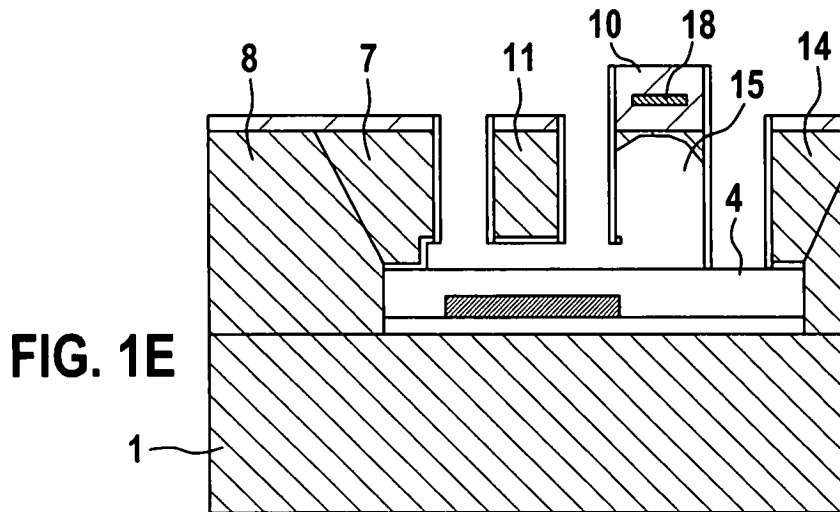
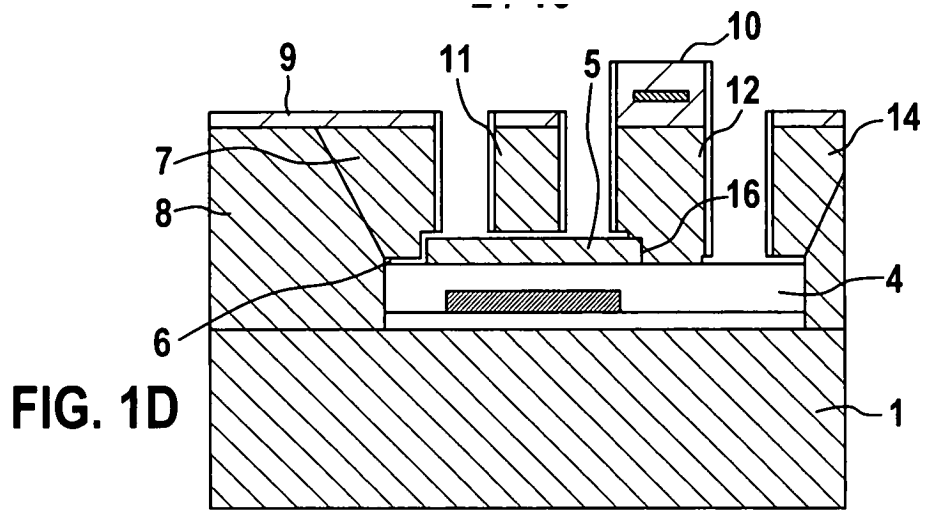


FIG. 1C



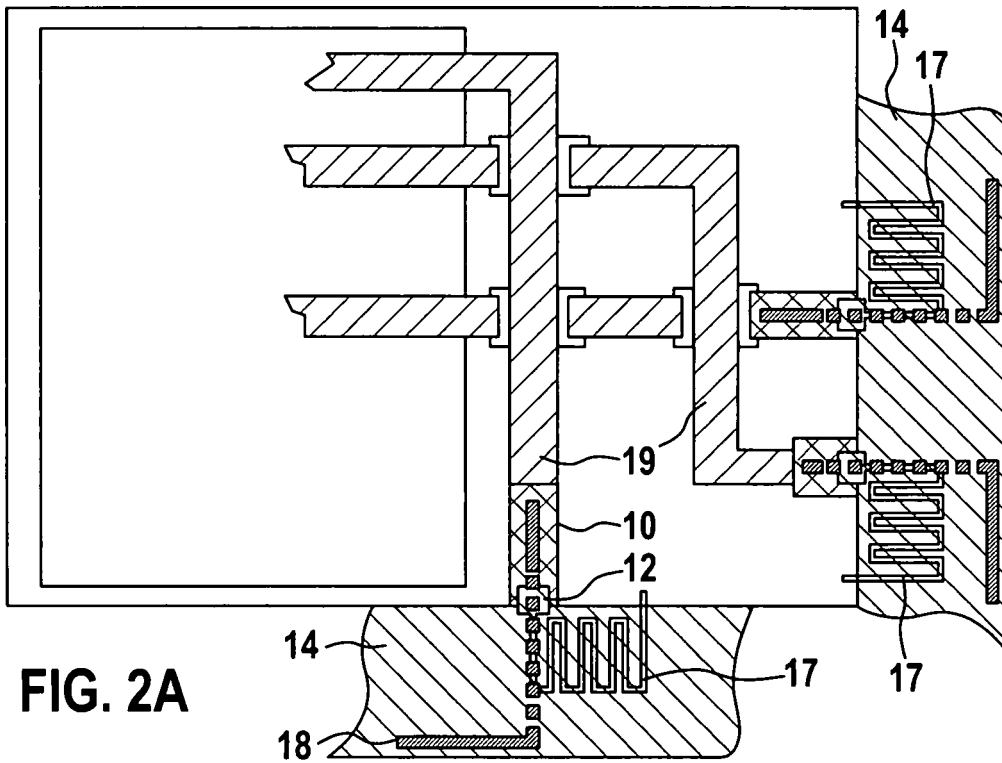


FIG. 2A

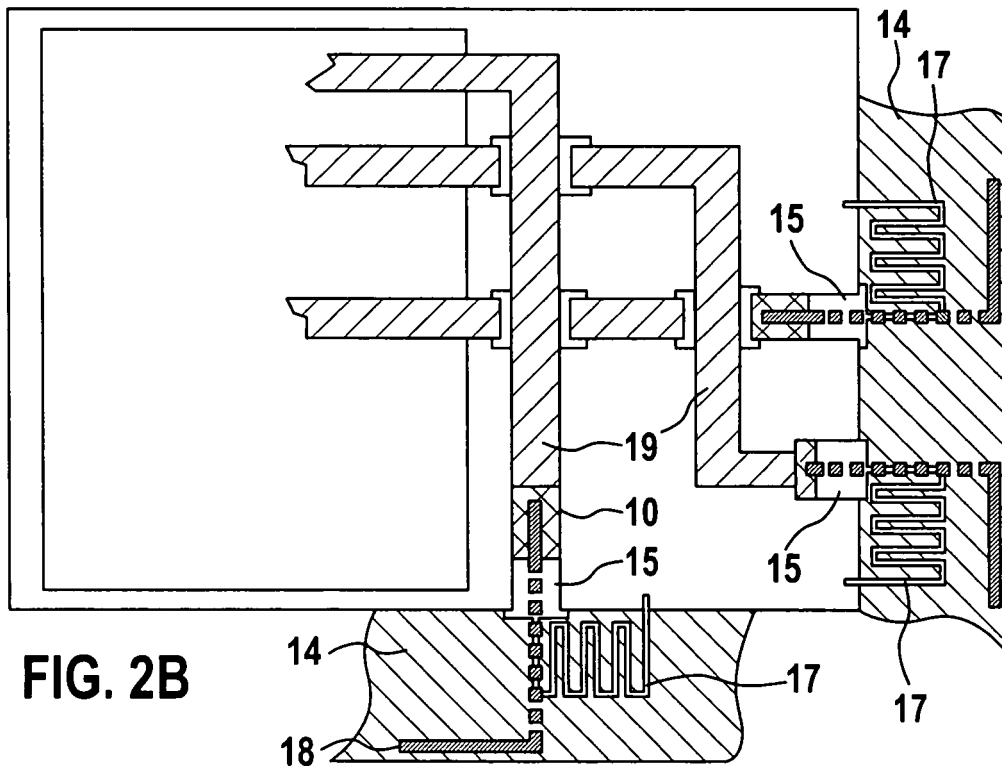


FIG. 2B

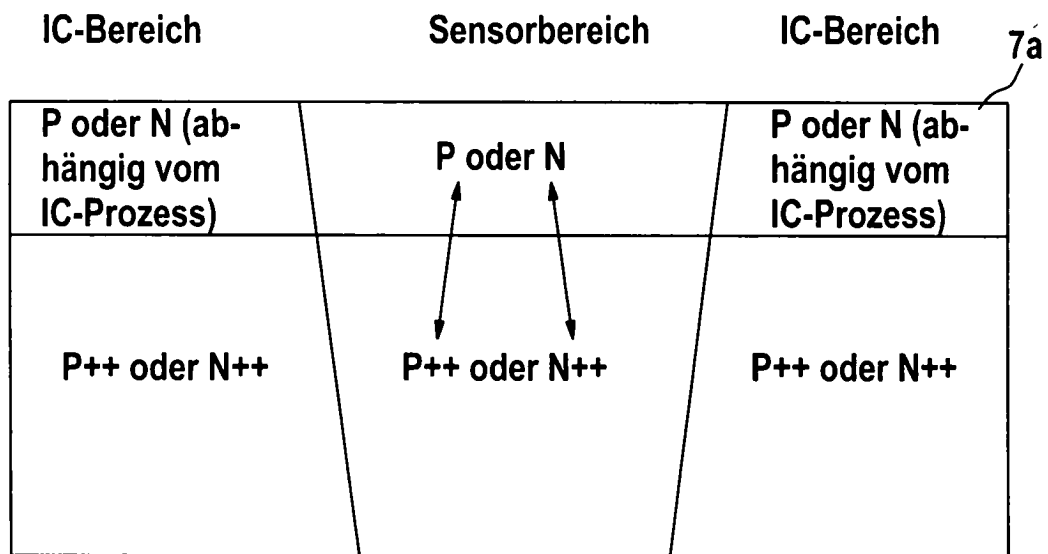
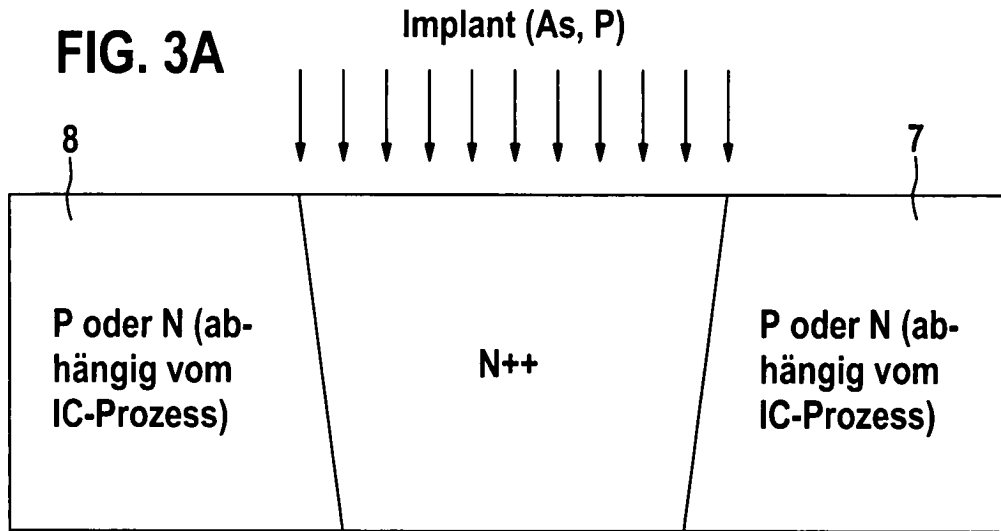
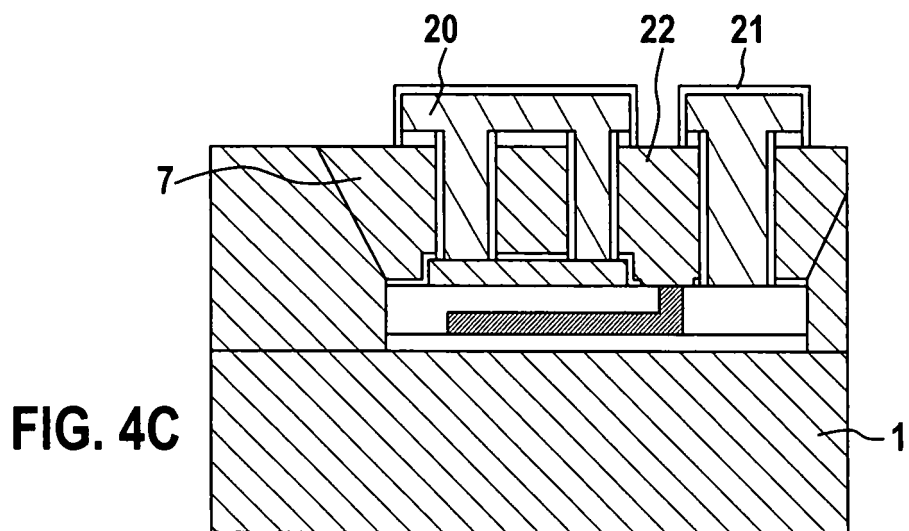
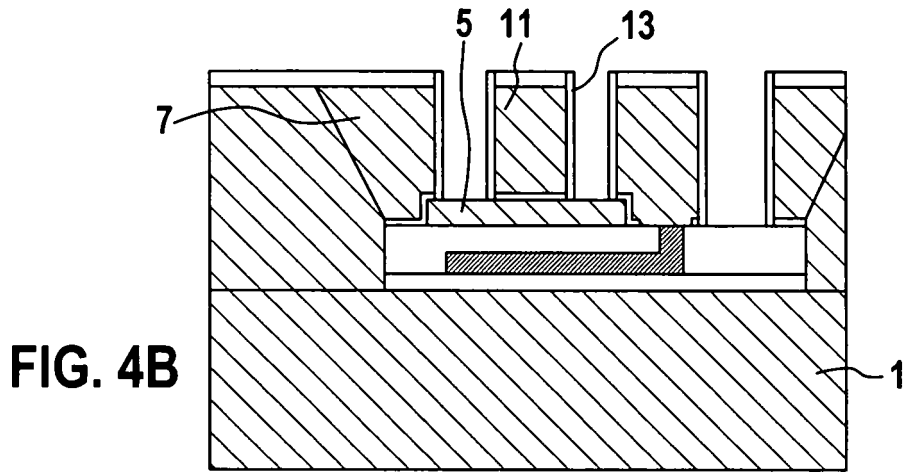
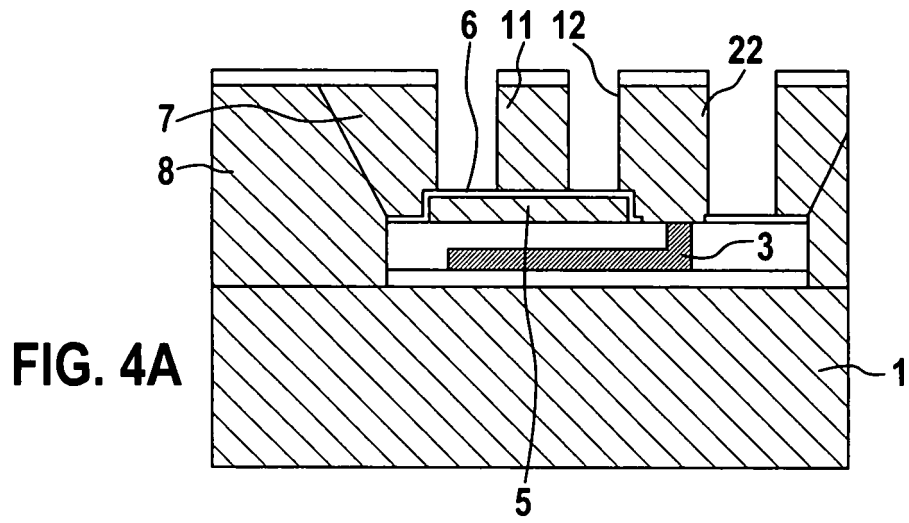


FIG. 3B



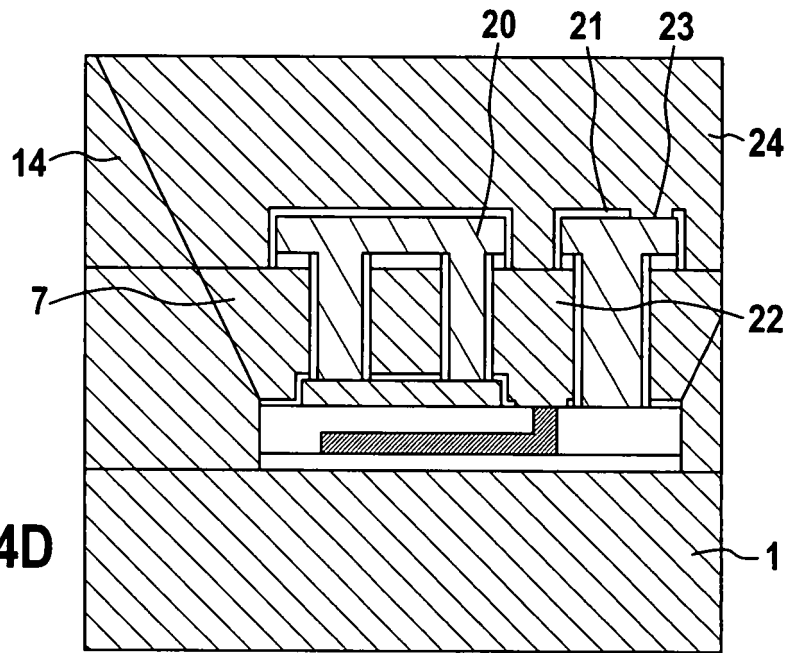


FIG. 4D

FIG. 4E

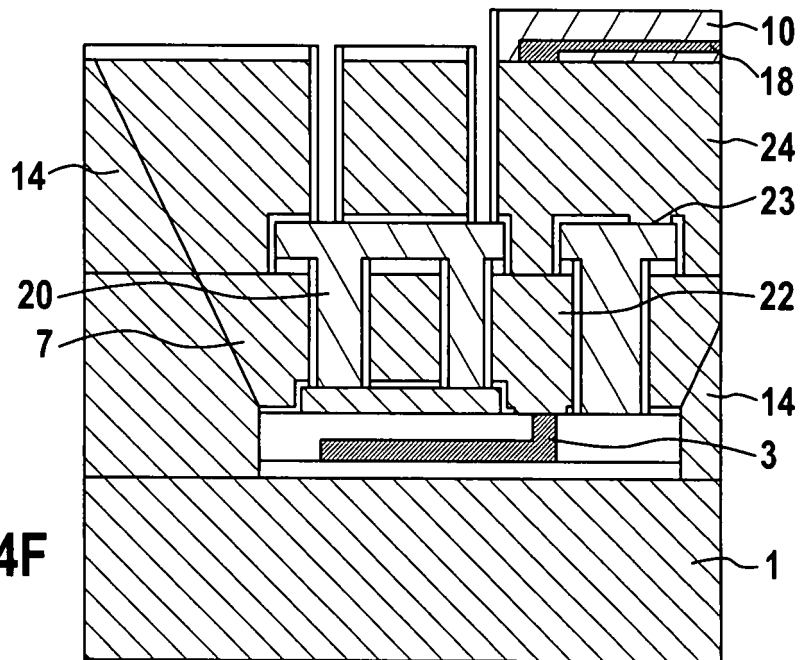
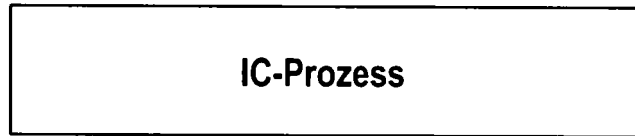


FIG. 4F

FIG. 4G

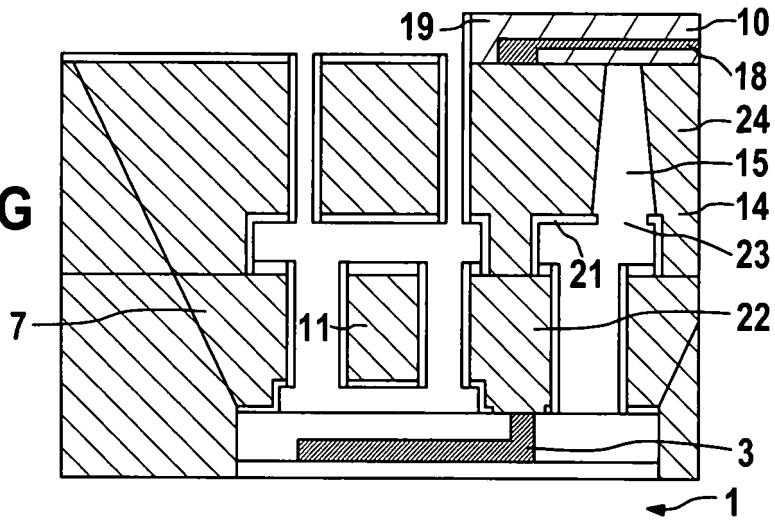


FIG. 4H

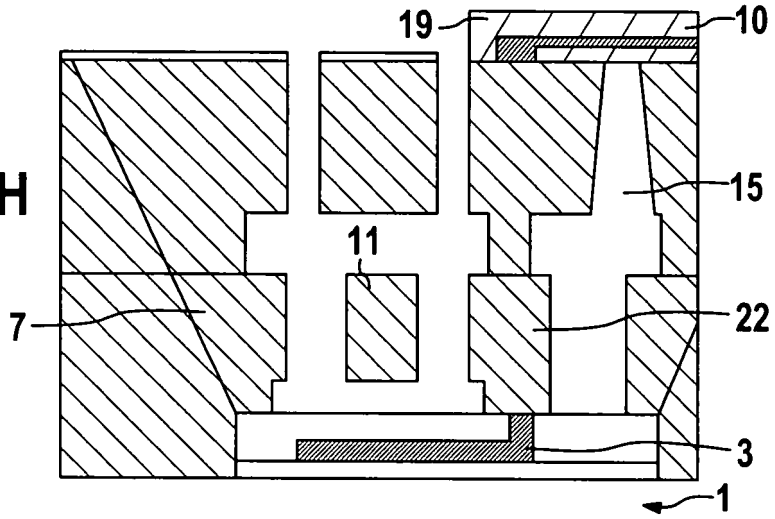
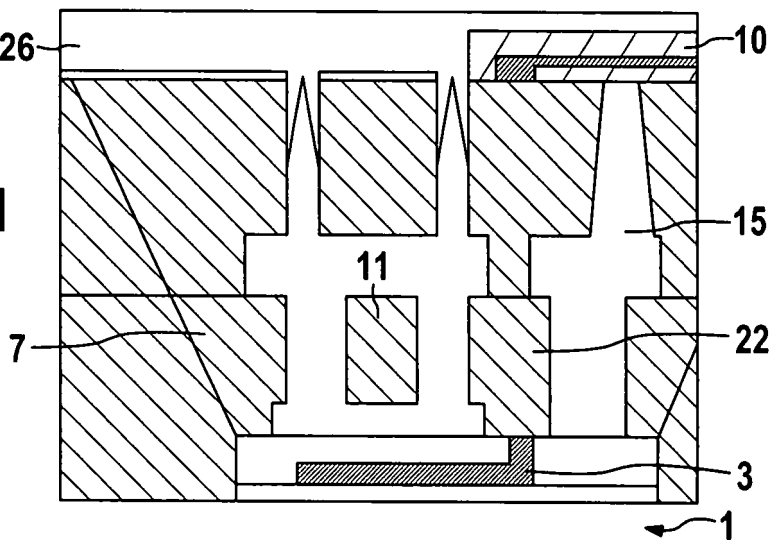
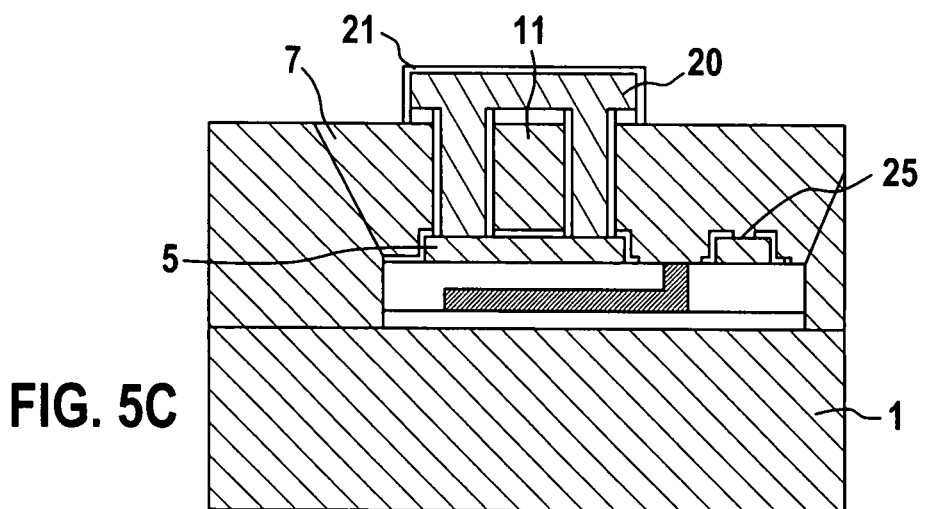
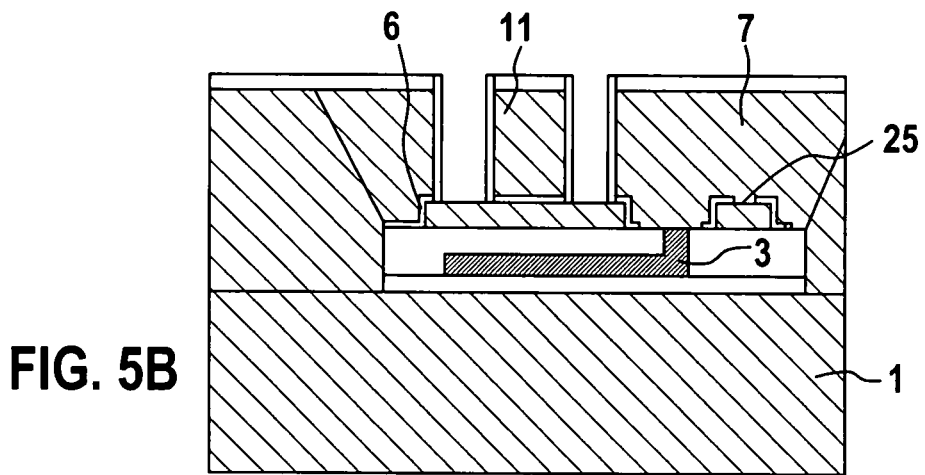
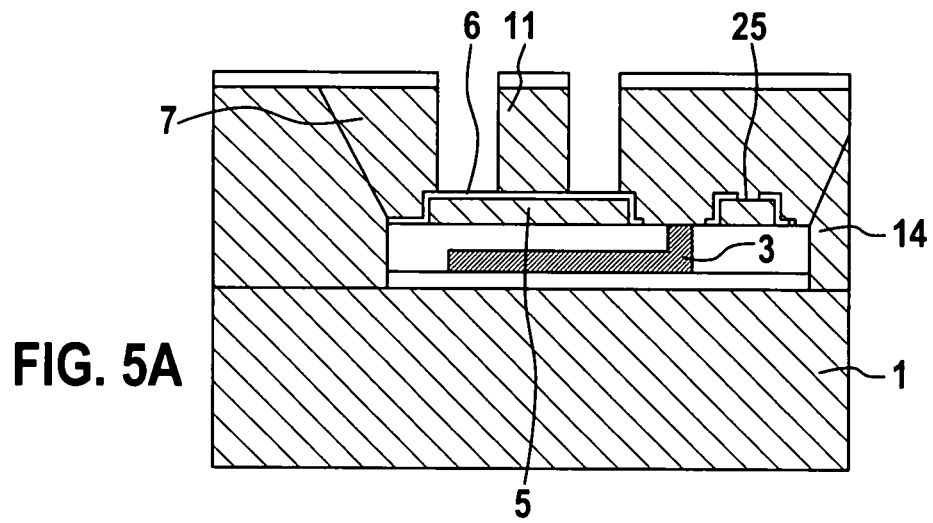


FIG. 4I





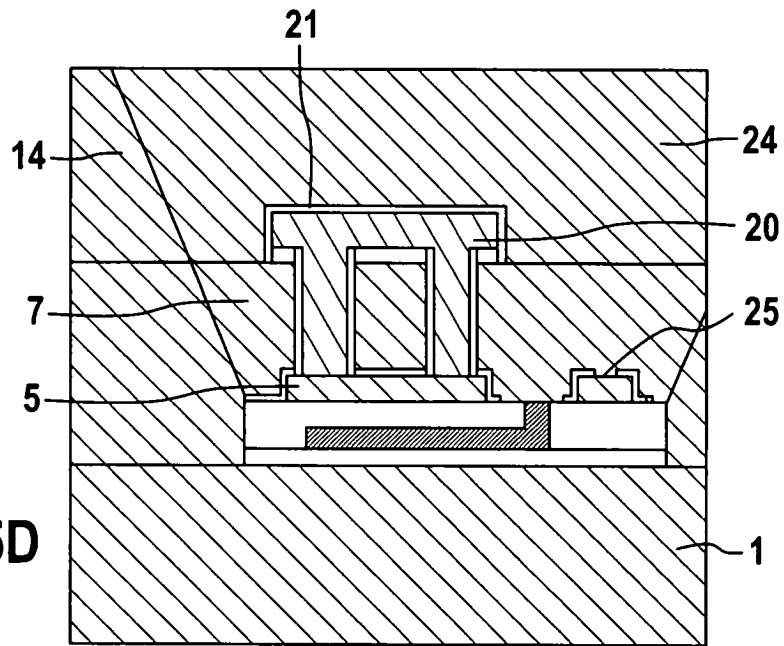


FIG. 5E

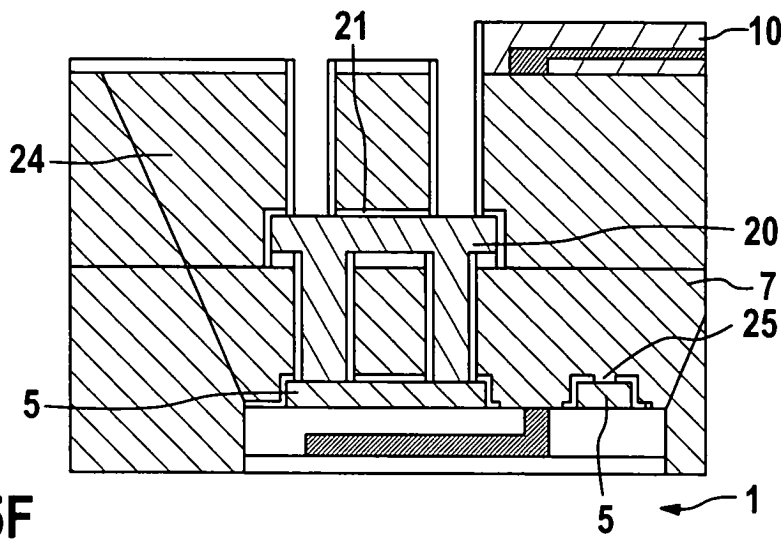
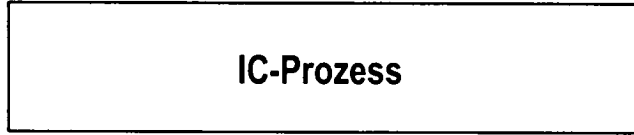


FIG. 5G

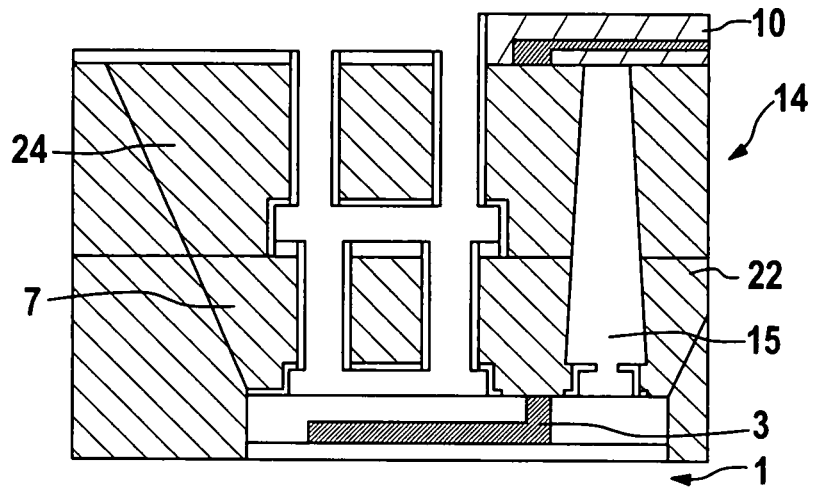


FIG. 5H

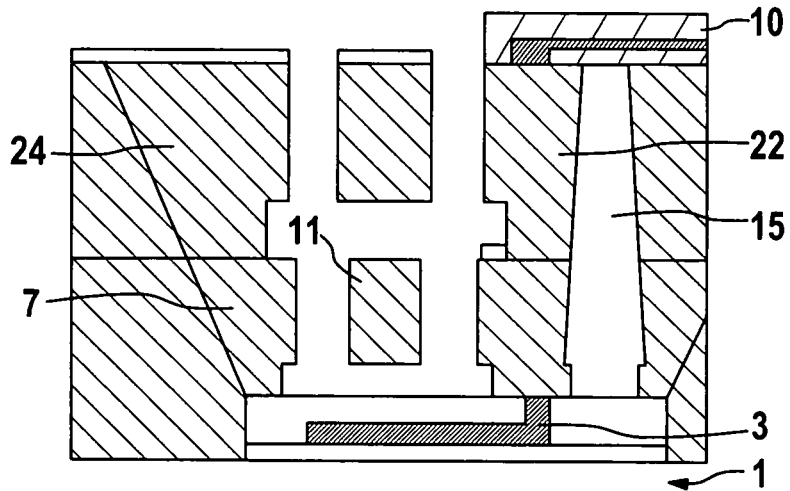


FIG. 5I

