(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 8 月 25 日(25.08.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/132987 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/739* (2006.01)
H01L 29/12 (2006.01)

(21) 国際出願番号: PCT/JP2016/053946

(22) 国際出願日: 2016 年 2 月 10 日(10.02.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-031789 2015 年 2 月 20 日(20.02.2015) JP

(71) 出願人: 住友電気工業株式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 内田 光亮(UCHIDA, Kosuke); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 日吉 透(HIYOSHI, Toru); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 和田 圭司(WADA, Keiji); 〒6640016 兵庫県伊丹市昆陽北一丁目１番１号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP).

(74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

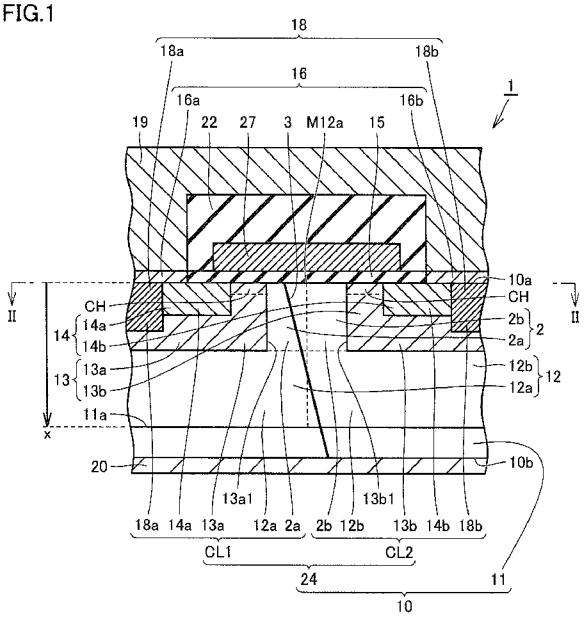
[続葉有]

(54) **Title**: SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称 : 炭化珪素半導体装置

[図1]

FIG.1



(57) **Abstract**: This silicon carbide semiconductor device (1) is provided with a silicon carbide substrate (10) and a gate insulating film (15). The silicon carbide substrate (10) has a first main surface (10a) and a second main surface (10b) that is on the reverse side of the first main surface (10a). The gate insulating film (15) is formed on the first main surface (10a). The silicon carbide substrate (10) comprises a first body region (13a) that has a p-type conductivity, a second body region (13b) that has a p-type conductivity, and a JFET region (2) that has an n-type conductivity and is arranged so as to be sandwiched between the first body region (13a) and the second body region (13b). The JFET region (2) comprises both a first impurity that is capable of imparting the region with a p-type conductivity and a second impurity that is capable of imparting the region with an n-type conductivity. The concentration of the second impurity is higher than the concentration of the first impurity. Consequently, the present invention provides a silicon carbide semiconductor device (1) wherein dielectric breakdown of a gate insulating layer (15) is able to be suppressed.

(57) 要約:

[続葉有]

WO 2016/132987 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

炭化珪素半導体装置（１）は、炭化珪素基板（１０）と、ゲート絶縁膜（１５）とを備える。炭化珪素基板（１０）は、第１主面（１０ａ）と、第１主面（１０ａ）と反対側の第２主面（１０ｂ）とを有する。ゲート絶縁膜（１５）は、第１主面（１０ａ）上に設けられている。炭化珪素基板（１０）は、ｐ型を有する第１ボディ領域（１３ａ）と、ｐ型を有する第２ボディ領域（１３ｂ）と、第１ボディ領域（１３ａ）と第２ボディ領域（１３ｂ）とに挟まれて設けられ、かつｎ型を有するＪＦＥＴ領域（２）とを含む。ＪＦＥＴ領域（２）は、ｐ型を付与可能な第１不純物と、ｎ型を付与可能な第２不純物との双方を有する。第２不純物の濃度は、第１不純物の濃度よりも高い。ゲート絶縁膜（１５）の絶縁破壊を抑制可能な炭化珪素半導体装置（１）を提供する。

明　細　書

発明の名称 ： 炭化珪素半導体装置

技術分野

[0001] 本開示は、炭化珪素半導体装置に関する。

背景技術

[0002] 近年、半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。

[0003] 炭化珪素基板は、たとえば昇華再結晶法により製造される。しかしながら、炭化珪素基板には、通常転位が含まれており、当該転位を全く含まない炭化珪素基板を製造することは現時点では極めて困難である。特開２０１３－３４００７号公報（特許文献１）は、炭化珪素エピタキシャル層中の螺旋転位に起因したシャローピットに連結したステップバンチングの線密度が５ｍｍ$^{-1}$である炭化珪素エピタキシャルウェハを開示している。

[0004] Ｍａｋｏｔｏ Ｋｉｔａｂａｔａｋｅ、外８名，”Ｅｌｅｃｔｒｉｃａｌ Ｃｈａｒａｃｔｅｒｉｓｔｉｃｓ Ｒｅｌｉａｂｉｌｉｔｙ Ａｆｆｅｃｔｅｄ ｂｙ Ｄｅｆｅｃｔｓ Ａｎａｌｙｚｅｄ ｂｙ ｔｈｅ Ｉｎｔｅｇｒａｔｅｄ Ｅｖａｌｕａｔｉｏｎ Ｐｌａｔｆｏｒｍ ｆｏｒ ＳｉＣ ｅｐｉｔａｘｉａｌ ｆｉｌｍｓ”，Ｍａｔｅｒｉａｌｓ Ｓｃｉｅｎｃｅ Ｆｏｒｕｍ，２０１４，Ｖｏｌｓ．７７８－７８０，ｐ．９７９－９８４（非特許文献１）は、炭化珪素エピタキシャル膜に存在する欠陥によって影響を受ける電気特性および信頼性を評価する方法を開示している。

先行技術文献

特許文献

[0005] 特許文献1：特開２０１３－３４００７号公報

非特許文献

[0006] 非特許文献1：Ｍａｋｏｔｏ Ｋｉｔａｂａｔａｋｅ、外８名，”Ｅｌｅｃｔ

rical Characteristics Reliability Affected by Defects Analyzed by the Integrated Evaluation Platform for SiC epitaxial films”, Materials Science Forum, 2014, Vols. 778－780, p. 979－984

発明の概要

発明が解決しようとする課題

[0007] 本開示の一態様の目的は、ゲート絶縁膜の絶縁破壊を抑制可能な炭化珪素半導体装置を提供することである。

課題を解決するための手段

[0008] 本開示の一態様に係る炭化珪素半導体装置は、炭化珪素基板と、ゲート絶縁膜とを備える。炭化珪素基板は、第１主面と、第１主面と反対側の第２主面とを有する。ゲート絶縁膜は、第１主面上に設けられている。炭化珪素基板は、第１主面においてゲート絶縁膜と接し、かつ第１導電型を有する第１ボディ領域と、第１主面においてゲート絶縁膜と接し、かつ第１導電型を有する第２ボディ領域と、第１ボディ領域と第２ボディ領域とに挟まれて設けられ、かつ第１導電型とは異なる第２導電型を有するＪＦＥＴ領域とを含む。ＪＦＥＴ領域は、第１導電型を付与可能な第１不純物と、第２導電型を付与可能な第２不純物との双方を有する。第２不純物の濃度は、第１不純物の濃度よりも高い。第１導電型はｐ型である。第２導電型はｎ型である。

[0009] 本開示の一態様に係る炭化珪素半導体装置は、炭化珪素基板と、ゲート絶縁膜とを備える。炭化珪素基板は、第１主面と、第１主面と反対側の第２主面とを有する。ゲート絶縁膜は、第１主面上に設けられている。炭化珪素基板は、第１主面においてゲート絶縁膜と接し、かつ第１導電型を有する第１ボディ領域と、第１主面においてゲート絶縁膜と接し、かつ第１導電型を有する第２ボディ領域と、第１導電型とは異なる第２導電型を有するドリフト領域と、第１主面と平行な方向において第１ボディ領域と第２ボディ領域と

に挟まれ、第１主面と垂直な方向においてゲート絶縁膜とドリフト領域とに挟まれ、かつ第２導電型を有するＪＦＥＴ領域とを含む。ＪＦＥＴ領域およびドリフト領域は、第２導電型を付与可能な不純物を有する。第１主面における貫通転位の密度は、１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下である。ＪＦＥＴ領域が含む不純物の濃度は、ドリフト領域が含む不純物の濃度よりも低い。第１導電型はｐ型である。第２導電型はｎ型である。

発明の効果

[0010] 上記によれば、ゲート絶縁膜の絶縁破壊を抑制可能な炭化珪素半導体装置を提供することができる。

図面の簡単な説明

[0011] [図1]実施の形態１および２に係る炭化珪素半導体装置の縦断面模式図であり、図２のＩ－Ｉ線矢視図に相当する。

[図2]実施の形態１および２に係る炭化珪素半導体装置を示す横断面模式図であり、図１のＩＩ－ＩＩ線矢視図に相当する。

[図3]実施の形態１に係るＪＦＥＴ領域およびドリフト領域におけるドーピング濃度と、第１主面に対して垂直な方向に沿った位置との関係を示す図である。

[図4]実施の形態１に係るＪＦＥＴ領域の第１変形例におけるｐ型不純物の濃度と、第１主面に対して垂直な方向に沿った位置との関係を示す図である。

[図5]実施の形態１に係るＪＦＥＴ領域の第２変形例におけるｐ型不純物の濃度と、第１主面に対して垂直な方向に沿った位置との関係を示す図である。

[図6]実施の形態１に係る炭化珪素半導体装置の製造方法を概略的に示すフロー図である。

[図7]実施の形態１に係る炭化珪素半導体装置の製造方法の第１の工程を概略的に示す縦断面模式図である。

[図8]実施の形態１に係る炭化珪素半導体装置の製造方法の第２の工程を概略的に示す横断面模式図である。

[図9]実施の形態１に係る炭化珪素半導体装置の製造方法の第３の工程を概略

的に示す縦断面模式図である。

[図10]実施の形態１に係る炭化珪素半導体装置の製造方法の第４の工程を概略的に示す横断面模式図である。

[図11]実施の形態１に係る炭化珪素半導体装置の製造方法の第５の工程を概略的に示す横断面模式図である。

[図12]実施の形態２に係るＪＦＥＴ領域およびドリフト領域におけるｎ型不純物の濃度と、第１主面に対して垂直な方向に沿った位置との関係を示す図である。

[図13]実施の形態２に係るＪＦＥＴ領域およびドリフト領域の変形例におけるｎ型不純物の濃度と、第１主面に対して垂直な方向に沿った位置との関係を示す図である。

[図14]図２の変形例を示す図である。

発明を実施するための形態

[0012] たとえば平面型ＭＯＳＦＥＴ（Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）のゲート絶縁膜は、ゲート電極とＪＦＥＴ（Ｊｕｎｃｔｉｏｎ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）領域とに挟まれて設けられている。そのため、ドレイン電極とソース電極との間に電圧が印加されると、ＪＦＥＴ領域上のゲート絶縁膜の部分に電界が集中する。トランジスタがＯＦＦ状態の場合、ソース電極がグランド電位（０Ｖ）であり、ドレイン電極にはたとえば１７００Ｖが印加され、ゲート電極はグランド電位（０Ｖ）となっている。そのため、ゲート電極とソース電極との間には１７００Ｖ程度の電位差が生じている。つまり、トランジスタがＯＦＦ状態の場合、ゲート絶縁膜には電界が集中している。結果として、ＪＦＥＴ領域上のゲート絶縁膜の部分において絶縁破壊が発生しやすくなる。

[0013] そこで発明者らは、ＪＦＥＴ領域における実効的なキャリア濃度を低減することで、ＪＦＥＴ領域上に設けられたゲート絶縁膜に印加される電界強度を低減することを考え出した。

［本開示の実施形態の説明］

次に本開示の実施態様を列記して説明する。

[0014] （１）本開示の一態様に係る炭化珪素半導体装置１は、炭化珪素基板１０と、ゲート絶縁膜１５とを備える。炭化珪素基板１０は、第１主面１０ａと、第１主面１０ａと反対側の第２主面１０ｂとを有する。ゲート絶縁膜１５は、第１主面１０ａ上に設けられている。炭化珪素基板１０は、第１主面１０ａにおいてゲート絶縁膜１５と接し、かつ第１導電型を有する第１ボディ領域１３ａと、第１主面１０ａにおいてゲート絶縁膜１５と接し、かつ第１導電型を有する第２ボディ領域１３ｂと、第１ボディ領域１３ａと第２ボディ領域１３ｂとに挟まれて設けられ、かつ第１導電型とは異なる第２導電型を有するＪＦＥＴ領域２とを含む。ＪＦＥＴ領域２は、第１導電型を付与可能な第１不純物と、第２導電型を付与可能な第２不純物との双方を有する。第２不純物の濃度は、第１不純物の濃度よりも高い。第１導電型はｐ型である。第２導電型はｎ型である。

[0015] 上記（１）に係る炭化珪素半導体装置１によれば、ＪＦＥＴ領域２は、第１導電型を付与可能な第１不純物と、第２導電型を付与可能な第２不純物との双方を有している。これにより、異なる導電型のキャリアを相殺することで、ＪＦＥＴ領域内の実効的なキャリア濃度を低減することができる。それゆえ、ＪＦＥＴ領域２上のゲート絶縁膜１５の絶縁破壊を抑制することができる。

[0016] （２）上記（１）に係る炭化珪素半導体装置１において、第１主面１０ａにおける貫通転位３の密度は、１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下であってもよい。

[0017] 第１主面１０ａに貫通転位３が存在している場合、貫通転位３付近に形成されるゲート絶縁膜１５の部分には、特に電界が集中しやすい。電界集中の一つの原因としては、ゲート絶縁膜１５を形成する工程において主面１０ａを熱酸化する際に、貫通転位３に起因するピットが増大し、当該ピット付近に電界が集中することが推定される。電界集中の別の原因としては、当該ピ

ット付近におけるゲート絶縁膜１５の厚みが不均一になり、薄いゲート絶縁膜１５の部分において絶縁破壊が発生している可能性もある。貫通転位３の密度が１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下である第１主面１０ａ上にゲート絶縁膜１５を設けることにより、貫通転位３上に形成されたゲート絶縁膜１５の絶縁破壊を抑制することができる。

[0018] （３）上記（１）または（２）に係る炭化珪素半導体装置１において、第１不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて増加していてもよい。これにより、第１主面１０ａ側のキャリア濃度を低減しつつ、第２主面１０ｂ側のキャリア濃度を高く維持することができるので、オン抵抗を低く維持することができる。

[0019] （４）上記（１）～（３）のいずれかに係る炭化珪素半導体装置１において、第１不純物は、アルミニウムであってもよい。アルミニウムは他の第１不純物よりも拡散しづらいので、精度良く第１主面１０ａ近傍のキャリア濃度を低減することができる。

[0020] （５）上記（１）～（４）のいずれかに係る炭化珪素半導体装置１において、第２不純物の濃度は、１×１０^{14}ｃｍ$^{-3}$以上１×１０^{16}ｃｍ$^{-3}$以下であってもよい。

[0021] （６）上記（１）～（５）のいずれかに係る炭化珪素半導体装置１において、炭化珪素基板１０は、第１主面１０ａに対して垂直な方向に沿って見て多角形の外形を有する第１セル領域ＣＬ１と、多角形の一辺Ｍ１２ａを共有し、かつ第１主面１０ａに対して垂直な方向に沿って見て多角形の外形を有する第２セル領域ＣＬ２とを含む。ＪＦＥＴ領域２は、一辺Ｍ１２ａの端部Ｃ０を含んでいてもよい。これにより、電界が集中しやすい端部Ｃ０上におけるゲート絶縁膜１５の部分の絶縁破壊を抑制することができる。

[0022] （７）本開示の一態様に係る炭化珪素半導体装置１は、炭化珪素基板１０と、ゲート絶縁膜１５とを備える。炭化珪素基板１０は、第１主面１０ａと、第１主面１０ａと反対側の第２主面１０ｂとを有する。ゲート絶縁膜１５は、第１主面１０ａ上に設けられている。炭化珪素基板１０は、第１主面１

０ａにおいてゲート絶縁膜１５と接し、かつ第１導電型を有する第１ボディ領域１３ａと、第１主面１０ａにおいてゲート絶縁膜１５と接し、かつ第１導電型を有する第２ボディ領域１３ｂと、第１導電型とは異なる第２導電型を有するドリフト領域１２と、第１主面１０ａと平行な方向において第１ボディ領域１３ａと第２ボディ領域１３ｂとに挟まれ、第１主面１０ａと垂直な方向においてゲート絶縁膜１５とドリフト領域１２とに挟まれ、かつ第２導電型を有するＪＦＥＴ領域２とを含む。ＪＦＥＴ領域２およびドリフト領域１２は、第２導電型を付与可能な不純物を有する。第１主面１０ａにおける貫通転位３の密度は、１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下である。ＪＦＥＴ領域２が含む不純物の濃度は、ドリフト領域１２が含む不純物の濃度よりも低い。第１導電型はｐ型である。第２導電型はｎ型である。

[0023] 上記（７）に係る炭化珪素半導体装置１によれば、ＪＦＥＴ領域２が含む不純物の濃度は、ドリフト領域１２が含む不純物の濃度よりも低い。これにより、ＪＦＥＴ領域２上のゲート絶縁膜１５の絶縁破壊を抑制しつつ、オン抵抗を低減することができる。また貫通転位３の密度が１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下である第１主面１０ａ上にゲート絶縁膜１５を設けることにより、貫通転位３上に形成されたゲート絶縁膜１５の絶縁破壊を抑制することができる。

[0024] （８）上記（７）に係る炭化珪素半導体装置１において、ＪＦＥＴ領域２が含む不純物の濃度は、１×１０^{14}ｃｍ$^{-3}$以上１×１０^{16}ｃｍ$^{-3}$以下であってもよい。

[0025] （９）上記（７）または（８）に係る炭化珪素半導体装置１において、ＪＦＥＴ領域２内において、不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて低減していてもよい。これにより、ＪＦＥＴ領域２上のゲート絶縁膜１５の絶縁破壊を抑制しつつ、オン抵抗を低減することができる。

[0026] （１０）上記（７）～（９）のいずれかに係る炭化珪素半導体装置１において、ドリフト領域１２内において、不純物の濃度は、第２主面１０ｂから

第１主面１０ａに向かうにつれて低減していてもよい。これにより、ＪＦＥＴ領域２上のゲート絶縁膜１５の絶縁破壊を抑制しつつ、オン抵抗を低減することができる。

［本開示の実施形態の詳細］

以下、図面に基づいて本開示の実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。また、本明細書中の結晶学的記載においては、個別方位を［］、集合方位を＜＞、個別面を（）、集合面を｛｝でそれぞれ示している。また、負の指数については、結晶学上、”－”（バー）を数字の上に付けることになっているが、本明細書中では、数字の前に負の符号を付けている。

[0027] （実施の形態１）

まず、本開示の実施の形態１に係る炭化珪素半導体装置１としてのＭＯＳＦＥＴ１の構成について説明する。

[0028] 図１に示されるように、本実施の形態に係るＭＯＳＦＥＴ１は、炭化珪素基板１０と、ゲート絶縁膜１５と、ゲート電極２７と、ソース電極１６と、ドレイン電極２０と、層間絶縁膜２２と、ソース配線１９とを主に有している。

[0029] 炭化珪素基板１０は、炭化珪素単結晶基板１１と、炭化珪素単結晶基板１１上に配置された炭化珪素エピタキシャル層２４とを主に有している。炭化珪素単結晶基板１１は、たとえばポリタイプ４Ｈの六方晶炭化珪素から構成されている。炭化珪素単結晶基板１１は、たとえば窒素などのｎ型不純物を含んでおり、ｎ型（第２導電型）の導電型を有する。炭化珪素基板１０は、炭化珪素エピタキシャル層２４により構成される第１主面１０ａと、第１主面１０ａと反対側に位置し、炭化珪素単結晶基板１１により構成される第２主面１０ｂとを有する。炭化珪素基板１０の第１主面１０ａは、たとえば｛０００１｝面から８°以下程度オフした面であり、好ましくは（０００１）面から８°以下程度オフした面である。炭化珪素エピタキシャル層２４は、ボディ領域１３と、ＪＦＥＴ領域２と、ドリフト領域１２と、ソース領域１

４と、コンタクト領域１８とを主に有している。

[0030] ボディ領域１３は、たとえばアルミニウムまたはホウ素などのｐ型不純物を含んでおり、ｐ型（第１導電型）の導電型を有する。ボディ領域１３が含むｐ型不純物の濃度は、たとえば$1\times10^{16}cm^{-3}$以上$1\times10^{18}cm^{-3}$以下である。図１および図２に示されるように、ボディ領域１３は、第１ボディ領域１３ａと、第２ボディ領域１３ｂと、第３ボディ領域１３ｃとを有している。第１ボディ領域１３ａと、第２ボディ領域１３ｂと、第３ボディ領域１３ｃとは、第１主面１０ａにおいてゲート絶縁膜１５と接する。

[0031] ＪＦＥＴ領域２は、ｐ型（第１導電型）を付与可能な第１不純物と、ｎ型（第２導電型）を付与可能な第２不純物との双方を有する。第１不純物は、たとえばアルミニウムまたはホウ素などのｐ型不純物である。第２不純物は、たとえば窒素またはリンなどのｎ型不純物である。ＪＦＥＴ領域２内において、第２不純物の濃度は、第１不純物の濃度よりも高い。そのため、ＪＦＥＴ領域２は、ｐ型とは異なるｎ型の導電型を有する。

[0032] 図１および図２に示されるように、ＪＦＥＴ領域２は、第１ＪＦＥＴ領域２ａと、第２ＪＦＥＴ領域２ｂと、第３ＪＦＥＴ領域２ｃとを有している。図１に示されるように、ＪＦＥＴ領域２は、第１ボディ領域１３ａと第２ボディ領域１３ｂとに挟まれている。図２に示されるように、ＪＦＥＴ領域２は、第３ボディ領域１３ｃと第２ボディ領域１３ｂとに挟まれている。

[0033] ドリフト領域１２は、たとえば窒素などのｎ型不純物（第２不純物）を有しており、ｎ型の導電型を有する。ドリフト領域１２は、ＪＦＥＴ領域２と連続的に形成されている。ドリフト領域１２が含むｎ型不純物の濃度は、ＪＦＥＴ領域２が含むｎ型不純物の濃度とほぼ同じである。ドリフト領域１２は、ＪＦＥＴ領域２と炭化珪素単結晶基板１１とに挟まれ、かつボディ領域１３と炭化珪素単結晶基板１１とに挟まれていている。ドリフト領域１２は、第１ドリフト領域１２ａと、第２ドリフト領域１２ｂと、第３ドリフト領域１２ｃとを有している。

[0034] 図３において、縦軸はＪＦＥＴ領域２およびドリフト領域１２における第

１不純物または第２不純物のドーピング濃度を示しており、横軸は図１の矢印と平行な方向に沿った位置を示している。横軸において、位置０は、第１主面１０ａ上の辺Ｍ１２ａに対応し、位置ａ２は、炭化珪素単結晶基板１１の表面１１ａに対応する。つまり、位置０は、炭化珪素エピタキシャル層２４の表面側であり、位置ａ２は、炭化珪素エピタキシャル層２４の裏面側である。図３において、N_Dはドナー濃度（つまり第２不純物の濃度）を示しており、N_Aはアクセプタ濃度（つまり第１不純物の濃度）を示している。図３に示されるように、ＪＦＥＴ領域２内およびドリフト領域１２内において、第２不純物の濃度はほぼ一定である。ＪＦＥＴ領域２およびドリフト領域１２における第２不純物の濃度ｂ２は、たとえば$6\times10^{15}cm^{-3}$であり、好ましくは$1\times10^{14}cm^{-3}$以上$1\times10^{16}cm^{-3}$以下である。ＪＦＥＴ領域２およびドリフト領域１２における不純物の濃度（N_D-N_A）が低いと、ゲート絶縁膜１５の電界強度が低くなる。そのため、ＪＦＥＴ領域２およびドリフト領域１２における不純物の濃度（N_D-N_A）は低い方が好ましい。

[0035] 図３に示されるように、ＪＦＥＴ領域２において、第２不純物の濃度は、第１不純物の濃度よりも高い。好ましくは、ＪＦＥＴ領域２内の全ての部分において、第２不純物の濃度は、第１不純物の濃度よりも高い。好ましくは、ＪＦＥＴ領域２内において、第２不純物の濃度の最大値は、第１不純物の濃度の最大値よりも高い。図３に示されるように、第１不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて増加していてもよい。第１不純物の濃度の最大値は、第１主面１０ａに位置してもよいし、第１主面１０ａよりも第２主面１０ｂ側に位置していてもよい。第１不純物の濃度の最大値ｂ１は、たとえば$3\times10^{15}cm^{-3}$以上$5\times10^{15}cm^{-3}$以下である。

[0036] 図４に示されるように、第１主面１０ａに対して垂直な方向において、第１不純物の濃度が最大値を示す位置ａ３は、ＪＦＥＴ領域２とドリフト領域１２との境界と、第１主面１０ａとの間に位置してもよい。第１主面１０ａにおける第１不純物の濃度ｂ１は、位置ａ３における第１不純物の濃度ｂ３よりも低くてもよい。つまり、ＪＦＥＴ領域２は、第２主面１０ｂから第１

主面１０ａに向かうにつれて第１不純物の濃度が増加する第１部分Ｐ１と、第２主面１０ｂから第１主面１０ａに向かうにつれて第１不純物の濃度が減少する第２部分Ｐ２とを有していてよい。第２部分Ｐ２は、第１主面１０ａを構成してもよい。たとえば、１回のイオン注入を行うことにより、図４に示すような第１不純物の濃度プロファイルが得られる。

[0037] 図５に示されるように、ＪＦＥＴ領域２は、第２主面１０ｂから第１主面１０ａに向かうにつれて第１不純物の濃度が増加する第１部分Ｐ１と、第２主面１０ｂから第１主面１０ａに向かうにつれて第１不純物の濃度が一定である第３部分Ｐ３とを有していてよい。第３部分Ｐ３は、第１主面１０ａを構成してもよい。たとえば、注入エネルギーを変化させた多段階のイオン注入を行うことにより、図５に示すような第１不純物の濃度プロファイルが得られる。図５において破線で示すプロファイルは、注入エネルギーの異なるプロファイルを示している。

[0038] ソース領域１４は、リンなどのｎ型不純物を含んでおり、ｎ型の導電型を有する。ソース領域１４が含むｎ型不純物の濃度は、たとえば$1\times10^{20}cm^{-3}$程度である。ソース領域１４は、ボディ領域１３によりＪＦＥＴ領域２およびドリフト領域１２の双方から離間されている。ソース領域１４が含むｎ型不純物の濃度は、ドリフト領域１２が含むｎ型不純物の濃度よりも高い。図１および図２に示されるように、ソース領域１４は、第１ソース領域１４ａと、第２ソース領域１４ｂと、第３ソース領域１４ｃとを有している。

[0039] コンタクト領域１８は、たとえばアルミニウムなどのｐ型不純物を含み、ｐ型の導電型を有する。コンタクト領域１８が含むｐ型不純物の濃度は、たとえば$1\times10^{20}cm^{-3}$程度である。コンタクト領域１８が含むｐ型不純物の濃度は、ボディ領域１３が含むｐ型不純物の濃度よりも高い。コンタクト領域１８は、第１コンタクト領域１８ａと、第２コンタクト領域１８ｂと、第３コンタクト領域１８ｃとを有している。なお、上記ｎ型不純物およびｐ型不純物の元素、濃度および各領域の導電型は、たとえばＳＩＭＳ（Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）により測定す

ることが可能である。

[0040] 図１および図２に示されるように、炭化珪素基板１０は、第１セル領域ＣＬ１と、第２セル領域ＣＬ２と、第３セル領域ＣＬ３とを有している。図２に示されるように、平面視（第１主面１０ａに対して垂直な方向に沿って見た場合）において、第１セル領域ＣＬ１と、第２セル領域ＣＬ２と、第３セル領域ＣＬ３との各々は、多角形の外形を有する。多角形とは、たとえば六角形であり、好ましくは正六角形である。平面視において、第１セル領域ＣＬ１は、第２セル領域ＣＬ２と、第３セル領域ＣＬ３とに接する。第２セル領域ＣＬ２は、第１セル領域ＣＬ１と、第３セル領域ＣＬ３とに接する。第３セル領域ＣＬ３は、第１セル領域ＣＬ１と、第２セル領域ＣＬ２とに接する。

[0041] 第１セル領域ＣＬ１および第２セル領域ＣＬ２は、多角形の一辺Ｍ１２ａを共有している。第２セル領域ＣＬ２および第３セル領域ＣＬ３は、多角形の一辺Ｍ２３ａを共有している。第３セル領域ＣＬ３および第１セル領域ＣＬ１は、多角形の一辺Ｍ１３ａを共有している。辺Ｍ１２ａと、辺Ｍ２３ａと、辺Ｍ１３ａとは、三重点Ｃ０を共有する。第１ＪＦＥＴ領域２ａは、辺Ｍ１２ａにおいて第２ＪＦＥＴ領域２ｂと接する。第２ＪＦＥＴ領域２ｂは、辺Ｍ２３ａにおいて第３ＪＦＥＴ領域２ｃと接する。第３ＪＦＥＴ領域２ｃは、辺Ｍ１３ａにおいて第１ＪＦＥＴ領域２ａと接する。

[0042] 図２に示されるように、ＪＦＥＴ領域２は、多角形の一辺Ｍ１２ａを含む。好ましくは、ＪＦＥＴ領域２は、一辺Ｍ１２ａの端部Ｃ０を含む。一辺Ｍ１２ａは、第１ＪＦＥＴ領域２ａと第２ＪＦＥＴ領域２ｂとの境界に位置する。図２に示されるように、ＪＦＥＴ領域２は、多角形の一辺Ｍ１２ａ、Ｍ２３ａ、Ｍ１３ａと、三重点Ｃ０とを含んでもよい。三重点Ｃ０は、第１ＪＦＥＴ領域２ａと、第２ＪＦＥＴ領域２ｂと、第３ＪＦＥＴ領域２ｃとが接する点に位置する。

[0043] 第１セル領域ＣＬ１は、第１ＪＦＥＴ領域２ａと、第１ドリフト領域１２ａと、第１ボディ領域１３ａと、第１ソース領域１４ａと、第１コンタクト

領域１８ａとを有する。平面視において、第１ボディ領域１３ａと、第１ソース領域１４ａと、第１コンタクト領域１８ａとは、六角形の外形を有する。第１コンタクト領域１８ａは、第１ソース領域１４ａに取り囲まれている。第１ソース領域１４ａは、第１ボディ領域１３ａに取り囲まれている。第１ボディ領域１３ａは、第１ＪＦＥＴ領域２ａに取り囲まれている。第１ソース領域１４ａは、第１ボディ領域１３ａによって第１ＪＦＥＴ領域２ａおよび第１ドリフト領域１２ａから隔てられている。

[0044] 第２セル領域ＣＬ２は、第２ＪＦＥＴ領域２ｂと、第２ドリフト領域１２ｂと、第２ボディ領域１３ｂと、第２ソース領域１４ｂと、第２コンタクト領域１８ｂとを有する。平面視において、第２ボディ領域１３ｂと、第２ソース領域１４ｂと、第２コンタクト領域１８ｂとは、六角形の外形を有する。第２コンタクト領域１８ｂは、第２ソース領域１４ｂに取り囲まれている。第２ソース領域１４ｂは、第２ボディ領域１３ｂに取り囲まれている。第２ボディ領域１３ｂは、第２ＪＦＥＴ領域２ｂに取り囲まれている。第２ソース領域１４ｂは、第２ボディ領域１３ｂによって第２ＪＦＥＴ領域２ｂおよび第２ドリフト領域１２ｂから隔てられている。

[0045] 第３セル領域ＣＬ３は、第３ＪＦＥＴ領域２ｃと、第３ドリフト領域１２ｃと、第３ボディ領域１３ｃと、第３ソース領域１４ｃと、第３コンタクト領域１８ｃとを有する。平面視において、第３ボディ領域１３ｃと、第３ソース領域１４ｃと、第３コンタクト領域１８ｃは、六角形の外形を有する。第３コンタクト領域１８ｃは、第３ソース領域１４ｃに取り囲まれている。第３ソース領域１４ｃは、第３ボディ領域１３ｃに取り囲まれている。第３ボディ領域１３ｃは、第３ＪＦＥＴ領域２ｃに取り囲まれている。第３ソース領域１４ｃは、第３ボディ領域１３ｃによって第３ＪＦＥＴ領域２ｃおよび第３ドリフト領域１２ｃから隔てられている。

[0046] 図２に示されるように、平面視において、第１コンタクト領域１８ａ、第２コンタクト領域１８ｂおよび第３コンタクト領域１８ｃの外形は、それぞれ、第１ソース領域１４ａ、第２ソース領域１４ｂおよび第３ソース領域１

４ｃの外形の相似形であってもよい。同様に、平面視において、第１ソース領域１４ａ、第２ソース領域１４ｂおよび第３ソース領域１４ｃの外形は、それぞれ、第１ボディ領域１３ａ、第２ボディ領域１３ｂおよび第３ボディ領域１３ｃの外形の相似形であってもよい。なお、第１ボディ領域１３ａと第２ボディ領域１３ｂとに挟まれた部分と、第１ボディ領域１３ａと第３ボディ領域１３ｃとに挟まれた部分と、第２ボディ領域１３ｂと第３ボディ領域１３ｃとに挟まれた部分とはＪＦＥＴ領域２を形成する。

[0047] 図１に示されるように、ゲート絶縁膜１５は、炭化珪素基板１０の第１主面１０ａ上に設けられている。ゲート絶縁膜１５は、第１主面１０ａにおいて、ボディ領域１３と、ソース領域１４と、ＪＦＥＴ領域２とに接している。具体的には、ゲート絶縁膜１５は、第１主面１０ａにおいて、第１ソース領域１４ａと、第１ボディ領域１３ａと、第１ＪＦＥＴ領域２ａと、第２ソース領域１４ｂと、第２ボディ領域１３ｂと、第２ＪＦＥＴ領域２ｂと、第３ソース領域１４ｃと、第３ボディ領域１３ｃと、第３ＪＦＥＴ領域２ｃとに接する。ゲート絶縁膜１５と接するボディ領域１３の部分には、チャネル領域ＣＨが形成可能に構成されている。ゲート絶縁膜１５は、たとえば二酸化珪素を含む材料により構成されている。ゲート絶縁膜１５の厚みは、たとえば４０ｎｍ以上５０ｎｍ以下である。

[0048] ゲート電極２７は、チャネル領域ＣＨに対面して設けられている。ゲート電極２７は、たとえば不純物がドープされたポリシリコンを含む材料により構成されている。ゲート電極２７は、ゲート絶縁膜１５上に設けられている。ゲート電極２７は、ソース領域１４と、ボディ領域１３と、ＪＦＥＴ領域２とに対面して設けられている。層間絶縁膜２２は、ゲート絶縁膜１５と、ゲート電極２７とに接して設けられている。層間絶縁膜２２は、ゲート電極２７を覆うように設けられており、ゲート電極２７とソース電極１６との間を電気的に絶縁している。層間絶縁膜２２は、たとえば二酸化珪素を含む材料により構成されている。

[0049] ソース電極１６は、第１ソース電極１６ａと、第２ソース電極１６ｂと、

第３ソース電極とを有する。第１ソース電極１６ａは、炭化珪素基板１０の第１主面１０ａにおいて、第１ソース領域１４ａと、第１コンタクト領域１８ａとに接している。同様に、第２ソース電極１６ｂは、第１主面１０ａにおいて、第２ソース領域１４ｂと、第２コンタクト領域１８ｂとに接している。同様に、第３ソース電極は、第１主面１０ａにおいて、第３ソース領域１４ｃと、第３コンタクト領域１８ｃとに接している。ソース電極１６は、たとえばアルミニウムを含む材料からなる。好ましくは、ソース電極１６は、ＴｉＡｌＳｉを含む材料からなる。ソース配線１９はソース電極１６と接して設けられている。ソース配線１９は、層間絶縁膜２２を覆うように設けられている。

[0050] ドレイン電極２０は、炭化珪素基板１０の第２主面１０ｂに接して設けられている。ドレイン電極２０は、たとえばＮｉＳｉなど、ｎ型の炭化珪素単結晶基板１１とオーミックコンタクト可能な材料から構成されており、炭化珪素単結晶基板１１と電気的に接続されている。

[0051] 第１主面１０ａにおける貫通転位３の密度は、たとえば１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下である。貫通転位３の密度の上限値は、たとえば５０００ｃｍ$^{-2}$であってもよい。貫通転位３の密度の下限値は、たとえば２００ｃｍ$^{-2}$であってもよい。貫通転位３は、たとえば貫通刃状転位と、貫通螺旋転位とを含む。貫通転位３は、たとえば炭化珪素基板１０の第１主面１０ａから第２主面１０ｂまで延伸している。つまり、貫通転位３は、炭化珪素エピタキシャル層２４と、炭化珪素単結晶基板１１とに形成されている。貫通転位３は、ドリフト領域１２と、ＪＦＥＴ領域２とを貫通していてもよい。ゲート絶縁膜１５の絶縁破壊抑制の観点から、ゲート絶縁膜１５に接するＪＦＥＴ領域２の表面における貫通転位３の密度が１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下であってもよい。

[0052] 次に、貫通転位の密度の測定方法について説明する。

まず樹脂パッケージに覆われた炭化珪素半導体装置を発煙硝酸に浸漬することにより、樹脂パッケージが除去される。次に、Ａｌ（アルミニウム）配

線と、Ｃｕ（銅）リードフレームとが、ＨＣｌ（塩酸）により除去される。層間絶縁膜２２、ゲート電極２７およびゲート絶縁膜１５は、HNO_3（硝酸）とＨＦ（フッ酸）との混合液により除去される。以上により、炭化珪素基板１０の第１主面１０ａが露出する。なお、半導体チップが樹脂パッケージに覆われていない場合は、樹脂パッケージの除去工程は不要である。

[0053] 次に、炭化珪素基板１０の第１主面１０ａが、溶融ＫＯＨ（水酸化カリウム）によりエッチングされる。ＫＯＨの濃度は、たとえば１００％である。ＫＯＨの温度は、たとえば５００℃である。エッチング時間は、たとえば５分である。炭化珪素基板１０は、たとえば数百ｎｍ程度エッチングされる。以上のようにして、貫通転位に起因するエッチピットが形成される。

[0054] 次に、オリンパス製工業用検査顕微鏡（ＭＸ５１）を用いて、エッチピットが観察される。顕微鏡倍率は、たとえば５００倍以上１０００倍以下である。明視野よりも暗視野の方が観察に適している。検査範囲は、たとえば１ｃｍ×１ｃｍよりも大きい方が望ましい。平面視において、六角形の外形を有するエッチピットが貫通転位と判断される。つまり、エッチピットの面密度を測定することにより、貫通転位の密度が求められる。

[0055] 次に、ＭＯＳＦＥＴの動作について説明する。図１に示されるように、ゲート電極２７の電圧が閾値電圧未満の状態、すなわちオフ状態では、ゲート絶縁膜１５の直下に位置するボディ領域１３とＪＦＥＴ領域２との間のｐｎ接合が逆バイアスとなり非導通状態となる。一方、ゲート電極２７に閾値電圧以上の電圧を印加すると、ゲート絶縁膜１５に対応するチャネル領域ＣＨにおいて反転層が形成される。その結果、ソース領域１４とＪＦＥＴ領域２とが電気的に接続され、ソース電極１６とドレイン電極２０との間に電流が流れる。

[0056] 次に、図２の変形例の構成について説明する。

図１４に示されるように、平面視において、第１セル領域ＣＬ１と、第２セル領域ＣＬ２の各々は、ストライプ状のセルであってもよい。言い換えれば、第１セル領域ＣＬ１と、第２セル領域ＣＬ２との各々は、長方形の外形

を有していてもよい。第１セル領域ＣＬ１および第２セル領域ＣＬ２は、長方形の一辺Ｍ１２ａを共有している。第１ＪＦＥＴ領域２ａは、一辺Ｍ１２ａにおいて第２ＪＦＥＴ領域２ｂと接する。

[0057] 第１セル領域ＣＬ１は、第１ＪＦＥＴ領域２ａと、第１ドリフト領域１２ａと、第１ボディ領域１３ａと、第１ソース領域１４ａと、第１コンタクト領域１８ａとを有する。平面視において、第１ボディ領域１３ａと、第１ソース領域１４ａと、第１コンタクト領域１８ａとは、長方形の外形を有する。第１コンタクト領域１８ａは、一対の第１ソース領域１４ａに挟まれている。第１ソース領域１４ａは、第１ボディ領域１３ａと第１コンタクト領域１８ａとに挟まれている。第１ボディ領域１３ａは、第１ＪＦＥＴ領域２ａと第１ソース領域１４ａとに挟まれている。

[0058] 第２セル領域ＣＬ２は、第２ＪＦＥＴ領域２ｂと、第２ドリフト領域１２ｂと、第２ボディ領域１３ｂと、第２ソース領域１４ｂと、第２コンタクト領域１８ｂとを有する。平面視において、第２ボディ領域１３ｂと、第２ソース領域１４ｂと、第２コンタクト領域１８ｂとは、長方形の外形を有する。第２コンタクト領域１８ｂは、一対の第２ソース領域１４ｂに挟まれている。第２ソース領域１４ｂは、第２ボディ領域１３ｂと第２コンタクト領域１８ｂとに挟まれている。第２ボディ領域１３ｂは、第２ＪＦＥＴ領域２ｂと第２ソース領域１４ｂとに挟まれている。第１ボディ領域１３ａと第２ボディ領域１３ｂとに挟まれた部分はＪＦＥＴ領域２を構成する。

[0059] 次に、実施の形態１に係るＭＯＳＦＥＴ１の製造方法について説明する。

まず炭化珪素基板を準備する工程（Ｓ１０：図６）が実施される。具体的には、たとえばポリタイプ４Ｈの六方晶炭化珪素からなる炭化珪素単結晶基板１１が準備される。次に、炭化珪素単結晶基板１１上にエピタキシャル成長によりｎ型の炭化珪素エピタキシャル層２４が形成される。炭化珪素エピタキシャル層２４は、たとえば窒素などのｎ型不純物を含んでいる。炭化珪素エピタキシャル層２４が含むｎ型不純物の濃度は、たとえば$1\times10^{16}cm^{-3}$以下である。炭化珪素エピタキシャル層２４は、第１主面１０ａを構成する

。炭化珪素単結晶基板１１は、第２主面１０ｂを構成する。第１主面１０ａは、たとえば（０００１）面から８°以下程度オフした面であってもよい。

[0060] 図７に示されるように、炭化珪素単結晶基板１１は、貫通転位３を含む。炭化珪素単結晶基板１１の表面１１ａ上に炭化珪素エピタキシャル層２４を成長させる際、炭化珪素単結晶基板１１に存在していた貫通転位３が炭化珪素エピタキシャル層２４に引き継がれる。貫通転位３は、第１主面１０ａに露出する。第１主面１０ａに露出する貫通転位３の密度は、たとえば１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下である。複数の炭化珪素基板から上記の貫通転位密度を有する炭化珪素基板１０を選別して炭化珪素基板１０が準備されてもよい。

[0061] 次に、炭化珪素エピタキシャル層２４の第１主面１０ａに対してイオン注入が実施される。たとえばアルミニウムなどのｐ型不純物が炭化珪素エピタキシャル層２４に対してイオン注入される。これにより、第１ボディ領域１３ａと、第２ボディ領域１３ｂと、第３ボディ領域１３ｃとが形成される。次に、第１ボディ領域１３ａ、第２ボディ領域１３ｂおよび第３ボディ領域１３ｃの各々に対して、たとえばリンなどのｎ型不純物がイオン注入される。これにより、第１ソース領域１４ａ、第２ソース領域１４ｂおよび第３ソース領域１４ｃが形成される。次に、第１ソース領域１４ａ、第２ソース領域１４ｂおよび第３ソース領域１４ｃの各々に対して、たとえばアルミニウムなどのｐ型不純物がイオン注入される。これにより、第１コンタクト領域１８ａ、第２コンタクト領域１８ｂおよび第３コンタクト領域１８ｃが形成される。第１ボディ領域１３ａと、第２ボディ領域１３ｂとに挟まれた領域は、ＪＦＥＴ領域２となる（図８参照）。

[0062] 次に、第１主面１０ａ上にマスク層４が形成される。マスク層４は、ＪＦＥＴ領域２上に開口を有する。図９に示されるように、ＪＦＥＴ領域２に対して、たとえばアルミニウムなどのｐ型不純物が矢印の方向にイオン注入される。イオン注入される領域の幅は、たとえばＪＦＥＴ領域２の幅とほぼ同じになるように調整される。好ましくは、ｐ型不純物は、ボディ領域１３か

ら０．２μｍ以上内側に注入される。具体的には、ｐ型不純物は、第１ボディ領域１３ａの端部１３ａ１から辺Ｍ１２ａに向かって０．２μｍ以上離れた領域であって、かつ第２ボディ領域１３ｂの端部１３ｂ１から辺Ｍ１２ａに向かって０．２μｍ以上離れた領域に注入される。ＪＦＥＴ領域２にイオン注入されるｐ型不純物の濃度は、ＪＦＥＴ領域２が含むｎ型不純物の濃度よりも低い。次に、マスク層４が第１主面１０ａから除去される。

[0063] 次に、活性化アニール工程が実施される。具体的には、たとえばアルゴンなどの不活性ガス雰囲気中において、炭化珪素基板１０をたとえば１７００℃程度に加熱して、３０分間程度保持する熱処理が実施される。これによりイオン注入された不純物が活性化する。

[0064] 次に、ゲート絶縁膜を形成する工程（Ｓ２０：図６）が実施される。炭化珪素基板１０が、たとえば酸素雰囲気中において１３００℃程度で１時間程度加熱される。これにより、炭化珪素基板１０の第１主面１０ａ上にゲート絶縁膜１５が形成される。ゲート絶縁膜１５は、ＪＦＥＴ領域２と、ボディ領域１３と、ソース領域１４と、コンタクト領域１８とに接して形成される（図１０参照）。

[0065] 次に、窒素アニール工程が実施されてもよい。具体的には、一酸化窒素雰囲気中において、炭化珪素基板１０が１１００℃程度の温度でたとえば１時間程度保持される。次に、アルゴンや窒素などの不活性ガス中において、炭化珪素基板１０を加熱する熱処理が実施されてもよい。たとえばアルゴン雰囲気中において、炭化珪素基板１０は１１００℃以上１５００℃以下の温度で１時間程度保持される。

[0066] 次に、ゲート電極を形成する工程（Ｓ３０：図６）が実施される。たとえばＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法により、不純物が添加されたポリシリコンからなるゲート電極２７がゲート絶縁膜１５上に形成される。ゲート電極２７は、ゲート絶縁膜１５に接するように形成される。

[0067] 次に、層間絶縁膜を形成する工程（Ｓ４０：図６）が実施される。たとえ

ばＣＶＤ法により、二酸化珪素を含む材料からなる層間絶縁膜２２が、ゲート電極２７を覆い、かつゲート絶縁膜１５に接して形成される。

[0068] 次に、ソース電極を形成する工程（Ｓ５０：図６）が実施される。たとえばエッチングによりソース電極１６を形成する予定の領域の層間絶縁膜２２およびゲート絶縁膜１５が除去される。これにより、図１１に示されるように、コンタクト領域１８と、ソース領域１４とがゲート絶縁膜１５から露出する。次に、たとえばスパッタリング法により、ソース電極１６が、コンタクト領域１８と、ソース領域１４とに接するように形成される。ソース電極１６は、たとえばＴｉ（チタン）、Ａｌ（アルミニウム）およびＳｉ（珪素）を含んでいてもよい。次に、ソース電極１６と炭化珪素基板１０とが、たとえば９００℃以上１１００℃以下でアニールされる。これにより、ソース領域１４とオーミック接合するソース電極１６が形成される。好ましくは、ソース電極１６は、コンタクト領域１８ともオーミック接合する。

[0069] 次に、たとえばアルミニウムを含む材料から構成されたソース配線１９がソース電極１６と接するように形成される。次に、炭化珪素単結晶基板１１の第２主面１０ｂに接するドレイン電極２０が形成される。ドレイン電極２０は、たとえばＮｉＳｉを含む。以上の工程を経て、図１に示すＭＯＳＦＥＴ１が完成する。

[0070] 次に、実施の形態１に係るＭＯＳＦＥＴ１の作用効果について説明する。

実施の形態１に係るＭＯＳＦＥＴ１によれば、ＪＦＥＴ領域２は、第１導電型を付与可能な第１不純物と、第２導電型を付与可能な第２不純物との双方を有している。これにより、異なる導電型のキャリアを相殺することで、ＪＦＥＴ領域内の実効的なキャリア濃度を低減することができる。それゆえ、ＪＦＥＴ領域２上のゲート絶縁膜１５の絶縁破壊を抑制することができる。

[0071] また実施の形態１に係るＭＯＳＦＥＴ１によれば、第１主面１０ａにおける貫通転位３の密度は、１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下である。第１主面１０ａに貫通転位３が存在している場合、貫通転位３付近に形成される

ゲート絶縁膜１５の部分には、特に電界が集中しやすい。電界集中の一つの原因としては、ゲート絶縁膜１５を形成する工程において主面１０ａを熱酸化する際に、貫通転位３に起因するピットが増大し、当該ピット付近に電界が集中することが推定される。電界集中の別の原因としては、当該ピット付近におけるゲート絶縁膜１５の厚みが不均一になり、薄いゲート絶縁膜１５の部分において絶縁破壊が発生している可能性もある。貫通転位３の密度が１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下である第１主面１０ａ上にゲート絶縁膜１５を設けることにより、貫通転位３上に形成されたゲート絶縁膜１５の絶縁破壊を抑制することができる。

[0072] さらに実施の形態１に係るＭＯＳＦＥＴ１によれば、第１不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて増加している。これにより、第１主面１０ａ側のキャリア濃度を低減しつつ、第２主面１０ｂ側のキャリア濃度を高く維持することができるので、オン抵抗を低く維持することができる。

[0073] さらに実施の形態１に係るＭＯＳＦＥＴ１によれば、第１不純物は、アルミニウムである。アルミニウムは他の第１不純物よりも拡散しづらいので、精度良く第１主面１０ａ近傍のキャリア濃度を低減することができる。

[0074] さらに実施の形態１に係るＭＯＳＦＥＴ１によれば、第２不純物の濃度は、１×１０^{14}ｃｍ$^{-3}$以上１×１０^{16}ｃｍ$^{-3}$以下である。

[0075] さらに実施の形態１に係るＭＯＳＦＥＴ１によれば、炭化珪素基板１０は、第１主面１０ａに対して垂直な方向に沿って見て多角形の外形を有する第１セル領域ＣＬ１と、多角形の一辺Ｍ１２ａを共有し、かつ第１主面１０ａに対して垂直な方向に沿って見て多角形の外形を有する第２セル領域ＣＬ２とを含む。ＪＦＥＴ領域２は、一辺Ｍ１２ａの端部Ｃ０を含んでいてもよい。これにより、電界が集中しやすい端部Ｃ０上におけるゲート絶縁膜１５の部分の絶縁破壊を抑制することができる。

[0076] （実施の形態２）

次に、本開示の実施の形態２に係る炭化珪素半導体装置１としてのＭＯＳ

ＦＥＴ１の構成について説明する。実施の形態２に係るＭＯＳＦＥＴ１は、ＪＦＥＴ領域２が含む不純物の濃度は、ドリフト領域１２が含む不純物の濃度よりも低い点において、実施の形態１に係るＭＯＳＦＥＴ１と主に異なっており、他の構成については、実施の形態１に係るＭＯＳＦＥＴ１とほぼ同じである。そのため、同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

[0077] 図１に示されるように、実施の形態２に係るＭＯＳＦＥＴ１は、ＪＦＥＴ領域２を含んでいる。ＪＦＥＴ領域２は、第１主面１０ａと平行な方向において第１ボディ領域１３ａと第２ボディ領域１３ｂとに挟まれており、第１主面１０ａと垂直な方向においてゲート絶縁膜１５とドリフト領域１２とに挟まれている。ＪＦＥＴ領域２は、たとえば窒素などのｎ型不純物を含んでいる。実施の形態１に係るＪＦＥＴ領域２と異なり、ＪＦＥＴ領域２は、アルミニウムなどのｐ型不純物を含んでいなくてもよい。ＪＦＥＴ領域２が含むｎ型不純物の濃度は、ドリフト領域１２が含むｎ型不純物の濃度よりも低い。

[0078] 図１２および図１３において、縦軸はＪＦＥＴ領域２およびドリフト領域１２における第２不純物（ｎ型不純物）のドーピング濃度を示しており、横軸は図１の矢印の方向に沿った位置を示している。横軸において、位置０は、第１主面１０ａ上の辺Ｍ１２ａに対応し、位置ａ２は、炭化珪素単結晶基板１１の表面１１ａに対応する。つまり、位置０は、炭化珪素エピタキシャル層２４の表面側であり、位置ａ２は、炭化珪素エピタキシャル層２４の裏面側である。

[0079] 図１２に示されるように、ＪＦＥＴ領域２内において、ｎ型不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて低減していてもよい。同様に、ドリフト領域１２内において、ｎ型不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて低減していてもよい。好ましくは、ＪＦＥＴ領域２内およびドリフト領域１２内において、ｎ型不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて単調に低減して

いている。ＪＦＥＴ領域２が含むｎ型不純物の濃度は、１×１０^{14}ｃｍ$^{-3}$以上１×１０^{16}ｃｍ$^{-3}$以下であってもよい。つまり、ＪＦＥＴ領域２において、ｎ型不純物の最小値は１×１０^{14}ｃｍ$^{-3}$以上であり、かつｎ型不純物の最大値は１×１０^{16}ｃｍ$^{-3}$以下であってもよい。図１２に示されるように、第１主面１０ａの位置０おいて、ｎ型不純物の濃度は最小値ｂ４を示し、表面１１ｂの位置ａ２において、ｎ型不純物の濃度は最大値ｂ５を示してもよい。ｎ型不純物の濃度の最小値ｂ４は、たとえば４．５×１０^{15}ｃｍ$^{-3}$である。ｎ型不純物の濃度の最大値ｂ５は、たとえば１０×１０^{15}ｃｍ$^{-3}$である。第１主面１０ａと垂直な方向における位置０から位置ａ２までの距離は、たとえば１５μｍである。

[0080] 図１３に示されるように、ＪＦＥＴ領域２内において、ｎ型不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて段階的に低減していてもよい。同様に、ドリフト領域１２内において、ｎ型不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて段階的に低減していてもよい。好ましくは、ＪＦＥＴ領域２内およびドリフト領域１２内を通して、ｎ型不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて単調に低減していている。

[0081] なお、実施の形態１で説明した炭化珪素エピタキシャル層を形成する工程（図７参照）において、たとえば窒素ガスまたはアンモニアなどの窒素元素を含むガスの流量を変化させることにより、図１２および図１３に示すようなｎ型不純物の濃度プロファイルを実現することができる。また実施の形態１で説明したＪＦＥＴ領域２に対してｐ型不純物をイオン注入する工程は省略される。上記以外の工程は、実施の形態１で説明したＭＯＳＦＥＴ１の製造方法とほぼ同じであるため省略する。

[0082] なお上記実施の形態において、炭化珪素半導体装置としてＭＯＳＦＥＴを例に挙げて説明したが、炭化珪素半導体装置は、ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）などであってもよい。

[0083] 次に、実施の形態２に係るＭＯＳＦＥＴ１の作用効果について説明する。

実施の形態２に係るＭＯＳＦＥＴ１によれば、ＪＦＥＴ領域２が含む不純物の濃度は、ドリフト領域１２が含む不純物の濃度よりも低い。これにより、ＪＦＥＴ領域２上のゲート絶縁膜１５の絶縁破壊を抑制しつつ、オン抵抗を低減することができる。また貫通転位３の密度が１００ｃｍ$^{-2}$以上１０００ｃｍ$^{-2}$以下である第１主面１０ａ上にゲート絶縁膜１５を設けることにより、貫通転位３上に形成されたゲート絶縁膜１５の絶縁破壊を抑制することができる。

[0084] また実施の形態２に係るＭＯＳＦＥＴ１によれば、ＪＦＥＴ領域２が含む不純物の濃度は、１×１０^{14}ｃｍ$^{-3}$以上１×１０^{16}ｃｍ$^{-3}$以下である。

[0085] さらに実施の形態２に係るＭＯＳＦＥＴ１によれば、ＪＦＥＴ領域２内において、不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて低減していてもよい。これにより、ＪＦＥＴ領域２上のゲート絶縁膜１５の絶縁破壊を抑制しつつ、オン抵抗を低減することができる。

[0086] さらに実施の形態２に係るＭＯＳＦＥＴ１によれば、ドリフト領域１２内において、不純物の濃度は、第２主面１０ｂから第１主面１０ａに向かうにつれて低減していてもよい。これにより、ＪＦＥＴ領域２上のゲート絶縁膜１５の絶縁破壊を抑制しつつ、オン抵抗を低減することができる。

[0087] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0088] １　ＭＯＳＦＥＴ（炭化珪素半導体装置）、２　ＪＦＥＴ領域、２ａ　第１ＪＦＥＴ領域、２ｂ　第２ＪＦＥＴ領域、２ｃ　第３ＪＦＥＴ領域、３　貫通転位、４　マスク層、１０　炭化珪素基板、１０ａ　第１主面（主面）、１０ｂ　第２主面、１１　炭化珪素単結晶基板、１１ａ，１１ｂ　表面、１２　ドリフト領域、１２ａ　第１ドリフト領域、１２ｂ　第２ドリフト領

域、１２ｃ　第３ドリフト領域、１３　ボディ領域、１３ａ　第１ボディ領域、１３ｂ　第２ボディ領域、１３ｃ　第３ボディ領域、１４　ソース領域、１４ａ　第１ソース領域、１４ｂ　第２ソース領域、１４ｃ　第３ソース領域、１５　ゲート絶縁膜、１６　ソース電極、１６ａ　第１ソース電極、１６ｂ　第２ソース電極、１８　コンタクト領域、１８ａ　第１コンタクト領域、１８ｂ　第２コンタクト領域、１８ｃ　第３コンタクト領域、１９　ソース配線、２０　ドレイン電極、２２　層間絶縁膜、２４　炭化珪素エピタキシャル層、２７　ゲート電極、Ｃ０　端部（三重点）、ＣＨ　チャネル領域、ＣＬ１　第１セル領域、ＣＬ２　第２セル領域、ＣＬ３　第３セル領域、Ｍ１２ａ，Ｍ１３ａ，Ｍ２３ａ　一辺、辺、Ｐ１　第１部分、Ｐ２　第２部分、Ｐ３　第３部分。

請求の範囲

[請求項1] 第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板と、

前記第１主面上に設けられたゲート絶縁膜とを備え、

前記炭化珪素基板は、前記第１主面において前記ゲート絶縁膜と接し、かつ第１導電型を有する第１ボディ領域と、前記第１主面において前記ゲート絶縁膜と接し、かつ前記第１導電型を有する第２ボディ領域と、前記第１ボディ領域と前記第２ボディ領域とに挟まれて設けられ、かつ前記第１導電型とは異なる第２導電型を有するＪＦＥＴ領域とを含み、

前記ＪＦＥＴ領域は、前記第１導電型を付与可能な第１不純物と、前記第２導電型を付与可能な第２不純物との双方を有し、

前記第２不純物の濃度は、前記第１不純物の濃度よりも高く、

前記第１導電型はｐ型であり、前記第２導電型はｎ型である、炭化珪素半導体装置。

[請求項2] 前記第１主面における貫通転位の密度は、１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下である、請求項１に記載の炭化珪素半導体装置。

[請求項3] 前記第１不純物の濃度は、前記第２主面から前記第１主面に向かうにつれて増加している、請求項１または請求項２に記載の炭化珪素半導体装置。

[請求項4] 前記第１不純物は、アルミニウムである、請求項１～請求項３のいずれか１項に記載の炭化珪素半導体装置。

[請求項5] 前記第２不純物の濃度は、１×１０^{14}ｃｍ$^{-3}$以上１×１０^{16}ｃｍ$^{-3}$以下である、請求項１～請求項４のいずれか１項に記載の炭化珪素半導体装置。

[請求項6] 前記炭化珪素基板は、前記第１主面に対して垂直な方向に沿って見て多角形の外形を有する第１セル領域と、前記多角形の一辺を共有し、かつ前記第１主面に対して垂直な方向に沿って見て前記多角形の外

形を有する第２セル領域とを含み、

前記ＪＦＥＴ領域は、前記一辺の端部を含む、請求項１～請求項５のいずれか１項に記載の炭化珪素半導体装置。

[請求項7] 第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板と、

前記第１主面上に設けられたゲート絶縁膜とを備え、

前記炭化珪素基板は、前記第１主面において前記ゲート絶縁膜と接し、かつ第１導電型を有する第１ボディ領域と、前記第１主面において前記ゲート絶縁膜と接し、かつ前記第１導電型を有する第２ボディ領域と、前記第１導電型とは異なる第２導電型を有するドリフト領域と、前記第１主面と平行な方向において前記第１ボディ領域と前記第２ボディ領域とに挟まれ、前記第１主面と垂直な方向において前記ゲート絶縁膜と前記ドリフト領域とに挟まれ、かつ前記第２導電型を有するＪＦＥＴ領域とを含み、

前記ＪＦＥＴ領域および前記ドリフト領域は、前記第２導電型を付与可能な不純物を有し、

前記第１主面における貫通転位の密度は、１００ｃｍ$^{-2}$以上１００００ｃｍ$^{-2}$以下であり、

前記ＪＦＥＴ領域が含む前記不純物の濃度は、前記ドリフト領域が含む前記不純物の濃度よりも低く、

前記第１導電型はｐ型であり、前記第２導電型はｎ型である、炭化珪素半導体装置。

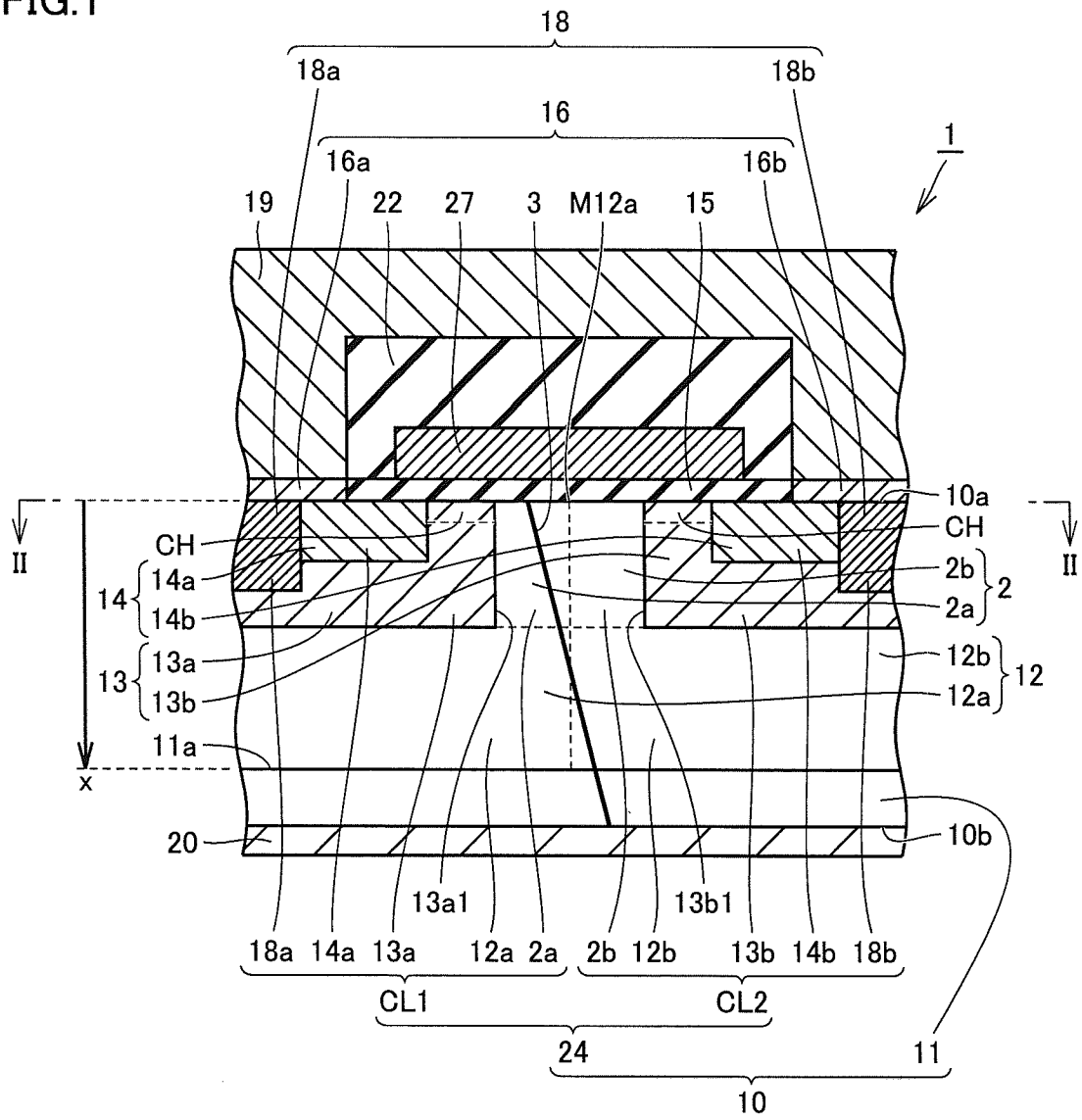
[請求項8] 前記ＪＦＥＴ領域が含む前記不純物の濃度は、１×１０^{14}ｃｍ$^{-3}$以上１×１０^{16}ｃｍ$^{-3}$以下である、請求項７に記載の炭化珪素半導体装置。

[請求項9] 前記ＪＦＥＴ領域内において、前記不純物の濃度は、前記第２主面から前記第１主面に向かうにつれて低減している、請求項７または請求項８に記載の炭化珪素半導体装置。

[請求項10] 前記ドリフト領域内において、前記不純物の濃度は、前記第２主面から前記第１主面に向かうにつれて低減している、請求項７～請求項９のいずれか１項に記載の炭化珪素半導体装置。

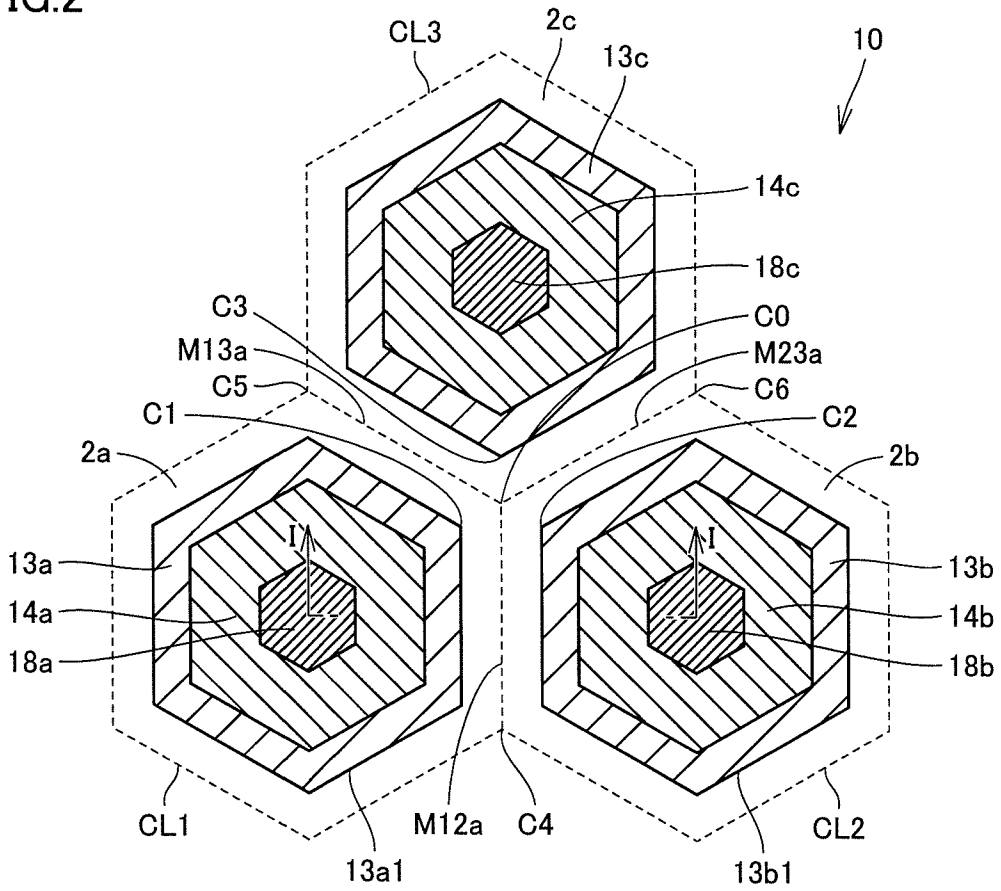
[図1]

FIG.1


18
18a
18b
16
16a
16b
1
19
22
27
3
M12a
15
10a
CH
CH
II
II
14
14a
14b
2b
2a
2
13
13a
13b
12b
12a
12
11a
x
20
10b
13a1
13b1
18a 14a 13a 12a 2a 2b 12b 13b 14b 18b
CL1
CL2
24
11
10

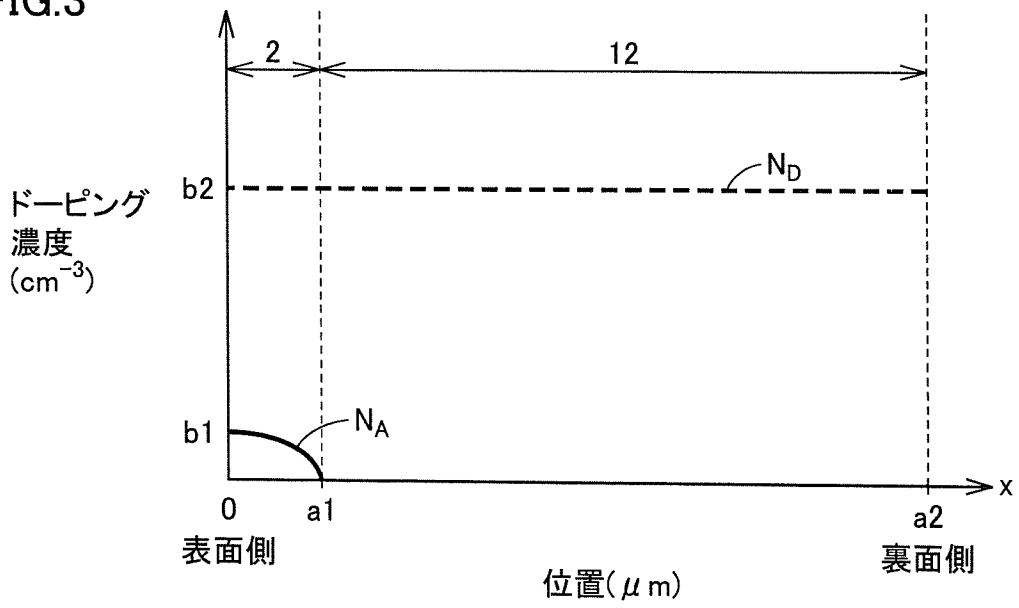
[図2]

FIG.2



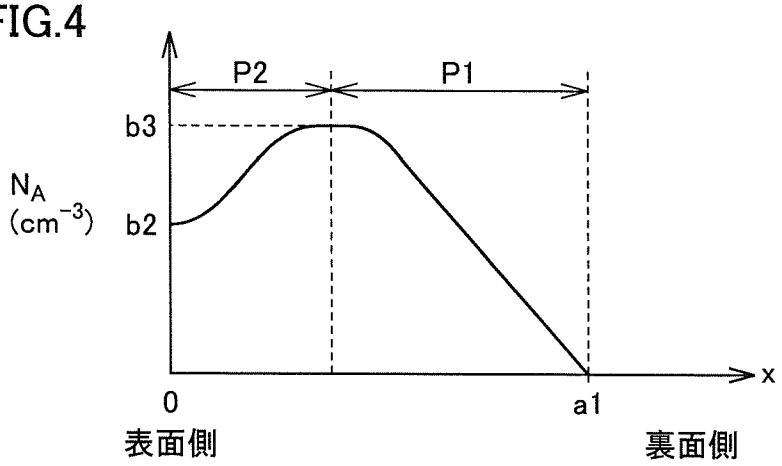
[図3]

FIG.3



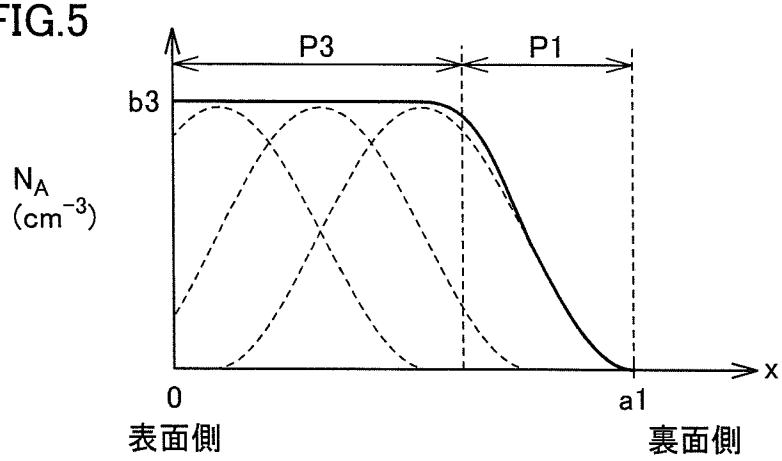
[図4]

FIG.4



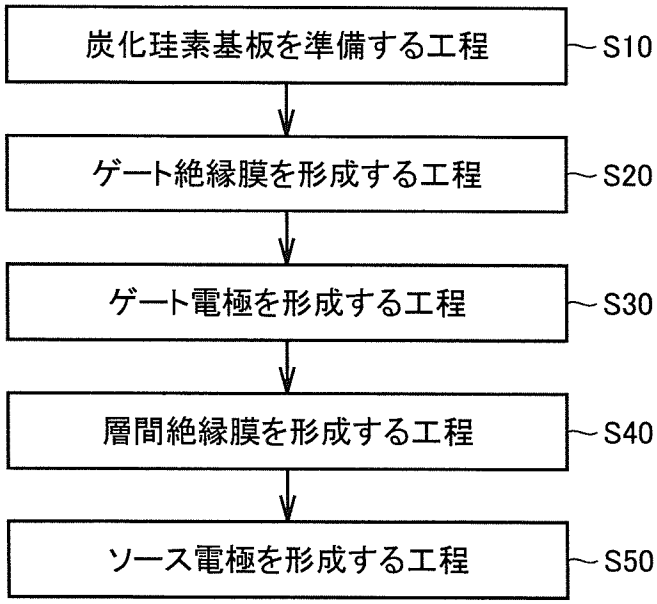
[図5]

FIG.5



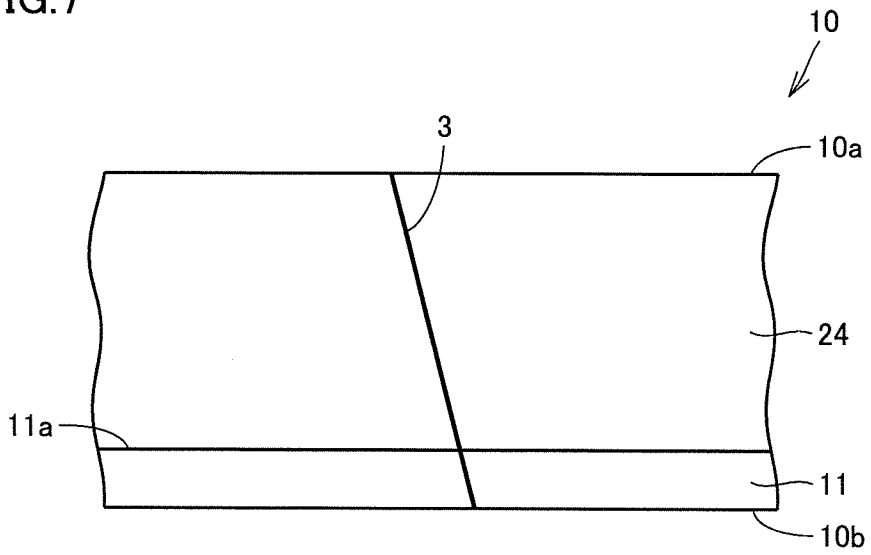
[図6]

FIG.6



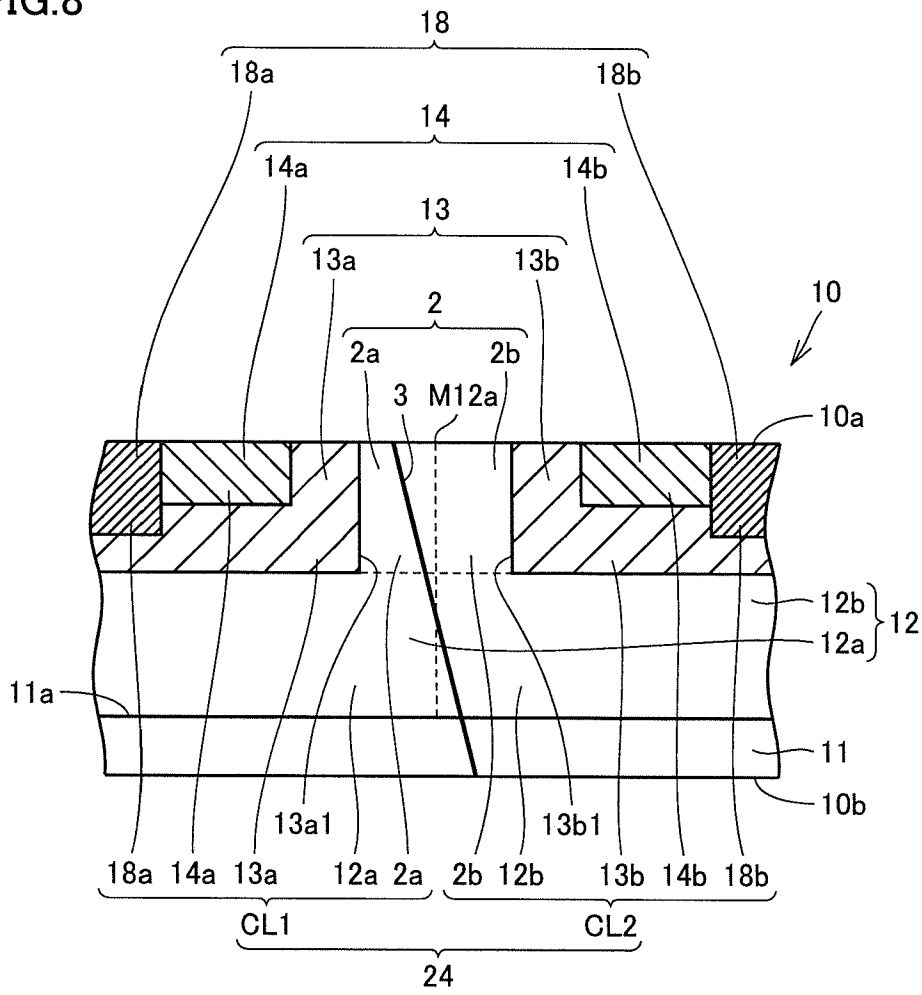
[図7]

FIG.7



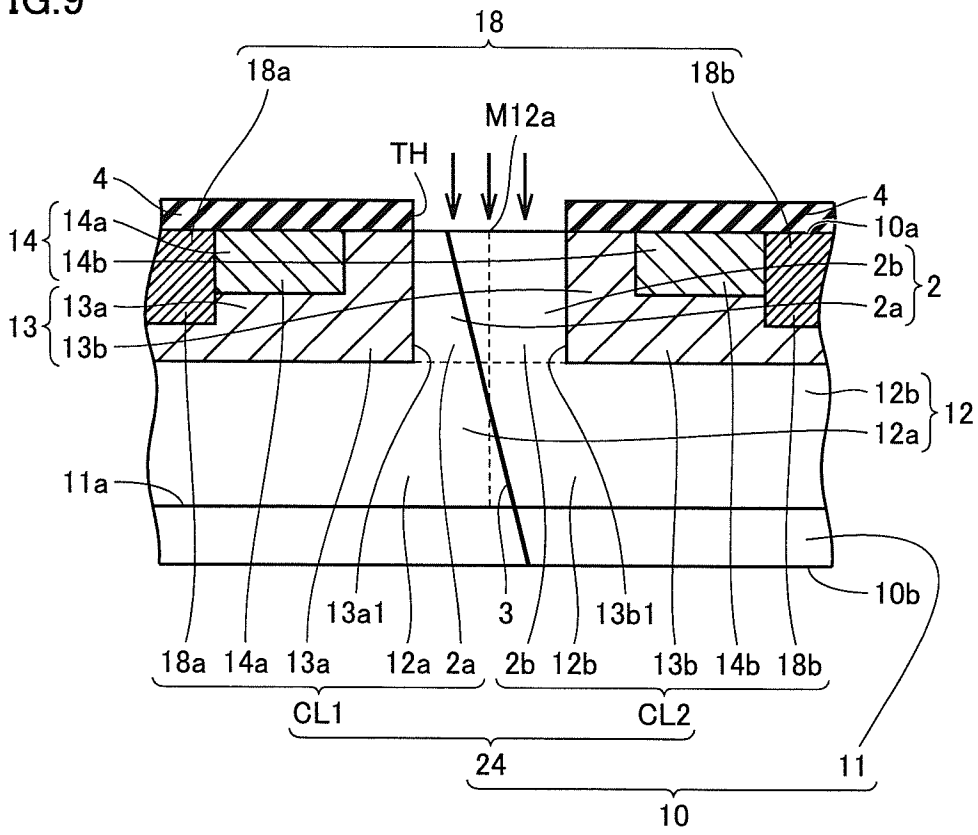
[図8]

FIG.8



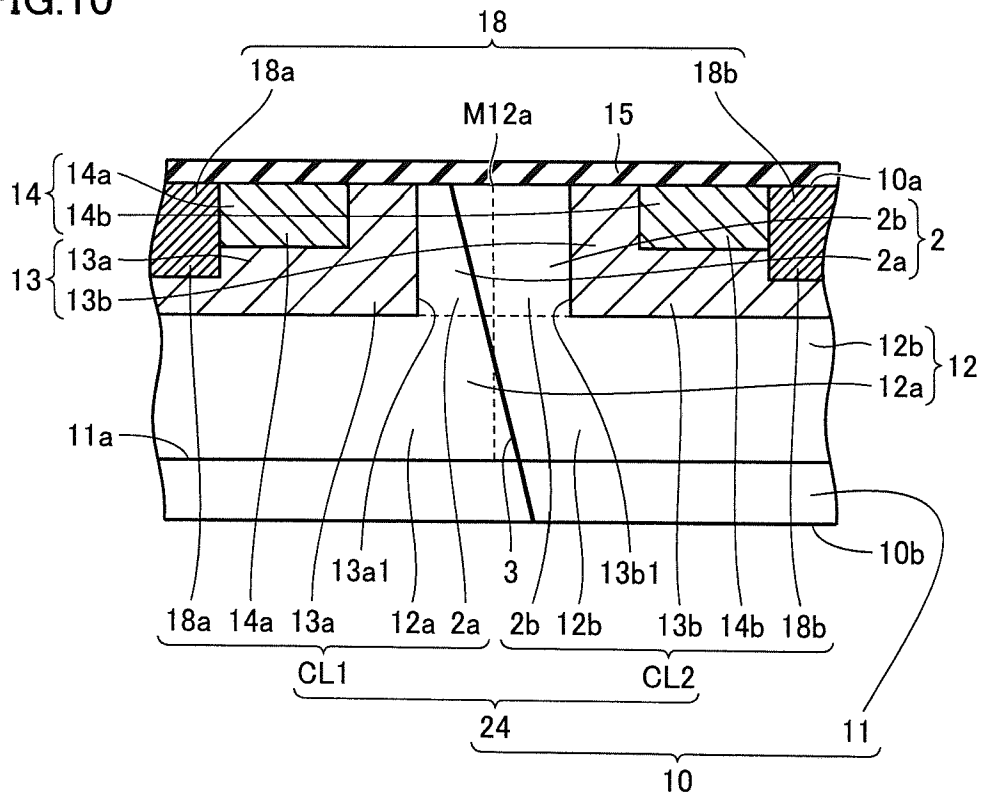
[図9]

FIG.9



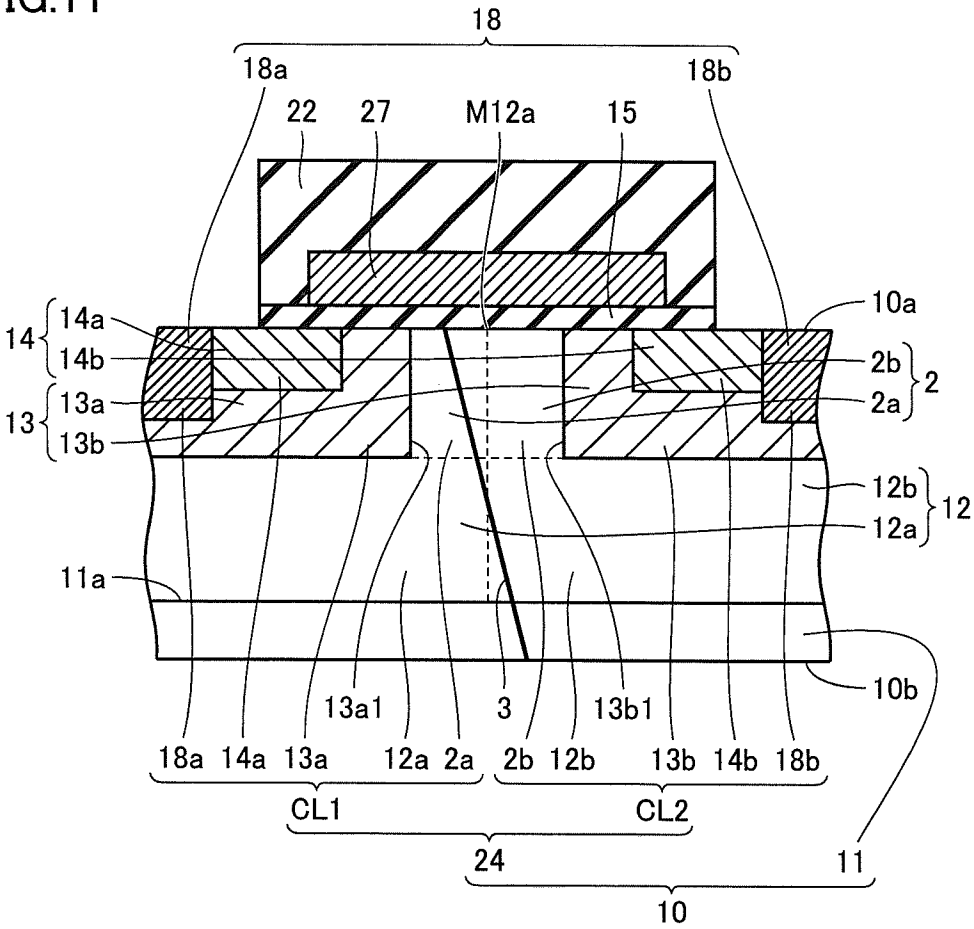
[図10]

FIG.10



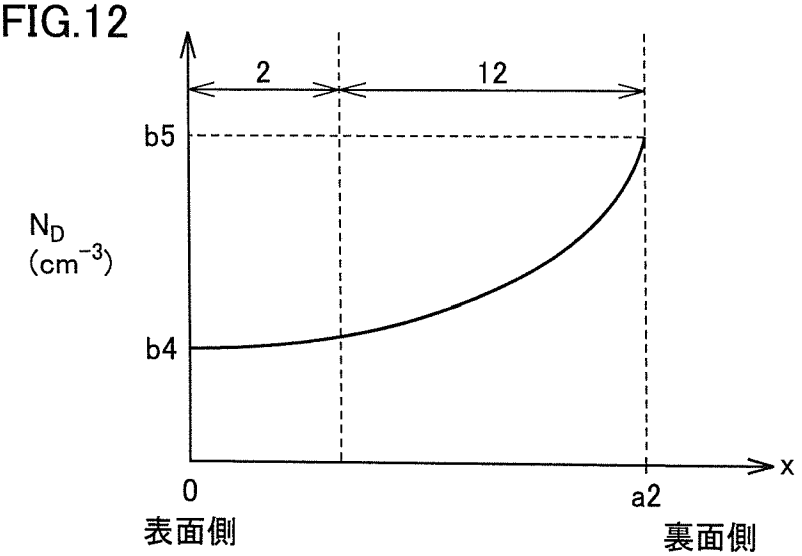
[図11]

FIG.11



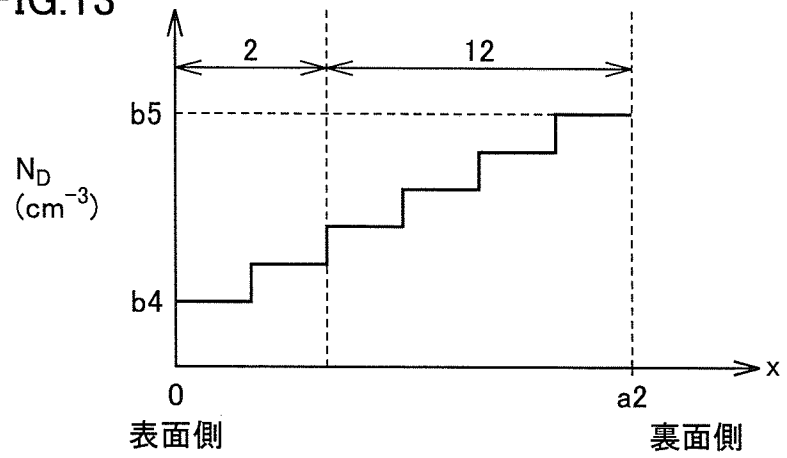
[図12]

FIG.12



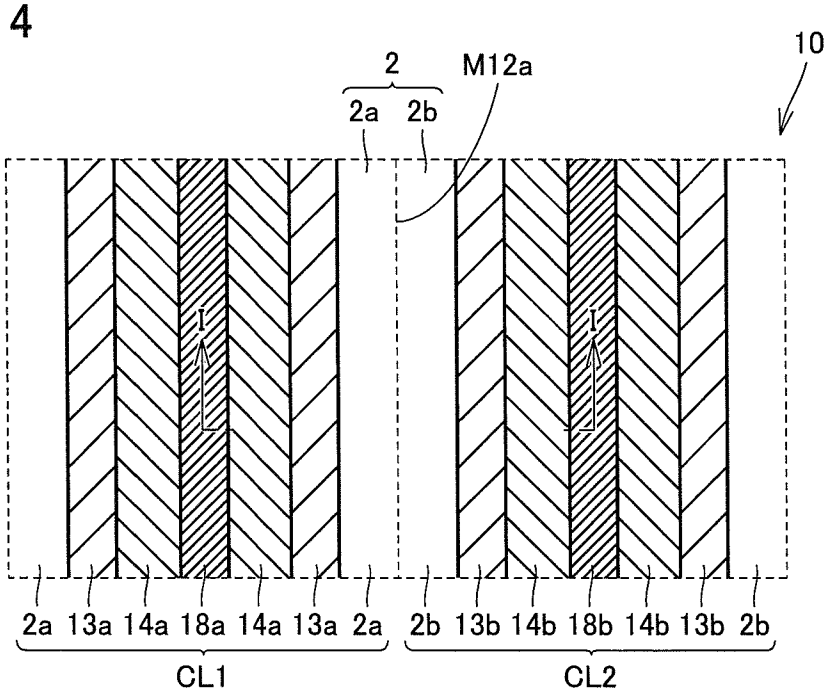
[図13]

FIG.13



[図14]

FIG.14



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/053946

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L29/12*(2006.01)i, *H01L29/739*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L29/12, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-182271 A (Toshiba Corp.), 13 August 2009 (13.08.2009), paragraphs [0041] to [0058]; fig. 12 to 18 & US 2010/0308343 A1 paragraphs [0052] to [0069]; fig. 12 to 18 & WO 2009/096269 A1 & EP 2248178 A1 & CN 101933146 A	1,4 2 3
X Y A	JP 2014-187112 A (Toshiba Corp.), 02 October 2014 (02.10.2014), paragraphs [0154] to [0209]; fig. 17 to 24 & US 2014/0284621 A1 paragraphs [0177] to [0232]; fig. 17 to 24 & CN 104064587 A	1,4 2 3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 May 2016 (06.05.16)	17 May 2016 (17.05.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/053946

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2004/036655 A1 (National Institute of Advanced Industrial Science and Technology), 29 April 2004 (29.04.2004), page 15, line 26 to page 22, line 22; page 25, lines 2 to 11; fig. 1 to 6 & US 2006/0057796 A1 paragraphs [0072] to [0096], [0107]; fig. 1 to 6 & EP 1566843 A1 & AU 2003275541 A	1,4-6 2 3
Y	JP 2014-183274 A (Sumitomo Electric Industries, Ltd.), 29 September 2014 (29.09.2014), paragraph [0042] & US 2015/0380485 A1 paragraph [0070] & WO 2014/148129 A1 & DE 11 2014 001 560 T5 & CN 105074930 A	2
A	JP 2012-104648 A (Mitsubishi Electric Corp.), 31 May 2012 (31.05.2012), paragraphs [0013] to [0059]; fig. 1 to 17 & US 2012/0112266 A1 paragraphs [0038] to [0084]; fig. 1 to 17 & DE 10 2011 085 331 A1 & CN 102468327 A & KR 10-2012-0050382 A	1-6
A	JP 2002-280554 A (Sanyo Electric Co., Ltd.), 27 September 2002 (27.09.2002), paragraphs [0009] to [0014]; fig. 1 to 10 (Family: none)	1-6
A	WO 2010/021146 A1 (Panasonic Corp.), 25 February 2010 (25.02.2010), paragraphs [0034] to [0078]; fig. 1 to 5 & US 2011/0095305 A1 paragraphs [0045] to [0089]; fig. 1 to 5 & JP 4698767 B2 & CN 102217073 A	1-6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/053946

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-6

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

Claims are classified into the following two inventions.

(Invention 1) claims 1-6

A silicon carbide semiconductor device wherein an n-type region (214a), which corresponds to the "JFET region", and an n^+ contact (214b) contain nitrogen (N) and phosphorus (P) that serve as n-type impurities and aluminum (Al) that serves as a p-type impurity is set forth in the second embodiment of document 1. Consequently, claim 1 of this international application is not novel over document 1, and thus does not have a special technical feature.

However, claim 2 that is dependent on claim 1 has a special technical feature that is "a silicon carbide semiconductor device which is provided with a silicon carbide substrate having a first main surface and a second main surface that is on the reverse side of the first main surface, and a gate insulating film that is provided on the first main surface, and wherein: the silicon carbide substrate comprises a first body region that has a first conductivity type and is in contact with the gate insulating film in the first main surface, a second body region that has the first conductivity type and is in contact with the gate insulating film in the first main surface, and a JFET region that is arranged so as to be sandwiched between the first body region and the second body region and has a second conductivity type that is different from the first conductivity type; the JFET region comprises both a first impurity that is capable of imparting the region with the first conductivity type and a second impurity that is capable of imparting the region with the second conductivity type; the concentration of the second impurity is higher than the concentration of the first impurity; and the first conductivity type is a p-type, while the second conductivity type is an n-type", said silicon carbide semiconductor device being configured such that "the density of threading dislocations in the first main surface is from 100 cm^{-2} to 10,000 cm^{-2} (inclusive)". Claims 3-6 that are dependent on claim 2 have the same technical feature as claim 2.

Therefore, claims 1-2 and claims 3-6 dependent on claim 2 are classified into Invention 1.

Further, claims 3-6 which are not dependent on claim 2 are dependent claims of claim 1 and have an inventive relationship with claim 1, and are therefore classified into Invention 1.

(Invention 2) claims 7-10

Claims 7-10 and claim 1 in Invention 1 have a common technical feature that is "a silicon carbide semiconductor device which is provided with a silicon carbide substrate having a first main surface and a second main surface that is on the reverse side of the first main surface, and a gate insulating film that is provided on the first main surface, and wherein: the silicon carbide substrate comprises a first body region that has a first conductivity type and is in contact with the gate insulating film in the first main surface, a second body region that has the first conductivity type and is in contact with the gate insulating film in the first main surface, and a JFET region that is arranged so as to be sandwiched between the first body region and the second body region and has a second conductivity type that is different from the first conductivity type; and the first conductivity type is a p-type, while the second conductivity type is an n-type".

(Continued to next extra sheet)

Claims 7-10 and claim 1 in Invention 1 have a common technical feature that is "a silicon carbide semiconductor device which is provided with a silicon carbide substrate having a first main surface and a second main surface that is on the reverse side of the first main surface, and a gate insulating film that is provided on the first main surface, and wherein: the silicon carbide substrate comprises a first body region that has a first conductivity type and is in contact with the gate insulating film in the first main surface, a second body region that has the first conductivity type and is in contact with the gate insulating film in the first main surface, and a JFET region that is arranged so as to be sandwiched between the first body region and the second body region and has a second conductivity type that is different from the first conductivity type; and the first conductivity type is a p-type, while the second conductivity type is an n-type".

However, the above-said technical feature cannot be considered to be a special technical feature, since the technical feature does not make a contribution over the prior art in the light of the contents disclosed in the documents 1-2.

Further, there is no other same or corresponding special technical feature between these inventions.

In addition, claims 7-10 are not dependent on claim 1.

Further, claims 7-10 have no relationship such that these claims are substantially same as or equivalent to any claim classified into Invention 1.

Consequently, claims 7-10 cannot be classified into Invention 1, and are therefore classified into Invention 2.

Document 1: JP 2009-182271 A (Toshiba Corp.), 13 August 2009 (13.08.2009), paragraphs [0041] to [0058], fig. 12 to 18 & US 2010/0308343 A1, paragraphs [0052] to [0069], fig. 12 to 18 & WO 2009/096269 A1 & EP 2248178 A1 & CN 101933146 A

Document 2: JP 2012-104648 A (Mitsubishi Electric Corp.), 31 May 2012 (31.05.2012), paragraphs [0013] to [0059], fig. 1 to 17 & US 2012/0112266 A1, paragraphs [0038] to [0084], fig. 1 to 17 & DE 10 2011 085 331 A1 & CN 102468327 A & KR 10-2012-0050382 A

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５３９４６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L29/12, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2009-182271 A (株式会社東芝) 2009.08.13, 段落[0041]-[0058], 図 12-18 & US 2010/0308343 A1, 段落[0052]-[0069], 図 12-18 & WO 2009/096269 A1 & EP 2248178 A1 & CN 101933146 A	1, 4 2 3

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．０５．２０１６	１７．０５．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９７３３
早川　朋一
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2014-187112 A (株式会社東芝) 2014.10.02, 段落[0154]-[0209], 図 17-24 & US 2014/0284621 A1, 段落[0177]-[0232], 図 17-24 & CN 104064587 A	1, 4 2 3
X Y A	WO 2004/036655 A1 (独立行政法人産業技術総合研究所) 2004.04.29, 15 ページ 26 行-22 ページ 22 行, 25 ページ 2-11 行, 図 1-6 & US 2006/0057796 A1, 段落[0072]-[0096], [0107], 図 1-6 & EP 1566843 A1 & AU 2003275541 A	1, 4-6 2 3
Y	JP 2014-183274 A (住友電気工業株式会社) 2014.09.29, 段落[0042] & US 2015/0380485 A1, 段落[0070] & WO 2014/148129 A1 & DE 11 2014 001 560 T5 & CN 105074930 A	2
A	JP 2012-104648 A (三菱電機株式会社) 2012.05.31, 段落[0013]-[0059], 図 1-17 & US 2012/0112266 A1, 段落[0038]-[0084], 図 1-17 & DE 10 2011 085 331 A1 & CN 102468327 A & KR 10-2012-0050382 A	1-6
A	JP 2002-280554 A (三洋電機株式会社) 2002.09.27, 段落[0009]-[0014], 図 1-10 (ファミリーなし)	1-6
A	WO 2010/021146 A1 (パナソニック株式会社) 2010.02.25, 段落[0034]-[0078], 図 1-5 & US 2011/0095305 A1, 段落[0045]-[0089], 図 1-5 & JP 4698767 B2 & CN 102217073 A	1-6

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５３９４６

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項 _____ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

特別ページ参照

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1-6

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲は、以下の２つの発明に区分される。

（発明 1）請求項 1-6

文献 1 の第 2 の実施形態には、「JFET 領域」に相当する n 型領域(214a)と n^+型コンタクト(214b)に、n 型不純物である窒素(N)と燐(P)、及び p 型不純物であるアルミニウム(Al)を有する炭化珪素半導体装置が記載されており、請求項 1 は、文献 1 により新規性が欠如しているため、特別な技術的特徴を有しない。しかしながら、請求項 1 の従属請求項である請求項 2 は、「第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板と、前記第１主面上に設けられたゲート絶縁膜とを備え、前記炭化珪素基板は、前記第１主面において前記ゲート絶縁膜と接し、かつ第１導電型を有する第１ボディ領域と、前記第１主面において前記ゲート絶縁膜と接し、かつ前記第１導電型を有する第２ボディ領域と、前記第１ボディ領域と前記第２ボディ領域とに挟まれて設けられ、かつ前記第１導電型とは異なる第２導電型を有するＪＦＥＴ領域とを含み、前記ＪＦＥＴ領域は、前記第１導電型を付与可能な第１不純物と、前記第２導電型を付与可能な第２不純物との双方を有し、前記第２不純物の濃度は、前記第１不純物の濃度よりも高く、前記第１導電型はｐ型であり、前記第２導電型はｎ型である、炭化珪素半導体装置」において「前記第１主面における貫通転位の密度は、１００ｃｍ$^{-2}$ 以上１００００ｃｍ$^{-2}$ 以下である」という特別な技術的特徴を有しており、請求項 2 に従属する請求項 3-6 も、請求項 2 と同一の技術的特徴を有している。したがって、請求項 1-2、及び請求項 2 に従属する請求項 3-6 を発明 1 に区分する。

また、請求項 2 に従属しない請求項 3-6 は、請求項 1 の従属請求項であり、請求項 1 に対して発明の連関を有しているので、発明 1 に区分する。

（発明 2）請求項 7-10

請求項 7-10 は、発明 1 に区分された請求項 1 と、「第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板と、前記第１主面上に設けられたゲート絶縁膜とを備え、前記炭化珪素基板は、前記第１主面において前記ゲート絶縁膜と接し、かつ第１導電型を有する第１ボディ領域と、前記第１主面において前記ゲート絶縁膜と接し、かつ前記第１導電型を有する第２ボディ領域と、前記第１ボディ領域と前記第２ボディ領域とに挟まれて設けられ、かつ前記第１導電型とは異なる第２導電型を有するＪＦＥＴ領域とを含み、前記第１導電型はｐ型であり、前記第２導電型はｎ型である、炭化珪素半導体装置」という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献 1-2 の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

さらに、請求項 7-10 は、請求項 1 の従属請求項ではない。また、請求項 7-10 は、発明 1 に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項 7-10 は発明 1 に区分できないので、発明 2 に区分する。

文献 1: JP 2009-182271 A (株式会社東芝) 2009.08.13, 段落[0041]-[0058], 図 12-18
& US 2010/0308343 A1, 段落[0052]-[0069], 図 12-18
& WO 2009/096269 A1 & EP 2248178 A1 & CN 101933146 A

文献 2: JP 2012-104648 A (三菱電機株式会社) 2012.05.31, 段落[0013]-[0059], 図 1-17
& US 2012/0112266 A1, 段落[0038]-[0084], 図 1-17
& DE 10 2011 085 331 A1 & CN 102468327 A & KR 10-2012-0050382 A