



(12) 发明专利申请

(10) 申请公布号 CN 103036893 A

(43) 申请公布日 2013. 04. 10

(21) 申请号 201210559437. X

(22) 申请日 2012. 12. 21

(71) 申请人 国电南瑞科技股份有限公司

地址 210061 江苏省南京市高新技术开发区
高新路 20 号

(72) 发明人 郑玉平 周华良 黄国方 吴海
夏雨 谢黎

(74) 专利代理机构 南京纵横知识产权代理有限
公司 32224

代理人 董建林

(51) Int. Cl.

H04L 29/06 (2006. 01)

H04L 12/70 (2013. 01)

H02J 13/00 (2006. 01)

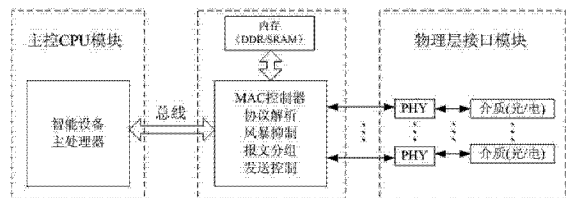
权利要求书 1 页 说明书 4 页 附图 2 页

(54) 发明名称

一种适用于智能变电站的一层网络数据处理方法

(57) 摘要

本发明公开了一种适用于智能变电站的一层网络数据处理方法, FPGA 处理模块采用了 FPGA 技术来实现智能变电站中各类网络报文的预处理, 在报文进入 MAC 控制器的第一时间打上时间戳并随报文一起存储, 以及支持网络风暴抑制、存储并进行报文解析, 识别完整报文的 EtherType 域、进行分组分类处理, 同时对发送报文进行优先级控制并实时发送的处理方法, 使得智能变电站智能设备的实现得以简化、可靠性得以增强、系统造价得以降低、系统的可维护性得以优化。



1. 一种适用于智能变电站的一层网络数据处理方法,其特征在于,FPGA 处理模块通过 MAC 接收以太网物理层接口模块传输的以太网数据,并根据接收到的报文类型进行解析并分类分组处理,对需要通过 MAC 发送的报文根据优先级进行时序控制并发送,以达到各类网络报文的优化处理;

在 FPGA 处理模块与主 CPU 模块接口之间通过虚拟不同网络或是开辟不同缓存区间来实现主控 CPU 模块分类处理各类网络报文;并由主控 CPU 模块对各类网络报文进行计算处理以及对 FPGA 处理模块的收发控制。

2. 根据权利要求 1 所述的适用于智能变电站的一层网络数据处理方法,其特征在于,所述 FPGA 处理模块对 MMS 网络、GOOSE 网络、SV 网络、IEEE61588 对时网络进行报文解码。

3. 根据权利要求 1 所述的适用于智能变电站的一层网络数据处理方法,其特征在于,所述 FPGA 处理模块对各类报文分类处理后,通过 DDR 存储并通过共享内存的方式分不同区域共享给主控 CPU 模块。

4. 根据权利要求 1 所述的适用于智能变电站的一层网络数据处理方法,其特征在于,所述 FPGA 处理模块通过 HASH 算法、组播过滤、广播丢弃、网络信号复位或端口流量限制的形式实现网络风暴抑制功能。

5. 根据权利要求 1 所述的适用于智能变电站的一层网络数据处理方法,其特征在于,所述 FPGA 处理模块对以太网报文数据发送的优先级进行控制,包括时间优先级或报文类型优先级,还包括优先级动态调整。

6. 根据权利要求 1 所述的适用于智能变电站的一层网络数据处理方法,其特征在于,所述主控 CPU 模块为含有各类嵌入式的 CPU/DSP 类 ASIC 芯片模块、各类工业计算机或服务器。

7. 根据权利要求 1 所述的适用于智能变电站的一层网络数据处理方法,其特征在于,所述主控 CPU 模块与所述 FPGA 处理模块之间的总线接口为 LocalBus、PCI 或 PCIe 总线,或者为串行或并行的总线拓扑。

8. 根据权利要求 1 所述的适用于智能变电站的一层网络数据处理方法,其特征在于,所述 FPGA 处理模块通过标准化的接口扩展以太网物理层接口模块,标准化接口包括 MII、RMII、TBI、RTBI、GMII、RGMII、SGMII、SSGMII、SERDES 或 PCIe。

9. 根据权利要求 1 所述的适用于智能变电站的一层网络数据处理方法,其特征在于,所述以太网物理层接口模块的通信速率为 10/100/1000Mbps 或 10Gbps 以上。

10. 根据权利要求 1 所述的适用于智能变电站的一层网络数据处理方法,其特征在于,所述以太网物理层接口模块的物理层介质为电缆或光纤光缆通信介质。

一种适用于智能变电站的一层网络数据处理方法

技术领域

[0001] 本发明涉及电力系统智能变电站数据通信及其数据处理的应用,属工业控制及工业通讯技术领域。

背景技术

[0002] 电力系统智能变电站设备通常分为过程层(设备层)、间隔层、站控层共三层。其中过程层包含由一次设备和智能组件构成的智能设备、合并单元和智能终端等,完成变电站电能分配、变换、传输及其测量、控制、保护、计量、状态监测等相关功能。间隔层设备一般指继电保护装置、测控装置等二次设备,实现使用一个间隔的数据并且作用于该间隔一次设备的功能,即与各种远方输入/输出、智能传感器和控制器通信。站控层包含自动化系统、站域控制、通信系统、对时系统等子系统,实现面向全站或一个以上一次设备的测量和控制的功能,完成数据采集和监视控制(SCADA)、操作闭锁以及同步相量采集、电能量采集、保护信息管理等相关功能。对于三层不同的设备其网络通讯接口多为以太网接口,涉及到关键数据的以太网通讯介质往往需要采用光纤传输。

[0003] 对于过程层和间隔层设备而言,网络传输的通讯协议有用于传输各类开关状态信息及设备跳闸出口的GOOSE(Generic Object Oriented Substation Event,是一种面向通用对象的变电站事件。主要用于实现在多IED之间的信息传递,包括传输跳合闸信号,具有高传输成功概率)网络、用于传输关键实时模拟量的SV网络等;而对于站控层设备而言,网络传输的通讯协议多数为用于变电站数据采集及监视控制用的MMS(manufacturing message specification,即制造报文规范,是ISO/IEC9506标准所定义的一套用于工业控制系统的通信协议。MMS规范了工业领域具有通信能力的智能传感器、智能电子设备、智能控制设备的通信行为,使出自不同制造商的设备之间具有互操作性)网络,同时间隔层的设备通常也需要支持MMS网络;此外,随着精准对时协议IEEE61588的推广,基于网络对时的应用也逐渐盛行,多网络接口的需要日渐增多。

[0004] 因此,目前阶段各个电力设备制造厂家所设计的智能设备多数采用分网络接口的方式来处理,即MMS网络口、GOOSE网络口、SV网络口(61850-9-2)、1588网络口等,分别独立并各自应用(仅有部分网络功能已共网口,但无全部合一的网络形式),满足了目前现行功能实现的要求。随着智能变电站系统的应用与发展,各个问题及弊端也显现出来,如整个系统的集成度不够,工程实施过程中网络布线过多、变电站造价成本上升、单台设备功耗偏大、硬件故障点增多等实际问题。

发明内容

[0005] 发明目的

本发明的目的是通过一个独立MAC控制器的以太网数据通道,来实现智能变电站现行各类数据须使用到的如MMS报文、GOOSE报文、SV报文和1588对时报文等的接收、存储、分类、计算处理以及发送控制的相关系列功能,使得智能变电站各层设备能够精简网络设计、

降低设备功耗及成本、增强单套设备可靠性,同时简化工程现场网络架构及施工难度、提高系统集成度,提高系统运行的可靠性和可维护性。

[0006] 技术方案

为了实现上述目的,本发明提供以下技术方案:

本技术方案是采用了 FPGA 技术来实现独立 MAC 的以太网控制器功能、通过对 MAC 接收到的以太网数据根据报文类型进行解析并分类分组处理、对需要通过 MAC 发送的报文进行内容和时间优先级进行时序控制进行发送,以达到各类网络报文的优化处理;在 FPGA 与设备主 CPU 芯片接口之间通过虚拟不同网络或是开辟不同缓存区间来实现主控 CPU 分类处理各类网络报文;主控 CPU 对各类网络报文进行相应的计算处理以及收发控制。

[0007] 一种适用于智能变电站的一层网络数据处理方法,其特征在于,包括三个模块:主控 CPU 模块、FPGA 处理模块、以太网物理层接口模块,

FPGA 处理模块通过 MAC 接收以太网物理层接口模块传输的以太网数据,并根据接收到的报文类型进行解析并分类分组处理,对需要通过 MAC 发送的报文根据优先级进行时序控制并发送,以达到各类网络报文的优化处理;

在 FPGA 处理模块与主 CPU 模块接口之间通过虚拟不同网络或是开辟不同缓存区间来实现主控 CPU 模块分类处理各类网络报文;并由主控 CPU 模块对各类网络报文进行计算处理以及对 FPGA 处理模块的收发控制。

[0008] 主控 CPU 模块与 FPGA 处理模块直接通过总线进行数据及各种配置信息的双向通信传输;FPGA 处理模块与以太网物理层接口之间通过相应接口进行数据的双向传输通信;FPGA 处理模块实现了以太网 MAC 控制的功能以及一层网络报文的接收解析、分类处理和发送控制等的功能。

[0009] 所述 FPGA 处理模块对 MMS 网络、GOOSE 网络、SV 网络、IEEE61588 对时网络进行报文解码。但其报文类型不局限于以上提到的几种,还包括标准以太网协议中 EtherType 域中涉及到的 2 个字节的所有类型。

[0010] 所述 FPGA 处理模块对各类报文分类处理后,通过 DDR 存储并通过共享内存的方式分不同区域共享给主控 CPU 模块。存储转发方式还包括将其转换成其他任何物理接口形式或其他协议报文的形式。

[0011] 所述 FPGA 处理模块通过 HASH 算法、组播过滤、广播丢弃、网络信号复位或端口流量限制的形式实现网络风暴抑制功能。

[0012] 所述 FPGA 处理模块对以太网报文数据发送的优先级进行控制,包括时间优先级(如定周期性发送)或报文类型优先级(如根据报文类型 EtherType 决定发送的先后性),还包括优先级动态调整。

[0013] 通过所述三个模块实现了单套网络一层化处理,但其技术不局限于此,还包括可通过 FPGA 处理模块实现完全冗余的支持不同协议(如 PRP/HSR 协议)的双重化网络的配置的特征等。

[0014] 所述主控 CPU 模块为含有各类嵌入式的 CPU/DSP 类 ASIC 芯片模块、各类工业计算机或服务器。

[0015] 所述主控 CPU 模块与所述 FPGA 处理模块之间的总线接口为 LocalBus、PCI 或 PCIe 总线,或者为串行或并行的总线拓扑。

[0016] FPGA 处理模块不仅仅局限于 FPGA 类芯片本身,还包括为此推出的专用 ASIC 芯片,或者是将此项技术集成与 CPU/DSP 类处理内的芯片。

[0017] 所述 FPGA 处理模块通过标准化的接口扩展以太网物理层接口模块,标准化接口包括 MII、RMII、TBI、RTBI、GMII、RGMII、SGMII、SSGMII、SERDES 或 PCIe。

[0018] 所述以太网物理层接口模块的通信速率为 10/100/1000Mbps 或 10Gbps 以上。

[0019] 以太网物理层接口的物理层介质不局限于电缆形式,还包括适合各类波长的光纤光缆通信介质。

[0020] 本发明所达到的有益效果:

本发明通过一个独立 MAC 控制器的以太网数据通道,来实现智能变电站现行各类数据须使用到的如 MMS 报文、GOOSE 报文、SV 报文和 1588 对时报文等的接收、存储、分类、计算处理以及发送控制的相关系列功能,使得智能变电站各层设备能够精简网络设计、降低设备功耗及成本、增强单套设备可靠性,同时简化工程现场网络架构及施工难度、提高系统集成度,提高系统运行的可靠性和可维护性。

[0021] 1) 各类智能变电站用的网络数据共享一个网络,适合变电站内各网络数据的组网,减少大量交换机的配置,降低系统总造价,同时优化了现场网络布线;

2) 各个智能设备使用单一网络接口,简化了软硬件系统设计、降低了单装置设备的整体功耗、也降低了设备成本;

3) 以太网通信速率可达全速,其支持 10/100/1000Mbps 等不同通讯速率;

4) 灵活性高,支持多种类型接口的物理层 PHY 芯片;

5) 以太网介质适用于电缆和光缆两种通讯介质;

6) FPGA 协处理机制实现并发性计算,处理性能强。

附图说明

[0022] 图 1 是 FPGA 处理模块接收部分原理框图;

图 2 是 FPGA 处理模块发送部分原理框图;

图 3 是总体原理框图。

具体实施方式

[0023] 下面结合附图对本发明进一步说明。

[0024] 图 3 是基于一层网络架构实现的总体原理框图,包含主控 CPU 模块、FPGA 处理模块以及物理层接口模块。

[0025] 主控 CPU 模块即为各类智能设备的主处理单元,负责各类数据的处理计算、收发以及参数配置等功能,其与 FPGA 处理模块的接口一般为总线接口,如 LocalBus 总线、PCI 总线或 PCIe 总线、高速串行总线如 SerDes 总线等。

[0026] FPGA 处理模块主要实现独立 MAC 的以太网控制器功能、通过对 MAC 接收到的以太网数据进行存储并解析,根据报文类型进行分类分组处理功能、对需要通过 MAC 发送的报文进行内容和时间优先级进行时序控制发送功能。FPGA 处理模块起到将物理层接口模块与主控 CPU 模块的接口衔接并预处理的功能。此模块不仅仅实现单套网络,亦可通过扩展备份实现双重化网络冗余的功能。

[0027] FPGA 处理模块包括数据接收部分和数据发送部分。

[0028] 数据接收部分原理如图 1 所示, FPGA 内实现的 MAC 控制器从网络上接收各类以太网报文信息并在数据进入 MAC 的第一时刻打上时间戳,同时将完整帧通过 RAM 传递至缓存区, FPGA 对其 2 层以太网帧报文中的 EtherType 进行分析并识别数据包的类型,将不同协议的数据分类整理至不同的数据缓冲区后发送给智能设备的主控 CPU 芯片,主控 CPU 模块再根据数据的不同类别进行相应处理。典型的几类智能变电站用报文分别是:MMS 报文(EtherType = 0x0080)、GOOSE 报文(EtherType = 0x88B8)、SV 报文(EtherType = 0x88BA)、1588 报文(EtherType = 0x88f7)等。同时,数据接收部分通过 HASH 算法、组播过滤、广播丢弃等实时算法实现网络风暴的抑制功能。

[0029] 数据发送部分原理如图 2 所示, FPGA 处理模块将主控 CPU 模块通过总线发送至 FPGA 处理模块的数据对各类报文类型进行优先级上的分类处理,如 SV 报文优先级最高并且须在每个中断沿时刻实时发送,其他报文在空闲时间根据内容优先级顺序发送,处理完成后通过 RAM 发送给 MAC 传送至网络上。

[0030] FPGA 处理模块中数据处理部分原理:主控 CPU 模块将网络数据从 FPGA 中取出并实时计算处理;并将各类设备内所需发送的数据通过 FPGA 处理模块发送出去。

[0031] 物理层接口模块的实施不局限于 PHY 是百兆还是千兆甚至更高速率,也不局限于制造厂家及各类型号,只要满足 IEC 标准的 PHY 接口处理芯片及数据传输介质均可实现,其中 PHY 与 FPGA 处理模块的标准化接口包括 MII、RMII、TBI、RTBI、GMII、RGMII、SGMII、SSGMII、SERDES、PCIe 等;物理介质包括光纤口或是电缆口两种形式。

[0032] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明技术原理的前提下,还可以做出若干改进和变形,这些改进和变形也应视为本发明的保护范围。

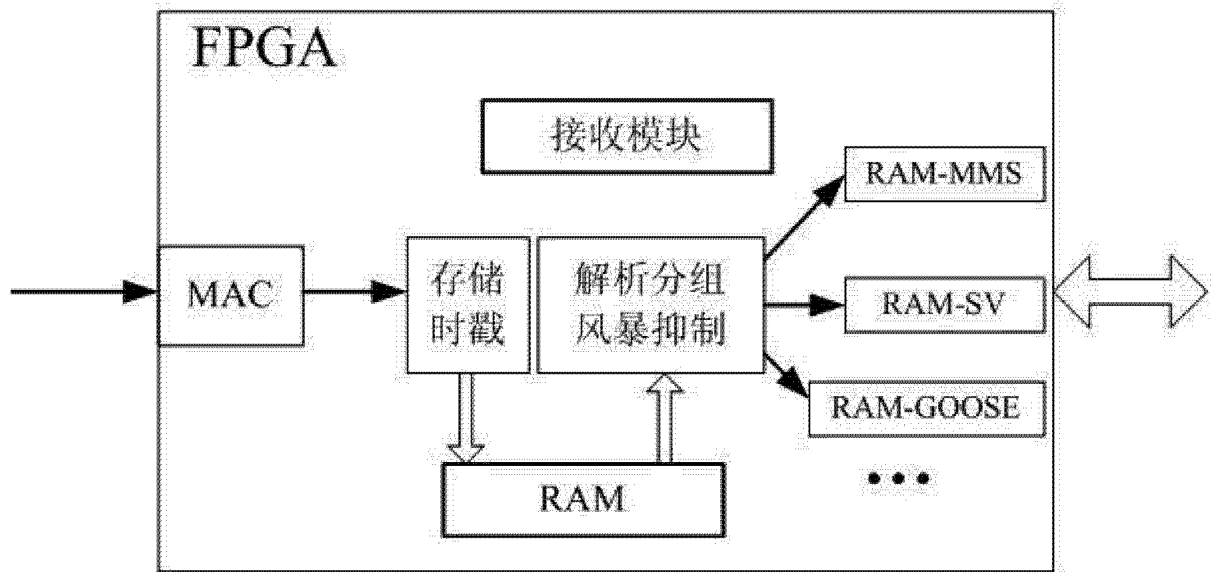


图 1

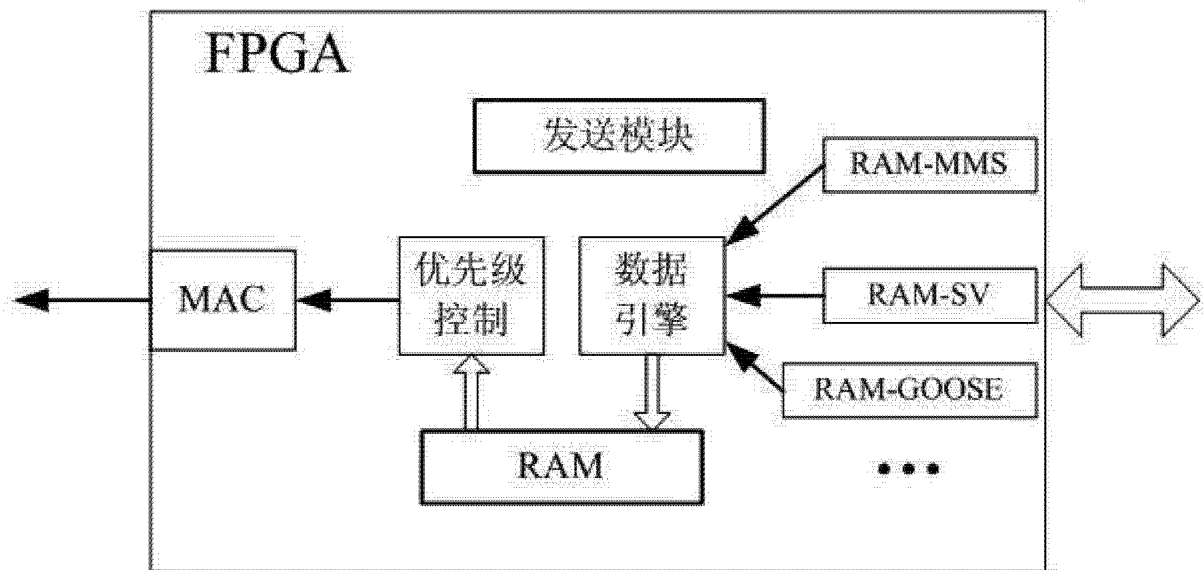


图 2

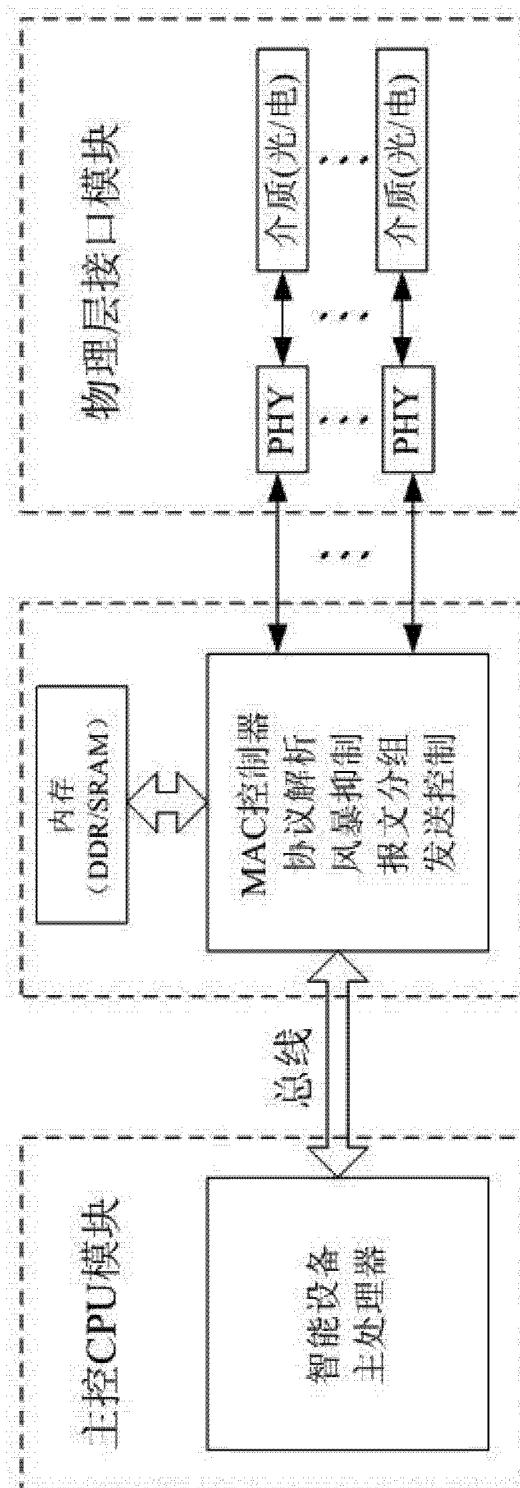


图 3