

1. 一种被测试装置测试用的测试装置,其特征在于包括:
基准时钟源,其产生基准时钟以控制该被测试装置的动作;
时钟产生电路,其产生再生时钟,其频率等于该基准时钟的频率且其相位等于该被测试装置的输出数据;
延迟电路,其使该再生时钟延迟,以产生选通脉冲;
时序比较器,其依据该选通脉冲以取得该输出数据的输出值;
逻辑比较器,其对该输出值与预定的期待值作比较;以及
良否判定部,其依据该逻辑比较器的比较结果,以判定该被测试装置的良否,
该时钟产生电路具备:
第1相位比较器,其对该被测试装置的输出数据和该再生时钟的相位进行比较,以输出第1比较结果信号;
第2相位比较器,其对该基准时钟和该再生时钟的相位进行比较,以输出第2比较结果信号;
加法器,其对该第1比较结果信号和该第2比较结果信号进行加算,以输出加算结果信号;以及
再生时钟产生部,其依据该加算结果信号以产生该再生时钟。
2. 如权利要求1所述的被测试装置测试用的测试装置,其特征在于其中还具备第1低通滤波器,其只使该第1比较结果信号中较第1频率还低的信号通过,以及
该加法器对已通过该第1低通滤波器的该第1比较结果信号和该第2比较结果信号进行加算。
3. 如权利要求2所述的被测试装置测试用的测试装置,其特征在于其中显示该第1低通滤波器的通过频带所用的该第1频率是对应于该被测试装置的种类来设定。
4. 如权利要求3所述的被测试装置测试用的测试装置,其特征在于其中显示该第1低通滤波器的通过频带所用的该第1频率是对应于该被测试装置中所容许的变动频率来设定。
5. 如权利要求2所述的被测试装置测试用的测试装置,其特征在于其中还具备第2低通滤波器,其只使该加算结果信号中较第2频率还低的信号通过,以及
该再生时钟产生部依据已通过该第2低通滤波器的该加算结果信号来产生该再生时钟。
6. 如权利要求5所述的被测试装置测试用的测试装置,其特征在于其中显示该第2低通滤波器的通过频带所用的该第2频率较该第1频率还高、或与该第1频率相等。
7. 如权利要求2所述的被测试装置测试用的测试装置,其特征在于其中该第1低通滤波器输出固定值的保持信号以取代该第1比较结果信号。
8. 如权利要求7所述的被测试装置测试用的测试装置,其特征在于其中该第1低通滤波器在该输出数据不安定时,输出固定值的保持信号以取代该第1比较结果信号。
9. 如权利要求7所述的被测试装置测试用的测试装置,其特征在于其中该第1低通滤波器在由该被测试装置的该输出数据开始输出后的固定时间内,输出该固定值以取代该第1比较结果信号。
10. 如权利要求1所述的被测试装置测试用的测试装置,其特征在于其中该延迟电路

的延迟量对应于该被测试装置的形态来设定。

11. 一种被测试装置测试用的测试装置,其特征在于包括:

时钟产生电路,其产生再生时钟,其相位等于该被测试装置的输出数据;

延迟电路,其使该再生时钟延迟,以产生选通脉冲;

时序比较器,其依据该选通脉冲以取得该输出数据的输出值;

逻辑比较器,其对该输出值与预定的期待值作比较;以及

良否判定部,其依据该逻辑比较器的比较结果以判定该被测试装置的良否,

该时钟产生电路具备;

相位比较器,其对该被测试装置的该输出数据和该再生时钟的相位进行比较,以输出比较结果信号;

第1低通滤波器,其只使由该相位比较器输出的该比较结果信号中、较对应于该被测试装置的种类所设定的固定频率还低的信号通过;以及

再生时钟产生部,其依据由该相位比较器输出的该比较结果信号以产生该再生时钟。

12. 如权利要求11所述的被测试装置测试用的测试装置,其特征在于其中该相位比较器对该被测试装置的输出时钟和该再生时钟产生部所产生的该再生时钟的相位进行比较,输出比较结果信号。

13. 如权利要求11所述的被测试装置测试用的测试装置,其特征在于其中该再生时钟产生部还具备分频器,其对已产生的该再生时钟进行分频,以及

该相位比较器对该被测试装置的输出时钟与分频周期已划分的该再生时钟的相位进行比较,输出比较结果信号。

14. 一种被测试装置测试用的测试方法,其特征在于包含:

产生步骤,其产生基准时钟,以控制该被测试装置的动作;

时钟再生步骤,其产生再生时钟,其频率等于该基准时钟的频率且其相位等于该被测试装置的输出数据;

另一产生步骤,其使该再生时钟延迟,以产生选通脉冲;

取得步骤,其依据该选通脉冲以取得该输出数据的输出值;

比较步骤,其对该输出值与预定的期待值作比较;以及

良否判定步骤,其依据该比较步骤的比较结果以判定该被测试装置的良否,

该时钟再生步骤包含以下各步骤:

对该被测试装置的该输出数据与该再生时钟的相位进行比较,以输出第1比较结果信号;

对该基准时钟和该再生时钟的相位进行比较,以输出第2比较结果信号;

对该第1比较结果信号和该第2比较结果信号进行加算,以输出加算结果信号;以及依据该加算结果信号以产生该再生时钟。

15. 一种被测试装置测试用的测试方法,其特征在于包含:

时钟再生步骤,其产生再生时钟,其相位等于该被测试装置的输出数据;

产生步骤,其使该再生时钟延迟,以产生选通脉冲;

取得步骤,其依据该选通脉冲以取得该输出数据的输出值;

比较步骤,其对该输出值与预定的期待值作比较;以及

良否判定步骤,其依据该比较步骤的比较结果以判定该被测试装置的良好否,
该时钟再生步骤包含以下各步骤:

输出步骤,其中对该被测试装置的该输出数据和该再生时钟的相位进行比较,以输出比较结果信号;

通过步骤,其中只使该输出步骤输出的比较结果信号中、较对应于该被测试装置的种类所设定的固定频率还低的信号通过;以及

再生时钟产生步骤,其依据由该输出步骤输出的该比较结果信号以产生该再生时钟。

16. 如权利要求 15 所述的被测试装置测试用的测试方法,其特征在于其中该时钟再生步骤含有的该输出步骤,其对该被测试装置的输出时钟与该再生时钟产生步骤中所产生的该再生时钟的相位进行比较,以输出比较结果信号。

测试装置与测试方法

技术领域

[0001] 本发明涉及一种测试装置及测试方法,特别是涉及被测试存储器测试用的测试装置及测试方法。对藉由文献的参照而被认为可并入的指定国,则由参照下述申请案所记载的内容,并入本案作为本案的记载的一部份。

[0002] 特愿 2004-93310 申请日 2004 年 3 月 26 日

背景技术

[0003] 图 6 显示先前技术所属的测试装置 600 的构成。该测试装置 600 具备位准比较器 604,时序比较器 606 以及逻辑比较器 608。由被测试装置(以下称为“DUT”)602 所输出的输出数据在以位准比较器 604 来进行电压比较之后,藉由测试装置 600 的内部所预先决定的时序所产生的选通(Strobe)脉冲,由时序比较器 606 中取得该输出数据。然后,在逻辑比较器 608 中与期待值作比较,依据比较结果来判定 DUT602 是否良好。

[0004] 目前由于对先前技术文献的存在尚不清楚,与先前技术文献有关的记载因此省略。

发明内容

[0005] 近年,发送器侧将时钟埋入至数据中以进行发送,接收器侧由数据中使时钟再生,以已再生的时钟来接收数据,以此种方式来进行通信的高速串行(serial)接口(interface)目前正在开发。然后,在此种时钟埋入方式的高速串行接口的数据中固定的大的时序不确定宽度(jitter)是容许的。然而,在先前技术所属的测试装置 600 中,取得 DUT602 的输出数据所用的选通脉冲的时序由于是由测试装置 600 的内部所预先决定,则无法追踪 DUT602 的输出数据的时序变动。因此,无法对具有如上所述的高速串行接口的被测试装置正确地进行测试。

[0006] 本发明的目的是提供一种可解决上述问题的测试装置。该目的是藉由申请专利范围中的独立项所记载的特征的组合来达成。又,申请专利范围各附属项规定了本发明更有利的具体实施例。

[0007] 依据本发明的第 1 实施形式,被测试装置测试用的测试装置具备:基准时钟源,其产生基准时钟以控制该被测试装置的动作;时钟产生电路,其产生再生时钟,其频率等于基准时钟的频率且其相位等于被测试装置的输出数据;延迟电路,其使再生时钟延迟以产生选通脉冲;时序比较器,其依据该选通脉冲以取得该输出数据的输出值;逻辑比较器,其对该输出值与预定的期待值作比较;以及良否判定部,其依据逻辑比较器的比较结果以判定该被测试装置的良否。

[0008] 时钟产生电路具备:第 1 相位比较器,其对该被测试装置的输出数据和再生时钟的相位进行比较以输出第 1 比较结果信号;第 2 相位比较器,其对基准时钟和再生时钟的相位进行比较以输出第 2 比较结果信号;加法器,其对第 1 比较结果信号和第 2 比较结果信号进行加算,以输出加算结果信号;以及再生时钟产生部,其依据该加算结果信号以产生再生

时钟。

[0009] 测试装置还具备第 1 低通滤波器,其只使第 1 比较结果信号中较第 1 频率还低的信号通过。加法器对已通过第 1 低通滤波器的第 1 比较结果信号和第 2 比较结果信号进行加算。

[0010] 显示第 1 低通滤波器的通过频带所用的第 1 频率是对应于被测试装置的种类来设定。显示第 1 低通滤波器的通过频带所用的第 1 频率是对应于被测试装置所容许的变动(jitter)频率来设定。延迟电路的延迟量是对应于被测试装置的形态来设定。

[0011] 测试装置更可具备第 2 低通滤波器,其只使加算结果信号中较第 2 频率还低的信号通过。再生时钟产生部依据已通过第 2 低通滤波器的加算结果信号来产生该再生时钟。

[0012] 显示第 2 低通滤波器的通过频带所用的第 2 频率较第 1 频率还高或与第 1 频率相等。

[0013] 第 1 低通滤波器在输出数据不安定时,输出固定值的保持(hold)信号以取代第 1 比较结果信号。

[0014] 第 1 低通滤波器在由被测试装置的输出数据开始输出后的固定时间内,输出固定值以取代第 1 比较结果信号。

[0015] 依据本发明的第 2 实施形式,被测试装置测试用的测试装置具备:时钟产生电路,其产生再生时钟,其相位等于被测试装置的输出数据;延迟电路,其使再生时钟延迟以产生选通脉冲;时序比较器,其依据该选通脉冲以取得该输出数据的输出值;逻辑比较器,其对该输出值与预定的期待值作比较;以及良否判定部,其依据逻辑比较器的比较结果以判定该被测试装置的良否。

[0016] 时钟产生电路具备:相位比较器,其对该被测试装置的输出数据和再生时钟的相位进行比较以输出比较结果信号;第 1 低通滤波器,其只使由相位比较器输出的比较结果信号中、较对应于被测试装置的种类所设定的固定频率还低的信号通过;以及再生时钟产生部,其依据由相位比较器输出的该比较结果信号以产生再生时钟。

[0017] 相位比较器对该被测试装置的输出时钟和再生时钟产生部所产生的再生时钟的相位进行比较,以输出比较结果信号。再生时钟产生部还具备分频器,其对已产生的再生时钟进行分频。相位比较器亦可对该被测试装置的输出时钟与分频周期已划分的再生时钟的相位进行比较,以输出比较结果信号。

[0018] 依据本发明的第 3 实施形式,被测试装置测试用的测试方法包含:产生步骤,其产生基准时钟,以控制该被测试装置的动作;时钟再生步骤,其产生再生时钟,其频率等于基准时钟的频率且其相位等于被测试装置的输出数据;另一产生步骤,其使再生时钟延迟以产生选通脉冲;取得步骤,其依据该选通脉冲以取得该输出数据的输出值;比较步骤,其对该输出值与预定的期待值作比较;以及良否判定步骤,其依据该比较结果以判定该被测试装置的良否。

[0019] 时钟再生步骤包含以下各步骤:对该被测试装置的输出数据与再生时钟的相位进行比较,以输出第 1 比较结果信号;对该基准时钟和再生时钟的相位进行比较以输出第 2 比较结果信号;对第 1 比较结果信号和第 2 比较结果信号进行加算,以输出加算结果信号;以及依据该加算结果信号以产生再生时钟。

[0020] 依据本发明的第 4 实施形式,被测试装置测试用的测试方法具备以下各步骤:时

钟再生步骤,其产生再生时钟,其相位等于被测试装置的输出数据;产生步骤,其使再生时钟延迟以产生选通脉冲;取得步骤,其依据该选通脉冲以取得该输出数据的输出值;比较步骤,其对该输出值与预定的期待值作比较;以及良否判定步骤,其依据该比较步骤的比较结果以判定该被测试装置的良否。

[0021] 时钟再生步骤包含以下各步骤:输出步骤,其中对该被测试装置的输出数据和再生时钟的相位进行比较,以输出比较结果信号;通过步骤,其中只使比较结果信号中较对应于被测试装置的种类所设定的固定频率还低的信号通过;以及再生时钟产生步骤,其依据由该输出步骤输出的该比较结果信号以产生再生时钟。

[0022] 时钟再生步骤含有的输出步骤,其对该被测试装置的输出时钟与再生时钟产生步骤中所产生的再生时钟的相位进行比较,以输出比较结果信号。

[0023] 又,上述发明的概要并未列举本发明的必要特征的全部,这些特征群的下位组合(sub-combination)亦属本发明。

[0024] 发明的效果在于,依据本发明所属的测试装置,可准确地测试一种具有时钟埋入方式的高速串行接口的被测试装置。

[0025] 为了让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合所附图式,作详细说明如下。

附图说明

[0026] 图1是绘示本发明第1实施形式所属的测试装置100的构成的一例。

[0027] 图2是输出数据,再生时钟以及选通脉冲的时序图。

[0028] 图3是第2实施形式的测试装置300的构成的一例。

[0029] 图4是输出数据,源极同步时钟,再生时钟以及选通脉冲的时序图的一例。

[0030] 图5是输出数据,源极同步时钟,再生时钟以及选通脉冲的时序图的一例。

[0031] 图6是先前技术所属的测试装置600的构成。

[0032]	100:测试装置	102:基准时钟源
[0033]	104:时钟产生电路	106:位准比较器
[0034]	108:时序比较器	110:逻辑比较器
[0035]	112:良否判定部	120:低通滤波器(LPF)
[0036]	122:相位比较器	124:可变延迟电路
[0037]	126:N2分频器	128:N1分频器
[0038]	130:相位比较器	132:加法器
[0039]	134:低通滤波器(LPF)	136:积分器
[0040]	138:电压控制振荡器(VCO)	150:被测试装置(DUT)
[0041]	300:测试装置	306:位准比较器
[0042]	304:时钟产生电路	340:边缘切换电路
[0043]	342:M分频器	344:固定选通脉冲产生器
[0044]	346:开关	350:被测试装置(DUT)
[0045]	600:测试装置	602:被测试装置(DUT)
[0046]	604:位准比较器	606:时序比较器

[0047] 608 :逻辑比较器

具体实施方式

[0048] 以下将依据本发明的实施形式来说明本发明,但以下的实施形式不是用来限定专利范围所属的发明。又,实施形式中所说明的特征的组合的全部不限于发明解决手段中所必须者。

[0049] 图1是绘示本发明第1实施形式所属的测试装置100的构成的一例。图2(a)是第1实施形式中DUT150的输出数据的时序图的一例。图2(b)是第1实施形式中VC0138所产生的再生时钟的时序图的一例。图2(c)是第1实施形式中可变延迟电路124所产生的选通脉冲的时序图的一例。

[0050] 测试装置100具备基准时钟源102,时钟产生电路104,位准比较器106,可变延迟电路124,时序比较器108,逻辑比较器110以及良否判定部112。又,良否判定部112亦可藉由该测试装置100所具备的CPU进行程式化时来实现,或亦可藉由设在该测试装置100外部的工作站等的解析装置来实现。

[0051] 基准时钟源102产生一种基准时钟以控制DUT150的动作。DUT150依据基准时钟源102所产生的基准时钟来动作,以输出如图2(a)所示的输出数据。然后,位准比较器106使由DUT150所输出的输出数据来与预定的门限值电压相比较,以输出2值的输出数据。又,时钟产生电路104产生如图2(b)所示的再生时钟,其频率略等于基准时钟源102所产生的基准时钟且其相位略等于DUT150的输出数据。

[0052] 可变延迟电路124使时钟产生电路104所产生的再生时钟延迟,以产生如图2(c)所示的选通脉冲。可变延迟电路124的延迟量是对应于DUT150的形式来设定。例如,可变延迟电路124的延迟量可为DUT150的输出数据的半周期时间。又,可变延迟电路124具有一种对相位比较器122和时序比较器108之间的相位差进行调整的功能。因此,可变延迟电路124亦可设在由N1分频器128开始而朝向相位比较器122的传送路径中的相位比较器122之前。此时,VC0138产生一种再生时钟,其具有一种对应于DUT150的输出数据所定的相位差。

[0053] 时序比较器108依据可变延迟电路124所产生的选通脉冲以取得DUT150的输出数据的输出值。逻辑比较器110例如是一种互斥或(Exclusiveor)演算电路,其将时序比较器108所取得的输出值来与预定的期待值相比较,以输出一种不一致(fail)数据或一致(pass)数据。然后,良否判定部112依据逻辑比较器110的比较结果以判定DUT150的良否。

[0054] 时钟产生电路104具有低通滤波器(LPF)120、相位比较器122、N2分频器126、N1分频器128、相位比较器130、加法器132、低通滤波器134、积分器136以及电压控制振荡器(VC0)138。时钟产生电路104藉由包含相位比较器122、LPF120、LPF134、积分器136、VC0138以及N1分频器128的相位同步回路(loop),使再生时钟和输出数据的相位同步,又,藉由包含相位比较器130、LPF134、积分器136、VC0138、N1分频器128以及N2分频器126的频率同步回路(loop),使再生时钟和基准时钟的频率相一致。又,相位比较器122例如是一种早期领先(early lead)电路,LPF120例如是一种数位滤波器。VC0138是本发明的再生时钟产生部的一例。

[0055] 相位比较器 122 对位准比较器 106 所输出的 DUT150 的输出数据和 VC0138 所产生的已由 N1 分频器 128 完成 N1 分频的再生时钟的相位进行比较,以输出第 1 比较结果信号。LPF120 只使相位比较器 122 所输出的第 1 比较结果信号中较第 1 频率还低的信号通过,以供给至加法器 132 中。又,显示 LPF120 的通过频带所用的第 1 频率对应于 DUT150 的种类而设定,例如,可对应于 DUT150 中所容许的变动频率而设定。具体而言,DUT150 的输出数据的频率在 6.5GHz 的程度时,则第 1 频率例如可设定成 100kHz 的程度。

[0056] 又,N1 分频器 128 和 N2 分频器 126 对 VC0138 所产生的再生时钟进行分频,以供给至相位比较器 130 中。相位比较器 130 对基准时钟源 102 所产生的基准时钟和 VC0138 所产生的已由 N1 分频器 128 和 N2 分频器 126 完成 ($N1 \times N2$) 分频的再生时钟的相位进行比较,以输出第 2 比较结果信号且供给至加法器 132。

[0057] 加法器 132 对相位比较器 122 所输出的已通过 LPF120 的第 1 比较结果信号和相位比较器 130 所输出的第 2 比较结果信号进行加算,以输出一种加算结果信号。LPF134 只使加法器 132 所输出的加算结果信号中较第 2 频率还低的信号通过,以供给至积分器 136。又,显示 LPF134 的通过频带所用的第 2 频率较显示 LPF120 的通过频带所用的第 1 频率还高。具体而言,DUT150 的输出数据的频率在 6.5GHz 的程度时,则第 2 频率例如可设定成数 MHz 的程度。又,显示 LPF134 的通过频带所用的第 2 频率亦可与显示 LPF120 的通过频带所用的第 1 频率大约相等。

[0058] 积分器 136 对 LPF134 所输出的加算结果信号进行积分以供给至 VC0138。VC0138 依据 LPF134 所通过的由积分器 136 所积分的加算结果信号的积分值而产生一再生时钟,以供给至相位比较器 122 和可变延迟电路 124。

[0059] 以下将依据 DUT150 的测试流程来说明该测试装置 100 的动作。首先,进行初期设定时,依据 DUT150 的输出数据速率,以对基准时钟源 102 所产生的基准时钟的频率, N1 分频器 128 和 N2 分频器 126 的分频比 ($N1$ 、 $N2$) 进行设定。然后,经过一定时间之后,藉由频率同步回路在达到频率同步时, VC0138 在基准时钟的频率的 $N1 \times N2$ 倍的频率时产生一种相位与基准时钟同步的再生时钟。

[0060] 其次,由 DUT150 产生该时钟产生电路 104 的训练图样 (training pattern)。该训练图样可为一种具有固定的数据变化率的数据列,其使 DUT150 的输出数据和再生时钟的相位同步。因此,此时由逻辑比较器 110 而来的训练图样未与期待值进行一种比较处理。

[0061] 由 DUT150 所输出的训练图样的数据在测试装置 100 中输入至时钟产生电路 104 所连接的通道中。该测试装置 100 中若输入该训练图样,则在位准比较器 106 中进行位准比较之后分开,以输入至时序比较器 108 和相位比较器 122 中。

[0062] 相位比较器 122 对已由 N1 分频器 128 完成分频的再生时钟和训练图样的相位进行比较,以输出能显示相位的超前或落后的数据的第 1 相位比较结果信号。又, DUT150 的输出数据是一种随机 (random) 数据。由于由周期所造成的数据的变化点的有无会不相同,则相位比较器 122 只有在 DUT150 的输出数据中存在着变化点时才会进行相位比较,以输出第 1 相位比较结果信号。DUT150 的输出数据中未存在着变化点时不会进行相位比较。

[0063] 相位比较器 122 所输出的第 1 相位比较结果信号藉由 LPF120 平滑化之后,藉由加法器 132 来与相位比较器 130 所输出的第 2 比较结果信号相加。然后, VC0138 进行回授控制,使 DUT150 的输出数据和再生时钟的相位误差被消除以产生再生时钟。结果, DUT150 的

输出数据的频率维持在基准时钟的 $N1 \times N2$ 倍,再生时钟的相位是与 DUT150 的输出数据同步。

[0064] 其次,处于由时钟产生电路 104 所造成的相位同步和频率同步的状态时,则开始 DUT150 的测试。在 DUT150 测试时,已由 $N1$ 分频器 128 完成 $N1$ 分频的再生时钟藉由可变延迟电路 124 而被延迟,固定时序的选通脉冲供给至时序比较器 108。然后,藉由时序比较器 108 依据选通脉冲所定的时序以取得 DUT150 的输出数据,藉由逻辑比较器 110 来与期待值相比较。

[0065] 测试时,时钟产生电路 104 经常对 DUT150 的输出数据和再生时钟的相位进行比较,由于是藉由 VC0138 来进行回授控制,为了晶片温度变动等所造成的偏移,即使 DUT150 的输出数据的相位变动,若发生 LPF120 的截止频率所在的第 1 频率以下的变动,则仍可追踪 DUT150 的相位变动以产生一种再生时钟。

[0066] 如上所述,依据本实施形式中的测试装置 100,在时钟埋入方式的高速串列接口的测试中,由 DUT150 的输出数据产生一种再生时钟,在再生时钟的相位作为基准的所期望的时序中可取得 DUT150 的输出数据。又,藉由基准时钟的频率和 $N1$ 分频器 128 以及 $N2$ 分频器 126 的分频比可改变,则可范围广泛地对应于 DUT150 的输出数据速率,使作为测试装置时的广用性增加。又,VC0138 的输出频率范围由于通常可以八阶(octave)方式来改变,则藉由使用 $N1$ 分频器 128 以及 $N2$ 分频器 126 共 2 个分频器,可使 VC0138 的输出频率范围对应于 DUT150 的输出数据速率的范围。

[0067] 又,DUT150 由于是依据基准时钟源 102 所产生的基准时钟来动作,则就测试装置 100 而言 DUT150 的输出数据的频率必定已知而不会变动。因此,相位同步回路和频率同步回路可各别地构成且同时动作。又,藉由各别的 LPF120 和 LPF134,由于相位同步回路和频率同步回路的回路频带可各别地设定,则藉由使频率同步回路的回路频带变高,可使频率同步的设定时间缩短以抑制 VC0138 的杂讯,且可藉由相位同步回路的回路频带变低,使 DUT150 的输出数据的变动成份被去除。又,LPF120 的截止(cut-off)频率成为可变时,其可对应于成为测试对象的 DUT150 的变动容许度(tolerance)规格。图 3 是第 2 实施形式的测试装置 300 的构成的一例。又,图 4(a) 和图 5(a) 是第 2 实施形式的 DUT350 的输出数据的时序图的一例。图 4(b) 和图 5(b) 是第 2 实施形式的 DUT350 的源极同步时钟的时序图的一例。图 4(c) 和图 5(c) 是第 2 实施形式的 VC0138 所产生的再生时钟的时序图的一例。图 4(d) 和图 5(d) 是第 2 实施形式的可变延迟电路 124 所产生的选通脉冲的时序图的一例。又,第 2 实施形式的测试装置 300 的动作和功能除了以下说明的部份以外都与第 1 实施形式的测试装置 100 的动作和功能相同,相同的部份因此不再说明。

[0068] 测试装置 300 中加入第 1 实施形式的测试装置 100 所具备的构成元件且另外具备位准比较器 306。又,时钟产生电路 304 中加入第 1 实施形式的时钟产生电路 104 所具有的构成元件且另外具有边缘切换电路 340、 M 分频器 342、固定选通脉冲产生器 344 以及开关 346。第 1 实施形式的测试装置 100 虽然具备时钟埋入方式的高速串列接口测试用的时钟产生电路 104,但第 2 实施形式的测试装置 300 具备源极同步方式的高速串列接口测试用的时钟产生电路 304。又,源极同步时钟是本发明的输出数据或输出时钟的一例。

[0069] DUT350 具备源极同步方式的高速串列接口,其输出如图 4(a) 和图 5(a) 中所示的输出数据以及如图 4(b) 和图 5(b) 中所示的源极同步时钟。因此,在源极同步时钟方式中,

源极同步时钟的上升边缘和下降边缘此二者成为时序边缘处于双倍数据速率 (DDR) 时的方式,源极同步时钟的上升边缘或下降边缘中之一成为时序边缘处于一倍数据速率 (SDR) 时的方式。此处,边缘切换电路 340 设在由 DUT350 至相位比较器 122 的传送路径中的相位比较器 122 之前,由 DUT350 所输出的源极同步时钟的边缘中藉由相位比较器 122 来选取相位已比较的边缘,以供给至相位比较器 122 中。因此,测试装置 300 可测试以下二种装置,即,一种具备双倍数据速率方式的高速串列接口的 DUT350 以及一种具备一倍数据速率方式的高速串列接口的 DUT350。

[0070] 又,在源极同步方式中,输出数据的频率和源极同步时钟的频率的比不限于 1 对 1,亦可为 1 对 2、1 对 4。因此,M 分频器 342 设在由 N1 分频器 128 至相位比较器 122 的传送路径中的相位比较器 122 之前,已由 N1 分频器 128 完成 N1 分频的再生时钟更进行 M 分频以供给至相位比较器 122。因此,M 分频器 342 使供给至可变延迟电路 124 中的再生时钟的频率和供给至相位比较器 122 中的再生时钟的频率成为不同,且使供给至相位比较器 122 中的再生时钟的频率和源极同步时钟的频率成为相同。于是,测试装置 300 可对一种具备输出数据的频率和源极同步时钟的频率之比是多样性的源极同步方式的高速串列接口的 DUT350 进行测试。

[0071] 固定选通脉冲产生器 344 产生一种固定相位差信号,其可显示基准时钟和再生时钟的相位差。然后,开关 346 对相位比较器 122 所输出的第 1 比较结果信号和固定选通脉冲产生器 344 所产生的固定相位差信号进行切换,以供给至加法器 132。即,开关 346 选择第 1 比较结果信号以供给至加法器 132 中时,VC0138 产生一种对 DUT350 的源极同步时钟进行追踪后的再生时钟,如图 4(c) 和图 5(c) 所示。然后,可变延迟电路 124 使时钟产生电路 304 所产生的再生时钟延迟,以产生如图 4(d) 和图 5(d) 所示的选通脉冲。另一方面,开关 346 选择该固定相位差信号以供给至加法器 132 中时,VC0138 不对 DUT350 的源极同步时钟进行追踪,以对该基准时钟产生一种具有一固定相位差所示的相位差的再生时钟。因此,测试装置 300 不只可对 DUT350 的源极同步时钟进行追踪后的选通脉冲 - 而且亦可对基准时钟藉由具有一固定相位差的选通脉冲来取得 DUT350 的输出数据以进行测试。

[0072] 在 DUT350 开始输出源极同步时钟后的固定时间内的情况等的 DUT350 所输出的源极同步时钟未安定的情况下,LPF120 依据一种保持信号以输出一固定值且供给至加法器 132 以取代第 1 比较结果信号。即,LPF120 选择第 1 比较结果信号以供给至加法器 132 时,如图 4(c) 和图 5(c) 所示,VC0138 会产生一种与 DUT350 的源极同步时钟的相位同步的再生时钟。然后,可变延迟电路 124 使时钟产生电路 304 所产生的再生时钟延迟,以产生如图 4(d) 和图 5(d) 所示的选通脉冲。另一方面,LPF120 依据该保持信号以供给该固定值至加法器 132 中时,VC0138 未与 DUT350 的源极同步时钟形成相位同步而是产生一种与基准时钟的相位同步的再生时钟。又,第 1 实施形式中的测试装置 100 所具备的 LPF120 亦能与上述的 LPF120 一样依据该保持 (hold) 信号以输出一固定值。

[0073] 因此,第 2 实施形式中的测试装置 300 中 DUT350 的源极同步时钟的相位不安定时或第 1 实施形式中的测试装置 100 中 DUT150 的输出数据成为“0”或“1”的长的连续图样时,在测试中相位同步停止的情况下,可暂时地停止相位同步回路的动作。

[0074] 以上虽然使用实施形式来说明本发明,但本发明的技术范围不限于上述实施形式中所记载的范围。上述实施形式中,可施加多样的变更或改良。此种已施加变更或改良的

形式亦包含在本发明的技术范围中,这由所请求的范围的记载即可明白。

[0075] 产业上的可利用性

[0076] 由以上的说明即可明白,依据本发明,具有时钟埋入式的高速串列接口的被测试装置可被正确地测试。

[0077] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何熟习此技艺者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围以权利要求所界定者为准。

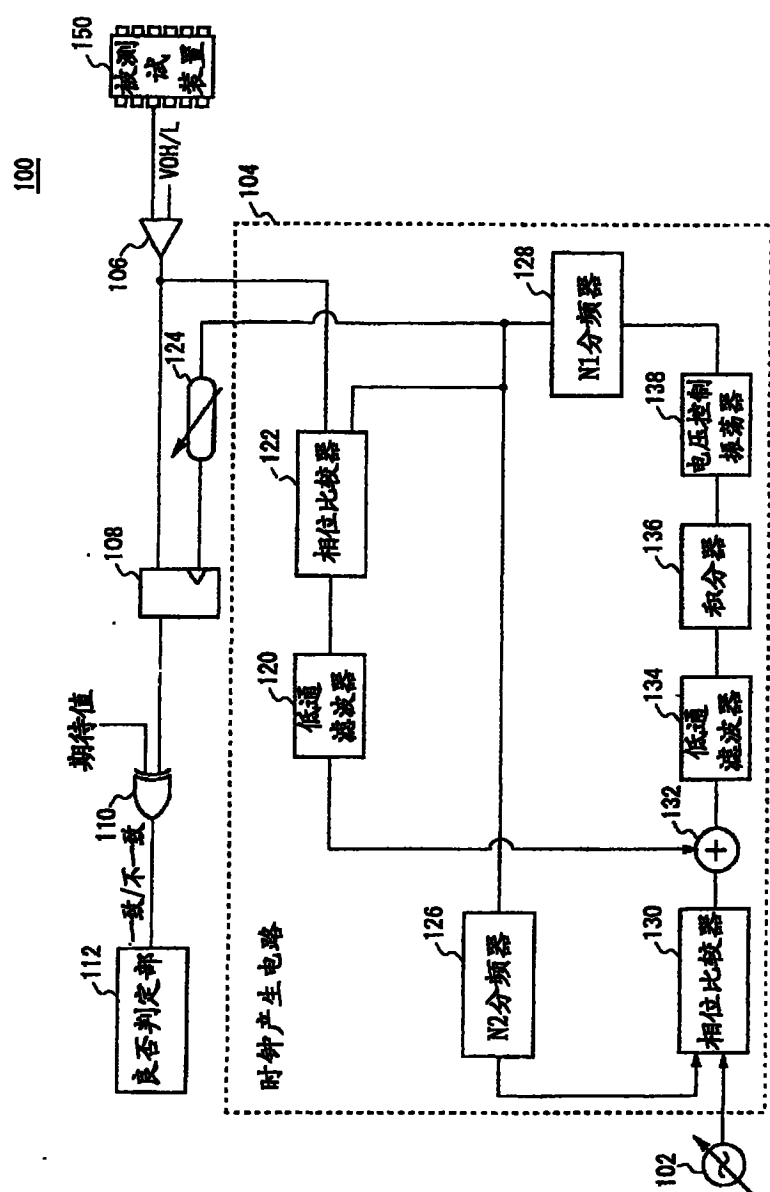


图 1

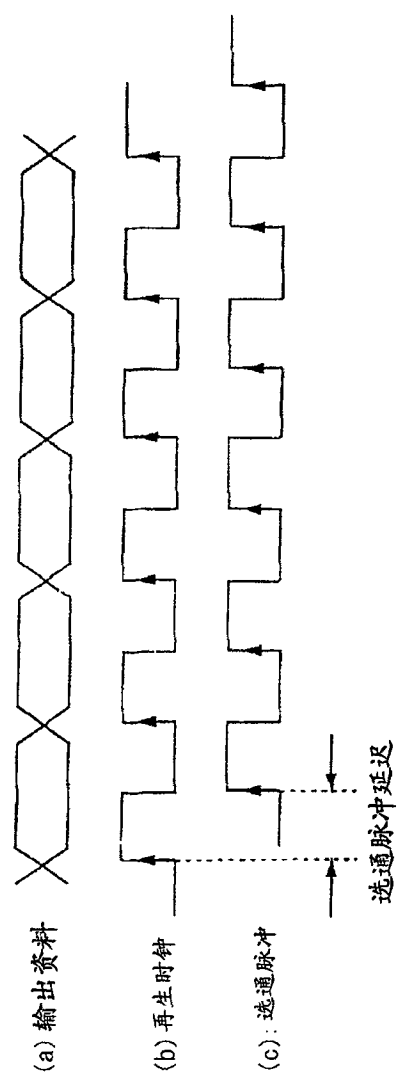


图 2

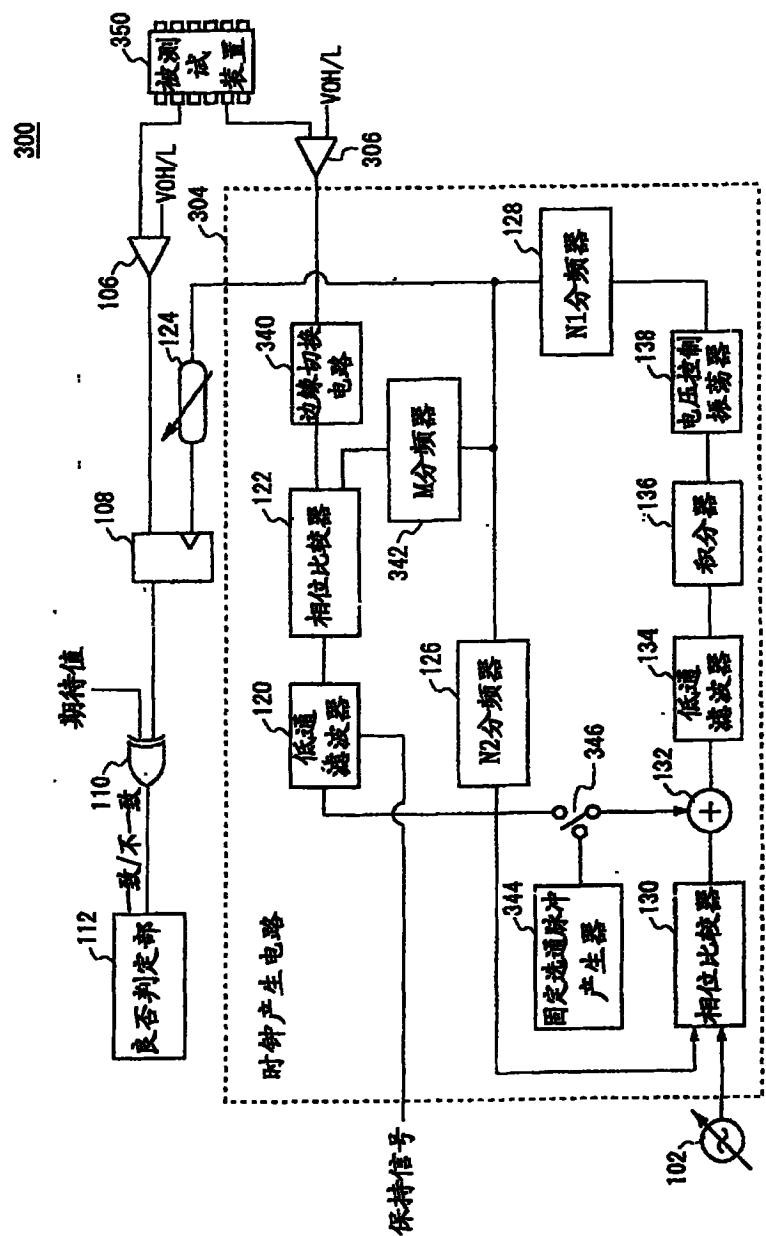


图 3

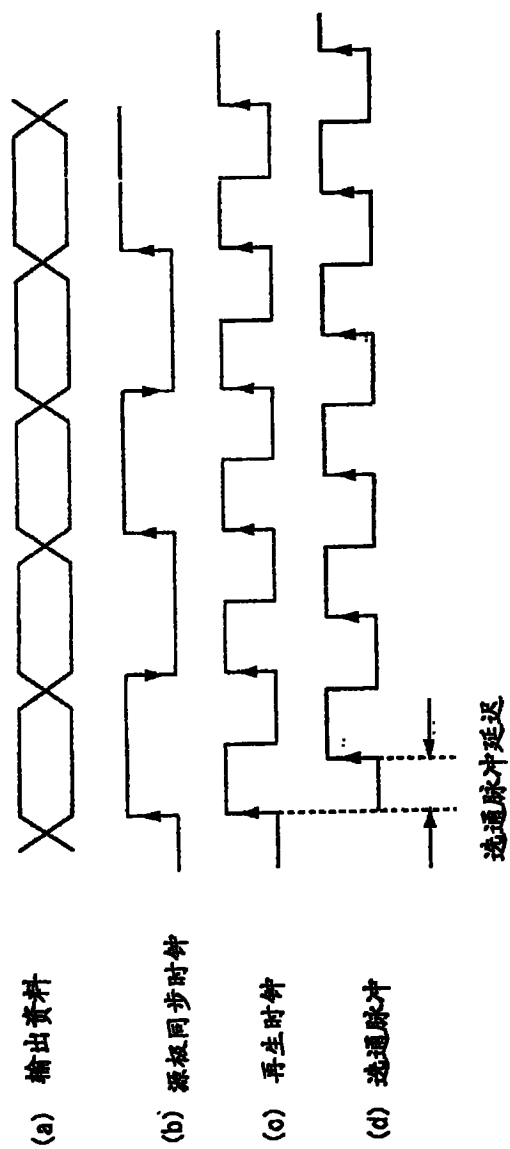


图 4

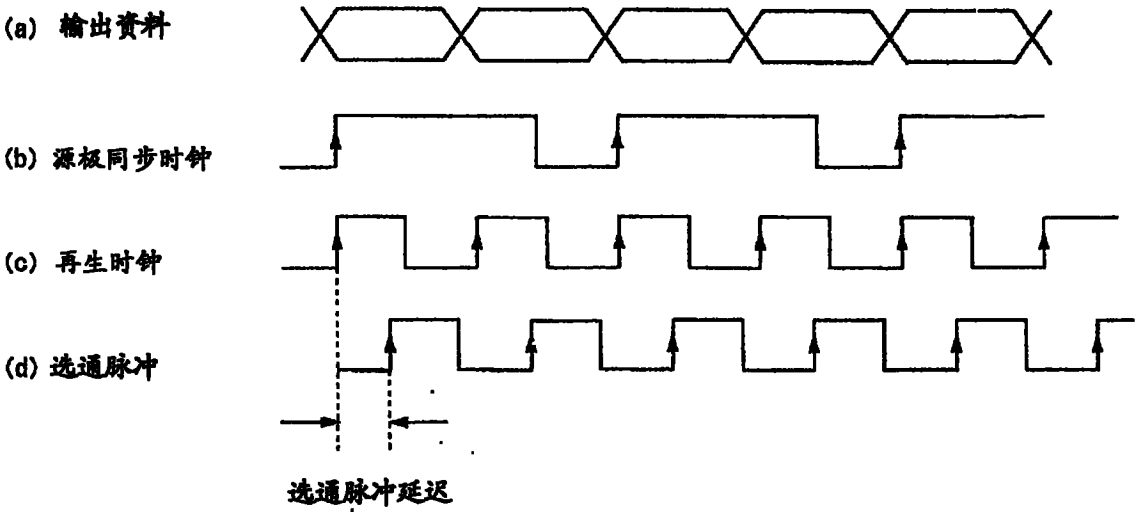


图 5

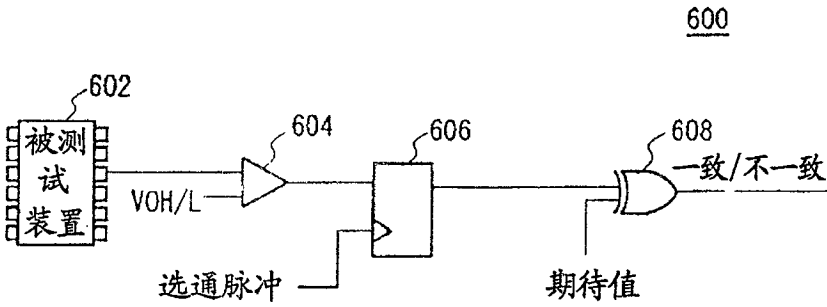


图 6