

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G02F 1/136	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년11월09일 10-0526731 2005년10월31일
--	-------------------------------------	--

(21) 출원번호	10-2002-0006535	(65) 공개번호	10-2002-0065388
(22) 출원일자	2002년02월05일	(43) 공개일자	2002년08월13일

(30) 우선권주장	JP-P-2001-00029050	2001년02월06일	일본(JP)
	JP-P-2002-00019751	2002년01월29일	일본(JP)

(73) 특허권자 가부시키키가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 다나베히테오
일본지바켄모바라시고바야시2717-9

시모무라시게오
일본지바켄모바라시나카노시마마찌779

오쿠라마고또
일본도쿄도후쥬시오시따메쥬1-33-7-402

구리따마사아끼
일본지바켄모바라시시모나가요시460

기무라야스카즈
일본지바켄모바라시하야노3550

나카무라다카오
일본지바켄모바라시히가시모바라11-54

(74) 대리인 장수길
 구영창

심사관 : 박진우

(54) 표시 장치 및 그 제조 방법

요약

본 발명은 개구율의 향상을 도모하고, 박막 트랜지스터 주변의 단차의 억제를 도모한다. 절연성 기판에 박막 트랜지스터가 형성되고, 이 박막 트랜지스터는 채널 영역, 이 채널 영역의 양측에 농도가 높은 불순물 도핑된 드레인 및 소스 영역, 드레인 영역과 채널 영역 사이 및 소스 영역과 채널 영역 사이 중 적어도 한쪽에 농도가 낮은 불순물 도핑된 LDD 영역을 갖

는 폴리실리콘으로 이루어지는 반도체층과, 이 반도체층의 상면에 형성되고, 채널 영역, LDD 영역, 드레인 및 소스 영역에 걸쳐 각각 단계적으로 막 두께가 순차적으로 작아지는 절연막과, 상기 채널 영역 위에 상기 절연막을 경유하여 형성되는 게이트 전극을 구비한다.

대표도

도 1

색인어

단차, 개구율, 채널 영역, 소스 드레인, 박막 트랜지스터, 게이트 전극, 절연막

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 표시 장치의 박막 트랜지스터의 일 실시예를 나타내는 구성도로서, 도 3의 I-I 선을 따라 취하는 단면도.

도 2는 본 발명에 따른 표시 장치의 일 실시예를 나타내는 개략 평면도.

도 3은 본 발명에 따른 표시 장치의 화소의 일 실시예를 나타내는 평면도.

도 4는 본 발명에 따른 표시 장치의 제조 방법의 일 실시예를 나타내는 공정도.

도 5는 본 발명에 따른 표시 장치의 제조 방법의 다른 실시예를 나타내는 공정도.

도 6은 본 발명에 따른 표시 장치의 제조 방법의 다른 실시예를 나타내는 공정도.

도 7은 도 5에 나타낸 공정으로 제조한 박막 트랜지스터의 게이트 전극의 패턴을 나타내는 설명도.

도 8은 본 발명에 따른 표시 장치의 제조 방법의 다른 실시예를 나타내는 공정도.

도 9는 본 발명에 따른 표시 장치의 제조 방법의 실시예를 나타내는 공정도.

도 10은 본 발명에 따른 표시 장치의 제조 방법의 다른 실시예를 나타내는 공정도.

도 11은 본 발명에 따른 표시 장치의 제조 방법의 다른 실시예를 나타내는 공정도.

도 12는 본 발명에 따른 표시 장치의 제조 방법의 다른 실시예를 나타내는 공정도.

<도면의 주요 부분에 대한 부호의 설명>

SUB : 투명 기판

GL : 게이트 신호선

DL : 드레인 신호선

CL : 용량 신호선

TFT : 박막 트랜지스터

GT : 게이트 전극

SD1 : 소스 전극

SD2 : 드레인 전극

PX : 화소 전극

GI : 절연막

LGI1 : 제1 층간 절연막

LGI2 : 제2 층간 절연막

CH : 콘택트 홀

RE : 포토레지스트막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것으로, 액티브 매트릭스형의 표시 장치에 관한 것이다.

이러한 종류의 표시 장치의 대표적인 것으로서 알려진 액정 표시 장치는, 액정을 사이에 두고 대향하여 배치되는 투명 기관 중 한쪽의 투명 기관의 액정층의 면에, x 방향으로 연장하여 y 방향으로 병설되는 게이트 신호선과, y 방향으로 연장되고 x 방향으로 병설되는 드레인 신호선이 형성되며, 이들 신호선에 따라 둘러싸인 각 영역을 화소 영역으로 한다.

각 화소 영역에는, 적어도, 한 측의 게이트 신호선으로부터의 주사 신호에 의해 작동하는 박막 트랜지스터와, 이 박막 트랜지스터를 통해 한 측의 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극이 형성되어 있다.

이 화소 전극은 대향 전극 사이에 전계를 발생시키고, 이에 따라 액정의 투과율을 제어하도록 되어 있다.

또한, 상기 박막 트랜지스터로서, 소위 저온 폴리실리콘(p-Si)이라고 하는 반도체층을 이용하는 것이 알려져 있다.

이러한 박막 트랜지스터는 약 450°C 이하의 저온 프로세스로 형성할 수 있다.

그리고, 상기 게이트 신호선에 주사 신호를 공급하는 주사 구동 회로, 및 드레인 신호선에 영상 신호를 공급하는 영상 구동 회로도 상기 한쪽의 기관 위에 형성되는 것이 알려져 있다.

각 구동 회로는 다수의 상보형 MIS 트랜지스터로 구성되며, 이들 MIS 트랜지스터는 상기 박막 트랜지스터와 병행하여 형성할 수 있기 때문이다.

이러한 박막 트랜지스터의 구성으로는, 예를 들면 특개평11-163366호 공보에 개시된 것이 알려져 있다.

발명이 이루고자 하는 기술적 과제

이러한 구성의 박막 트랜지스터는 그 채널 영역과 이 채널 영역의 양측에 형성되는 드레인 및 소스 영역사이에 각각 소위 LDD(Lightly Doped Drain) 영역을 형성하고, 이들 각 LDD의 폭을 균일하게 하여 온 전류의 크기를 균일하게 한 것이다.

또, 이 LDD 영역은 드레인 및 소스 영역에 도핑되는 불순물보다도 농도가 낮은 불순물 도핑된 영역으로, 이 부분에서의 전계 집중을 완화시키기 위해 형성되는 것이다.

그러나, 이러한 박막 트랜지스터는 그 채널 영역, LDD 영역, 드레인 및 소스 영역을 피복하는 절연막(게이트 절연막으로서 기능하는 것)의 막 두께를 고려하지 않기 때문에, 콘택트 홀의 테이퍼면을 작게 할 수 없어 개구율의 향상을 도모할 수 없으며, 박막 트랜지스터의 게이트 전극 주변에 형성되는 단차때문에 층간 절연막의 피복성에 문제점이 생기는 등의 지적이 있다.

본 발명은, 이러한 사정을 감안한 것으로, 그 목적은 개구율의 향상을 도모할 수 있고, 박막 트랜지스터의 게이트 전극의 주변에 의한 문제점을 해소한 표시 장치를 제공하는 것에 있다.

또한, 본 발명의 다른 목적은, 그 박막 트랜지스터의 형성시, 불순물의 이온 주입을 위한 전압을 저감시킬 수 있는 표시 장치의 제조 방법을 제공하는 것에 있다.

발명의 구성 및 작용

본 발명에서 개시되는 발명 중에 대표적인 것의 개요를 간단하게 설명하면, 이하와 같다.

즉, 본 발명에 따른 표시 장치는, 예를 들면 액정을 사이에 두고 대향하여 배치되는 각 기관 중 적어도 한쪽의 기관에 박막 트랜지스터가 형성되고, 이 박막 트랜지스터는 채널 영역, 이 채널 영역의 양측에 농도가 높은 불순물 도핑된 드레인 및 소스 영역, 드레인 영역과 채널 영역 사이 및 소스 영역과 채널 영역 사이 혹은 드레인 영역과 채널 영역의 사이 또는 소스 영역과 채널 영역 사이에 농도가 낮은 불순물 도핑된 LDD 영역을 갖는 폴리실리콘으로 이루어지는 반도체층과, 이 반도체층의 상면에 형성되고, 채널 영역, LDD 영역, 드레인 및 소스 영역 혹은 드레인 영역 또는 소스 영역에 이르러 각각 단계적으로 순차적으로 막 두께가 작아지는 절연막과, 상기 채널 영역 위에 상기 절연막을 통해 형성되는 게이트 전극을 구비하는 것을 특징으로 하는 것이다.

이렇게 구성된 표시 장치에 있어서, 드레인 및 소스 영역 위의 절연막의 막 두께는 채널 영역 위의 절연막의 두께보다도 상당히 작게 형성된다.

이 때문에, 드레인 및 소스 전극용으로 형성되는 상기 절연막의 콘택트 홀은 그 내측면의 테이퍼에 차지하는 면적을 작게 할 수 있어, 각 전극의 면적을 작게 할 수 있다. 그 결과, 개구율의 향상을 도모할 수 있다.

또한, 그 절연막은 채널 영역으로부터 드레인 및 소스 영역에 이를 때까지 2단계로 단차를 분할시키고 있으며, 거의 매끄러운 경사면으로서 형성되어 단차에 기인하는 문제점이 해소된다.

또한, 본 발명에 따른 표시 장치의 제조 방법은, 예를 들면 절연성 기관에 박막 트랜지스터가 형성되는 것으로, 상기 박막 트랜지스터는, 상기 기관측에 폴리실리콘으로 이루어지는 반도체층, 절연막, 도전층을 형성시키는 공정과, 상기 도전층을 채널 영역, LDD 영역 위에 잔존시키고, 잔존된 그 도전층을 마스크로 하여 고농도의 불순물을 이온 주입하는 공정과, 상기 도전층은 채널 영역 위에 잔존시키고, 잔존된 그 도전층을 마스크로 하여 저농도의 불순물을 이온 주입하는 공정을 거쳐 형성하고, 또한 채널 영역 위에 잔존시키는 도전층의 패터화에 이용하는 레지스트막은 채널 영역 및 LDD 영역 위에 잔존시킨 도전층의 패터화에 이용한 레지스트막 주변을 제거한 것을 이용함과 함께, 상기 도전막을 채널 영역 및 LDD 영역 위에, 또한 채널 영역 위에 잔존시킬 때에, 그것을 마스크로 하여 이 마스크로부터 노출된 상기 절연막의 표면을 약간 에칭하는 것을 특징으로 하는 것이다.

이와 같이 구성된 표시 장치의 제조 방법은 고농도의 불순물, 저농도의 불순물을 각각 이온 주입시에, 관통막이 되는 절연막의 막 두께는 채널 영역에 형성되어 있는 절연막보다도 작게 되어 있기 때문에, 그 이온 주입에 필요한 전압을 작게 할 수 있어, 그 절연막의 손상을 작게 억제할 수 있다.

<발명의 실시 형태>

이하, 본 발명에 따른 표시 장치의 실시예를 도면을 참조하여 설명한다.

<실시예1>

《전체 구성도》

도 2는 본 발명에 따른 표시 장치에서의 액정 표시 장치의 일 실시예를 나타내는 전체 구성도이다.

도 2에서, 우선 투명 기관 SUB1이 있으며, 이 투명 기관 SUB1은 액정을 사이에 두고 투명 기관 SUB2와 대향하여 배치되도록 되어 있다.

투명 기관 SUB2는 투명 기관 SUB1보다도 약간 작은 면적으로 형성되는데, 예를 들면 도면 하측의 면에서 동일면이 되도록 마련되어 있다. 이 때문에, 도면 하측의 변을 제외한 다른 변의 주변부에서는 투명 기관 SUB2가 형성되어 있지 않은 영역이 존재한다.

이 영역에서의 투명 기관 SUB1의 액정측의 면에는 후술된 주사 구동 회로 V 및 영상 구동 회로 He가 형성되도록 구성되어 있다.

투명 기관 SUB1의 액정측의 면에는, 도면에서 x 방향으로 연장되어 y 방향으로 병설되는 게이트 신호선 GL이 형성되고, 그 일단(도면에서 좌측)은 상기 주사 구동 회로 V에 접속되고, 또한 도면에서 y 방향으로 연장되고 x 방향으로 병설되는 드레인 신호선 DL가 형성되고, 그 하나의 단부(도면에서 상측)는 상기 영상 구동 회로 He에 접속되어 있다.

각 게이트 신호선 GL과 각 드레인 신호선 DL로 둘러싸인 각 영역은 각각 화소 영역을 구성하고, 이 각 화소 영역에는 한측의 게이트 신호선 GL로부터의 주사 신호에 따라 작동하는 박막 트랜지스터 TFT와, 이 박막 트랜지스터 TFT를 통해 한측의 드레인 신호선 DL로부터의 영상 신호가 공급되는 화소 전극 PX가 구비되어 있다.

이 화소 전극 PX는, 투명 기관 SUB2의 액정측의 면에 각 화소 영역에 공통으로 형성된 대향 전극 CT 사이에 전계를 생기게 하여, 그 전계에 의해 액정의 광 투과율을 제어하도록 구성되어 있다.

여기서, 상기 박막 트랜지스터 TFT는 그 반도체층이 예를 들면 소위 저온 폴리실리콘으로 형성되어 있다.

또한, 상기 주사 구동 회로 V 및 영상 구동 회로 He는, 상기 박막 트랜지스터 TFT와 거의 동일한 구성으로 이루어지는 다수의 트랜지스터로 구성되어 있다.

이들 각 트랜지스터도 저온 폴리실리콘을 반도체층으로 함으로써, 상기 박막 트랜지스터 TFT의 형성과 병행하여 형성되도록 이루어져 있다.

또한, 투명 기관 SUB1에 대한 투명 기관 SUB2의 고정은, 액정의 봉입재로서 기능하는 밀봉재 SL에 의해 처리되어 있다.

《화소의 구성》

도 3은, 상기 각 화소 영역 중에서 하나의 화소 영역에 대한 구성의 일 실시예를 나타낸 평면도이다. 또한, 도 3의 I-I선을 따라 취한 단면도를 도 1에 나타내고 있다.

투명 기관 SUB1의 액정측의 면에, 우선 폴리실리콘으로 이루어지는 반도체층 AS가 형성되어 있다.

이 반도체층 AS는 박막 트랜지스터 TFT를 구성하는 반도체층이 되고, 도 3에서는 예를 들면 L자 형상의 패턴으로 형성되어 있다.

반도체층 AS는, 그 하나의 단부가 후술하는 게이트 신호선 GL과 드레인 신호선 DL로 둘러싸인 화소 영역 내에 위치지어지며, 또한 다른 하나의 단부는 드레인 신호선 DL과 중첩하도록 하여 형성되며, 각 단부는 비교적 면적이 크게 형성되어 콘택트부를 구성하도록 되어 있다.

그리고, 이와 같이 반도체층 AS도 피복하여 투명 기관 SUB1의 표면에는 예를 들면 SiO₂로 이루어지는 절연막 GI가 형성되어 있다(도 1 참조). 이 절연막 GI는 주로 박막 트랜지스터 TFT의 게이트 절연막으로서 기능하는 것으로, 게이트 절연막으로서 적당한 막 두께(약 100nm)로 설정되도록 형성되어 있다.

또한, 이 절연막 GI의 표면에는 도면에서 x방향으로 연장되고 y방향으로 병설되는 게이트 신호선 GL이 형성되어 있다.

이 게이트 신호선 GL은 상기 박막 트랜지스터 TFT에 근접하는 부분에서 상기 반도체층 AS의 양단을 제외한 부분의 일부를 교차하여 걸치도록 하여 형성되는 연장부를 갖고, 이 연장부는 해당 반도체층 트랜지스터 TFT의 게이트 전극 GT로서 기능하도록 구성되어 있다.

본 실시예에서는, 이 게이트 전극 GT(게이트 신호선 GL)의 재료로서, 이 실시예에서는 예를 들면 Mo, Mo 합금(MoW, MoCr), Ti, Ti 합금(TiW)이 이용된다.

또, 각 게이트 신호선 GL 사이에는 해당 게이트 신호선 GL과 평행하여 주행하는 용량 신호선 CL이 형성되어 있다. 이 용량 신호선 CL은 예를 들면 상기 게이트 신호선 GL의 형성시에 동시에 형성되도록 되어 있고, 따라서 그 게이트 신호선 GL과 동일한 재료로 구성되어 있다.

그리고, 게이트 신호선 GL, 용량 신호선 CL도 피복하여 투명 기판 SUB1의 표면에는, 예를 들면 SiO₂로 이루어지는 제1 층간 절연막 LGI1가 형성되어 있다(도 1 참조).

이 제1 층간 절연막 LGI1에는 콘택트 홀 CH1, CH2가 형성되고, 그 콘택트 홀 CH1은 상기 박막 트랜지스터 TFT의 소스 영역 SD1(후술하는 화소 전극 PX와 접속되는 측의 영역)의 일부를 노출시키도록 형성되어 있고, 콘택트 홀 CH2는 드레인 영역 SD2(후술하는 드레인 신호선 DL과 접속되는 측의 영역)의 일부를 노출시키도록 형성되어 있다.

이 제1 층간 절연막 LGI1의 상면에는 도면에서 y 방향으로 연장되고 x 방향으로 병설되는 드레인 신호선 DL이 형성되고, 이 드레인 신호선 DL은 상기 콘택트 홀 CH2의 부분에서 박막 트랜지스터 TFT의 드레인 전극 SD2와 접속되도록 하여 형성되어 있다.

또한, 이 드레인 신호선 DL의 형성시에, 박막 트랜지스터 TFT의 소스 전극 SD1이 상기 콘택트 홀 CH1의 부분에 형성되도록 되어 있다.

그리고, 이러한 드레인 신호선 DL, 소스 전극 SD1도 피복하여 투명 기판 SUB1의 표면에는, 예를 들면 SiN으로 이루어지는 제2 층간 절연막 LGI2가 형성되어 있다. 이 제2 층간 절연막 LGI2에는 콘택트 홀 CH3이 형성되고, 그 콘택트 홀 CH3은 상기 박막 트랜지스터의 소스 전극의 일부를 노출시키도록 형성되어 있다.

그리고, 제2 층간 절연막 LGI2의 상면에는, 예를 들면 ITO(Indium-Tin-Oxide)로 이루어지는 화소 전극 PX가 형성되어 있다.

이 화소 전극 PX는 게이트 신호선 GL 및 드레인 신호선 DL에 근접하여 화소 영역의 대부분을 차지하도록 형성되어 있다.

또, 상술한 실시예에서는, 게이트 전극 GT는 게이트 신호선 GL과 일체로 형성한 것이다. 그러나, 게이트 신호선 GL을 게이트 전극 GT와 다른 재료로 형성하고, 이들을 전기적으로 접속시켜도 무방함은 물론이다.

《박막 트랜지스터 TFT》

도 1은 상기 박막 트랜지스터 TFT의 일 실시예를 나타내는 구성도로서, 도 3의 I-I 선을 따라 취한 단면도이다.

이 박막 트랜지스터 TFT에서는 반도체층 AS가 폴리실리콘으로 형성되어 있다.

그리고, 이 반도체층 AS는 게이트 전극 GT의 바로 아래에서 i형(진성; Intrinsic, 도전형 불순물로 도핑되어 있지 않음)의 층으로 이루어지며, 그 양측에서 각각 비교적 농도가 낮은 n형 불순물 도핑층, 또한 그 양측에서 각각 비교적 농도가 높은 n형 불순물 도핑층으로 형성되어 있다.

i 형의 반도체층 AS는 박막 트랜지스터 TFT의 채널 영역으로서 기능하고, 농도가 높은 n형 불순물 도핑층은 각각 드레인 영역(드레인 신호선 DL과 접속되는 측의 영역), 소스 영역(화소 전극 PX와 접속되는 측의 영역)으로서 기능한다.

그리고, 농도가 낮은 n형 불순물 도핑층 AS₀는 소위 드레인 애벌런치(avalanche) 핫 캐리어(DAHC)을 방지하는 층으로서 기능하며, LDD(Lightly Doped Drain) 영역이라고 한다. 이 LDD 영역에서 전계를 완화시켜 전류가 집중하는 것을 방지하여, 박막 트랜지스터 TFT로서의 신뢰성을 향상시킨 구성으로 되어 있다.

이상으로부터, 본 실시예에서는 불순물 도핑층 AS₀의 채널 영역으로부터 드레인 영역까지, 또한 채널 영역으로부터 소스 영역까지의 각각의 폭(도면에서 L로 나타냄)은 동일하며, 또한 정밀한 값으로 설정된 것으로 되어 있다.

즉, 상기 폭 L이 길게 설정된 경우에는 반도체층 AS의 저항이 커지게 되며, 또한 작게 설정된 경우에는 전계의 집중이 일어나기 때문이다.

또한, 상기 반도체층 AS를 피복하는 절연막 GI는 채널 영역의 바로 위에서 그 막 두께가 약 100nm(바람직하게는 100nm 이하)로 형성되고, 농도가 낮은 n형 불순물 도핑층 AS₀의 바로 위에서 그 막 두께가 90nm이하로 형성되며, 드레인 영역 및 소스 영역의 바로 위에 그 막 두께가 80nm 이하, 바람직하게는 60nm 이하로 형성되어 있다.

바꾸어 말하면, 그 절연막 GI는 그 채널 영역의 바로 위, 농도가 낮은 n형 불순물 도핑층 AS₀의 바로 위, 드레인 영역 및 소스 영역의 바로 위에 걸쳐 각각 단계적으로 막 두께가 순차적으로 작게 구성되어 있다.

이 때문에, 드레인 영역 및 소스 영역의 바로 위에서의 절연막 GI의 막 두께는 채널 영역의 바로 위에서의 절연막 GI의 막 두께보다도 20nm 이하, 바람직하게는 40nm 이상 얇게 형성된다.

이것은, 드레인 영역 및 소스 영역의 각각에 형성되는 전극 형성용 콘택트 홀 CH1, CH2의 내측면의 테이퍼가 차지하는 면적이 크게 되지 않는 것을 의미하며, 화소의 개구율 향상에 기여할 수 있는 효과를 발휘한다.

이 효과는, 또한 절연막 GI에서 농도가 작은 n형 불순물 도핑층 AS₀의 바로 위에서의 막 두께와 드레인 영역 및 소스 영역의 바로 위에서의 막 두께의 차이가 채널 영역의 바로 위에서의 막 두께와 농도가 낮은 n형 불순물 도핑층 AS₀의 바로 위의 막 두께의 차보다도 크게 설정됨에 따라 현저해진다.

또한, 절연막 GI가 이와 같이 구성됨에 따라, 게이트 전극 GT의 근방에서의 단차가 두개로 분배되고, 각각의 단차가 작아지기 때문에, 층간 절연막 LGI1, LGI2의 커버리지(coverage)가 양호해지는 효과도 발휘하게 된다.

또한, 이것은 층간 절연막 LGI1, LGI2를 비교적 평탄하게 형성할 수 있는 것을 의미하며, 이들 각 층간 절연막 LGI1, LGI2의 층 위에 형성되는 신호선 혹은 전극의 단차에 따른 단선 등을 회피할 수 있는 효과를 발휘한다.

또, 본 실시예에서는, 채널 영역의 바로 위에서의 절연막 GI의 막 두께를 100nm 이하, 농도가 작은 n형 불순물 도핑층 AS₀의 바로 위에서의 절연막 GI의 막 두께를 90nm 이하, 드레인 영역 및 소스 영역의 바로 위에서의 절연막 GI의 막 두께를 60nm 이하로 했지만, 각각 80nm이하, 70nm이하, 40nm이하로 형성하여도 무방함은 물론이다.

《박막 트랜지스터의 제조 방법》

상기 박막 트랜지스터 TFT의 제조 방법의 일 실시예를 도 4를 참조하여 설명한다.

공정1. (도 4의 (a))

투명 기판 SUB1의 액정층 면에, 폴리실리콘(p-Si)로 이루어지는 반도체층 AS, 예를 들면 SiO₂ 등으로 이루어지는 절연막, 예를 들면 Cr 등으로 이루어지는 금속층을 순차적으로 적층시켜 형성한다.

여기서, 절연막은 게이트 절연막 GI, 금속층은 게이트 전극 GT로서 기능시키는 재료이다.

또한, 절연막은 그 층 두께가 비교적 두껍게 형성되는 것으로, 100nm 이하가 적당하다. 이 이유로는, 그 하층에 p-Si로 이루어지는 반도체층 AS가 형성되어, 단결정 실리콘과 같은 양질의 열 산화막을 형성할 수 없고, 저온 형성된 절연막을 형성해야하므로, 특성 상 막 두께를 얇게 할 수 없기 때문이다.

그리고, 상기 금속층의 표면에 예를 들면 도포에 의해 포토레지스트막 RE를 형성한다.

공정2. (도 4의 (b))

상기 포토레지스트막 RE를 포토마스크 MK를 이용하여 선택적으로 노광한다.

포토마스크 MK는 박막 트랜지스터 TFT의 채널 영역 및 그 양쪽 부분에 상당하는 영역에 차광막 mk가 형성되어 있다.

이 경우, 박막 트랜지스터 TFT의 채널 영역에 상당하는 차광막 mk_0 는 입사광을 완전히 차광하도록 구성되며, 그 양측에 상당하는 차광막 mk_1 에는 예를 들면 메쉬 형상으로 형성되어 입사광의 일부를 차광하도록 구성되어 있다(이하, 이러한 노광을 편의상 하프 노광이라고도 칭함).

여기서, 차광막 mk_1 은 반도체층 AS에 형성되는 각 LDD 영역에 상당하는 부분으로 각 LDD 영역의 폭에 대응하는 폭이 동일하게 형성되어 있다.

이러한 포토마스크 MK를 이용하여 노광시킨 포토레지스트막 RE를 현상함으로써, 그 포토레지스트막 RE는 박막 트랜지스터 TFT의 채널 영역 및 그 양측에 상당하는 영역에 잔존되며, 그 밖의 영역에서는 제거된다.

이 경우, 잔존된 포토레지스트막 RE는 그 채널 영역 위에서 막 두께가 두껍고, 그 채널 영역의 양측에 상당하는 영역 위에서 얇게 형성되게 된다.

공정3. (도 4의 (c))

잔존된 포토레지스트막 RE를 마스크로 하여 그 마스크로부터 노출되어 있는 금속층을 선택적으로 에칭하고, 이에 따라 절연막 GI가 노출된다.

이 경우, 절연막 GI는 그 표면이 약간 에칭되며, 마스크 아래의 절연막 GI보다도 막 두께가 얇아진다.

또한, 상기 마스크를 잔존시켜 고농도의 n형 불순물의 이온 주입을 행한다. 이에 따라, 그 마스크의 형성 영역 이외에서 절연막 아래의 반도체층 AS에 고농도의 이온이 주입되어, 드레인 및 소스 영역이 형성된다.

이 경우, 이온 주입시의 이온의 관통막이 되는 절연막 GI는 그 막 두께가 100nm 이하로 되어 있기 때문에, 이온 주입을 위한 가속 전압을 낮출 수 있다. 이에 따라 관통막으로서의 절연막 GI가 받는 손상을 낮게 억제할 수 있을 뿐만 아니라, 이후 공정의 활성화를 용이하게 할 수 있다.

공정4. (도 4의 (d))

잔존된 포토레지스트막 RE를 애싱(ashing)에 의해 표면을 제거하여 일부 잔존시킨다. 즉, 지금까지 채널 영역 위에 잔존된 막 두께가 큰 포토레지스트막 RE를 잔존시키고, 그 양측에 형성된 막 두께가 작은 포토레지스트막 RE를 제거할 수 있을 때까지 그 애싱 공정을 계속하여 행한다.

공정5. (도 4의 (e))

잔존된 포토레지스트막 RE를 마스크로 하여, 이 마스크로부터 노출된 금속층을 에칭하고, 이에 따라 게이트 전극 GT가 형성됨과 함께, 채널 영역의 양측 위의 절연막 GI가 노출된다.

이 경우, 절연막 GI는 그 표면이 약간 에칭되고, 마스크 아래의 절연막 GI보다도 막 두께가 작아진다. 이 경우, 드레인 및 소스 영역 위의 절연막 GI도 마찬가지로 그 표면이 약간 에칭된다.

또한, 상기 마스크를 잔존시켜 저농도의 n형 불순물의 이온 주입을 행한다. 이에 따라, 그 마스크의 형성 영역 이외에서 절연막 아래의 반도체층에 저농도의 이온이 주입되어, LDD 영역이 형성된다.

이 경우, 이온 주입시의 이온의 관통막으로서 기능하는 절연막은 그 막 두께가 100nm 이하로 되기 때문에, 이온 주입을 위한 가속 전압을 낮출 수 있다. 이에 따라, 관통막으로서의 절연막이 받는 손상을 낮게 억제할 수 있을 뿐만 아니라, 후속 공정의 활성화를 용이하게 할 수 있다.

《그 밖의 제조 방법》

도 5는, 도 4에 나타난 박막 트랜지스터의 제조 방법의 다른 실시예를 나타내는 공정도이다.

도 5에서, 게이트 전극 GT로서 이용하는 금속층의 가공시에 사용하는 포토레지스트막 RE의 형성을 제외하고는, 도 4의 경우와 마찬가지로이다.

상기 금속층은, 도 5의 (b)에 나타난 바와 같이, 우선 박막 트랜지스터 TFT의 채널 영역 및 그 양측의 부분 위에 잔존시키지만, 이 때의 마스크가 되는 포토레지스트막 RE는 막 두께가 균일한 것으로 하여 형성된다.

이렇게 함으로써 잔존된 포토레지스트막 RE는, 그로부터 노출되는 금속층을 에칭하고, 고농도의 n형 불순물을 도핑함에 따라 드레인 및 소스 영역을 형성하게 된다.

그리고, 이 포토레지스트막 RE를 마스크로 하여 그 마스크로부터 노출되어 있는 금속막을 에칭한 후, 그 포토레지스트막 RE를 애싱한다.

이에 따라, 그 포토레지스트막 RE는 채널 영역 위에 잔존되며, 그 양측의 부분 위에서 제거되게 된다. 이 경우, 잔존된 포토레지스트막은 도 7에서 실선으로 나타난 바와 같은 패턴으로 된다(이 패턴은 게이트 전극 GT의 패턴과 마찬가지로임). 도 7에서, 점선으로 나타난 패턴은 상기 포토레지스트막의 애싱 전의 것이다. 이 때문에, 본 실시예에 의해 형성된 박막 트랜지스터 TFT의 게이트 전극 GT는 최종적으로 그 선단이 둥글게 형성되게 된다.

이렇게 하여 잔존된 포토레지스트막 RE는, 그로부터 노출되는 금속층을 에칭하고, 저농도의 n형 불순물을 도핑한다.

《상보형 박막 트랜지스터의 제조 방법》

상술한 실시예에서의 박막 트랜지스터 TFT는 화소 영역에 형성되는 것에 대해 나타난 것이다.

그러나, 도 2에서 나타난 바와 같이 액정 표시부 주변에 형성되는 주사 구동 회로 V 혹은 영상 구동 회로 He도 다수의 박막 트랜지스터 TFT에 의해 형성되기 때문에, 이들 박막 트랜지스터 TFT에도 본 발명을 적용할 수 있음은 물론이다.

이 경우, 각 구동 회로를 형성하는 박막 트랜지스터 TFT는 p 채널형과 n 채널형과의 상보(Complementary)형으로서 많이 이용되기 때문에, 그 제조 방법의 일 실시예를 도 6을 참조하여 설명한다.

공정1. (도 6의 (a))

우선, 서로 인접하여 배치되는 상보형의 각 박막 트랜지스터 TFT 중의 하나인 p형 박막 트랜지스터 TFT는 LDD 영역을 형성할 필요가 없으므로, 게이트 전극 가공 후, 그것을 마스크로 하여 고농도 p형 불순물을 주입하여 형성한다.

이 경우, n형 박막 트랜지스터 TFT의 형성 영역은 기판 SUB1측으로부터 폴리실리콘으로 이루어지는 반도체층 AS, 절연막 GI, 금속층 GT가 순차적으로 적층된 영역으로 되어 있다.

공정2. (도 6의 (b))

투명 기판 SUB1의 표면의 전역에 포토레지스트막 RE를 예를 들면 도포에 의해 형성한다.

공정 3. (도 6의 (c))

상기 포토레지스트막 RE를 포토 마스크를 이용하여 선택적으로 노광한다.

이 경우, p형 박막 트랜지스터 TFT의 형성 영역의 전역에는 포토레지스트막이 잔존하도록 전면적으로 차광되고, n형 박막 트랜지스터 TFT의 형성 영역에는 선택적으로 노광되도록 되어 있다.

n형 박막 트랜지스터 TFT의 형성 영역에서의 노광은 상술한 바와 같은 하프 노광으로서, 그 후 포토레지스트막 RE를 현상함으로써, 채널 영역 위의 포토레지스트막 RE는 그 막 두께가 두껍고, 그 채널 영역의 양측 부분 위의 막 두께는 얇게 형성되게 된다.

공정4. (도 6의 (d))

잔존된 포토레지스트막 RE를 마스크로 하여 그 마스크로부터 노출되어 있는 금속층 GT를 선택적으로 에칭하고, 이에 따라 절연막 GI가 노출된다.

이 경우, 절연막 GI는 그 표면이 약간 에칭되어, 마스크 아래의 절연막보다도 막 두께가 작아진다.

공정5. (도 6의 (e))

또한, 상기 마스크를 잔존시켜 고농도의 n형 불순물의 이온 주입을 행한다. 이에 따라, 그 마스크의 형성 영역 이외에서 절연막 GI 아래의 반도체층에 고농도의 n형 불순물 이온이 주입되어, 드레인 및 소스 영역이 형성된다.

잔존된 포토레지스트막을 에칭 공정에 의해 표면을 제거하여 일부 잔존시킨다. 즉, 채널 영역 위에 잔존된 지금까지의 막 두께가 큰 포토레지스트막을 잔존시키고, 그 채널 영역의 양측 위에 잔존된 지금까지의 막 두께가 작은 포토레지스트막을 제거할 수 있을 때까지 그 에칭 공정을 계속하여 행한다.

잔존된 포토레지스트막을 마스크로 하여, 이 마스크로부터 노출된 금속층을 에칭하여 게이트 전극 GT를 형성한다. 이에 따라, 절연막 GI가 노출되고, 그 절연막 GI는 그 표면이 약간 에칭되어, 마스크 아래의 절연막 GI보다도 막 두께가 작아진다.

공정 6. (도 6의 (f))

또한, 상기 마스크를 잔존시켜 저농도의 n형 불순물의 이온 주입을 행한다. 이에 따라, 그 마스크의 형성 영역 이외에서 절연막 GI 아래의 반도체층 AS에 저농도의 p형 불순물이 주입된다.

《박막 트랜지스터 TFT의 그 밖의 구조 및 형성 방법》

상술한 각 박막 트랜지스터 TFT는 그 채널 영역을 사이에 두고 그 채널 영역의 양측에 LDD 영역이 형성된 것이다.

그러나, 이 LDD 영역은 전류가 유입되는 영역(예를 들면, 드레인 영역)측에 구성된 구조라도 무방함은 물론이다.

이 경우에도, 도 8에 나타난 공정도로부터 알 수 있듯이, 게이트 전극의 가공시, 예를 들면 하프 노광을 이용함으로써 앞서 설명한 효과를 얻을 수 있다.

도 9에서는, 상술한 TFT의 제조 공정에 후속하는 공정을 나타낸다. 채널 형상으로 잔존하는 레지스트를 제거한 후, 소스/드레인 영역 및 게이트 전극 위에 산화 실리콘 등으로 구성되는 층간 절연막을 형성한다. 특별히 제한하지 않았지만, 이 층간 절연막은 400nm 이상인 것이 바람직하다. 층간 절연막을 형성한 후, 처음에 드라이 에칭(이방성 에칭)을 행하여, 층간 절연막 도중까지의 깊이를 갖는 홀을 형성한다. 그 후, 웨트 에칭(등방성 에칭)을 행하여 상기 홀을 소스/드레인 영역까지 성장시켜 콘택트 홀을 형성한다. 그 때문에, 콘택트 홀의 윗 부분의 경사에 비하여 아래부분의 경사가 더 완만하게 된다. 그 후, 콘택트 홀에 금속 등의 도전물을 피착(Deposition) 등으로 충전함으로써 소스/드레인 영역과의 콘택트를 형성한다. 이에 따라, 소스/드레인 영역을 영상 신호선 혹은 화소 전극에 접속 가능해진다. 또한, 여기서는, 처음에 드라이 에칭을 행하고, 그 다음에 웨트 에칭을 행함으로써 콘택트 홀을 형성함에 따라, 웨트 에칭만으로 콘택트 홀을 형성하는 것보다도 콘택트 홀의 형성 영역을 좁게 할 수 있기 때문에, 액정 표시 장치의 표시 영역에서는 개구율을 높일 수 있게 되어, 액정 표시 장치의 주변 영역 및 액정 표시 장치 이외의 표시 장치에서는 TFT의 집적도를 향상시킬 수 있다. 또한, 상기에서는, 처음

에 드라이 에칭으로 층간 절연막의 도중까지 홀을 형성한 것으로 했지만, 드라이 에칭에 의한 홀의 형성을 층간 절연막과 게이트 절연막 GI와의 경계 근방까지, 혹은 게이트 절연막 도중까지 행해도 된다. 즉, 콘택트 홀의 측면의 기울기는 층간 절연막과 게이트 절연막과의 경계 근방에서 변하게 된다. 드라이 에칭에 의한 홀 형성을 소스/드레인 영역의 근방까지 행함으로써, 더 콘택트 홀의 형성 영역을 좁힐 수 있지만, 드라이 에칭의 제어가 엄격해진다. 그 때문에, 콘택트 영역의 면적적 제약과 드라이 에칭의 정밀도를 가미하여, 드라이 에칭과 웨트 에칭과의 웨이트를 변경하는 것이 효과적이다.

도 10에서는, 콘택트 홀의 형성을 드라이 에칭만으로 행하는 구성이다. 이에 따라, 도 9의 구성에 비해 콘택트 홀의 영역을 더 좁힐 수 있게 된다. 그러나, 드라이 에칭만으로 콘택트 홀을 형성한 경우, 폴리실리콘으로 형성된 소스/드레인 영역까지도 드라이 에칭에 의해 에칭된다. 그 때문에, 층간 절연막을 형성하기 전에, 소스/드레인 영역 위의 게이트 절연막의 일부를 제거하고, 거기에 금속을 형성한다. 금속을 형성한 후, 층간 절연막을 형성하고, 그 후 상기 금속이 형성된 영역의 층간 절연막을 드라이 에칭으로 제거한다. 이에 따라, 금속이 드라이 에칭의 블록층으로 되어, 소스/드레인 영역이 에칭되는 것을 방지할 수 있다.

도 11의 구성에서는, 상술한 일련의 공정 전에, 소스/드레인의 콘택트가 형성되는 곳에 금속막을 형성해 두는 것이다. 기판 위에 금속을 형성하고, 상기 금속막 상부에 폴리실리콘을 형성하여, 상술한 공정에 따라 소스/드레인 영역을 형성하고, 층간 절연막을 형성한다. 그 후, 층간 절연막과, 소스/드레인 영역 위의 게이트 절연막을 드라이 에칭으로 에칭한다. 이 때, 소스/드레인 영역의 폴리실리콘도 드라이 에칭에 의해 함께 에칭되어, 최종적으로는 층간 절연막과 게이트 절연막과 폴리실리콘에 홀이 형성된다. 이 상태에서, 콘택트 홀에 금속 등의 도전체를 충전함으로써, 소스/드레인 영역은 폴리실리콘 하층에 형성된 금속층을 통해 콘택트 홀의 도전체와 전기적으로 접속되게 된다.

앞서 도시한 도 10과 도 11의 구성에서는, 소스/드레인 영역의 상면 혹은 하면에 금속층을 형성할 필요가 있기 때문에 공정수가 증가한다. 그러나, 콘택트 홀을 드라이 에칭만으로 형성할 수 있으므로, 콘택트 영역을 더 좁힐 수 있다.

도 12는 소스/드레인의 콘택트 홀을 드라이 에칭만으로 형성하는 다른 실시 형태이다. 게이트 전극의 측면에 측벽을 형성함으로써 LDD 구조를 형성하고, 그 후, 소스/드레인 영역과 게이트 전극 위에 금속막과 층간 절연막을 형성하고, 층간 절연막을 드라이 에칭으로 에칭함으로써 소스/드레인 영역과의 콘택트를 형성한다. 이러한 구성의 경우, 소스/드레인 영역 위에는 에칭 스톱층인 금속막이 형성되어 있기 때문에, 소스/드레인 영역을 형성하는 폴리실리콘이 에칭되는 것을 방지할 수 있다. 이러한 사상을 도 4에 나타난 TFT의 제조 방법에 적용한 경우, 저농도의 이온을 주입하기 위해 채널 영역 이외의 게이트 전극을 에칭으로 제거할 때, 이미 고농도의 이온이 주입된 영역 위의 게이트 절연막까지도 제거한다. 그 후, 저농도의 이온을 주입한 후, 소스/드레인 영역과 게이트 전극 위에 금속막을 형성한다. 그 후, 전면에 층간 절연막을 형성하고, 드라이 에칭으로 콘택트 홀을 형성한다. 이 구성의 경우, 소스/드레인 영역 위에는 금속막이 형성되어 있기 때문에, 드라이 에칭에 의해 소스/드레인 영역의 폴리실리콘까지 에칭되지는 않는다. 단, 이 구성의 경우, 게이트 전극과 소스/드레인 영역이 금속막에 의해 단락되지 않은 정도의 두께로 금속막을 퇴적할 필요가 있다. 또한, 저농도의 이온을 주입할 때, 소스/드레인 영역 위에 관통막으로서 기능하는 게이트 절연막이 존재하지 않기 때문에, 저농도 이온 주입시, 폴리실리콘 내에 불순물까지 함께 도입될 가능성이 있다. 이 때문에, 게이트 전극과 소스/드레인 영역이 단락되지 않은 구성이며, 또한 폴리실리콘으로의 불순물의 도입 가능성이 낮은 경우나 낮아도 되는 경우, 본 구성이라면, 공정이 간략화될 뿐만 아니라 콘택트 영역을 좁힐 수 있게 된다. 물론, 상술한 구성은 도 5, 도 6 및 도 8의 구성에 적용하는 것도 가능하다.

또한, 도 6에서는 처음에 P형 TFT와 N형 TFT의 게이트 전극을 형성한 후, P형 TFT의 소스/드레인 영역을 형성하고, N형 TFT를 형성하는 공정을 나타내었지만, 이것에 특별히 제한되는 것은 아니다. 예를 들면, 처음에 LDD 구조의 N형 TFT의 게이트 전극을 형성할 때에 P형 TFT의 게이트 전극을 동시에 형성하고, 그 후 주입에 의해 소스/드레인 영역이 형성된 N형 TFT 부분을 마스크하여 P형 TFT를 형성한 것이라도 상관없다. 이 경우, P형 TFT의 소스/드레인 영역을 이루는 영역에도 주입되게 되지만, N형 TFT의 형성 후 N형 TFT를 마스크하여 P형 TFT의 소스/드레인 영역에 붕소를 2배량 주입함으로써, P형 TFT를 실현할 수 있다. 여기서, N형 TFT와 P형 TFT를 형성하는 순서를 반대로 할 수 있지만, 인보다도 붕소가 많은 것이 활성화되기 쉽기 때문에, N형 TFT를 형성한 후에 P형 TFT를 형성하는 편이 낫다.

또한, 상기 하프 노광의 설명에서, 포토 마스크에 형성되는 차광막을 메쉬 형상으로 형성하는 것으로 하였지만, 이것에 특별히 제한되는 것은 아니며, 스트라이프 형상의 차광막 등이라도 상관없으며, 완전히 노광되는 곳과 완전히 노광되지 않는 곳과의 중간 정도로 노광되는 곳을 형성할 수 있는 포토마스크라면, 어떤 구성이라도 상관없다.

또한, 상술한 박막 트랜지스터의 제조 공정에서, 소스/드레인 영역에 농도가 높은 이온 영역을 형성한 후에, 채널 형성 영역 위의 막 두께가 큰 레지스트를 잔존시켜 그 측면에 형성된 막 두께가 얇은 레지스트막을 애싱하는 것을 개시하였지만, 애싱 후에 이온을 주입할 수도 있다. 이에 따라, 이온 주입에 의해 레지스트가 경화되기 전에 레지스트를 애싱하기 때문에, 레지스트 후퇴의 정밀도를 높일 수 있다.

또한, 상술한 도 5의 설명은, 도 5의 (b)의 상태에서 고농도의 이온을 주입하고, 그 후, 도 5의 (c)와 같이 레지스트를 TFT의 채널 영역의 폭이 되도록 애싱하고, 남은 레지스트를 마스크로 하여 금속막을 에칭하며, 도 5의 (d)와 같이 금속막을 에칭한 후에 저농도의 이온을 주입함에 따라, 보다 도면에 준거한 설명으로 할 수 있다. 물론, 상기 설명에서도 고농도의 이온 주입과 채널 영역을 잔존시키는 레지스트의 애싱의 순서를 반대로 해도 된다.

이상, 본 명세서에서는, 한쪽 기판에 화소 전극이 형성되고, 다른 쪽의 기판에 대향 전극이 형성되는 구성을 갖는 일반적인 액정 표시 장치의 TFT에 기초하여 설명을 하였지만, 한쪽의 기판 위에 화소 전극과 대향 전극을 형성하여 기판에 평행한 방향으로 액정을 구동시키는 횡전계 방식(IPS)의 액정 표시 장치의 TFT에 적용하는 것도 가능하다. 물론, 일렉트로 루미네센스를 사용한 유기 EL 표시 장치 등에서 사용하는 TFT에 적용하는 것도 가능하다. 또한, 상기 표시 장치에서, 표시 영역이 갖는 TFT와 표시 영역 주변의 주변 영역이 갖는 TFT 중 어느 한쪽의 TFT에만 본 발명을 적용하는 것도 가능하다. 또한, 상술한 설명에서는 주변 회로 영역을 상보형의 박막 트랜지스터로 구성하고, 화소 영역을 단일한 도전형의 박막 트랜지스터로 구성하는 표시 장치에 대하여 기재하였지만, 이것에 특별히 제한되는 것이 아니며, 주변 영역을 P형 혹은 N형의 한쪽만의 TFT로 구성하는 표시 장치라도 괜찮고, 혹은 표시 영역을 P형 및 N형의 도전형 TFT로 구성하는 표시 장치라도 괜찮다.

발명의 효과

이상 설명한 것으로부터 알 수 있듯이, 본 발명의 표시 장치에 따르면, 개구율의 향상을 도모할 수 있으며, 박막 트랜지스터의 게이트 전극 주변의 단차에 의한 문제점을 해소할 수 있다.

또한, 본 발명에 따른 표시 장치의 제조 방법에 따르면, 박막 트랜지스터의 형성시의 불순물 이온 주입을 위한 전압을 저감시킬 수 있다.

(57) 청구의 범위

청구항 1.

기판에 박막 트랜지스터가 형성되는 표시 장치에 있어서,

상기 박막 트랜지스터는,

채널 영역과, 상기 채널 영역의 양측에 농도가 높은 불순물이 도핑된 드레인 및 소스 영역과, 상기 드레인 영역과 상기 채널 영역 사이 및 상기 소스 영역과 상기 채널 영역 사이 혹은, 상기 드레인 영역과 상기 채널 영역 사이 또는 상기 소스 영역과 상기 채널 영역 사이에 농도가 낮은 불순물이 도핑된 LDD(Lightly Doped Drain) 영역을 갖는 폴리실리콘으로 이루어지는 반도체층과,

상기 반도체층의 상면에 형성되고, 상기 채널 영역에 대응하는 막 두께가 상기 LDD 영역에 대응하는 막 두께보다도 두껍고, 상기 LDD 영역에 대응하는 막 두께가 상기 드레인 영역 및 소스 영역, 혹은 상기 드레인 영역 또는 소스 영역에 대응하는 막 두께보다도 두꺼우며, 상기 채널 영역, 상기 LDD 영역, 상기 드레인 및 소스 영역 혹은, 상기 드레인 또는 소스 영역에 걸쳐 각각 단계적으로 막 두께가 순차적으로 작아지는 절연막과,

상기 채널 영역 위에 상기 절연막을 통해 형성되는 금속층으로 된 게이트 전극을 포함하고,

상기 LDD 영역은 상기 농도가 높은 불순물을 도핑한 후, 상기 LDD 영역에 대응하는 상기 금속층을 제거한 후에, 상기 농도가 낮은 불순물을 도핑하여 형성된 것인 것을 특징으로 하는 표시 장치.

청구항 2.

제1항에 있어서,

상기 드레인 영역 및 상기 소스 영역 위의 상기 절연막은 그 막 두께가 80nm 이하인 것을 특징으로 하는 표시 장치.

청구항 3.

제1항에 있어서,

상기 LDD 영역 위의 상기 절연막은 그 막 두께가 90nm 이하인 것을 특징으로 하는 표시 장치.

청구항 4.

제1항에 있어서,

상기 채널 영역 위의 상기 절연막은 그 막 두께가 100nm 이하인 것을 특징으로 하는 표시 장치.

청구항 5.

제1항에 있어서,

상기 드레인 영역 및 상기 소스 영역 위의 상기 절연막의 막 두께는 상기 채널 영역 위의 상기 절연막의 막 두께보다도 20 nm 이상 얇은 것을 특징으로 하는 표시 장치.

청구항 6.

제1항에 있어서,

상기 LDD 영역의 바로 위에서의 상기 절연막의 막 두께와 상기 드레인 영역 및 상기 소스 영역의 바로 위에서의 상기 절연막의 막 두께의 차가, 상기 채널 영역의 바로 위에서의 상기 절연막의 막 두께와 상기 LDD 영역의 바로 위에서의 상기 절연막의 막 두께의 차보다도 큰 것을 특징으로 하는 표시 장치.

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

절연성 기판에 박막 트랜지스터가 형성되는 표시 장치의 제조 방법에 있어서,

상기 박막 트랜지스터는,

상기 기판측에 폴리실리콘으로 이루어지는 반도체층, 절연막, 금속층을 형성시키는 공정과,

상기 금속층을 채널 영역, LDD 영역 위에 잔존시키고, 잔존된 상기 금속층을 마스크로 하여 고농도의 불순물을 이온 주입하는 공정과,

상기 LDD 영역 상에 잔존된 상기 금속층을 제거하고, 상기 금속층은 채널 영역 위에 잔존시키고, 잔존된 상기 금속층을 마스크로 하여 저농도의 불순물을 이온 주입하는 공정을 거쳐 형성하고,

또한, 상기 채널 영역 위에 잔존시키는 금속층의 패터닝에 이용하는 레지스트막은, 상기 채널 영역 및 상기 LDD 영역 위에 잔존시킨 금속층의 패터닝에 이용한 레지스트막의 주변을 제거한 것을 이용함과 함께,

상기 금속층을 상기 채널 영역 및 상기 LDD 영역 위에, 다시 상기 채널 영역 위에 잔존시킬 때에, 상기 금속층을 마스크로 하여 이 마스크로부터 노출된 상기 절연막의 표면도 에칭함으로써, 상기 채널 영역에 대응하는 절연막의 두께가 상기 LDD 영역에 대응하는 절연막의 두께보다도 두껍고, 상기 LDD 영역에 대응하는 절연막의 두께가 상기 드레인 영역 및 소스 영역, 혹은 상기 드레인 영역 또는 소스 영역에 대응하는 절연막의 두께보다도 두껍게 되어 있는 것을 특징으로 하는 표시 장치의 제조 방법.

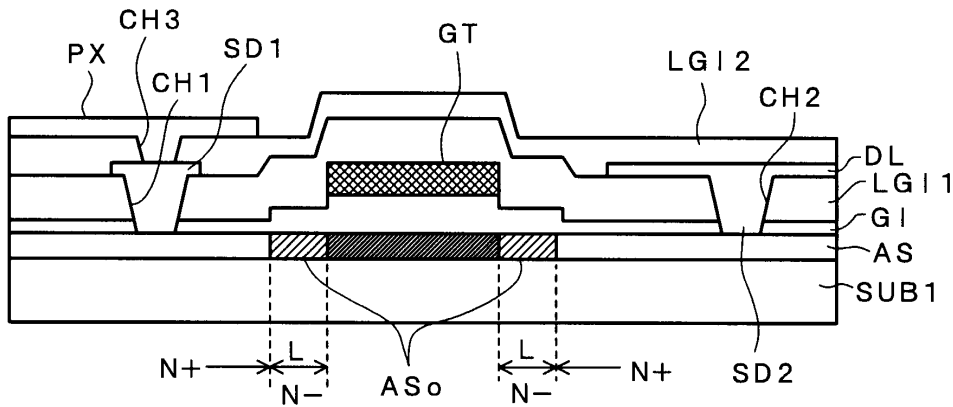
청구항 11.

제10항에 있어서,

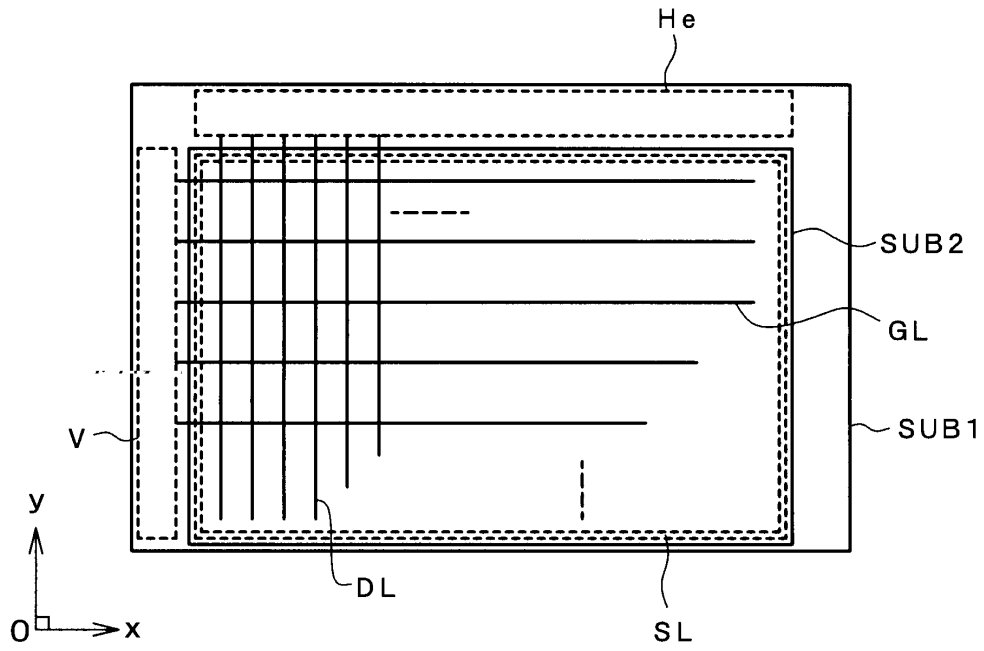
상기 채널 영역, 상기 LDD 영역 위에 잔존시키는 상기 레지스트막은, 상기 채널 영역 위에서 두껍게 형성되고, LDD 영역 위에 얇게 형성되며, 상기 채널 영역 위에 잔존시키는 상기 레지스트막은, 상기 채널 영역 및 상기 LDD 영역 위에 잔존시킨 상기 레지스트막을 애싱하여 형성되는 것을 특징으로 하는 표시 장치의 제조 방법.

도면

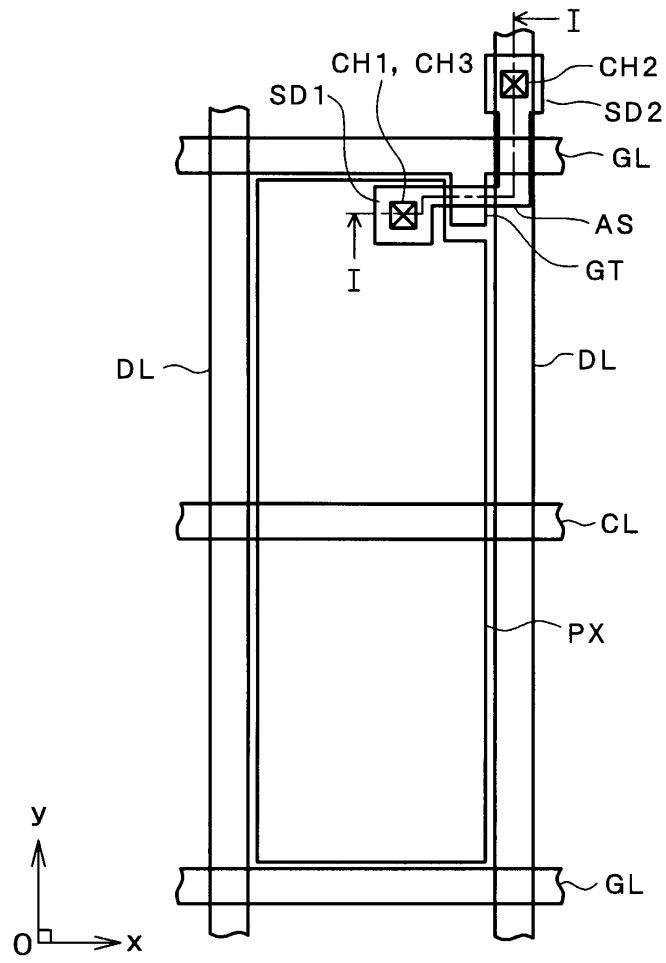
도면1



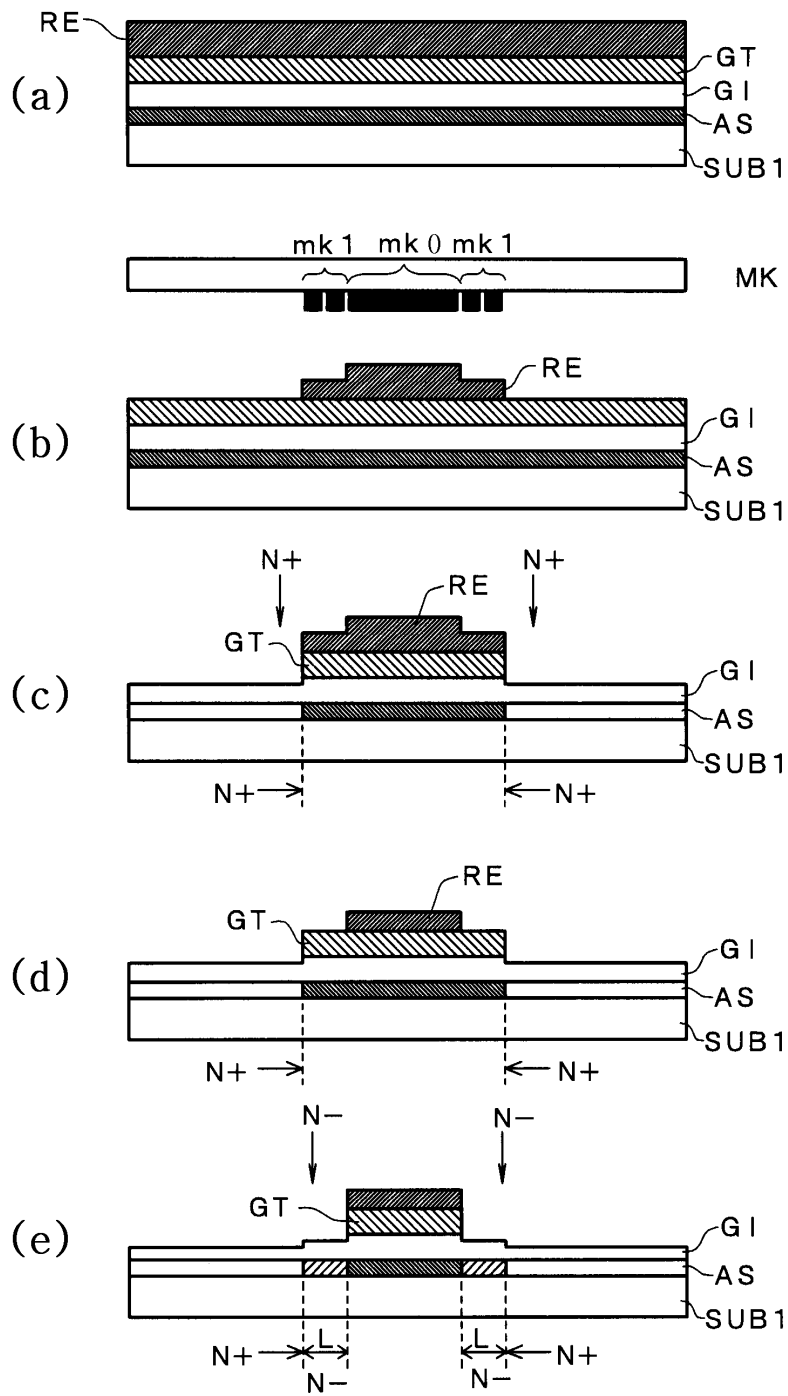
도면2



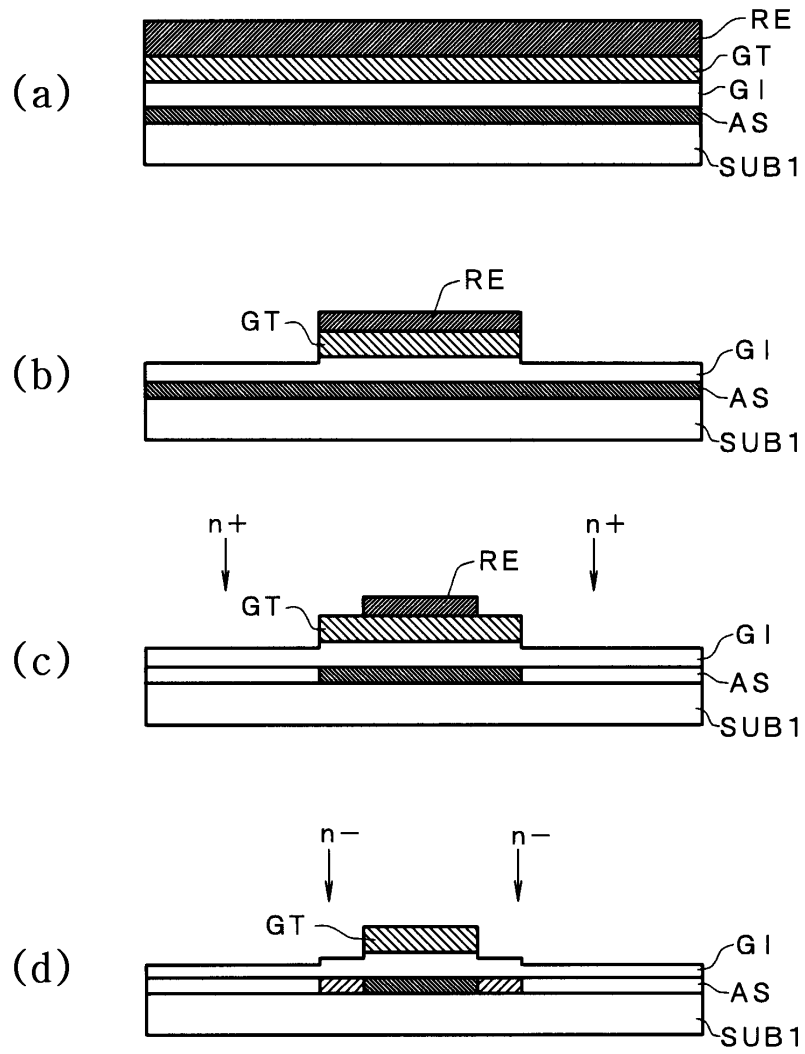
도면3



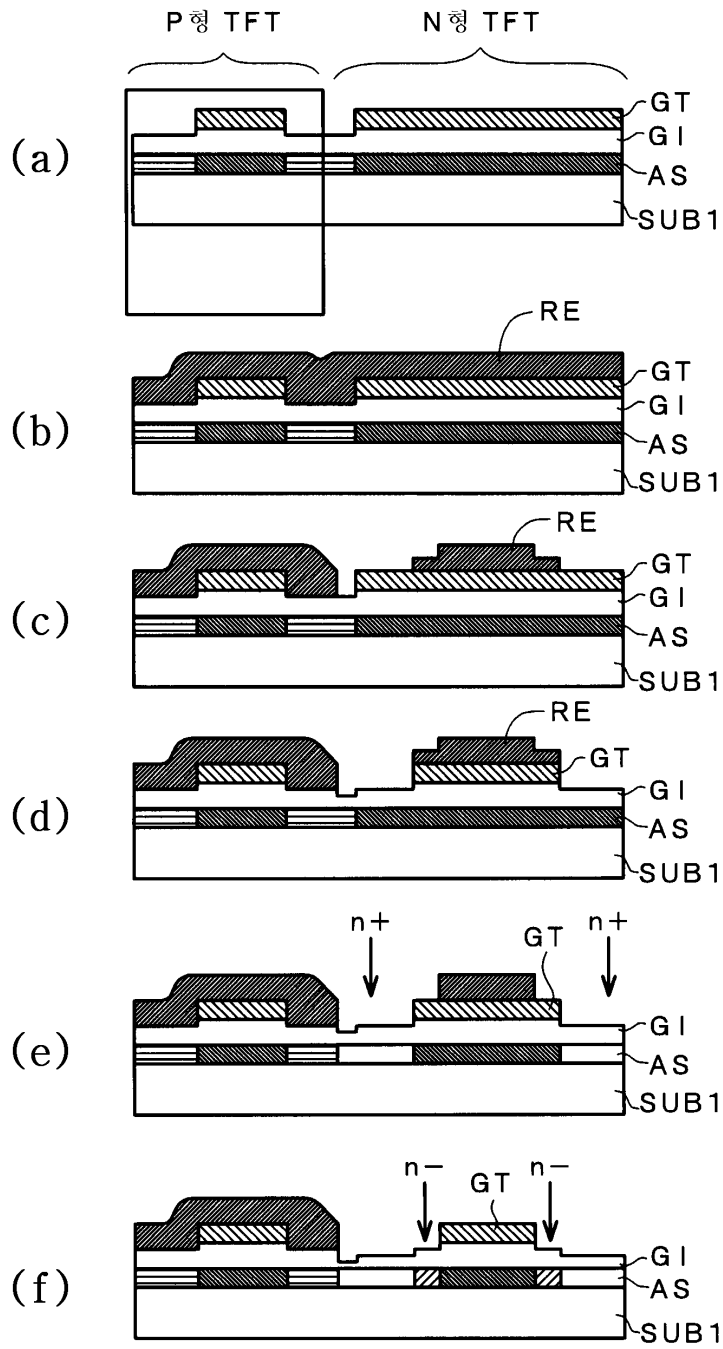
도면4



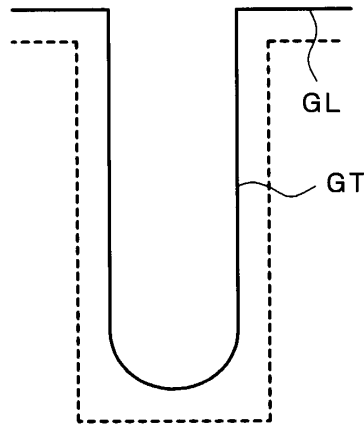
도면5



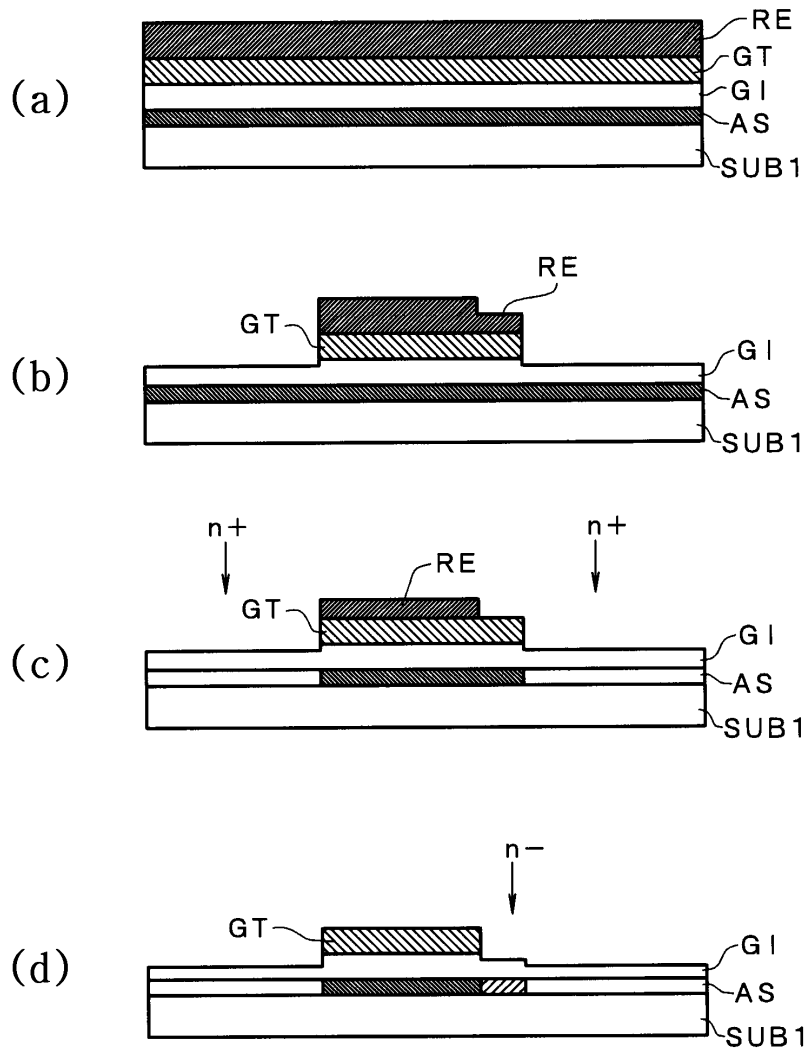
도면6



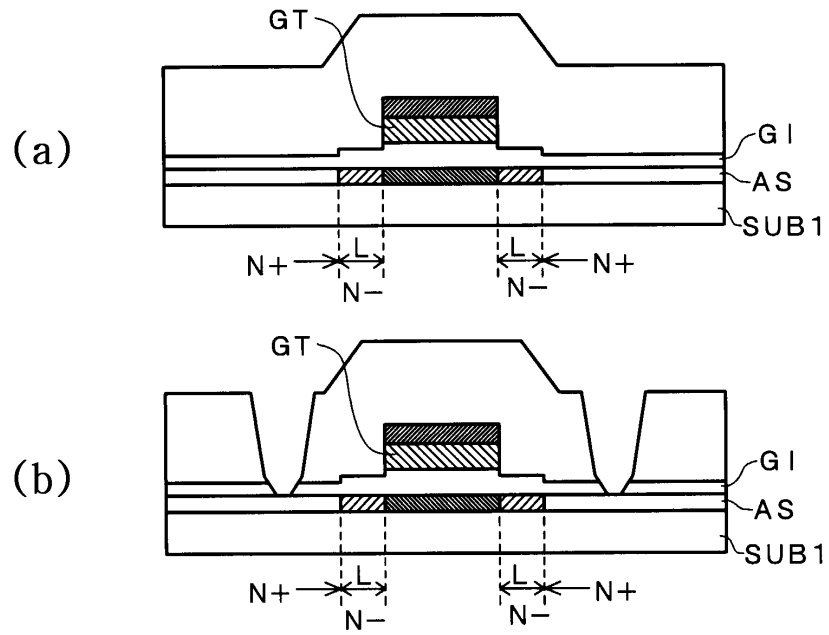
도면7



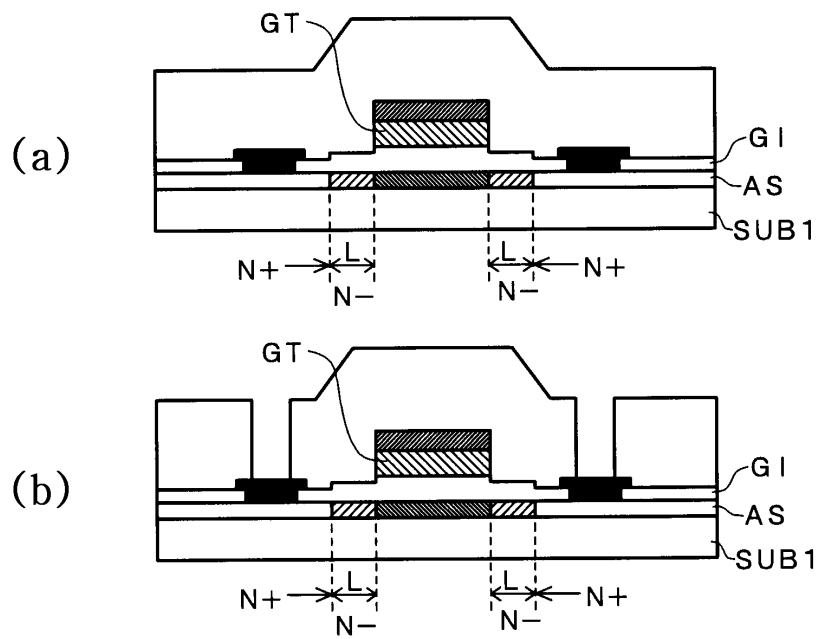
도면8



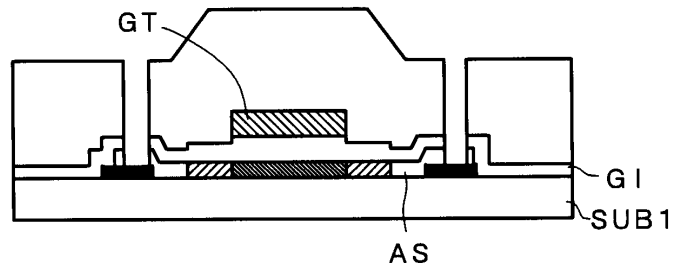
도면9



도면10



도면11



도면12

