

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-175780
(P2017-175780A)

(43) 公開日 平成29年9月28日(2017.9.28)

(51) Int.Cl.			F I			テーマコード (参考)		
HO2H	7/12	(2006.01)	HO2H	7/12	B	5G053		
HO2M	1/00	(2007.01)	HO2M	1/00	H	5H740		
HO2M	7/48	(2007.01)	HO2M	7/48	M	5H770		
HO2H	7/122	(2006.01)	HO2H	7/122		5J055		
HO3K	17/08	(2006.01)	HO3K	17/08	Z			

審査請求 未請求 請求項の数 1 O L (全 14 頁)

(21) 出願番号 特願2016-59055 (P2016-59055)
(22) 出願日 平成28年3月23日 (2016. 3. 23)

(71) 出願人 000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町1番地
(74) 代理人 110000110
特許業務法人快友国際特許事務所
(72) 発明者 平城 雄太
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
Fターム(参考) 5G053 AA01 AA10 BA01 BA04 CA02
EB01 EC02 FA04
5H740 BA11 BB05 BC01 BC02 MM12
5H770 BA01 DA03 DA41 GA04 GA13
GA16 GA17 HA02X HA12X LA02X
LB05 LB09

最終頁に続く

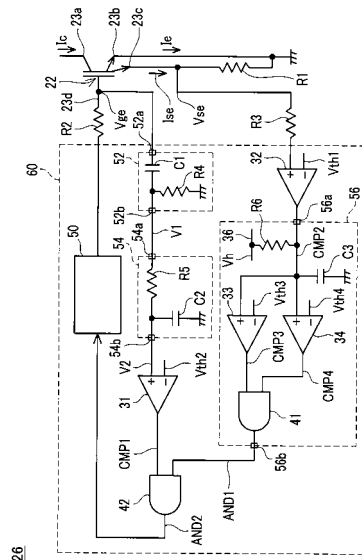
(54) 【発明の名称】 保護回路

(57) 【要約】

【課題】 IGBTを過電流から保護する。

【解決手段】 IGBTを過電流から保護する保護回路であって、前記IGBTのゲートを充放電する制御回路と、前記ゲートが充電されているときに前記IGBTのゲート電圧の上昇率を検出するゲート電圧上昇率検出回路と、前記IGBTに流れる電流を検出する電流検出回路を有している。前記電流が第1基準値を超えたタイミングの後の一定期間内に前記上昇率が第2基準値を超えたときに、前記制御回路が前記ゲートを放電する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

I G B T を過電流から保護する保護回路であって、
前記 I G B T のゲートを充放電する制御回路と、
前記ゲートが充電されているときに前記 I G B T のゲート電圧の上昇率を検出するゲート電圧上昇率検出回路と、
前記 I G B T に流れる電流を検出する電流検出回路、
を有し、
前記電流が第 1 基準値を超えたタイミングの後の一定期間内に前記上昇率が第 2 基準値を超えている場合に、前記制御回路が前記ゲートを放電する、
保護回路。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本明細書では、I G B T を過電流から保護する保護回路を開示する。

【0002】

オン状態の I G B T によって高電位配線と低電位配線が短絡され、I G B T に対して負荷を介さずに電圧が印加される場合がある。この場合、I G B T に過電流が流れる。特許文献 1 に、I G B T を過電流から保護する保護回路が開示されている。この回路は、I G B T のセンス端子の電位を検出する。センス端子の電位は、I G B T に流れる電流に応じて変化する。したがって、センス端子の電位を検出することは、I G B T に流れる電流を検出することに等しい。この保護回路は、センス端子の電位（すなわち、I G B T に流れる電流）が基準値を超えたときに、I G B T をオフさせる。これによって、I G B T を過電流から保護する。

20

【0003】

また、特許文献 1 の保護回路では、ゲート電圧の立ち上がり時に、保護動作を無効化するマスク期間が設けられている。すなわち、保護回路は、マスク期間内にセンス端子の電位が基準値を超えたとしても、I G B T をオフさせない。ゲート電圧の立ち上がり時においては I G B T の動作が不安定であるので、このようにマスク期間を設けることで、保護回路の誤作動を防止する。

30

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2004 - 312924 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

上述したように、ゲート電圧の立ち上がり時においては I G B T の動作が不安定である。より具体的には、ゲート電圧の立ち上がり時の電流が流れ始めるタイミングにおいて、I G B T に瞬間的に大電流（以下、サージ電流という）が流れる場合がある。サージ電流は短時間で減衰するため、サージ電流の I G B T に対する負荷は小さい。サージ電流は、I G B T の通常動作において生じるので、サージ電流が流れたときに保護回路が I G B T をオフさせると、I G B T の動作に支障が生じる。つまり、サージ電流が流れたときには、I G B T をオン状態に維持する必要がある。他方、上述した過電流は、サージ電流よりも長い時間継続して流れる。過電流の I G B T に対する負荷は大きい。過電流が流れたときには I G B T をオフさせる必要がある。つまり、保護回路は、サージ電流が流れた場合には I G B T をオフさせず、過電流が流れたときに I G B T をオフさせる必要がある。

40

【0006】

上述したように、特許文献 1 の保護回路では、ゲート電圧の立ち上がり時のマスク期間において、保護動作を無効化する。このため、サージ電流が流れた場合でも、保護回路は

50

I G B Tをオフさせない。しかしながら、特許文献1の保護回路では、マスク期間内に過電流が流れても、保護動作を行わない。この場合、保護回路は、マスク期間が終了したタイミングでI G B Tをオフさせる。過電流が流れ始めてからI G B Tをオフさせるまでの期間が長いので、I G B Tに多大な負荷がかかる。特許文献1の保護回路では、I G B Tを過電流から十分に保護することができない。

【課題を解決するための手段】

【0007】

本明細書が開示する保護回路は、I G B Tを過電流から保護する。この保護回路は、前記I G B Tのゲートを充放電する制御回路と、前記ゲートが充電されているときに前記I G B Tのゲート電圧の上昇率を検出するゲート電圧上昇率検出回路と、前記I G B Tに流れる電流を検出する電流検出回路を有している。前記電流が第1基準値を超えたタイミングの後の一定期間内に前記上昇率が第2基準値を超えている場合に、前記制御回路が前記ゲートを放電する。

10

【0008】

制御装置がゲートを充電すると、ゲートとエミッタの間の容量が充電されてゲート電圧が上昇する。ゲート電圧が所定値に達すると、I G B Tに電流が流れ始める。通常動作においては、I G B Tに電流が流れ始めると、コレクタ - エミッタ間電圧が低下する。すると、ゲートに供給される電荷によって、コレクタ - ゲート間の容量が充電されるようになる。コレクタ - ゲート間の容量が充電されている間は、ゲート - エミッタ間の容量が充電されなくなるので、ゲート電圧が上昇しなくなる。すなわち、ゲート電圧が一定の値で推移する期間が生じる。以下では、この期間をミラー期間といい、ミラー期間中のゲート電圧をミラー電圧という。コレクタ - ゲート間の容量が十分に充電されると、ゲート - エミッタ間の容量が再度充電されるようになり、ゲート電圧が設定値まで上昇する。すなわち、ミラー期間が終了する。このようにゲート電圧が上昇することで、I G B Tがオンする。以上に説明したように、通常動作においては、ゲートを充電するときに、ゲート電圧が一定に維持されるミラー期間が生じる。

20

【0009】

また、通常動作において、I G B Tに電流が流れ始めると、I G B Tに流れる電流が急速に増加する。このため、ミラー期間の初期において、I G B Tに流れる電流が第1基準値を超える。また、通常動作において、I G B Tに電流が流れ始めると、I G B Tにサージ電流が流れる場合がある。サージ電流が流れる場合も、I G B Tに流れる電流が急速に増加する。この場合にも、ミラー期間の初期において、I G B Tに流れる電流が第1基準値を超える。サージ電流は、ミラー期間の初期に発生し、ミラー期間の間に減衰する。つまり、ミラー期間の間に、I G B Tに流れる電流が、瞬間的に大電流まで上昇し、その後短時間で所定の電流まで低下する。制御装置は、I G B Tに流れる電流が第1基準値を超えると、そのタイミング（以下、基準タイミングという）の後の一定期間内に、ゲート電圧の上昇率が第2基準値を超えるか否かを判定する。上記のように基準タイミングはミラー期間の初期のタイミングであるので、基準タイミングからしばらくの間はミラー期間が継続し、ゲート電圧が一定に保たれる。つまり、通常動作においては、基準タイミングからしばらくの間は、ゲート電圧の上昇率が極めて小さい。したがって、制御装置は、基準タイミングの後の一定期間内に、ゲート電圧の上昇率が第2基準値を超えなかったと判定する。このため、通常動作時は、制御装置はゲートを放電しない。すなわち、通常動作においてサージ電流が発生した場合でも、制御装置はゲートを放電しない。したがって、I G B Tが通常にオンする。

30

40

【0010】

他方、I G B Tに対して負荷を介さずに電圧が印加されている状態では、ゲートが充電されてI G B Tに電流が流れ始めても、I G B Tのコレクタ - エミッタ間電圧が低下しない。I G B Tに負荷が接続されていないためである。このため、この場合には、ミラー期間が存在せず、ゲートが充電されるのに従ってゲート電圧が連続的に上昇する。また、I G B Tに流れる電流は、ゲート電圧の上昇に伴って増加する。つまり、この場合には、ゲ

50

ート電圧と I G B T に流れる電流が共に連続的に上昇する。I G B T に流れる電流が第 1 基準値を超えると、そのタイミング（すなわち、基準タイミング）以降もゲート電圧が上昇する。制御装置は、基準タイミングの後の一定期間内にゲート電圧の上昇率が第 2 基準値を超えるか否かを判定する。上述したように、基準タイミング以降もゲート電圧が上昇を継続するので、制御装置はゲート電圧の上昇率が第 2 基準値を超えていると判定する。したがって、この場合には、制御装置は、ゲートを放電する。このため、I G B T がオフする。このため、I G B T に過電流が流れることが抑制される。これによって、I G B T に過大な負荷が加わることが防止される。

【 0 0 1 1 】

以上に説明したように、この保護回路によれば、サージ電流が流れる場合に I G B T をオフさせず、過電流が流れる場合に I G B T をオフさせることができる。また、この保護回路によれば、過電流によって I G B T に流れる電流が第 1 基準値を超えると短時間で I G B T をオフさせることができる。したがって、I G B T を過電流から好適に保護することができる。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 インバータ回路 1 0 の回路図。

【 図 2 】 ゲート制御回路 2 6 の回路図。

【 図 3 】 通常動作時の各値の変化を示すグラフ。

【 図 4 】 短絡時の各値の変化を示すグラフ。

【 発明を実施するための形態 】

【 実施例 】

【 0 0 1 3 】

図 1 に示すインバータ回路 1 0 は、高電位配線 1 6 と低電位配線 1 8 を有している。高電位配線 1 6 と低電位配線 1 8 の間には、図示しない直流電源によって直流電圧が印加される。高電位配線 1 6 が低電位配線 1 8 に対して高電位となるように直流電圧が印加される。インバータ回路 1 0 は、上記の直流電圧を交流電圧に変換し、その交流電圧をモータ 1 4 に供給する。

【 0 0 1 4 】

高電位配線 1 6 と低電位配線 1 8 の間に、3つのスイッチング回路 2 0 a ~ 2 0 c が接続されている。スイッチング回路 2 0 a ~ 2 0 c のそれぞれは、高電位配線 1 6 と低電位配線 1 8 の間に直列に接続された 2 つの I G B T 2 2 を有している。以下では、高電位配線 1 6 側に配置されている I G B T 2 2 を I G B T 2 2 a といい、低電位配線 1 8 側に配置されている I G B T 2 2 を I G B T 2 2 b という。つまり、I G B T 2 2 a が上アームの I G B T であり、I G B T 2 2 b が下アームの I G B T である。I G B T 2 2 a のコレクタが高電位配線 1 6 に接続されており、I G B T 2 2 a のエミッタが I G B T 2 2 b のコレクタに接続されており、I G B T 2 2 b のエミッタが低電位配線 1 8 に接続されている。

【 0 0 1 5 】

スイッチング回路 2 0 a ~ 2 0 c のそれぞれは、2 つの p n ダイオード 2 4 を有している。一方の p n ダイオード 2 4 は、I G B T 2 2 a に対して並列に接続されている。他方の p n ダイオード 2 4 は、I G B T 2 2 b に対して並列に接続されている。以下では、I G B T 2 2 a に対して並列に接続されている p n ダイオード 2 4 を、p n ダイオード 2 4 a という。また、I G B T 2 2 b に対して並列に接続されている p n ダイオード 2 4 を、p n ダイオード 2 4 b という。p n ダイオード 2 4 a のカソードが I G B T 2 2 a のコレクタに接続されており、p n ダイオード 2 4 a のアノードが I G B T 2 2 a のエミッタに接続されている。つまり、p n ダイオード 2 4 a は、カソードが高電位配線 1 6 側を向く向きで接続されている。p n ダイオード 2 4 b のカソードが I G B T 2 2 b のコレクタに接続されており、p n ダイオード 2 4 b のアノードが I G B T 2 2 b のエミッタに接続されている。つまり、p n ダイオード 2 4 b は、カソードが高電位配線 1 6 側を向く向きで

10

20

30

40

50

接続されている。

【0016】

インバータ回路10は、3つの中間配線19（すなわち、19a～19c）を有している。スイッチング回路20a～20cのそれぞれにおいて、IGBT22aとIGBT22bの間の配線に、対応する1つの中間配線19が接続されている。各中間配線19は、IGBT22aのエミッタ、IGBT22bのコレクタ、pnダイオード24aのアノード及びpnダイオード24bのカソードに接続されている。各中間配線19は、モータ14に接続されている。

【0017】

インバータ回路10は、ゲート制御回路26を有している。IGBT22毎に、1つのゲート制御回路26が設けられている。各ゲート制御回路26は、対応するIGBT22のゲートに接続されている。各ゲート制御回路26は、IGBT22のゲート電圧Vgeを制御する。これによって、IGBT22がスイッチングする。その結果、高電位配線16と低電位配線18の間に印加されている直流電圧が三相交流電圧に変換され、変換された三相交流電圧が3つの中間配線19の間に出力される。三相交流電圧は、3つの中間配線19を介してモータ14に供給される。

10

【0018】

次に、ゲート制御回路26の構造を説明する。なお、各ゲート制御回路26の構造は互いに等しい。したがって、ここでは、1つのゲート制御回路26について説明する。

【0019】

ゲート制御回路26は、図2に示す構成を備えている。図2に示すように、IGBT22は、コレクタ23aと、エミッタ23bと、ゲート23dを備えている。なお、図2においては、IGBT22のエミッタ23bの電位をグランドとして示している。したがって、上アームのIGBT22aに対するゲート制御回路26の場合は、図2のグランドは中間配線19の電位である。また、下アームのIGBT22bに対するゲート制御回路26の場合は、図2のグランドは低電位配線18の電位である。IGBT22は、センスエミッタ23cをさらに有している。なお、図1では、センスエミッタ23cの図示が省略されている。センスエミッタ23cは、エミッタ23bよりも小さい電流Iseが流れる端子である。IGBT22がオンすると、コレクタ23aからエミッタ23bに電流Ieが流れると同時に、コレクタ23aからセンスエミッタ23cに電流Iseが流れる。電流Iseは、電流Ieよりもはるかに小さい。また、電流Iseと電流Ieの比率は略一定である。また、IGBT22のコレクタ電流Icは、電流Ieと電流Iseを加算した値となる。したがって、電流Iseとコレクタ電流Icの比率は略一定である。すなわち、電流Iseはコレクタ電流Icに略比例する。したがって、センスエミッタ23cに流れる電流Iseを検出することで、コレクタ電流Icを検出することができる。

20

30

【0020】

図2に示すように、ゲート制御回路26は、抵抗R1～R3と、制御IC60を有している。抵抗R1は、センスエミッタ23cとエミッタ23bの間に接続されている。抵抗R2の一端は、ゲート23dに接続されている。抵抗R2の他端は、制御IC60に接続されている。抵抗R3の一端は、センスエミッタ23cに接続されている。抵抗R3の他端は、制御IC60に接続されている。

40

【0021】

制御IC60は、制御回路50、微分回路52、フィルタ回路54、コンパレータ31、AND回路42、コンパレータ32及び期間設定回路56を有している。

【0022】

制御回路50は、抵抗R2を介してゲート23dに接続されている。図示していないが、制御回路50には、IGBT22のオン・オフを指令する信号（いわゆる、PWM信号）が入力される。制御回路50は、PWM信号に従って、ゲート23dを充放電する。これによって、ゲート電圧Vge（すなわち、ゲート23dのエミッタ23bに対する電位）が制御される。また、制御回路50は、AND回路42に接続されている。制御回路5

50

0は、AND回路42から所定の信号を受信すると、PWM信号にかかわらずゲート23dを放電する。つまり、ゲート制御回路26は、IGBT22の保護回路としても機能する。

【0023】

微分回路52は、入力端子52aと出力端子52bを有している。入力端子52aは、ゲート23dに接続されている。出力端子52bは、フィルタ回路54に接続されている。微分回路52は、コンデンサC1と抵抗R4を有している。コンデンサC1の一方の電極は、入力端子52aに接続されている。コンデンサC1の他方の電極は、出力端子52bに接続されている。抵抗R4の一方の電極は、出力端子52bに接続されている。抵抗R4の他方の電極は、グランド(すなわち、エミッタ23b)に接続されている。微分回路52の入力端子52aには、IGBT22のゲート電圧Vgeが印加される。入力端子52aに印加されるゲート電圧Vgeの微分値(すなわち、ゲート電圧Vgeの変化率 $dVge/dt$)に略比例する電圧V1が、出力端子52bに印加される。

10

【0024】

フィルタ回路54は、入力端子54aと出力端子54bを有している。入力端子54aは、微分回路52の出力端子52bに接続されている。出力端子54bは、コンパレータ31に接続されている。フィルタ回路54は、抵抗R5とコンデンサC2を有している。抵抗R5の一方の電極は、入力端子54aに接続されている。抵抗R5の他方の電極は、出力端子54bに接続されている。コンデンサC2の一方の電極は、出力端子54bに接続されている。コンデンサC2の他方の電極は、グランド(すなわち、エミッタ23b)に接続されている。入力端子54aには、上述した電圧V1が印加される。フィルタ回路54は、電圧V1から高周波ノイズを除去した電圧V2を出力端子54bに印加する。すなわち、電圧V2は、ゲート電圧Vgeの変化率 $dVge/dt$ に略比例する。

20

【0025】

コンパレータ31は、非反転入力端子と、反転入力端子と、出力端子を有している。非反転入力端子は、フィルタ回路54の出力端子54bに接続されている。非反転入力端子には、上述した電圧V2が印加される。反転入力端子には、固定電圧Vth2が印加されている。出力端子は、AND回路42に接続されている。コンパレータ31は、電圧V2と電圧Vth2に応じて、信号CMP1をコンパレータ31の出力端子に印加する。電圧V2が電圧Vth2よりも高い場合に信号CMP1が高電位となり、電圧V2が電圧Vth2以下の場合に信号CMP1が低電位となる。上述したように、電圧V2は、ゲート電圧Vgeの変化率 $dVge/dt$ に比例する。したがって、コンパレータ31の動作は、変化率 $dVge/dt$ が基準値X(電圧Vth2に相当する固定値)よりも高いか否かを判定しているに等しい。変化率 $dVge/dt$ が基準値Xよりも大きい場合に信号CMP1が高電位となり、変化率 $dVge/dt$ が基準値X以下の場合に信号CMP1が低電位となる。

30

【0026】

コンパレータ32は、非反転入力端子と、反転入力端子と、出力端子を有している。非反転入力端子は、抵抗R3を介してセンスエミッタ23cに接続されている。非反転入力端子には、センスエミッタ23cの電圧Vseが印加される。反転入力端子には、固定電圧Vth1が印加されている。出力端子は、期間設定回路56に接続されている。コンパレータ32は、電圧Vseと電圧Vth1に応じて、出力端子の電圧を制御する。電圧Vseが電圧Vth1以下の場合には、コンパレータ32は、出力端子をその内部にてグランドに接続する。電圧Vseが電圧Vth1よりも高い場合には、コンパレータ32は、出力端子をグランドから遮断する。上述したように、IGBT22がオンすると、コレクタ23aからセンスエミッタ23cに電流Iseが流れる。センスエミッタ23cに流れる電流Iseは、抵抗R1を介してグランドへ流れる。このため、センスエミッタ23cの電圧Vse(すなわち、抵抗R1の両端間に生じる電位差)は、電流Iseに比例する。また、上述したように、電流IseはIGBT22のコレクタ電流Icに比例する。したがって、コンパレータ32の動作は、コレクタ電流Icが基準値Ith(電圧Vth1

40

50

に相当する固定値)よりも高いか否かを判定しているに等しい。コレクタ電流 I_c が基準値 I_{th} よりも高い場合に、コンパレータ 32 の出力端子がグランドから遮断され、コレクタ電流 I_c が基準値 I_{th} 以下の場合に、コンパレータ 32 の出力端子がグランドに接続される。

【0027】

期間設定回路 56 は、入力端子 56 a と出力端子 56 b を有している。入力端子 56 a は、コンパレータ 32 の出力端子に接続されている。出力端子 56 b は、AND 回路 42 に接続されている。期間設定回路 56 は、定電圧配線 36、抵抗 R_6 、コンデンサ C_3 、コンパレータ 33、コンパレータ 34、及び、AND 回路 41 を有している。

【0028】

定電圧配線 36 には、固定電圧 V_h が印加されている。抵抗 R_6 は、定電圧配線 36 と入力端子 56 a の間に接続されている。コンデンサ C_3 は、入力端子 56 a とグランド(すなわち、エミッタ 23 b)の間に接続されている。コンパレータ 32 がその出力端子(すなわち、期間設定回路 56 の入力端子 56 a)をグランドに接続していると、入力端子 56 a の電圧がグランド電圧となる。コンパレータ 32 が入力端子 56 a をグランドから遮断すると、定電圧配線 36 から抵抗 R_6 を介してコンデンサ C_3 に電流が流れる。これによって、コンデンサ C_3 が充電され、入力端子 56 a の電圧 CMP_2 が徐々に上昇する。この場合、入力端子 56 a の電圧 CMP_2 は、定電圧配線 36 と同じ電圧 V_h まで上昇する。その後、コンパレータ 32 が入力端子 56 a をグランドに接続すると、コンデンサ C_3 からグランドに電流が流れる。これによって、コンデンサ C_3 が放電され、入力端子 56 a の電圧 CMP_2 が徐々に低下する。この場合、入力端子 56 a の電圧 CMP_2 はグランド電圧まで低下する。このように、入力端子 56 a の電圧 CMP_2 は、コンパレータ 32 によって制御される。

【0029】

コンパレータ 33 は、非反転入力端子と、反転入力端子と、出力端子を有している。非反転入力端子は、入力端子 56 a に接続されている。非反転入力端子には、電圧 CMP_2 が印加される。非反転入力端子には、固定電圧 V_{th3} が印加されている。電圧 V_{th3} は、電圧 V_h よりも低い。出力端子は、AND 回路 41 に接続されている。コンパレータ 33 は、電圧 CMP_2 と電圧 V_{th3} に応じて、信号 CMP_3 をコンパレータ 33 の出力端子に印加する。電圧 CMP_2 が電圧 V_{th3} よりも高い場合に信号 CMP_3 が高電位となり、電圧 CMP_2 が電圧 V_{th3} 以下の場合に信号 CMP_3 が低電位となる。

【0030】

コンパレータ 34 は、非反転入力端子と、反転入力端子と、出力端子を有している。非反転入力端子には、固定電圧 V_{th4} が印加されている。電圧 V_{th4} は、電圧 V_{th3} よりも高く、電圧 V_h よりも低い。反転入力端子は、入力端子 56 a に接続されている。反転入力端子には、電圧 CMP_2 が印加される。出力端子は、AND 回路 41 に接続されている。コンパレータ 34 は、電圧 CMP_2 と電圧 V_{th4} に応じて、信号 CMP_4 をコンパレータ 33 の出力端子に印加する。電圧 CMP_2 が電圧 V_{th4} よりも高い場合に信号 CMP_4 が低電位となり、電圧 CMP_2 が電圧 V_{th4} 以下の場合に信号 CMP_4 が高電位となる。

【0031】

AND 回路 41 は、第 1 入力端子と、第 2 入力端子と、出力端子を有している。第 1 入力端子は、コンパレータ 33 の出力端子に接続されている。第 1 入力端子には、信号 CMP_3 が印加される。第 2 入力端子は、コンパレータ 34 の出力端子に接続されている。第 2 入力端子には、信号 CMP_4 が印加される。出力端子は、期間設定回路 56 の出力端子 56 b に接続されている。AND 回路 41 は、信号 CMP_3 と信号 CMP_4 に応じて、信号 AND_1 を出力端子 56 b に印加する。信号 CMP_3 と信号 CMP_4 が共に高電位の場合に信号 AND_1 が高電位となり、その他の場合に信号 AND_1 が低電位となる。

【0032】

AND 回路 42 は、第 1 入力端子と、第 2 入力端子と、出力端子を有している。第 1 入

10

20

30

40

50

力端子は、コンパレータ 3 1 の出力端子に接続されている。第 1 入力端子には、信号 C M P 1 が印加される。第 2 入力端子は、期間設定回路 5 6 の出力端子 5 6 b に接続されている。第 2 入力端子には、信号 A N D 1 が印加される。A N D 回路 4 2 の出力端子は、制御回路 5 0 に接続されている。A N D 回路 4 2 は、信号 C M P 1 と信号 A N D 1 に応じて、信号 A N D 2 を出力端子に印加する。信号 C M P 1 と信号 A N D 1 が共に高電位の場合に信号 A N D 2 が高電位となり、その他の場合に信号 A N D 2 が低電位となる。制御回路 5 0 は、信号 A N D 2 が高電位となった場合に、P W M 信号にかかわらず I G B T 2 2 のゲート 2 3 d を放電させて、I G B T 2 2 を強制的にオフさせる。なお、A N D 回路 4 2 は、一定の周期で信号 A N D 2 を切り換えるか否かの判定を繰り返し実行する。制御回路 5 0 は、複数の判定周期分（例えば、3 周期分）の期間に亘って信号 A N D 2 が高電位であることを検出した場合に、I G B T 2 2 を強制的にオフさせる。これによって、信号 A N D 2 にノイズが重畳した場合における誤動作を防止する。

10

【 0 0 3 3 】

次に、ゲート制御回路 2 6 の動作について説明する。図 3 は、通常時（過電流が流れないとき）の I G B T 2 2 をオンさせる動作を示している。なお、通常時の動作は、図 1 に示すように直列に接続されている 2 つの I G B T 2 2 の両方がオフしている状態から、一方の I G B T 2 2 をオンさせる動作である。このように、一方の I G B T 2 2 をオンさせると、他方の I G B T 2 2 に並列に接続されている p n ダイオード 2 4 がリカバリ電流を生じさせる場合がある。例えば、上アームの I G B T 2 2 a をオンさせる場合には、下アームの p n ダイオード 2 4 b がリカバリ電流を生じさせる場合がある。この場合、リカバリ電流が上アームの I G B T 2 2 a に流れる。また、下アームの I G B T 2 2 b をオンさせる場合には、上アームの p n ダイオード 2 4 a がリカバリ電流を生じさせる場合がある。この場合、リカバリ電流が下アームの I G B T 2 2 b に流れる。このため、I G B T 2 2 をオンさせるのと略同時に高電流（以下、サージ電流という場合がある）が I G B T 2 2 に流れる。I G B T 2 2 に流れるサージ電流は、短時間で減衰する。以下、図 3 を用いて、サージ電流が流れる場合のゲート制御回路 2 6 の動作について説明する。

20

【 0 0 3 4 】

図 3 において、タイミング t_1 よりも前の期間においては、制御回路 5 0 が I G B T 2 2 のゲート 2 3 d をグランドに接続している。このため、ゲート電圧 V_{ge} が略 0 V となっており、I G B T 2 2 がオフしている（すなわち、コレクタ電流 I_c が略 0 A となっている）。したがって、コンパレータ 3 2 は電圧 V_{se} （すなわち、コレクタ電流 I_c ）が電圧 V_{th1} （すなわち、基準値 I_{th} ）よりも低いと判定する。このため、コンパレータ 3 2 によって電圧 C M P 2 が略 0 V に制御される。電圧 C M P 2 が略 0 V であるので、コンパレータ 3 3 は電圧 C M P 2 が電圧 V_{th3} よりも低いと判定する。したがって、信号 C M P 3 が低電位となる。また、電圧 C M P 2 が略 0 V であるので、コンパレータ 3 4 は電圧 C M P 2 が電圧 V_{th4} よりも低いと判定する。したがって、信号 C M P 4 が高電位となる。信号 C M P 3 が低電位なので、信号 A N D 1 も低電位となる。信号 A N D 1 が低電位なので、信号 A N D 2 も低電位となる。

30

【 0 0 3 5 】

タイミング t_1 において、P W M 信号に基づいて、制御回路 5 0 がゲート 2 3 d の充電を開始する。すなわち、制御回路 5 0 からゲート 2 3 d に電流（すなわち、電荷）が供給され、ゲート 2 3 d が徐々に充電される。ここでは、ゲート 2 3 d とエミッタ 2 3 b の間の容量が充電される。このため、タイミング t_1 の直後（タイミング t_1 とタイミング t_2 の間の期間）に、ゲート電圧 V_{ge} が徐々に上昇する。ゲート電圧 V_{ge} が上昇しているので、この期間ではゲート電圧 V_{ge} の変化率（上昇率） dV_{ge}/dt が大きくなる。上述した基準値 X （変化率 dV_{ge}/dt に対する基準値）は、正常に I G B T 2 2 がオンするときのゲート電圧の上昇率よりも低い値に設定されている。したがって、この期間では、コンパレータ 3 1 が、電圧 V_2 （すなわち、上昇率 dV_{ge}/dt ）が電圧 V_{th2} （すなわち、基準値 X ）よりも高いと判定する。このため、タイミング t_1 の直後に、信号 C M P 1 が高電位となる。タイミング t_1 の直後の期間では、まだ、I G B T 2 2

40

50

にコレクタ電流 I_c 及び電流 I_{se} は流れない。したがって、信号 $CMP2$ 、 $CMP3$ 、 $CMP4$ 、 $AND1$ 及び $AND2$ はタイミング t_1 において変化しない。

【0036】

タイミング t_2 において、ゲート電圧 V_{ge} がミラー電圧 V_m に達する。すると、 $IGBT22$ にコレクタ電流 I_c が流れ始める。pnダイオード24のリカバリ電流の影響によって、タイミング t_2 の直後に $IGBT22$ にサージ電流が流れる。このため、タイミング t_2 の直後に、コレクタ電流 I_c が急激に増加する。また、コレクタ電流 I_c が流れ始めると、 $IGBT22$ のコレクタ23aとエミッタ23bの間の電圧 V_{ce} が徐々に小さくなる。すると、コレクタ23aとゲート23dの間の容量が充電されるようになり、ゲート23dとエミッタ23bの間の容量が充電されなくなる。このため、タイミング t_2 以降に、ゲート電圧 V_{ge} がミラー電圧 V_m で略一定に維持される。タイミング t_2 からタイミング t_6 までの期間 T_m はミラー期間である。ミラー期間 T_m の間は、ゲート電圧 V_{ge} がミラー電圧 V_m に維持される。また、ミラー期間 T_m の間は、ゲート電圧 V_{ge} の上昇率 dV_{ge}/dt が、略ゼロであり、基準値 X よりも小さい。したがって、ミラー期間 T_m の間は、信号 $CMP1$ が低電位となる。

10

【0037】

上述したように、タイミング t_2 の直後にコレクタ電流 I_c が急増する。タイミング t_2 の後のタイミング t_3 において、コレクタ電流 I_c が基準値 I_{th} を超える。すると、コンパレータ32が、電圧 V_{se} (すなわち、コレクタ電流 I_c) が電圧 V_{th1} (すなわち、基準値 I_{th}) より高いと判定する。このため、コンパレータ32は、その出力端子(すなわち、期間設定回路56の入力端子56a)をグランドから遮断する。このため、定電圧配線36から抵抗 R_6 を介してコンデンサ C_3 に電流が流れる。このため、タイミング t_3 以降に、電圧 $CMP2$ が徐々に上昇する。電圧 $CMP2$ は、ミラー期間 T_m の間に徐々に上昇する。

20

【0038】

タイミング t_4 において、電圧 $CMP2$ が電圧 V_{th3} を超える。すると、コンパレータ33が、信号 $CMP3$ を低電位から高電位に切り換える。すると、信号 $CMP3$ と信号 $CMP4$ が共に高電位となるので、 AND 回路41が信号 $AND1$ を低電位から高電位に切り換える。タイミング t_4 はミラー期間 T_m 内のタイミングであるので、タイミング t_4 においては信号 $CMP1$ が低電位となっている。このため、信号 $AND1$ が高電位となっても、 AND 回路42は信号 $AND2$ を低電位に維持する。

30

【0039】

コレクタ電流 I_c は、ミラー期間 T_m 内でピーク値 I_p に達し、その後、急速に低下する。コレクタ電流 I_c は、安定値まで低下し、その後は、緩やかに上昇する。

【0040】

電圧 $CMP2$ は、ミラー期間 T_m 内のタイミング t_5 において、電圧 V_{th4} を超える。すると、コンパレータ34が、信号 $CMP4$ を高電位から低電位に切り換える。すると、 AND 回路41が信号 $AND1$ を高電位から低電位に切り換える。

【0041】

その後のタイミング t_6 において、コレクタ23aとゲート23dの間の容量の充電が完了し、再度、ゲート23dとエミッタ23bの間の容量が充電されるようになる。このため、タイミング t_6 においてミラー期間 T_m が終了し、タイミング t_6 以降にゲート電圧 V_{ge} が上昇する。このため、ゲート電圧 V_{ge} の上昇率 dV_{ge}/dt が高くなり、コンパレータ31が信号 $CMP1$ を低電位から高電位に切り換える。信号 $CMP1$ が高電位となっても、タイミング t_6 においては、信号 $AND1$ が低電位であるので、信号 $AND2$ が低電位に維持される。

40

【0042】

その後のタイミング t_7 においてゲート電圧 V_{ge} が目標電圧まで達すると、タイミング t_7 以降は制御回路50がゲート電圧 V_{ge} を目標電圧に維持する。したがって、タイミング t_7 において、コンパレータ31は信号 $CMP1$ を高電位から低電位に切り換える

50

。

【0043】

以上に説明したように、このゲート制御回路26では、タイミング t_2 でコレクタ電流 I_c が流れ始めると、その後の期間 T_1 （タイミング t_4 からタイミング t_5 までの期間）において、期間設定回路56が信号AND1を高電位に維持する。このため、期間 T_1 において信号CMP1が高電位となれば（すなわち、ゲート電圧 V_{ge} の上昇率 dV_{ge}/dt が基準値 X よりも高くなれば）、信号AND2が高電位となり、IGBT22が強制的にオフされる。しかしながら、期間 T_1 は、ミラー期間 T_m 内に設定されている。つまり、通常動作時において、期間 T_1 がミラー期間 T_m 内に含まれるように、電圧 V_h 、抵抗 R_6 の抵抗値、コンデンサ C_3 の容量、電圧 V_{th3} 及び電圧 V_{th4} が設定されている。このため、通常動作においては、期間 T_1 の間に信号CMP1が高電位となることはない。したがって、図3のように、通常動作においては、信号AND2が低電位に維持され、IGBT22が強制的にオフされることはない。ゲート制御回路26は、IGBT22にサージ電流が流れても、IGBT22をオフさせない。したがって、IGBT22の誤動作を防止することができる。

10

【0044】

次に、短絡時（過電流時）のゲート制御回路26の動作について説明する。図1において、直列に接続された2つのIGBT22のうち的一方がオンしている状態において、他方のIGBT22をオンさせると、高電位配線16と低電位配線18の間が短絡する。何等かの誤作動等によって、このような短絡が発生する場合がある。短絡が生じると、直列に接続された2つのIGBT22に過電流が流れる。短絡による過電流は、サージ電流とは異なり、自然に減衰することがない。短絡による過電流は、IGBT22がオンしている間に増加し、IGBT22に高い負荷がかかる。したがって、短絡が生じた場合には、IGBT22をできる限り速くオフさせる必要がある。以下、図4を用いて、短絡時のゲート制御回路26の動作について説明する。

20

【0045】

図4のタイミング t_2 までの動作は、図3の動作と等しい。タイミング t_2 でゲート電圧 V_{ge} がミラー電圧 V_m に達すると、コレクタ電流 I_c が流れ始める。これにより、高電位配線16と低電位配線18の間が短絡する。このため、タイミング t_2 以降にコレクタ電流 I_c が急激に上昇する。また、短絡状態においては、高電位配線16と低電位配線18の間の電圧が、モータ14に印加されず、2つのIGBT22に印加される。したがって、コレクタ電流 I_c が増加しても、IGBT22のコレクタ23aとエミッタ23bの間の電圧 V_{ce} が低下しない。このため、ゲート電圧 V_{ge} がミラー電圧 V_m に達したタイミング t_2 以降も、ゲート電圧 V_{ge} が継続して上昇する。すなわち、短絡時には、ミラー期間が存在しない。このため、タイミング t_2 以降も、信号CMP1が高電位に維持される。

30

【0046】

その後のタイミング t_8 において、コレクタ電流 I_c が基準値 I_{th} を超える。このため、コンパレータ32が、その出力端子（すなわち、期間設定回路56の入力端子56a）をグランドから遮断する。このため、定電圧配線36から抵抗 R_6 を介してコンデンサ C_3 に電流が流れる。このため、タイミング t_8 以降に、電圧CMP2が徐々に上昇する。

40

【0047】

タイミング t_9 において、電圧CMP2が電圧 V_{th3} を超える。すると、コンパレータ33が、信号CMP3を低電位から高電位に切り換える。すると、信号CMP3と信号CMP4が共に高電位となるので、AND回路41が信号AND1を低電位から高電位に切り換える。すると、信号CMP1と信号AND1が共に高電位となるので、AND回路42が信号AND2を低電位から高電位に切り換える。したがって、制御回路50が、信号AND2が高電位であることを検出する。上述したように、制御回路50は、ノイズによる誤動作防止のために、複数の判定周期にわたって信号AND2が高電位になっている

50

場合に、I G B T 2 2 を強制的にオフする。したがって、タイミング t 9 から複数の判定周期が経過したタイミング t 1 0 で、制御回路 5 0 が、I G B T 2 2 のゲート 2 3 d をグランドに接続し、ゲート 2 3 d を放電させる。このため、タイミング t 1 0 以降に、ゲート電圧 V g e が低下し、それに伴ってコレクタ電流 I c が低下する。これによって、I G B T 2 2 が過電流から保護される。

【 0 0 4 8 】

以上に説明したように、このゲート制御回路 2 6 では、短絡時において、コレクタ電流 I c が流れ始めたタイミング t 2 から短時間で、ゲート 2 3 d の放電を開始することができる。このため、短絡時に流れる過電流を抑制することができる。従来技術のように、通常時のオン動作に必要な期間（すなわち、図 3 のタイミング t 1 からタイミング t 7 までの期間）が経過するのを待機していると、短絡時に、待機時間の間にコレクタ電流 I c が極めて大きい値まで増加し、I G B T に高い負荷が加わる。実施例のゲート制御回路 2 6 では、短絡時に、通常時のオン動作に必要な期間の経過を待つことなくゲート 2 3 d を放電するので、コレクタ電流 I c の増加を抑制することができる。特に、実施例のゲート制御回路 2 6 では、通常時のミラー期間 T m の最後のタイミング t 6 よりも早いタイミングで、短絡時にゲート 2 3 d の放電を開始することができる。したがって、短絡時にコレクタ電流 I c の増加をより抑制することができる。したがって、実施例のゲート制御回路 2 6 によれば、I G B T 2 2 を過電流から好適に保護することができる。

10

【 0 0 4 9 】

実施例の構成要素と請求項の構成要素との関係について説明する。実施例の制御回路 5 0 は、請求項の制御回路の一例である。実施例の微分回路 5 2、フィルタ回路 5 4 及びコンパレータ 3 1 は、請求項のゲート電圧上昇率検出回路の一例である。実施例の抵抗 R 1、抵抗 R 2 及びコンパレータ 3 2 は、請求項の電流検出回路の一例である。実施例の期間 T 1 は、請求項の一定期間の一例である。

20

【 0 0 5 0 】

以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの 1 つの目的を達成すること自体で技術有用性を持つものである。

30

【 符号の説明 】

【 0 0 5 1 】

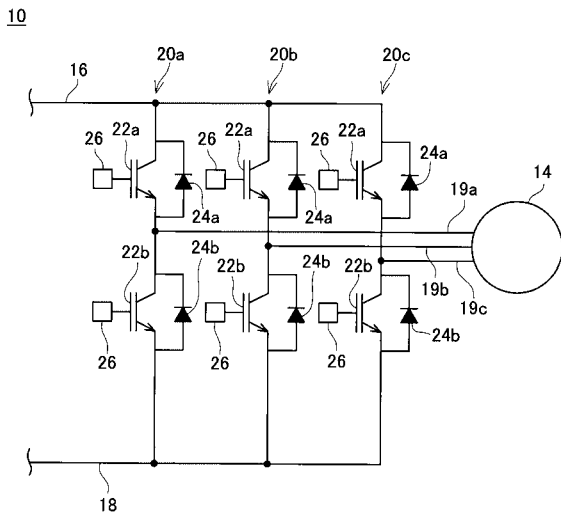
1 0 : インバータ回路
 1 4 : モータ
 1 6 : 高電位配線
 1 8 : 低電位配線
 1 9 : 中間配線
 2 2 : I G B T
 2 3 a : コレクタ
 2 3 b : エミッタ
 2 3 c : センスエミッタ
 2 3 d : ゲート
 2 4 : p n ダイオード
 2 6 : ゲート制御回路
 3 1 - 3 4 : コンパレータ
 3 6 : 定電圧配線
 4 1 - 4 2 : A N D 回路
 5 0 : 制御回路

40

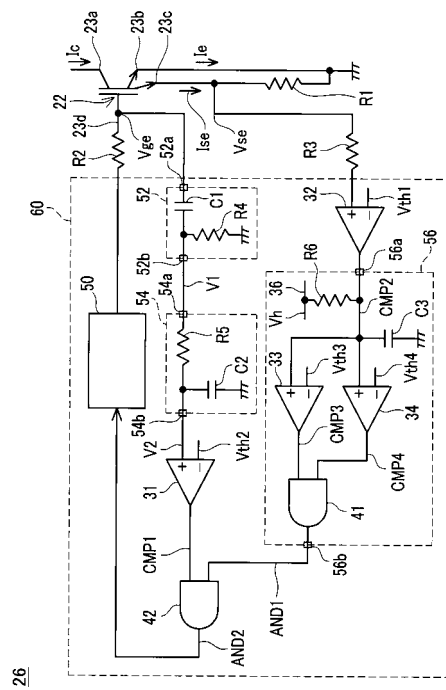
50

- 5 2 : 微分回路
- 5 4 : フィルタ回路
- 5 6 : 期間設定回路

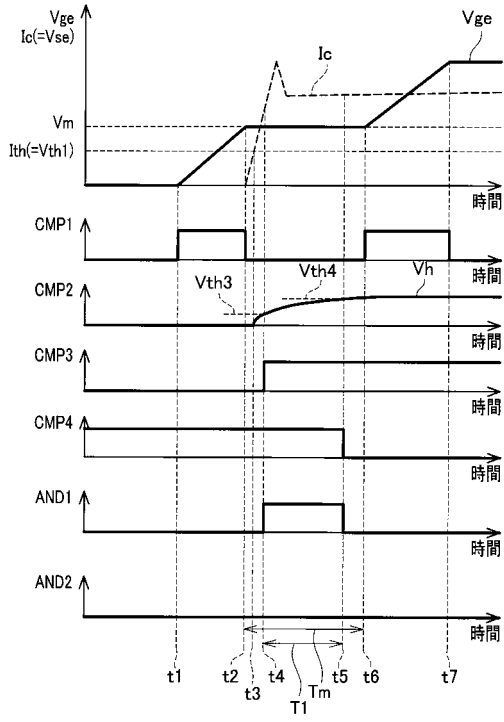
【 図 1 】



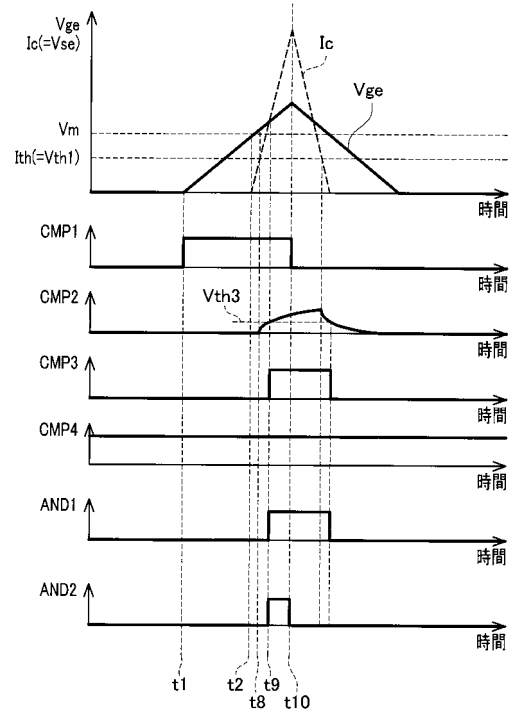
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

Fターム(参考) 5J055 AX08 AX27 BX16 CX07 CX19 DX09 EX01 EY01 EY10 EY21
EZ09 EZ10 FX13 GX04