

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 5 月 10 日 (10.05.2024)



(10) 国际公布号
WO 2024/093045 A1

(51) 国际专利分类号:
G11C 29/00 (2006.01)

(21) 国际申请号: PCT/CN2023/076133

(22) 国际申请日: 2023 年 2 月 15 日 (15.02.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211361069.8 2022 年 11 月 2 日 (02.11.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 鲁耀华 (LU, Yaohua); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司等 (LEADER PATENT & TRADEMARK FIRM et al.); 中国北京市海淀区西直门北大街 32 号枫蓝国际 A 座 8F-6, Beijing 100082 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,

(54) Title: MEMORY

(54) 发明名称: 存储器

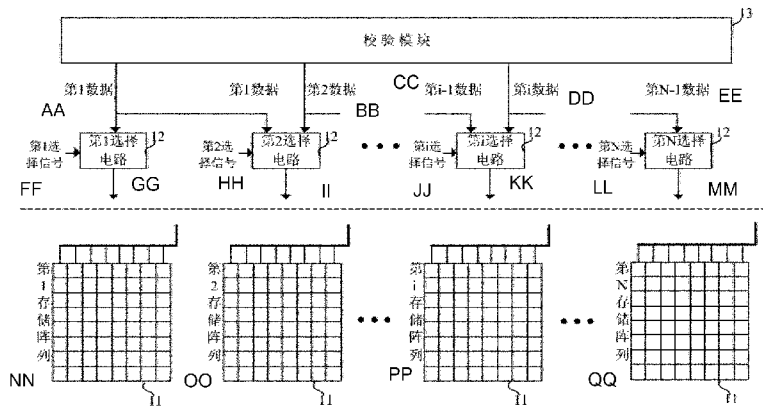


图 5

- | | | | |
|----|-------------------------|----|--------------------------|
| 13 | Verification module | II | Second selection circuit |
| AA | First data | JJ | ith selection signal |
| BB | Second data | KK | ith selection circuit |
| CC | (i-1)th piece of data | LL | Nth selection signal |
| DD | ith piece of data | MM | Nth selection circuit |
| EE | (N-1)th piece of data | NN | First storage array |
| FF | First selection signal | OO | Second storage array |
| GG | First selection circuit | PP | ith storage array |
| HH | Second selection signal | QQ | Nth storage array |

(57) Abstract: A memory, comprising: N storage arrays, which are sequentially arranged, wherein at least one storage array is a redundant array, at least one storage array is a main storage array, and the redundant array is used for replacing a faulted storage unit in the main storage array; and N selection circuits, which receive N-1 groups of data, wherein a first selection circuit receives first data, and is used for outputting or not outputting the first data to a first storage array according to a first selection signal; an Nth selection circuit receives an (N-1)th piece of data, and is used for outputting or not outputting the (N-1)th piece of data to an Nth storage array according

[见续页]

SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

to an Nth selection signal; and an ith selection circuit receives an (i-1)th piece of data and an ith piece of data, and the ith selection circuit is used for outputting the (i-1)th piece of data or the ith piece of data to an ith storage array according to an ith selection signal. In the solution, a plurality of selection circuits are provided, and according to a faulted unit replacement condition of a memory, the selection circuits are controlled to output corresponding data, so as to realize data processing under fault replacement, thereby ensuring the accuracy and reliability of data processing.

(57) 摘要: 一种存储器, 包括: 依次排列的N个存储阵列, 其中至少一个存储阵列为冗余阵列, 且至少一个存储阵列为主存储阵列, 冗余阵列用于替换主存储阵列中的故障存储单元; N个选择电路, 接收N-1组数据; 其中, 第1选择电路接收第1数据, 用于根据第1选择信号向第1存储阵列输出或不输出第1数据; 第N选择电路接收第N-1数据, 用于根据第N选择信号向第N存储阵列输出或不输出第N-1数据; 第i选择电路接收第i-1数据和第i数据, 且第i选择电路用于根据第i选择信号向第i存储阵列输出第i-1数据或第i数据。本方案通过设置多个选择电路, 根据存储器的故障单元替换情况, 控制选择电路输出相应的数据, 从而实现故障替换下的数据处理, 保证数据处理的准确性和可靠性。

存储器

本公开要求于 2022 年 11 月 02 日提交中国专利局、申请号为 202211361069.8、申请名称为“存储器”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

5

技术领域

本公开涉及存储器技术，尤其涉及一种存储器。

背景技术

10 伴随存储器技术的发展，存储器被广泛应用在多种领域，比如，动态随机存取存储器（Dynamic Random Access Memory，简称 DRAM）的使用非常广泛。

实际应用中，在存储器的生产和使用过程中，存储单元可能会产生故障，故障存储单元不能正常工作，需要进行替换修复。因此，结合考虑可能进行替换修复的情况，如何保证存储器实现准确的数据处理，成为需要考虑的问题。

15

发明内容

本公开的实施例提供一种存储器。

根据一些实施例，本公开第一方面提供一种存储器，包括：依次排列的 N 个存储阵列，所述 N 个存储阵列分别记为第 1 存储阵列，第 2 存储阵列， $\dots$ ，第 i 存储阵列， $\dots$ ，第 N 存储阵列，其中至少一个
20 所述存储阵列为冗余阵列，且至少一个所述存储阵列为主存储阵列，所述冗余阵列用于替换所述主存储阵列中的故障存储单元， $1 < i < N$ ， $2 \leq N$ 且 i 和 N 为正整数； N 个选择电路，分别记为第 1 选择电路，第 2 选择电路， $\dots$ ，第 i 选择电路， $\dots$ ，第 N 选择电路，所述 N 个选择电路接收 $N-1$ 组数据，分别记为第 1 数据，第 2 数据， $\dots$ ，第 i 数据， $\dots$ ，第 $N-1$ 数据；其中，所述第 1 选择电路接收所述第 1 数据，用于根据第 1 选择信号向所述第 1 存储阵列输出或不输出所述第 1 数据；所述第 N 选择电路接收所述第 $N-1$
25 数据，用于根据第 N 选择信号向所述第 N 存储阵列输出或不输出所述第 $N-1$ 数据；第 i 选择电路接收所述第 $i-1$ 数据和所述第 i 数据，且所述第 i 选择电路用于根据第 i 选择信号向所述第 i 存储阵列输出所述第 $i-1$ 数据或所述第 i 数据。

在一些实施例中，所述存储阵列和所述冗余阵列均包括 M 个列，分别记为第 1 列，第 2 列， $\dots$ ，第 j 列， $\dots$ ，第 M 列，所述冗余阵列的第 j 列用于替换任意一个所述主存储阵列的第 j 列， $1 \leq j \leq M$ ，且 j
30 和 M 为正整数。

在一些实施例中，所述选择电路包括：多个子选择电路，所述第 1 选择电路的每一所述子选择电路

接收第 1 数据中的 1bit 数据, 所述第 i 选择电路的每一所述子选择电路分别接收所述第 i-1 数据和所述第 i 数据中的 1bit 数据, 所述第 N 选择电路的每一所述子选择电路接收第 N-1 数据中的 1bit 数据。

在一些实施例中, 所述子选择电路包括数据选择器, 所述第 1 选择电路的所述数据选择器的第一数据输入端接收所述第 1 数据中的 1bit 数据, 所述第 1 选择电路的所述数据选择器的选择端接收所述第 1 选择信号, 所述第 i 选择电路的所述数据选择器的第一数据输入端接收所述第 i-1 数据中的 1bit 数据, 所述第 i 选择电路的所述数据选择器的第二数据输入端接收所述第 i 数据中的 1bit 数据, 所述第 i 选择电路的所述数据选择器的选择端接收所述第 i 选择信号, 所述第 N 选择电路的所述数据选择器的第一数据输入端接收所述第 N-1 数据中的 1bit 数据, 所述第 N 选择电路的所述数据选择器的选择端接收所述第 N 选择信号。

在一些实施例中, 所述冗余阵列的数量为一个。

在一些实施例中, 所述第 1 存储阵列所述冗余阵列。

在一些实施例中, 当不存在故障存储单元时, 所述第 1 选择电路不输出数据, 所述第 N 选择电路输出所述第 N-1 数据, 所述第 i 选择电路输出所述第 i-1 数据; 当第 n 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路输出所述第 N-1 数据, 在 $1 < i$ $< n$ 的范围内, 第 i 选择电路输出所述第 i 数据, 在 $n < i < N$ 的范围内, 第 i 选择电路输出第 i-1 数据, n 为正整数; 当所述第 N 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路输出所述第 1 数据, 所述第 i 选择电路输出所述第 i 数据, 所述第 N 选择电路不输出数据。

在一些实施例中, 所述第 N 存储阵列所述冗余阵列。

在一些实施例中, 当不存在故障存储单元时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路不输出数据, 所述第 i 选择电路输出所述第 i 数据; 当第 n 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路输出所述第 N-1 数据, 在 $1 < i < n$ 的范围内, 第 i 选择电路输出所述第 i 数据, 在 $n < i < N$ 的范围内, 第 i 选择电路输出所述第 i-1 数据, n 为正整数; 当所述第 1 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路不输出数据, 所述第 i 选择电路输出所述第 i-1 数据, 所述第 N 选择电路输出所述第 N-1 数据。

在一些实施例中, 第 m 存储阵列所述冗余阵列, $1 < m < N$ 且 m 为正整数。

在一些实施例中, 当不存在故障存储单元时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路输出所述第 N-1 数据, 第 m 选择电路不输出数据, 且在 $1 < i < m$ 的范围内, 所述第 i 选择电路输出所述第 i 数据, 在 $m < i < N$ 的范围内, 所述第 i 选择电路输出所述第 i-1 数据; 当第 n 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路输出所述第 N-1 数据, 第 n 选择电路不输出数据, 在 $1 < i < n$ 的范围内, 所述第 i 选择电路输出所述第 i 数据, 在 $n < i < N$ 的范围内, 第 i 选择电路输出第 i-1 数据, $n < m$ 且 n 为正整数; 当第 k 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路输出所述第 N-1 数

据，第 k 选择电路不输出数据，在 $1 < i < k$ 的范围内，所述第 i 选择电路输出所述第 i 数据，在 $k < i < N$ 的范围内，第 i 选择电路输出第 $i-1$ 数据， $m < k < N$ 且 k 为正整数；当第 1 存储阵列中的故障存储单元被所述冗余阵列替换时，所述第 1 选择电路不输出数据，所述第 N 选择电路输出所述第 $N-1$ 数据，所述第 i 选择电路输出所述第 $i-1$ 数据；当第 N 存储阵列中的故障存储单元被所述冗余阵列替换时，所述第 1 选择电路输出所述第 1 数据，所述第 N 选择电路不输出数据，所述第 i 选择电路输出所述第 i 数据。

在一些实施例中，所述冗余阵列的数量为多个且所述冗余阵列不相邻。

在一些实施例中，至少一个所述主存储阵列为校验码存储阵列，所述校验码存储阵列用于存储校验码数据。

在一些实施例中，所述存储器还包括：校验模块；所述校验模块与所述 N 个选择电路连接，所述 N 个选择电路接收的数据包括待写入数据和校验码数据，所述校验模块用于根据所述待写入数据，生成所述校验码数据。

本公开实施例提供的存储器，包括依次排列的 N 个存储阵列，其中包含至少一个主存储阵列和至少一个冗余阵列，冗余阵列用于提供主存储阵列的故障单元替换，以及 N 个选择电路，每个选择电路接收位序对应的数据以及上一相邻数据，每个选择电路响应于自身的选择信号，通过选择输出相应的信号，实现故障替换场景下的数据处理。本方案的存储器通过设置多个选择电路，根据存储器的故障单元替换情况，控制选择电路输出相应的数据，从而实现故障替换下的数据处理，保证数据处理的准确性和可靠性。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开实施例的原理。

图 1 为一实施例示出的存储器的架构示例图；

图 2 为一实施例示出的存储单元的结构示例图；

图 3 和图 4 分别为一种示例的替换方案架构图；

图 5 为一实施例提供的存储器的结构示例图；

图 6 和图 7 分别为不同情形下的状态示例图；

图 8 为存储阵列的架构示例图；

图 9 为一示例的存储器的结构示例图；

图 10~图 12 分别为不同情形下的状态示例图；

图 13 为一示例的存储器的结构示例图；

图 14~图 16 分别为不同情形下的状态示例图；

图 17 为一示例的存储器的结构示例图；

图 18~图 21 分别为不同情形下的状态示例图。

通过上述附图，已示出本公开明确的实施例，后文中将有更详细的描述。这些附图和文字描述并不是为了通过任何方式限制本公开构思的范围，而是通过参考特定实施例为本领域技术人员说明本公开的概念。

5

具体实施方式

这里将详细地对示例性实施例进行说明，其示例表示在附图中。下面的描述涉及附图时，除非另有表示，不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所描述的实施方式并不代表与本公开相一致的所有实施方式。相反，它们仅是与如所附权利要求书中所详述的、本公开的一些方面相一致的装置和方法的例子。

10

本公开中的用语“包括”和“具有”用以表示开放式的包括在内的意思，并且是指除了列出的要素/组成部分/等之外还可存在另外的要素/组成部分/等；用语“第一”和“第二”等仅作为标记或区分使用，不是对其对象的先后顺序或数量限制。此外，附图中的不同元件和区域只是示意性示出，因此不限于附图中示出的尺寸或距离。

15

下面以具体的实施例对技术方案进行详细说明。下面这几个具体的实施例可以相互结合，对于相同或相似的概念或过程可能在某些实施例中不再赘述。下面将结合附图，对本公开的实施例进行描述。

图 1 为一实施例示出的存储器的架构示例图，如图 1 所示，以 DRAM 作为示例，包括数据输入/输出缓冲、行解码器、列解码器、感测放大器以及存储阵列。其中，数据输入/输出缓冲属于外围区电路，感测放大器、行解码器、列解码器以及存储阵列属于阵列区电路。存储阵列主要由字线、位线和存储单元组成。存储阵列中的字线沿行方向延伸，存储阵列中的位线沿列方向延伸，字线与位线的交叉处为存储阵列的存储单元。

20

其中，每个存储单元用于存储一个位（bit）的数据。如图 2 所示，图 2 为一实施例示出的存储单元的结构示例图，存储单元主要由晶体管开关 M 和电容 C 组成。其中，电容用于存储数据，晶体管开关用于根据选中状态，关断或导通。

25

可以通过控制字线和位线来激活某个存储单元，以实现对该存储单元的访问。结合读取场景作为示例：需要读取存储单元中的数据时，可以通过行解码器选中该存储单元所在行的字线，相应的，图示中的晶体管 M 导通，通过对位线信号的感测放大就可以感知到此时电容 C 上的状态。例如，如果存储单元中存储的 bit 数据为 1，那么晶体管 M 导通后就会从存储单元的位线上读到 1，反之也是同样的道理。另外，结合写入场景作为示例：需要向某存储单元中写入 bit 数据时，比如写入 1。可以通过行解码器选中该存储单元所在行的字线，相应的图示中的晶体管 M 导通，通过将位线的逻辑电平设为 1，使得电容 C 充电，即向存储单元写入 1。反之，如果要写入 0，那么位线的逻辑电平设为 0，使得电容 C 放电，即向存储单元写入 0。

30

实际应用中, DRAM 在生产过程中有一定概率会产生故障的存储单元, 或者, 伴随着设备的老化损坏, 尤其是运行环境存在挑战 (高温环境), 并且需要频繁运行的存储器, 在存储阵列中可能产生故障存储单元。这些故障存储单元不能正常工作, 因此为了避免故障存储单元影响存储器的正常工作, 在设计时除了规划包含常规存储单元的主存储阵列以外, 还会规划冗余阵列, 冗余阵列中的存储单元作为冗余部分, 用于实现对主存储阵列中故障存储单元的替换。

本文中的“替换”指存储功能上的替换, 即保证替换后能正常用于存储数据的存储单元的数量即可, 具体的替换方式包括但不限于, 用冗余存储单元存储故障存储单元原本需要存储的 bit 数据, 或者, 只需保证加入冗余存储单元后, 能够正常工作的存储单元的数量可以保证完整数据的储存即可, 至于哪个存储单元存储哪个 bit 数据则不做限制。

在一些替换方案中, 比如 LCR (Local Column Repair) 方案, 会在存储阵列中设计包含常规存储单元的存储列, 以及包含冗余存储单元的冗余列, 冗余列和存储列共享该存储阵列的数据线, 数据线用于传输读取或写入的数据。为了进一步便于设计, 在一些替换方案里, 比如 CCR (Central Column Repair) 方案中, 所有冗余存储单元设置在独立的冗余阵列中, 冗余阵列和常规的存储阵列分别独立设置, 各自具有独立的数据线, 故需要提供一种有效方案支持该架构下, 发生故障替换时的数据处理, 比如, 数据的正常写入。

为便于理解, 如图 3 和图 4 所示, 图 3 和图 4 分别为一种示例的替换方案架构图, 以存储器包括 N 个存储阵列作为示例, 分别为第 1 存储阵列、第 2 存储阵列, ... 第 N 存储阵列。图 3 采用的故障替换方案为 LCR 方案, 图中填充阴影的列为冗余列, 未填充阴影的部分为常规的存储列, 可知 LCR 方案中, 各冗余列集成于每个存储阵列中, 每个存储阵列下的存储列和冗余列共享数据线。图 4 采用的故障替换方案为 CCR 方案, 图中填充阴影的阵列为冗余阵列, 未填充阴影的部分为常规的主存储阵列, 可知 CCR 方案中, 独立设置冗余阵列, 冗余阵列中的存储单元用于替换主存储阵列中故障的存储单元, 每个阵列配置有独立的数据线。需要说明的是, 图中只是一种示例, 具体的阵列架构可以根据实际需要调整, 而

不限于图中的示例。

本公开实施例的一些方面涉及上述考虑。以下结合本公开的一些实施例对方案进行示例介绍。图 5 为一实施例提供的存储器的结构示例图, 如图 5 所示, 该存储器包括:

依次排列的 N 个存储阵列 11, N 个存储阵列分别记为第 1 存储阵列, 第 2 存储阵列, ..., 第 i 存储阵列, ..., 第 N 存储阵列, 其中至少一个存储阵列为冗余阵列, 且至少一个存储阵列为主存储阵列, 冗余阵列用于替换主存储阵列中的故障存储单元, $1 < i < N$, $2 \leq N$ 且 i 和 N 为正整数;

N 个选择电路 12, 分别记为第 1 选择电路, 第 2 选择电路, ..., 第 i 选择电路, ..., 第 N 选择电路, N 个选择电路接收 N-1 组数据, 分别记为第 1 数据, 第 2 数据, ..., 第 i 数据, ..., 第 N-1 数据;

其中, 第 1 选择电路接收第 1 数据, 用于根据第 1 选择信号向第 1 存储阵列输出或不输出第 1 数据; 第 N 选择电路接收第 N-1 数据, 用于根据第 N 选择信号向第 N 存储阵列输出或不输出第 N-1 数据; 第 i

选择电路接收第 $i-1$ 数据和第 i 数据，且第 i 选择电路用于根据第 i 选择信号向第 i 存储阵列输出第 $i-1$ 数据或第 i 数据，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。

其中，选择电路接收的数据组数量可以根据实际需要写入存储器的数据量确定。实际应用中，本实施例提供的存储器的类型不限，作为示例，可以应用在包括但不限于双倍速率同步动态随机存储器（简称 DDR）等。

其中，存储阵列中的主存储阵列用于在未存在故障存储单元的情况下存储写入的数据。实际应用中，为了在后续进行数据读取时，验证数据读取的准确性，可以对读取的数据进行数据校验。故在一个示例中，至少一个主存储阵列为校验码存储阵列，校验码存储阵列用于存储校验码数据。故最终写入 N 个存储阵列的数据将包含待写入数据 Data_CP ，以及校验码数据 Data_ECC 。其中，校验码存储阵列用于存储校验码数据可解释为，校验码存储阵列在不存在故障存储单元时，正常存储校验码数据，可以理解，如果校验码存储阵列中存在故障存储单元，也可用冗余阵列对校验码存储阵列中的故障存储单元进行替换，相应的，故障存储单元对应的校验码数据将被写入在进行替换之后的某个存储单元中。

实际应用中，在数据写入、读取和传输的过程中可能产生错误，故为了避免和及时发现这种错误，可以采用数据校验方法对读取出的数据进行校验。作为示例，数据校验方法可以包括但不限于奇偶校验、循环冗余校验等，在校验方案中，需要基于校验码数据进行校验，故在向存储阵列中写入数据时，会一并生成并写入校验码数据，以便在数据读取时，根据读出的校验码数据对读出的存储数据进行数据校验。相应的，在一个示例中，存储器还包括：校验模块 13；校验模块 13 与 N 个选择电路 12 连接， N 个选择电路 12 接收的数据包括待写入数据和校验码数据，校验模块 13 用于根据所述待写入数据，生成所述校验码数据。本示例通过设置校验码模块，能够在数据写入时生成相应的校验码数据存至存储阵列中，以便在读取数据时对读取的数据进行数据校验，从而进一步提高数据处理的准确性和可靠性。

下面结合附图，对本实施例的电路工作原理进行示例：以一次写入的完整数据为 34 组数据进行举例，记为第 1 数据 Data_1 ~第 34 数据 Data_34 ，第 18 存储阵列为冗余阵列。实际应用中，一次写入的数据长度和内容可以根据存储器的类型和工作参数确定。其中，第 1 数据 Data_1 表示完整的 34 组数据中，在正常情况下应写入至第 1 个主存储阵列中的数据；第 2 数据 Data_2 表示完整的 34 组数据中，正常情况下应写入第 2 个主存储阵列中的数据；以此类推。可以理解，当主存储阵列不存在故障时，冗余阵列中可以不存储数据，即为空数据；或者，当主存储阵列中的故障存储单元所在的列被冗余阵列替换后，冗余阵列中的数据具体为替换故障存储单元后存储的数据，该数据可能是 34 组数据中的其中一组，具体为哪组数据可根据实际情况确定，后述会进行举例说明。

首先，图 6 为一种情形下的状态示例图，该情形为主存储阵列中未存在故障存储单元。当主存储阵列中没有故障存储单元时，写入的 34 组数据应存储在对应的主存储阵列中。结合图中的示例，假设存储器包含 35 个存储阵列，即 $N=35$ ，其中冗余阵列为第 18 存储阵列，其余的第 1 存储阵列至第 17 存储阵

列以及第 19 存储阵列至第 35 存储阵列均为主存储阵列。具体的，写入数据中的第 1 数据 Data_1 需存储于第 1 存储阵列（第 1 个主存储阵列），第 2 数据 Data_2 需存储于第 2 存储阵列（第 2 个主存储阵列），以此类推，直至第 17 数据 Data_17 需存储于第 17 存储阵列（第 17 个主存储阵列），之后第 18 存储阵列为冗余阵列，故不存储数据，再之后，第 18 数据 Data_18 需存储于第 19 存储阵列（第 18 个主存储阵列），第 19 数据 Data_19 需存储于第 20 存储阵列（第 19 个主存储阵列），以此类推，直至第 34 数据 Data_34 需存储于第 35 存储阵列（第 34 个主存储阵列）。

相应的，第 1 选择电路接收第 1 数据，第 N 选择电路接收第 N-1 数据，第 i 选择电路接收第 i-1 数据以及第 i 数据。结合图 6 所示，第 1 选择电路接收第 1 数据 Data_1，第 2 选择电路接收第 1 数据 Data_1 和第 2 数据 Data_2，...第 17 选择电路接收第 16 数据 Data_16 和第 17 数据 Data_17，第 18 选择电路接收第 17 数据 Data_17 和第 18 数据 Data_18，第 19 选择电路接收第 18 数据 Data_18 和第 19 数据 Data_19，...第 34 选择电路接收第 33 数据 Data_33 和第 35 数据 Data_34，第 35 选择电路接收第 34 数据 Data_34。基于上述情形，当不存在故障存储单元时，第 1 选择电路输出第 1 数据，以将第 1 数据 Data_1 写入第 1 存储阵列，N 个选择电路中，在 $1 < i < 18$ 的范围内，第 i 选择电路选择输出第 i 数据，以将第 i 数据写入第 i 存储阵列，在 $18 < i < 35$ 的范围内，第 i 选择电路选择输出第 i-1 数据 Data_{i-1}，以将第 i-1 数据 Data_{i-1} 写入第 i 存储阵列，所述第 35 选择电路输出第 34 数据 Data_34，以将第 34 数据 Data_34 写入第 35 存储阵列，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。

以上为不存在故障存储单元的情形。作为示例，图 7 为另一种情形下的状态示例图，该情形为主存储阵列中存在故障存储单元。仍结合图 6 所示的架构，以第 1 存储阵列存在故障存储单元为例，在图 7 中，冗余阵列（第 18 存储阵列）用于替换第 1 存储阵列中的故障存储单元。在一个示例中，原本需要写入第 1 存储阵列的第 1 数据 Data_1 需写入第 2 存储阵列，原本需写入第 2 存储阵列的第 2 数据 Data_2 需写入第 3 存储阵列，直至原本需写入第 17 存储阵列中的第 17 数据 Data_17 需写入冗余阵列（第 18 存储阵列中），实现对第 1 存储阵列中故障存储单元的替换。此时，第 1 存储阵列中的故障存储单元所在的列可以不存储数据，故第 1 选择电路不输出第 1 数据 Data_1，第 19~35 选择电路分别输出第 18 数据 Data_18~第 34 数据 Data_34，进而将第 18 数据 Data_18~第 34 数据 Data_34 分别写入至第 19~第 35 存储阵列，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。

本实施例中，针对 N 个存储阵列设置 N 个选择电路，能够在无论是否发生故障存储单元替换的情形下，通过控制选择电路选择输出相应的数据，来实现完整数据的准确写入，保证数据处理的准确性和可靠性。并且本实施例的方案，便于电路设计和制备，可以适用于存储器等集成度高的场景。

其中，选择电路 12 的具体实现电路可以根据实际情况设计。作为示例，图 8 为存储阵列的架构示例图，如图 8 所示，主存储阵列和所述冗余阵列均包括多个列，例如 M 个列，分别记为第 1 列，第 2 列，...

第j列，…，第M列。

具体的，冗余阵列的第j列用于替换所述主存储阵列的第j列，其中 $1 \leq j \leq M$ ，且j和M为正整数。需要说明的是，这里的单个“列”指单个列选择信号的控制对象。举例来说，存储阵列在物理结构上包括多个物理行（例如理解为字线 wordline）和多个物理列（例如理解为位线 bitline）。在一些存储器设计方案中，将一个存储阵列中的多个物理列划分为多组列，每组列中的所有物理列受控于同一个列选择信号，不同组的列受控的列选择信号不同。举例来说，假设某存储阵列包含16个物理列，按照每4个物理列进行划分，将得到4列（column_1~column_4），column_1~column_4分别对应列选择信号1~列选择信号4，每个column中的4个物理列对应同一列选择信号，每个column可视为本示例所述的一个“列”。需要说明的是，在多个存储阵列的情形下，同一列选择信号用于选中不同存储阵列中的相同列，这里的相同列指在不同存储阵列中位置相同的列，比如列选择信号1用于选中所有存储阵列中的column_1。在另一些存储器设计方案中，本示例中的单个“列”即单个物理列，比如，某存储阵列包含8个物理列，分别受控于8个列选择信号，则此时的每一物理列可视为本示例所述的一个“列”。本实施例在此不对此进行限制。

以匹配前一种设计方案作为示例，在一个示例中，选择电路12包括：多个子选择电路121，第1选择电路的每一子选择电路接收第1数据中的1bit数据，第i选择电路的每一子选择电路分别接收第i-1数据和第i数据中的1bit数据，第N选择电路的每一子选择电路接收第N-1数据中的1bit数据。

结合图8所示，结合第一种设计方案，存储器的数据写入过程示例如下：如图8所示，示出了多个存储阵列11，每个存储阵列11包括多个列21，图中以其中一个存储阵列的放大图作为示例，每个列21进一步由多个物理列（比如4bit）构成。当进行数据写入时，列解码器会从写入指令中解析出列选择信号，比如，列选择信号表征第1列的地址。响应于该列选择信号，多个存储阵列11的第1列被选中。故结合前述图6的示例，第i数据包括需要写入某存储阵列的第1列的4bit数据，即第1数据包括需写入某存储阵列的第1列的4bit数据，第2数据包括需写入另一存储阵列的第1列的4bit数据，以此类推。故每一选择电路对应包括4个子选择电路，分别对应4bit数据中的1bit数据，且每一选择电路的输出端均连接对应存储阵列的数据线，选择电路输出的数据通过数据线写入至对应的存储阵列。

具体的，第i选择电路中的每一子选择电路接收第i-1数据（包括4bit数据）中的1个bit数据，以及第i数据（包括4bit数据）中的1个bit数据，第N选择电路的每一子选择电路接收第N-1数据中的1bit数据。其中，该列选择信号在不同存储阵列选中的列的位置相同，这里子选择电路接收的两个bit数据需写入的物理列，分布在不同的两个存储阵列的位置相同的列，且在各自列中的位置相同。比如，假设列选择信号为第1列的地址，则第2选择电路的第1子选择电路接收的两个bit数据，分别来自第1数据的4bit中的第1个bit，以及第2数据的4bit中的第1个bit。

故可以理解，实际应用中，选择电路可以包括一个或多个子选择电路，同一选择电路中子选择电路的选择信号相同。故在一个示例中，同一选择电路中的子选择电路可以共享一个选择信号，不同选择电

路接收各自独立的选择信号。

结合前述，子选择电路用于响应于选择信号从接收的数据中选择一个数据输出。实际应用中，子选择电路的实现方式不限，在一个示例中，子选择电路包括数据选择器 MUX，第 1 选择电路的数据选择器的第一数据输入端接收第 1 数据中的 1bit 数据，第 1 选择电路的数据选择器的选择端接收第 1 选择信号，
5 第 i 选择电路的数据选择器的第一数据输入端接收第 i-1 数据中的 1bit 数据，第 i 选择电路的数据选择器的第二数据输入端接收第 i 数据中的 1bit 数据，第 i 选择电路的数据选择器的选择端接收第 i 选择信号，第 N 选择电路的数据选择器的第一数据输入端接收第 N-1 数据中的 1bit 数据，第 N 选择电路的数据选择器的选择端接收所述第 N 选择信号，其中第 1 选择电路的数据选择器的第二数据输入端和第 N 选择电路的数据选择器的第一数据输入端可以不接收任何数据，例如为浮置端，或者接收固定电平信号，例如
10 接地或电源电压 VDD。

本示例中，数据选择器如何根据选择信号的电平高低来输出数据可以根据实际需求设置，例如当第 1 选择信号为高电平的时候，第 1 选择电路的数据选择器的输出端输出第 1 数据中的 1bit 数据，第 1 选择信号为低电平的时候，第 1 选择电路的数据选择器的输出端不输出数据，当第 i 选择信号为高电平的时候，第 i 选择电路的数据选择器的输出端输出第 i 数据中的 1bit 数据，当第 i 选择信号为低电平的时候，第 i
15 选择电路的数据选择器的输出端输出第 i-1 数据中的 1bit 数据，当第 N 选择信号为高电平的时候，第 N 选择电路的数据选择器的输出端输出第 N-1 数据中的 1bit 数据，第 N 选择信号为低电平的时候，第 N 选择电路的数据选择器的输出端不输出第 N-1 数据，其中当数据选择器的选择端不接收信号的时候，即数据选择器的选择端为浮置状态，此时数据选择器不输出任何数据，从而实现根据选择信号选择输出相应的数据，并且通过常规器件实现子选择电路，能够简化电路结构，降低成本。

在一个示例中，第 1 选择电路中的子选择电路包括一个第一开关管，第一开关管的第一端接收第 1 数据中的 1bit，第一开关管的第二端为子选择电路的输出端，第一开关管根据第 1 选择信号闭合或断开，第 i 选择电路中的子选择电路包括第二开关管和第三开关管，第二开关管的第一端接收第 i-1 数据中的 1bit，第三开关管的第一端接收第 i 数据中的 1bit，第二开关管的第二端和第三开关管的第二端作为子选择电路的输出端，其中第二开关管或第三开关管根据第 i 选择信号闭合，或第二开关管和第三开关管根据第 i 选
25 择信号都断开，第 N 选择电路中的子选择电路包括第四开关管，第四开关管的第一端接收第 N-1 数据中的 1bit，第四开关管的第二端为子选择电路输出端，第四开关管根据第 N 选择信号闭合或断开。

实际应用中，各存储阵列的排布可以根据需要设计。作为示例，冗余阵列的数量可以为一个或多个。以冗余阵列的数量为一个作为示例，冗余阵列的排布情形也有多种。比如，冗余阵列可以位于整个存储阵列的边缘，例如第 1 存储阵列或者第 N 存储阵列为冗余阵列。再比如，冗余阵列可以位于存储阵列之
30 间，例如，第 m 存储阵列为冗余阵列， $1 < m < N$ 且 m 为正整数。

在一个示例中，冗余阵列的数量为一个。具体的，冗余阵列中的每列可以用于替换任一主存储阵列中位置相同的列，比如，冗余阵列中的第 1 列可以用于替换任意一个主存储阵列的第 1 列，该冗余阵列

中的第 2 列可以用于任意一个主存储阵列的第 2 列。或者，当某一主存储阵列的两个列都存在故障存储单元时，也可用冗余阵列中位置相同的两个列进行替换。通过设置冗余阵列能够实现故障存储单元的替换。

结合一个冗余阵列的不同位置，作为上述示例的一种可能的方式，图 9 为一示例的存储器的结构示意图，如图 9 所示，第 1 存储阵列为冗余阵列，图中填充阴影的存储阵列为冗余阵列，未填充阴影的存储阵列为主存储阵列。

下面结合附图，对冗余阵列为第 1 存储阵列时的电路工作原理进行示例：仍以一次写入的完整数据为 34 组数据进行举例。图 10 为一种情形下的状态示例图，该情形为主存储阵列中未存在故障存储单元。具体的，当不存在故障存储单元时，所述第 1 选择电路不输出第 1 数据 Data_1，所述第 35 选择电路输出所述第 34 数据 Data_34，所述第 i 选择电路输出所述第 i-1 数据。

结合图 10 的示例，第 1 存储阵列为冗余阵列，第 2~35 存储阵列均为主存储阵列。第 1 存储阵列为冗余阵列，故在主存储阵列没有发生故障时，第 1 存储阵列中故障存储单元所在的列不存储数据，此时第 1 选择电路不输出第 1 数据 Data_1，第 2 选择电路~第 35 选择电路分别输出第 1 数据 Data_1~第 34 数据 Data_34，以将第 1 数据 Data_1~第 34 数据 Data_34 分别写入第 2~35 存储阵列（34 个主存储阵列）。

基于上述情形，N 个选择电路中，第 1 选择电路不输出第 1 数据 Data_1，所述第 i 选择电路输出所述第 i-1 数据，第 35 选择电路输出所述第 34 数据 Data_34，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。

图 11 为另一种情形下的状态示例图，该情形为主存储阵列中存在故障存储单元。具体的，当第 n 存储阵列中的故障存储单元所在的列被所述冗余阵列替换时，当根据故障存储单元所在的列的地址向存储阵列写入数据时，所述第 1 选择电路输出所述第 1 数据，所述第 N 选择电路输出所述第 N-1 数据，在 $1 < i < n$ 的范围内，第 i 选择电路输出所述第 i 数据，在 $n < i < N$ 的范围内，第 i 选择电路输出第 i-1 数据，n 为正整数，第 n 选择电路可以不输出数据，能够节约功耗，也可以输出第 n-1 数据和第 n 数据中的任一个，因为故障存储单元所在的列是否存储数据不影响整体数据的存储，只需要在数据读出的时候不从故障存储单元所在的列读出数据即可。

结合图 11 举例来说，某个主存储阵列存在故障存储单元，且该主存储阵列并非最后一个存储阵列，比如，假设图 11 中第 17 存储阵列存在故障存储单元，即 $n=17$ 为例，结合图中的示例，不向第 17 存储阵列的故障存储单元所在的列写入数据，原本需写入第 17 存储阵列的第 16 数据 Data_16 需写入第 16 存储阵列，原本需写入第 16 存储阵列的第 15 数据 Data_15 需写入第 15 存储阵列，...以此类推，直至原本需写入第 2 存储阵列的第 1 数据 Data_1 需写入第 1 存储阵列（冗余阵列），从而实现故障单元替换。相应的，为了按照上述故障修复方案准确写入数据，第 1 选择电路输出第 1 数据 Data_1，以将第 1 数据 Data_1 写入第 1 存储阵列；在 $1 < i < 17$ 的范围内，第 i 选择电路输出第 i 数据，即第 2~16 选择电路分别输出第 2 数据 Data_2~第 16 数据 Data_16，进而将第 2 数据 Data_2~第 16 数据 Data_16 分别写入至第 2~16 存储

阵列；第 17 选择电路不输出数据，以避免向故障存储单元所在的列写入数据；在 $17 < i < 35$ 的范围内，第 i 选择电路输出第 $i-1$ 数据，即第 18~34 选择电路输出第 17 数据 Data_17~ 第 33 数据 Data_33，以将第 17 数据 Data_17~ 第 33 数据 Data_33 分别写入第 18~34 存储阵列；此时第 35 选择电路输出第 34 数据 Data_34，以向第 35 存储阵列写入第 34 数据 Data_34，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。

再具体的，当第 N 存储阵列中的故障存储单元被冗余阵列替换时，第 1 选择电路输出第 1 数据，第 i 选择电路输出第 i 数据，第 N 选择电路不输出数据。即在冗余阵列为首个存储阵列，存在故障被替换的存储阵列为最后一个存储阵列时，所有选择电路均选择向第 i 存储阵列输出第 i 数据。

结合图 12 举例来说，某个主存储阵列存在故障存储单元，且该主存储阵列为最后一个存储阵列，比如，图 12 中第 35 存储阵列存在故障存储单元，结合图 10 的示例，为了执行故障存储单元替换，第 35 存储阵列中故障存储单元所在的列不存储数据，原本需写入第 35 存储阵列的第 34 数据 Data_34 需写入第 34 存储阵列，原本需写入第 34 存储阵列的第 33 数据 Data_33 需写入第 33 存储阵列，...以此类推，直至原本需写入第 2 存储阵列的第 1 数据 Data_1 需写入第 1 存储阵列（冗余阵列），从而实现故障单元替换。相应的，为了实现上述替换策略以准确写入数据，第 1 选择电路输出第 1 数据 Data_1，以将第 1 数据 Data_1 写入第 1 存储阵列；第 i 选择电路输出第 i 数据，即第 2~34 选择电路分别输出第 2 数据 Data_2~第 34 数据 Data_34，以将第 2 数据 Data_2~第 34 数据 Data_34 分别写入至第 2~34 存储阵列；此时第 35 选择电路不输出第 34 数据 Data_34，以避免向故障存储单元所在的列写入数据，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。

仍结合一个冗余阵列的不同位置，作为上述示例的一种可能的方式，图 13 为一示例的存储器的结构示意图，如图 13 所示，第 N 存储阵列为冗余阵列。也就是说，冗余阵列设置在最后一个存储阵列。图中填充阴影的存储阵列为冗余阵列，未填充阴影的存储阵列为主存储阵列。

下面结合附图，对冗余阵列为第 N 存储阵列时的电路工作原理进行示例：仍以一次读取的完整数据为 34 组数据进行举例。图 14 为一种情形下的状态示例图，该情形为主存储阵列中未存在故障存储单元。具体的，当不存在故障存储单元时，第 1 选择电路输出第 1 数据 Data_1，第 35 选择电路不输出第 34 数据 Data_34，第 i 选择电路输出第 i 数据。

结合图 14 的示例，第 35 存储阵列为冗余阵列，第 1~34 存储阵列均为主存储阵列。第 35 存储阵列为冗余阵列，故第 35 存储阵列在主存储阵列没有故障时不写入数据，第 1 数据 Data_1~第 34 数据 Data_34 分别需写入第 1~34 存储阵列（34 个主存储阵列）。相应的，结合图所示，第 1 选择电路输出所述第 1 数据 Data_1，以将第 1 数据 Data_1 写入第 1 存储阵列，第 2~34 选择电路分别输出第 2 数据 Data_2~第 34 数据 Data_34，以将第 2 数据 Data_2~第 34 数据 Data_34 分别写入至第 2~34 存储阵列；此时第 35 选择电路不输出第 34 数据 Data_34。基于上述情形，第 1 选择电路输出第 1 数据 Data_1，第 i 选择电路输出第 i 数据 Data_ i ，第 35 选择电路不输出第 34 数据，从而使得选择电路输出完整的数据，进而存储阵列

能够准确存储选择电路输出的数据，实现数据的准确写入。

图 15 为另一种情形下的状态示例图，该情形为主存储阵列中存在故障存储单元。具体的，当第 n 存储阵列中的故障存储单元所在的列被冗余阵列替换时，第 1 选择电路输出第 1 数据，第 N 选择电路输出第 $N-1$ 数据，在 $1 < i < n$ 的范围内，第 i 选择电路输出第 i 数据，在 $n < i < N$ 的范围内，第 i 选择电路输出第 $i-1$ 数据， n 为止整数。

结合图 15 举例来说，假设某个主存储阵列存在故障存储单元，且该主存储阵列并非首个存储阵列，比如，假设图 15 中第 17 存储阵列存在故障存储单元，即 $n=17$ 为例，结合图 14 的示例，需执行故障存储单元替换，故不向第 17 存储阵列的故障存储单元所在的列写入数据，原本需写入至第 17 存储阵列的第 17 数据 $Data_17$ 需写入至第 18 存储阵列，原本需写入至第 18 存储阵列的第 18 数据 $Data_18$ 需写入至第 19 存储阵列，...以此类推，直至原本需写入至第 34 存储阵列的第 34 数据 $Data_34$ 需写入至第 35 存储阵列（冗余阵列），从而实现故障单元替换。相应的，为了准确写入数据，第 1 选择电路输出所述第 1 数据 $Data_1$ ，以将第 1 数据 $Data_1$ 写入第 1 存储阵列；在 $1 < i < 17$ 的范围内，第 i 选择电路输出第 i 数据，即第 2~16 选择电路分别输出第 2 数据 $Data_2$ ~第 16 数据 $Data_16$ ，以将第 2 数据 $Data_2$ ~第 16 数据 $Data_16$ 分别写入第 2~16 存储阵列；第 17 选择电路不输出数据，以避免向故障存储单元所在的列写入数据；在 $17 < i < 35$ 的范围内，第 i 选择电路输出第 $i-1$ 数据，即第 18~34 选择电路分别输出第 17 数据 $Data_17$ ~第 33 数据 $Data_33$ ，以将第 17 数据 $Data_17$ ~第 33 数据 $Data_33$ 分别写入第 18~34 存储阵列；此时第 35 选择电路输出第 34 数据 $Data_34$ ，以将第 34 数据 $Data_34$ 写入第 35 存储阵列，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。

再具体的，当第 1 存储阵列中的故障存储单元所在的列被冗余阵列替换时，第 1 选择电路不输出第 1 数据，第 i 选择电路输出第 $i-1$ 数据，第 N 选择电路输出第 $N-1$ 数据。即在冗余阵列为最后一个存储阵列，存在故障被替换的存储阵列为首个存储阵列时，所有选择电路均选择输出第 $i-1$ 数据。结合图 16 举例来说，首个存储阵列存在故障存储单元，比如，图 16 中第 1 存储阵列存在故障存储单元，结合图 16 的示例，需执行故障存储单元替换，由于第 1 存储阵列发生故障，故不向第 1 存储阵列中故障存储单元所在的列写入数据，第 1 选择电路不输出第 1 数据 $Data_1$ ，原本需写入第 1 存储阵列的第 1 数据 $Data_1$ 需写入第 2 存储阵列，原本需写入第 2 存储阵列的第 2 数据 $Data_2$ 需写入第 3 存储阵列，...以此类推，直至原本需写入第 34 存储阵列的第 34 数据 $Data_34$ 需写入第 35 存储阵列（冗余阵列），从而实现故障单元替换。相应的，为了准确写入数据，第 1 选择电路不输出第 1 数据 $Data_1$ ，以避免向故障存储单元所在的列写入数据；第 i 选择电路输出第 $i-1$ 数据，即第 2~34 选择电路分别输出第 1 数据 $Data_1$ ~第 33 数据 $Data_33$ ，以将第 1 数据 $Data_1$ ~第 33 数据 $Data_33$ 分别写入第 2~34 存储阵列；第 35 选择电路输出第 34 数据 $Data_34$ ，以将第 34 数据 $Data_34$ 写入第 35 存储阵列，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。

继续结合一个冗余阵列的不同位置，作为上述示例的一种可能的方式，图 17 为一示例的存储器的结

构示例图，如图 17 所示，第 m 存储阵列为冗余阵列， $1 < m < N$ 且 m 为正整数。也就是说，冗余阵列设置在并非首个或最后一个存储阵列。

下面结合附图，对冗余阵列为第 m 存储阵列时的电路工作原理进行示例：仍以一次读取的完整数据为 34 组数据进行举例，可结合前述的图 6 进行示例。图 6 中示例的冗余阵列为第 18 存储阵列，即 $m=18$ 。

- 5 当主存储阵列没有故障存储单元时的状态，如图 6 所示。当不存在故障存储单元时，第 1 选择电路输出所述第 1 数据，第 N 选择电路输出所述第 $N-1$ 数据，第 m 选择电路不输出数据，且在 $1 < i < m$ 的范围内，第 i 选择电路输出所述第 i 数据，在 $m < i < N$ 的范围内，第 i 选择电路输出所述第 $i-1$ 数据。结合图 6 所示，当不存在故障存储单元时，第 1 选择电路输出第 1 数据 Data_1，以将第 1 数据 Data_1 写入第 1 存储阵列，在 $1 < i < 18$ 的范围内，第 i 选择电路选择输出第 i 数据，即第 2~17 选择电路输出第 2 数据 Data_2~第 17 数据 Data_17，以将第 2 数据 Data_2~第 17 数据 Data_17 分别写入第 2~17 存储阵列；由于冗余阵列（第 18 存储阵列）在主存储阵列正常时无需存储数据，故第 18 选择电路不输出数据；在 $18 < i < 35$ 的范围内，第 i 选择电路选择输出第 $i-1$ 数据，即第 19~34 选择电路分别输出第 18 数据 Data_18~第 33 数据 Data_33，以将第 18 数据 Data_18~第 33 数据 Data_33 分别写入第 19~34 存储阵列；此时第 35 选择电路输出第 34 数据 Data_34，以将第 34 数据 Data_34 写入第 35 存储阵列，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。
- 10
- 15

当主存储阵列中存在故障存储单元时，图 18~图 21 分别为不同情形下的状态示例图。在一个示例中，当第 n 存储阵列中的故障存储单元被冗余阵列替换时，第 1 选择电路输出第 1 数据，第 N 选择电路输出第 $N-1$ 数据，第 n 选择电路不输出数据，在 $1 < i < n$ 的范围内，第 i 选择电路输出第 i 数据，在 $n < i < N$ 的范围内，第 i 选择电路输出第 $i-1$ 数据， $n < m$ 且 n 为正整数。

- 20 结合图 18 所示，假设发生故障的存储阵列为第 1~17 存储阵列中的某个存储阵列，比如，为第 15 存储阵列，即 $n=15$ 。在一个示例中，第 15 存储阵列的故障存储单元所在的列不再存储数据，原本需写入第 15 存储阵列的第 15 数据 Data_15 需写入第 16 存储阵列，原本需写入第 16 存储阵列的第 16 数据 Data_16 需写入第 17 存储阵列，原本需写入第 17 存储阵列的第 17 数据 Data_17 需写入第 18 存储阵列（冗余阵列），完成故障替换。相应的，第 1 选择电路输出第 1 数据 Data_1，以第 1 数据将 Data_1 写入第 1 存储阵列；在 $1 < i < 15$ 的范围内，第 i 选择电路输出第 i 数据，即第 2~14 选择电路分别输出第 2 数据 Data_2~第 14 数据 Data_14，以将第 2 数据 Data_2~第 14 数据 Data_14 分别写入第 2~14 存储阵列；第 15 选择电路不输出数据，以避免向故障存储单元所在的列写入数据；在 $15 < i < 35$ 的范围内，第 i 选择电路输出第 $i-1$ 数据，即第 16~34 选择电路分别输出第 15 数据 Data_15~第 33 数据 Data_33，以将第 15 数据 Data_15~第 33 数据 Data_33 分别写入第 16~34 存储阵列；此时第 35 选择电路输出第 34 数据 Data_34，以将第 34 数据 Data_34 写入第 35 存储阵列，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。
- 25
- 30

在一个示例中，当第 k 存储阵列中的故障存储单元被冗余阵列替换时，第 1 选择电路输出第 1 数据，

第 N 选择电路输出第 $N-1$ 数据，第 k 选择电路不输出数据，在 $1 < i < k$ 的范围内，第 i 选择电路输出第 i 数据，在 $k < i < N$ 的范围内，第 i 选择电路输出第 $i-1$ 数据， $m < k < N$ 且 k 为正整数。

结合图 19 所示，假设发生故障的存储阵列列为第 19~35 存储阵列中的某个存储阵列，比如，为第 21 存储阵列，即 $k=21$ 。在一个示例中，第 21 存储阵列不再存储数据，原本需写入第 21 存储阵列的第 20 数据 $Data_20$ 需写入第 20 存储阵列，原本需写入第 20 存储阵列的第 19 数据 $Data_19$ 需写入第 19 存储阵列，原本需写入第 19 存储阵列的第 18 数据 $Data_18$ 需写入第 18 存储阵列（冗余阵列），完成故障替换。相应的，第 1 选择电路输出第 1 数据 $Data_1$ ，以将第 1 数据 $Data_1$ 写入第 1 存储阵列； $1 < i < 21$ 的范围内，第 i 选择电路输出第 i 数据，即第 2~20 选择电路分别输出第 2 数据 $Data_2$ ~第 20 数据 $Data_20$ ，以将第 2 数据 $Data_2$ ~第 20 数据 $Data_20$ 分别写入第 2~20 存储阵列；第 21 选择电路不输出数据，以避免向故障存储阵列所在的列写入数据；在 $21 < i < 35$ 的范围内，第 i 选择电路输出第 $i-1$ 数据，即第 22~34 选择电路分别输出第 21 数据 $Data_21$ ~第 33 数据 $Data_33$ ，以将第 21 数据 $Data_21$ ~第 33 数据 $Data_33$ 分别写入第 22~34 存储阵列；第 35 选择电路输出第 34 数据 $Data_34$ ，以将第 34 数据 $Data_34$ 写入第 35 存储阵列，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。

在一个示例中，当第 1 存储阵列中的故障存储单元被冗余阵列替换时，第 1 选择电路不输出第 1 数据，第 N 选择电路输出第 $N-1$ 数据，第 i 选择电路输出第 $i-1$ 数据。

结合图 20 所示，假设发生故障的存储阵列列为第 1 存储阵列。在一个示例中，第 1 存储阵列中故障的存储单元所在的列不再存储数据，原本需写入第 1 存储阵列的第 1 数据 $Data_1$ 需写入第 2 存储阵列，原本需写入第 2 存储阵列的第 2 数据 $Data_2$ 需写入第 3 存储阵列，以此类推，直至原本需写入第 17 存储阵列的第 17 数据 $Data_17$ 需写入第 18 存储阵列（冗余阵列），完成故障替换。相应的，第 1 选择电路不输出第 1 数据 $Data_1$ ，以避免向故障存储单元所在的列写入数据；第 i 选择电路输出第 $i-1$ 数据，即第 2~34 选择电路分别输出第 1 数据 $Data_1$ ~第 33 数据 $Data_33$ ，以将第 1 数据 $Data_1$ ~第 33 数据 $Data_33$ 分别写入第 2~34 存储阵列；第 35 选择电路输出第 34 数据 $Data_34$ ，以将第 34 数据 $Data_34$ 写入第 35 存储阵列，从而使得选择电路输出完整的数据，进而存储阵列能够准确存储选择电路输出的数据，实现数据的准确写入。

在一个示例中，当第 N 存储阵列中的故障存储单元被冗余阵列替换时，第 1 选择电路输出第 1 数据，第 N 选择电路不输出数据，第 i 选择电路输出第 i 数据。

结合图 21 所示，假设发生故障的存储阵列列为第 35 存储阵列。在一个示例中，第 35 存储阵列故障存储单元所在的列不再存储数据，原本需写入第 35 存储阵列的第 34 数据 $Data_34$ 需写入第 34 存储阵列，原本需写入第 34 存储阵列的第 33 数据 $Data_33$ 需写入第 33 存储阵列，以此类推，直至原本需写入第 19 存储阵列的第 18 数据 $Data_18$ 需写入第 18 存储阵列（冗余阵列），完成故障替换。相应的，第 1 选择电路输出第 1 数据 $Data_1$ ，以将第 1 数据 $Data_1$ 写入第 1 存储阵列；第 i 选择电路输出第 i 数据，即第 2~34

选择电路分别输出第 2 数据 Data_2~第 34 数据 Data_34, 以将第 2 数据 Data_2~第 34 数据 Data_34 写入第 2~34 存储阵列; 第 35 选择电路不输出第 34 数据 Data_34, 以避免向故障存储单元所在的列写入数据, 从而使得选择电路输出完整的数据, 进而存储阵列能够准确存储选择电路输出的数据, 实现数据的准确写入。

5 上述示例结合冗余阵列的数量为一个的情况, 针对冗余阵列设置在不同位置下, 未存在和存在故障存储单元的不同情形进行了示例说明, 可以理解, 通过控制选择电路选择输出相应的数据, 能够在不同示例的情形下均可实现数据的准确写入。

此外, 在另一个示例中, 冗余阵列的数量为多个且所述冗余阵列不相邻。具体的, 当设置有多个冗余阵列时, 可以支持对多个主存储阵列中位置相同的列同时故障时的替换。举例来说, 假设第 7 存储阵列和第 15 存储阵列为冗余阵列, 则可使用第 7 存储阵列中的冗余列替换第 1 存储阵列至第 6 存储阵列中的故障存储单元所在的列, 使用第 15 存储阵列中的冗余列替换第 16 存储阵列至第 35 存储阵列中的故障存储单元所在的列。针对相邻两个冗余阵列之间的主存储阵列, 比如, 第 8 存储阵列至第 14 存储阵列, 可以在设计时进行划分, 例如, 将第 8 存储阵列至第 9 存储阵列划分至第 7 存储阵列负责故障替换, 将第 10 存储阵列至第 14 存储阵列划分至第 15 存储阵列负责故障替换。执行故障替换和选择电路的控制机制与前述方案类似。通过设置多个冗余阵列, 可以支持多个主存储阵列中位置相同的列同时故障的场景, 提高故障修复的可靠性。

本公开实施例提供的存储器, 包括依次排列的 N 个存储阵列, 其中包含至少一个主存储阵列和至少一个冗余阵列, 冗余阵列用于提供主存储阵列的故障单元替换, 以及 N 个选择电路, 每个选择电路接收位序对应的数据以及上一相邻数据, 每个选择电路响应于自身的选择信号, 通过选择输出相应的信号, 实现故障替换场景下的数据处理。本方案的存储器通过设置多个选择电路, 根据存储器的故障单元替换情况, 控制选择电路输出相应的数据, 从而实现故障替换下的数据处理, 保证数据处理的准确性和可靠性。

本领域技术人员在考虑说明书及实践这里公开的发明后, 将容易想到本公开的其它实施方案。本公开旨在涵盖本公开的任何变型、用途或者适应性变化, 这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的, 本公开的真正范围和精神由下面的权利要求书指出。

应当理解的是, 本公开并不局限于上面已经描述并在附图中示出的精确结构, 并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求书来限制。

权 利 要 求 书

1、一种存储器，包括：

依次排列的 N 个存储阵列，所述 N 个存储阵列分别记为第 1 存储阵列，第 2 存储阵列， $\dots$ ，第 i 存储阵列， $\dots$ ，第 N 存储阵列，其中至少一个所述存储阵列为冗余阵列，且至少一个所述存储阵列为主存储阵列，所述冗余阵列用于替换所述主存储阵列中的故障存储单元， $1 < i < N$ ， $2 \leq N$ 且 i 和 N 为正整数；

N 个选择电路，分别记为第 1 选择电路，第 2 选择电路， $\dots$ ，第 i 选择电路， $\dots$ ，第 N 选择电路，所述 N 个选择电路接收 $N-1$ 组数据，分别记为第 1 数据，第 2 数据， $\dots$ ，第 i 数据， $\dots$ ，第 $N-1$ 数据；

其中，所述第 1 选择电路接收所述第 1 数据，用于根据第 1 选择信号向所述第 1 存储阵列输出或不输出所述第 1 数据；所述第 N 选择电路接收所述第 $N-1$ 数据，用于根据第 N 选择信号向所述第 N 存储阵列输出或不输出所述第 $N-1$ 数据；第 i 选择电路接收所述第 $i-1$ 数据和所述第 i 数据，且所述第 i 选择电路用于根据第 i 选择信号向所述第 i 存储阵列输出所述第 $i-1$ 数据或所述第 i 数据。

2、根据权利要求 1 所述的存储器，其中，所述存储阵列和所述冗余阵列均包括 M 个列，分别记为第 1 列，第 2 列， $\dots$ ，第 j 列， $\dots$ ，第 M 列，所述冗余阵列的第 j 列用于替换任意一个所述主存储阵列的第 j 列， $1 \leq j \leq M$ ，且 j 和 M 为正整数。

3、根据权利要求 2 所述的存储器，其中，所述选择电路包括：

多个子选择电路，所述第 1 选择电路的每一所述子选择电路接收第 1 数据中的 1bit 数据，所述第 i 选择电路的每一所述子选择电路分别接收所述第 $i-1$ 数据和所述第 i 数据中的 1bit 数据，所述第 N 选择电路的每一所述子选择电路接收第 $N-1$ 数据中的 1bit 数据。

4、根据权利要求 3 所述的存储器，其中，所述子选择电路包括数据选择器，所述第 1 选择电路的所述数据选择器的第一数据输入端接收所述第 1 数据中的 1bit 数据，所述第 1 选择电路的所述数据选择器的选择端接收所述第 1 选择信号，所述第 i 选择电路的所述数据选择器的第一数据输入端接收所述第 $i-1$ 数据中的 1bit 数据，所述第 i 选择电路的所述数据选择器的第二数据输入端接收所述第 i 数据中的 1bit 数据，所述第 i 选择电路的所述数据选择器的选择端接收所述第 i 选择信号，所述第 N 选择电路的所述数据选择器的第一数据输入端接收所述第 $N-1$ 数据中的 1bit 数据，所述第 N 选择电路的所述数据选择器的选择端接收所述第 N 选择信号。

5、根据权利要求 1 所述的存储器，其中，所述冗余阵列的数量为一个。

6、根据权利要求 5 所述的存储器，其中，所述第 1 存储阵列为所述冗余阵列。

7、根据权利要求 6 所述的存储器，其中，当不存在故障存储单元时，所述第 1 选择电路不输出第 1 数据，所述第 N 选择电路输出所述第 $N-1$ 数据，所述第 i 选择电路输出所述第 $i-1$ 数据；

当第 n 存储阵列中的故障存储单元被所述冗余阵列替换时，所述第 1 选择电路输出所述第 1 数据，所述第 N 选择电路输出所述第 $N-1$ 数据，在 $1 < i < n$ 的范围内，第 i 选择电路输出所述第 i 数据，在 $n < i < N$ 的范围内，第 i 选择电路输出第 $i-1$ 数据， n 为正整数；

当所述第 N 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路输出所述第 1 数据, 所述第 i 选择电路输出所述第 i 数据, 所述第 N 选择电路不输出第 $N-1$ 数据。

8、根据权利要求 5 所述的存储器, 其中, 所述第 N 存储阵列为所述冗余阵列。

9、根据权利要求 8 所述的存储器, 其中, 当不存在故障存储单元时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路不输出第 $N-1$ 数据, 所述第 i 选择电路输出所述第 i 数据;

当第 n 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路输出所述第 $N-1$ 数据, 在 $1 < i < n$ 的范围内, 第 i 选择电路输出所述第 i 数据, 在 $n < i < N$ 的范围内, 第 i 选择电路输出所述第 $i-1$ 数据, n 为正整数;

当所述第 1 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路不输出第 1 数据, 所述第 i 选择电路输出所述第 $i-1$ 数据, 所述第 N 选择电路输出所述第 $N-1$ 数据。

10、根据权利要求 5 所述的存储器, 其中, 第 m 存储阵列为所述冗余阵列, $1 < m < N$ 且 m 为正整数。

11、根据权利要求 10 所述的存储器, 其中, 当不存在故障存储单元时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路输出所述第 $N-1$ 数据, 且在 $1 < i < m$ 的范围内, 所述第 i 选择电路输出所述第 i 数据, 在 $m < i < N$ 的范围内, 所述第 i 选择电路输出所述第 $i-1$ 数据;

当第 n 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路输出所述第 $N-1$ 数据, 在 $1 < i < n$ 的范围内, 所述第 i 选择电路输出所述第 i 数据, 在 $n < i < N$ 的范围内, 第 i 选择电路输出第 $i-1$ 数据, $n < m$ 且 n 为正整数;

当第 k 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路输出所述第 $N-1$ 数据, 在 $1 < i < k$ 的范围内, 所述第 i 选择电路输出所述第 i 数据, 在 $k < i < N$ 的范围内, 第 i 选择电路输出第 $i-1$ 数据, $m < k < N$ 且 k 为正整数;

当第 1 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路不输出第 1 数据, 所述第 N 选择电路输出所述第 $N-1$ 数据, 所述第 i 选择电路输出所述第 $i-1$ 数据;

当第 N 存储阵列中的故障存储单元被所述冗余阵列替换时, 所述第 1 选择电路输出所述第 1 数据, 所述第 N 选择电路不输出第 $N-1$ 数据, 所述第 i 选择电路输出所述第 i 数据。

12、根据权利要求 1 所述的存储器, 其中, 所述冗余阵列的数量为多个且所述冗余阵列不相邻。

13、根据权利要求 1-12 任一项所述的存储器, 其中, 至少一个所述主存储阵列为校验码存储阵列, 所述校验码存储阵列用于存储校验码数据。

14、根据权利要求 13 所述的存储器, 其中, 所述存储器还包括: 校验模块;

所述校验模块与所述 N 个选择电路连接, 所述 N 个选择电路接收的数据包括待写入数据和校验码数据, 所述校验模块用于根据所述待写入数据, 生成所述校验码数据。

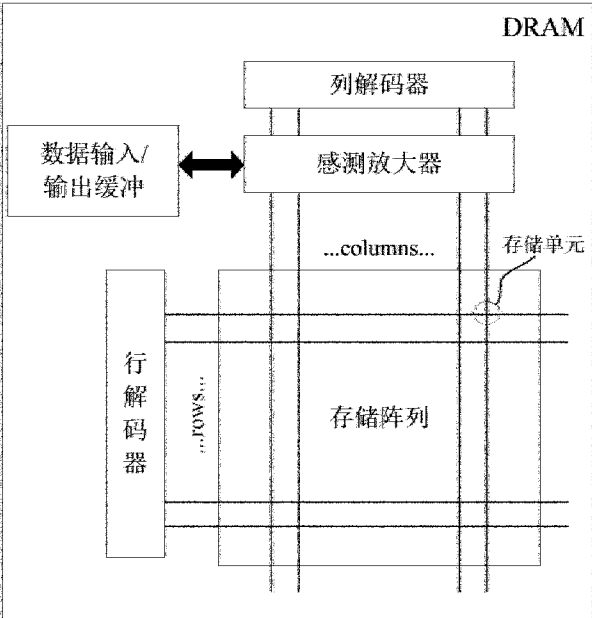


图 1

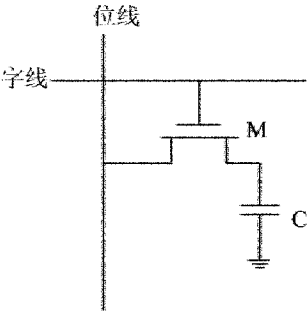


图 2

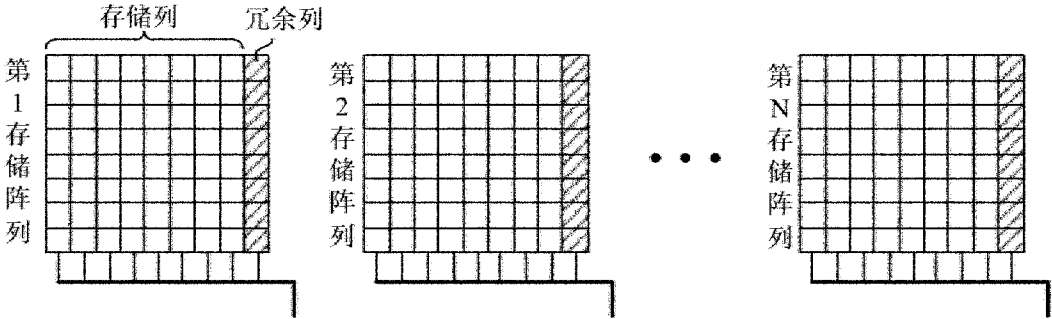


图 3

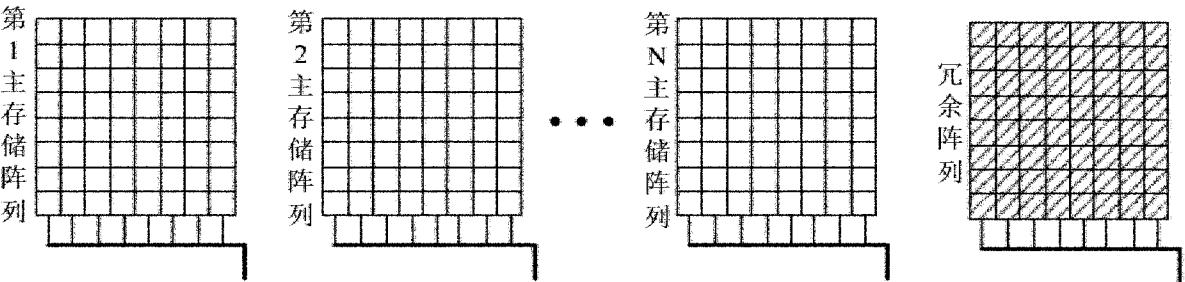


图 4

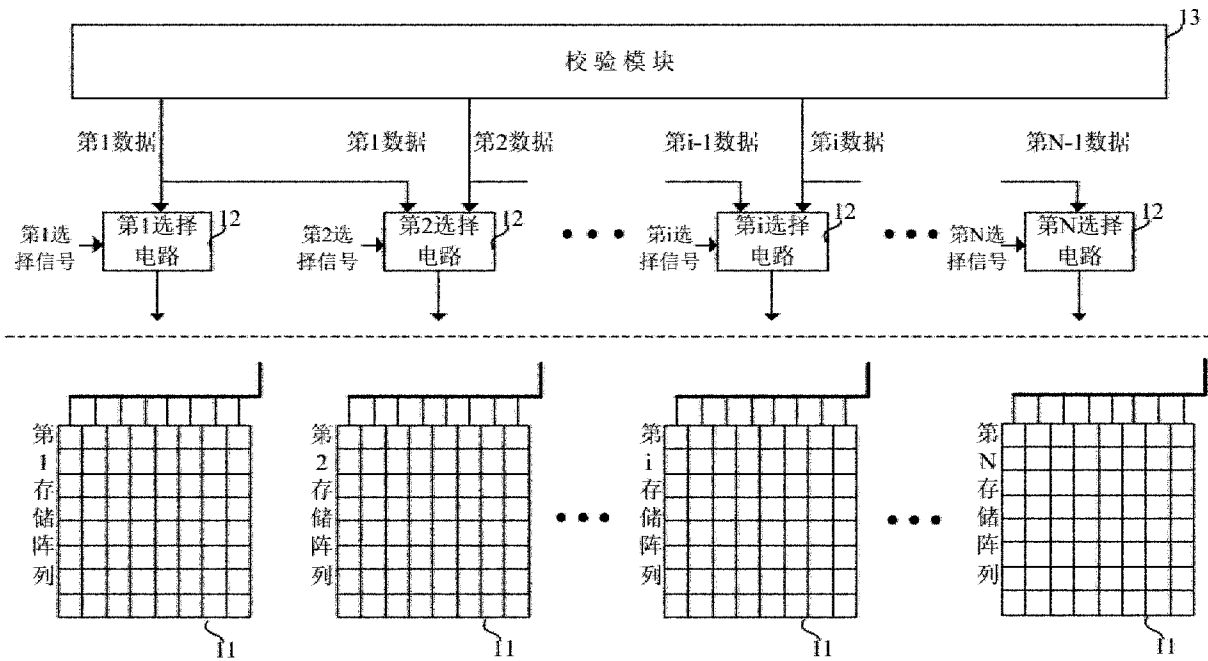


图 5

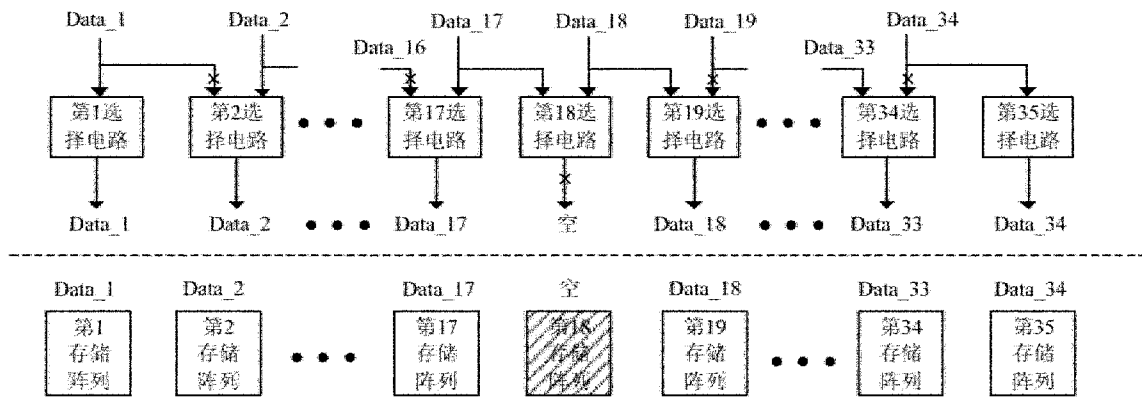


图 6

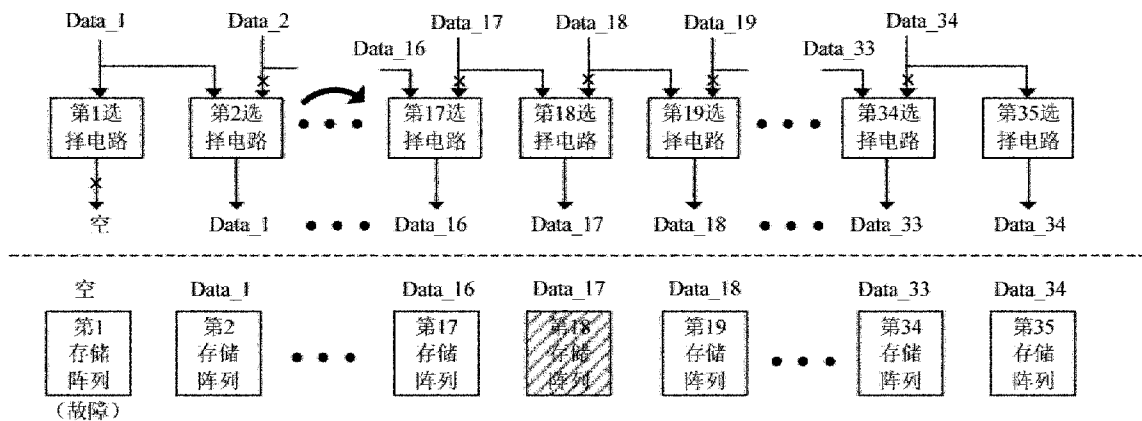


图 7

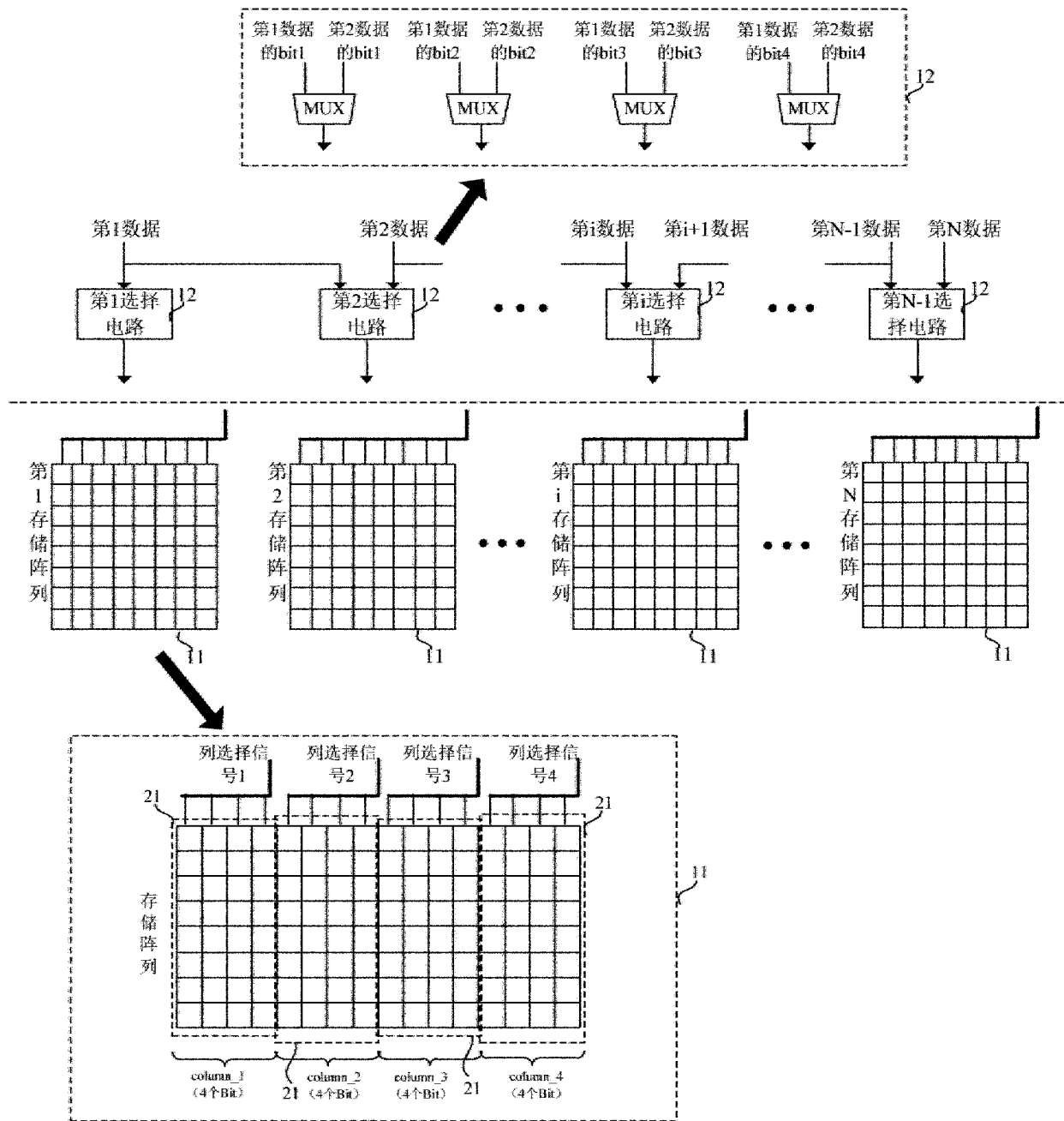
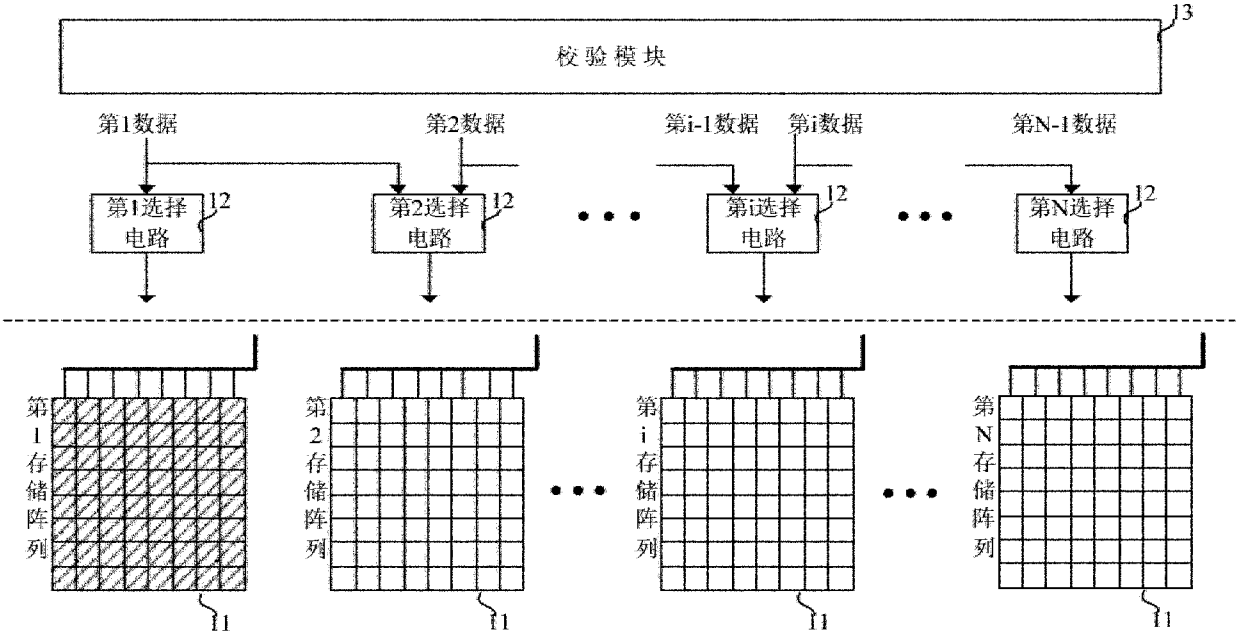
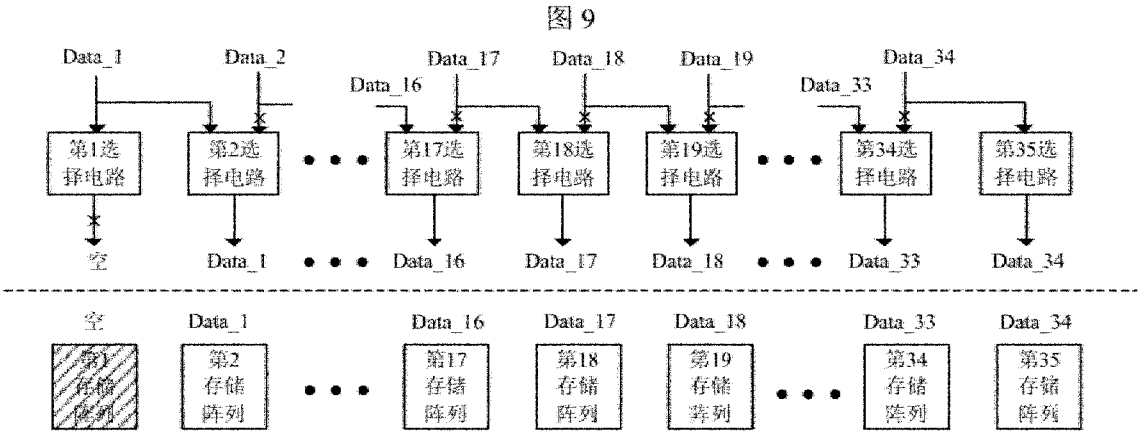
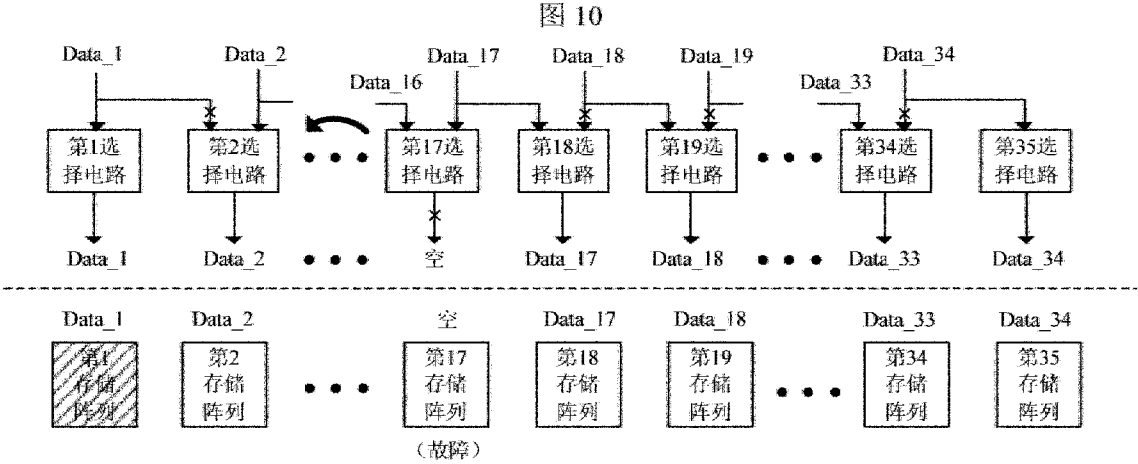


图 8



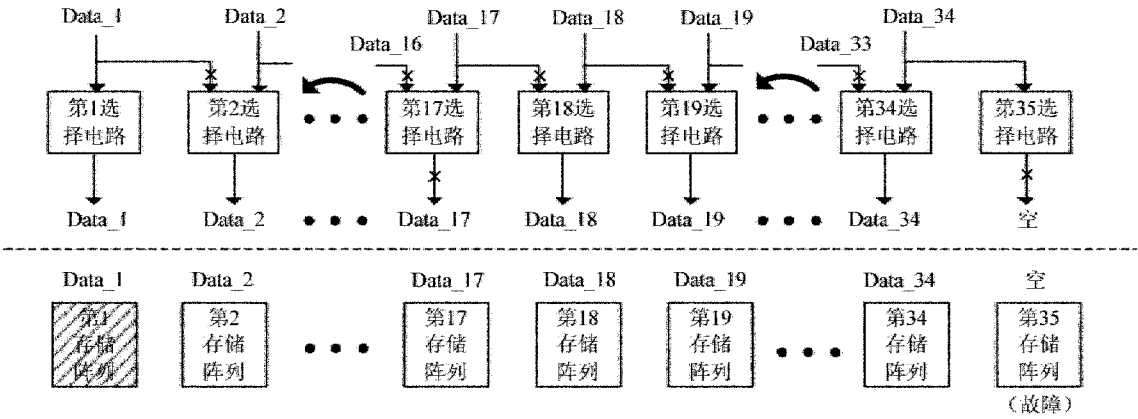


图 12

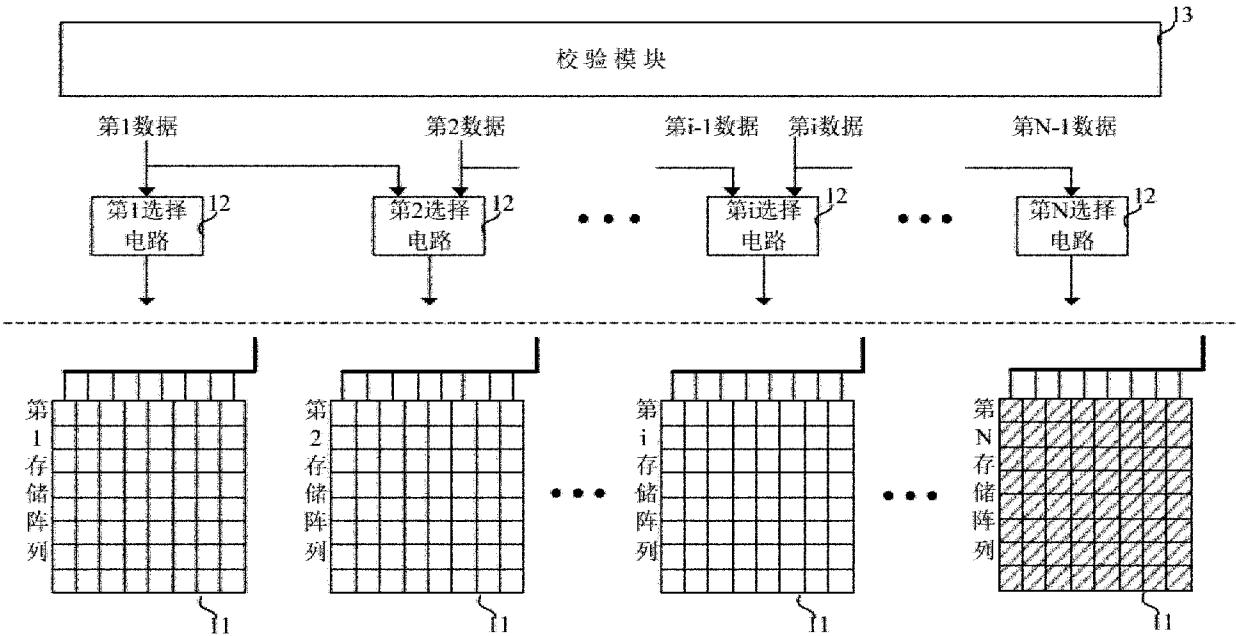


图 13

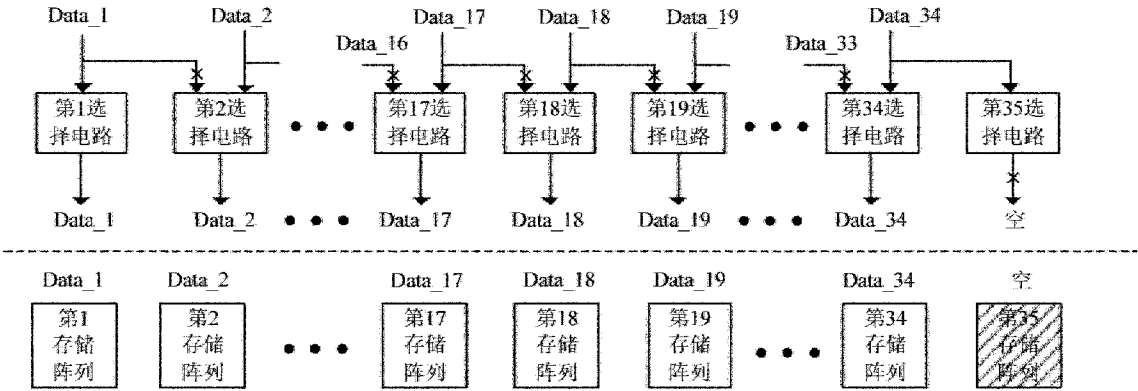


图 14

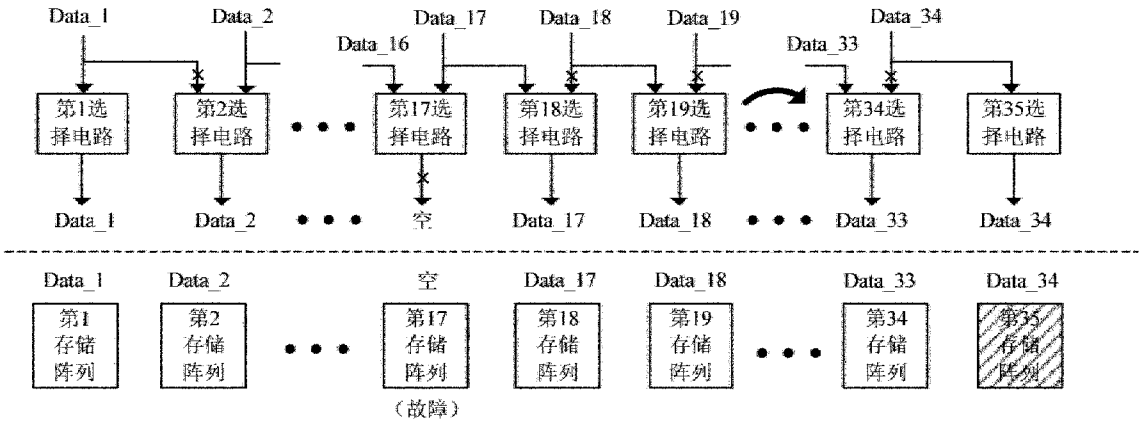


图 15

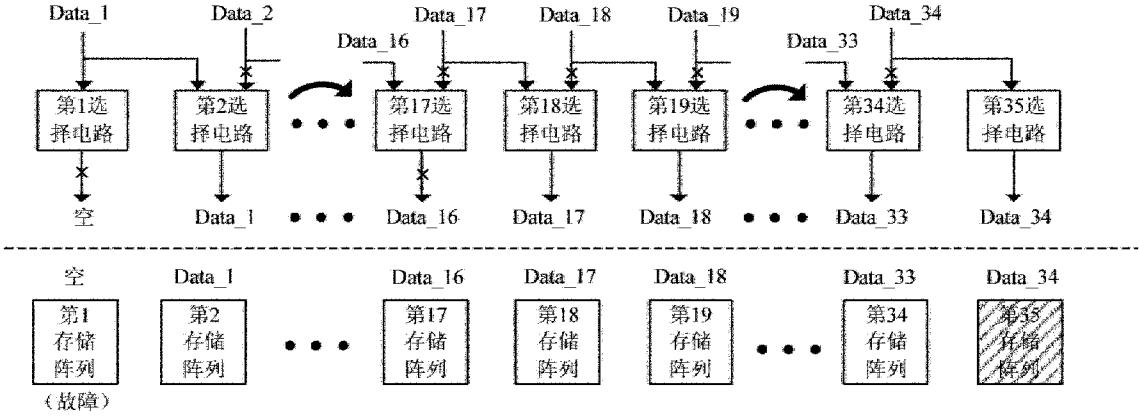


图 16

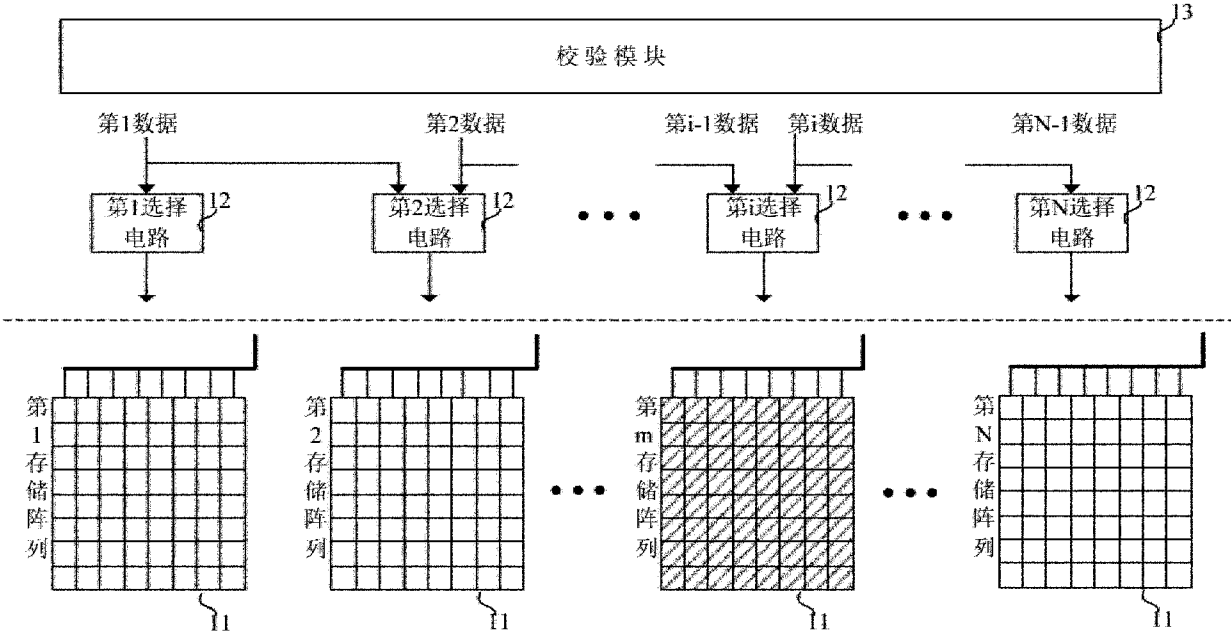


图 17

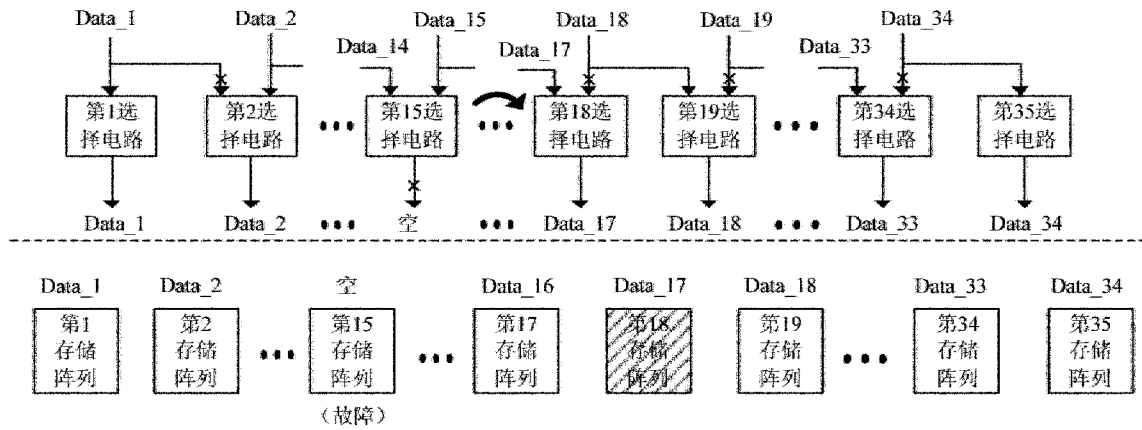


图 18

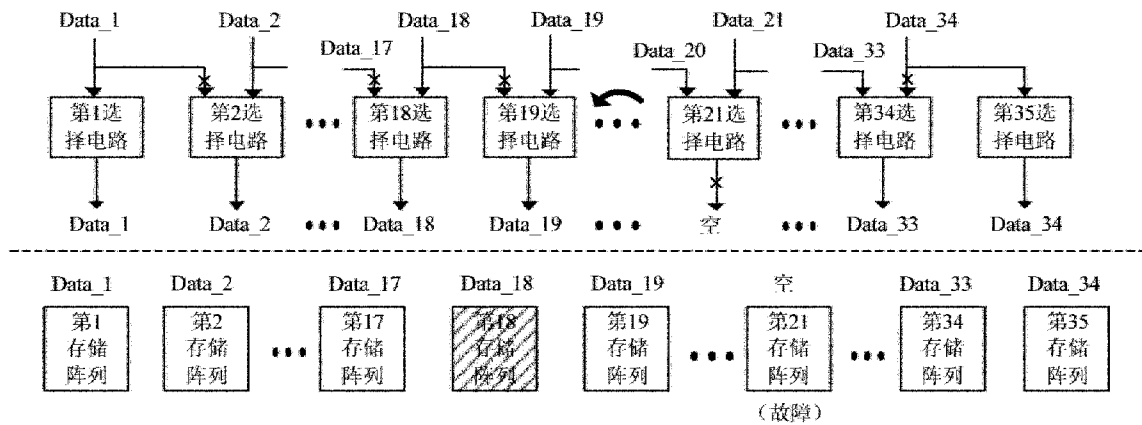


图 19

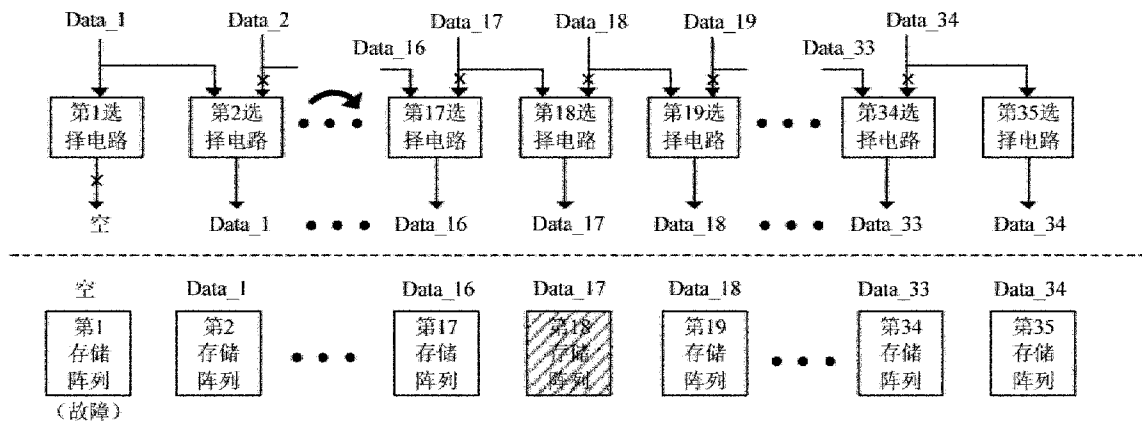


图 20

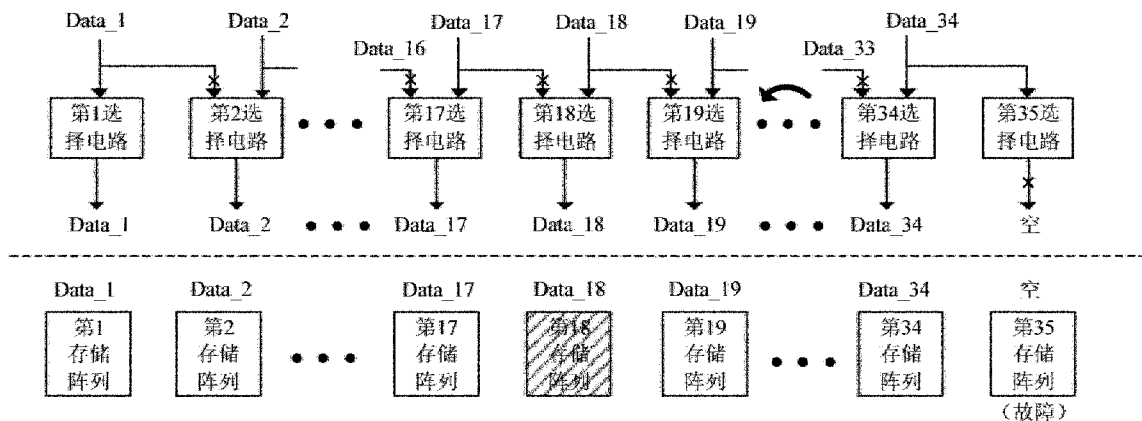


图 21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/076133

A. CLASSIFICATION OF SUBJECT MATTER G11C29/00(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC:G11C Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; DWPI; VEN; USTXT; WOTXT; EPTXT; CNKI: 存储器, 存储阵列, 冗余阵列, 替换, 故障, 选择电路, memory, storage array, redundancy array, replacement, failure, select circuit		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6320800 B1 (KABUSHIKI KAISHA TOSHIBA) 20 November 2001 (2001-11-20) description, columns 8-15, and figures 2-7 and 22	1-14
X	US 5438546 A (INTEL CORP.) 01 August 1995 (1995-08-01) description, columns 3-12, and figures 2-5	1-14
A	CN 102165533 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 24 August 2011 (2011-08-24) entire document	1-14
A	CN 106710635 A (MACRONIX INTERNATIONAL CO., LTD.) 24 May 2017 (2017-05-24) entire document	1-14
A	US 2018349222 A1 (RENESAS ELECTRONICS CORPORATION) 06 December 2018 (2018-12-06) entire document	1-14
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </div> </div>		
Date of the actual completion of the international search <div style="text-align: center; font-weight: bold;">18 July 2023</div>		Date of mailing of the international search report <div style="text-align: center; font-weight: bold;">18 July 2023</div>
Name and mailing address of the ISA/CN <div style="text-align: center; font-weight: bold;"> China National Intellectual Property Administration (ISA/ CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 </div>		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/076133

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	6320800	B1	20 November 2001	JP	2001052495	A	23 February 2001
				US	2002012282	A1	31 January 2002
				US	6532181	B2	11 March 2003
				KR	20010069203	A	23 July 2001
				KR	100351596	B1	11 September 2002
				EP	1058192	A2	06 December 2000
				EP	1058192	A3	10 January 2001
				EP	1058192	B1	01 August 2007
				DE	60035736	D1	13 September 2007
				DE	60035736	T2	30 April 2008
				JP	2008016183	A	24 January 2008
				JP	4950816	B2	13 June 2012
US	5438546	A	01 August 1995	None			
CN	102165533	A	24 August 2011	TW	201030761	A	16 August 2010
				TWI	523024	B	21 February 2016
				JP	2010108585	A	13 May 2010
				JP	5366734	B2	11 December 2013
				WO	2010038630	A1	08 April 2010
				US	2010080074	A1	01 April 2010
CN	106710635	A	24 May 2017	US	9449720	B1	20 September 2016
				TWI	582782	B	11 May 2017
				TW	201719670	A	01 June 2017
US	2018349222	A1	06 December 2018	US	10552261	B2	04 February 2020

国际检索报告

国际申请号

PCT/CN2023/076133

A. 主题的分类 G11C29/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) IPC: G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; CNTXT; DWPI; VEN; USTXT; WOTXT; EPTXT; CNKI: 存储器, 存储阵列, 冗余阵列, 替换, 故障, 选择电路, memory, storage array, redundancy array, replacement, failure, select circuit		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 6320800 B1 (KABUSHIKI KAISHA TOSHIBA) 2001年11月20日 (2001 - 11 - 20) 说明书第8-15列, 图2-7、22	1-14
X	US 5438546 A (INTEL CORPORATION) 1995年8月1日 (1995 - 08 - 01) 说明书第3-12栏, 图2-5	1-14
A	CN 102165533 A (株式会社半导体能源研究所) 2011年8月24日 (2011 - 08 - 24) 全文	1-14
A	CN 106710635 A (旺宏电子股份有限公司) 2017年5月24日 (2017 - 05 - 24) 全文	1-14
A	US 2018349222 A1 (RENESAS ELECTRONICS CORPORATION) 2018年12月6日 (2018 - 12 - 06) 全文	1-14
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
<p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>		
国际检索实际完成的日期 2023年7月18日		国际检索报告邮寄日期 2023年7月18日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 李艳丽 电话号码 (+86) 020-28958508

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/076133

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	6320800	B1	2001年11月20日	JP	2001052495	A	2001年2月23日
				US	2002012282	A1	2002年1月31日
				US	6532181	B2	2003年3月11日
				KR	20010069203	A	2001年7月23日
				KR	100351596	B1	2002年9月11日
				EP	1058192	A2	2000年12月6日
				EP	1058192	A3	2001年1月10日
				EP	1058192	B1	2007年8月1日
				DE	60035736	D1	2007年9月13日
				DE	60035736	T2	2008年4月30日
				JP	2008016183	A	2008年1月24日
				JP	4950816	B2	2012年6月13日
US	5438546	A	1995年8月1日	无			
CN	102165533	A	2011年8月24日	TW	201030761	A	2010年8月16日
				TWI	523024	B	2016年2月21日
				JP	2010108585	A	2010年5月13日
				JP	5366734	B2	2013年12月11日
				WO	2010038630	A1	2010年4月8日
				US	2010080074	A1	2010年4月1日
CN	106710635	A	2017年5月24日	US	9449720	B1	2016年9月20日
				TWI	582782	B	2017年5月11日
				TW	201719670	A	2017年6月1日
US	2018349222	A1	2018年12月6日	US	10552261	B2	2020年2月4日