

双面影印

公告本

申請日期	88. 8. 15
案 號	881. 6102
類 別	H01J 9/00, G09G 3/28

A4
C4

445493

100~150

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	陽極柱輝區交流電漿顯示器
	英 文	POSITIVE COLUMN AC PLASMA DISPLAY
二、發明人	姓 名	賴瑞 F. 偉柏
	國 籍	美 國
	住、居所	美國紐約市新帕茲·艾米巷1號
三、申請人	姓 名 (名稱)	日商·松下電器產業股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	森下洋一

裝

訂

線

445493

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

美國(地區) 申請專利，申請日期： 案號：，☒有 ☐無主張優先權
1998,9,23 09/159,211
1999,5,12 09/310,446

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明領域

本發明係關於交流電漿顯示面板，特別係關於大半光係發射自氣體放電之陽極柱，結果具有大致改良之影像亮度及發光效率之交流電漿顯示面板。

發明背景

先前技術交流電漿顯示面板(PDP)其大半光係發射自氣體放電之陰極輝區。如業界人士已知，氣體放電具有兩個分立發光區，亦即陰極輝其中存在有過量帶正電荷離子，及陽極柱，其中電漿證實帶正電荷離子與電子間的平衡。

PDP子像素位置係使用螢光燈的相同基本原理工作。特別PDP子像素使用氣體放電產生的紫外光而激勵可見光發射性磷。螢光燈使用氣體放電之陽極柱區來產生大半光，原因為陽極柱具有比陰極輝遠更高的發光效率。

陽極柱先前未曾成功地應用於交流電漿顯示面板，原因為小型子像素位置之實體空間有限，不易有足夠空間容納陽極柱通常較長的維度。

陽極柱及陰極輝

以定量術語表示，氣體放電功率平分為兩大區：陽極柱及陰極輝。陽極柱之特徵為電子及離子密度相等其具有極高密度可屏蔽大半外加電場。於陽極柱，高密度高導電電子及離子移動快速而抵消任何高場區。

陰極輝的特性為陽離子含量極高及陰電子含量極低。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

高密度正電荷表示陰極輝之電場極高。電場極高許可大半跨越氣體外加的電位跨越陰極輝下降。由於陽極柱及陰極輝係以串聯電「連結」，所有流經氣體放電的電流通過陽極柱及陰極輝。為了測定於指定放電區之瞬間耗散功率，僅需將放電電流乘以跨越該區的電壓降。

陽極柱及陰極輝具有顯著不同的發光效率。通常陽極柱極有效，而陰極輝無效。此項差異的基本理由在於陽極柱之大半電流流動係來自於電子，而陰極輝之大半電流流動係來自於離子。電子吸收的能量可用來有效激勵原子，被激勵的原子最終發光。另外，由離子吸收的能量最終移轉至氣體作為動能而單純加熱氣體。

如前述，陽極柱具有約略等數電子及離子。由於電子具有粗略100倍離子的活動性，故比較陽極柱的離子可導通100倍電流。由於陽極柱的大半電流流動為電子，故大體全部於陽極柱耗散的功率係成為電子的動能。若電場具有正確低值，則動能可以高於80%效率移轉至激勵原子。大體全部被激勵的原子皆產生紫外光光子，其可進一步激勵磷而發射預定的可見光。

陰極輝具有大量離子及遠較少數電子。即使電子的活動性比離子大兩級幅度，離子之密度高，因此於陰極輝耗散的大半功率成為離子的動能。但於陰極輝之電場極高，因此電子獲得比陽極柱之較低場遠更高的動能。電子動能較高表示電子可激勵且游離原子。用來游離原子的電子能

五、發明說明(3)

形成離子其流至陰極及最終於陰極表面被中和。

雖然電子衝擊之原子游離為造成氣體放電導電所需的離子及電子來源，但不會產生任何紫外光光子。因此陰極輝的高電場許可大量衝擊游離，結果導致電子動能轉移至紫外光光子之遠較低的轉變效率。此種紫外光轉變效率比較陽極柱的80%僅為30%。

已知陽極柱具有80%總效率，陰極輝具有15%效率。此項效率差異指示為何於陽極柱比較於陰極輝遠更需要耗散能量之故，且為螢光燈設計成使用陽極柱的理由，以及螢光燈可達成每瓦80流明的高發光效率的原因。為了達成此項效果，螢光燈的設計於高度有效陽極柱獲得最大功率耗散，而於低效率的陰極輝將功率耗散減至最低。

大半螢光燈於陰極輝減少耗散之方式係使用經加熱的陰極，其可放出大量電子用來驅動氣體放電。此種電子來源可減少跨越陰極輝的壓降達一級幅度，亦即對等電流而言可減少陰極輝的功率耗散達一級幅度。此項減少許可於遠更有效的陽極柱達成較大耗散。使用此種構想於PDP需要對顯示器中數十萬個子像素個別需要一個加熱陰極。由於此種配置不合實際，故於電漿顯示器的陰極輝難以減少功率耗散。

提高螢光燈效率之第二策略係增加陽極柱程度。理由在於通常螢光燈為長管。陽極柱可被模式化成為電阻器。因此陽極柱愈長，則電阻愈大且功率耗散愈高。陽極柱的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

性質許可其容易於長度方向伸展，只要有足夠電壓可建立預定跨越電阻的電流即可。如此表示對恆定電流而言，隨著陽極柱的變長，跨越陽極柱的電壓需成比例地增高。進一步陽極柱愈長，則陽極柱之功率耗散與陰極輝之功率耗散之比更為有利。

雖然使用長形陽極柱使氣體放電更為有效的原理為眾所周知，但未曾成功地應用於PDP。一項理由為長久以來認為陽極柱的長形性質對電漿顯示器極小的子像素而言不合實際，因此觀察者敘述大半來自PDP之光線係出自於陰極輝。

第1圖顯示美國專利5,745,086之先前技術彩色AC PDP。此種構造使用紫外光，通常係由氣體放電產生來選擇性激勵紅、綠及藍磷而發射預定之全彩可見光。第2a-2c圖顯示於第1圖之AC PDP子像素之典型剖面圖。此種AC PDP係以交流電壓作業，提供寫入電壓超過可游離氣體於指定放電位置之發射電壓，例如由選定的行電極及列電極界定。藉由外加替代維持信號(換言之本身不足以引發放電)可連續「維持」放電。該技術依靠於基板介電層產生的壁電荷，其結合維持電壓可工作維持連續放電。

為了使交流電漿面板可靠地作業，壁電荷態需可重複再現且可標準化。特別壁電荷態需具有可重複再現值而與先前資料儲存態無關，因此連續位址及維持信號可靠地合作而確保可重複再現的像素位置作業。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

第1及2a-2c圖中，PDP 10包括一背基板12，背基板上支持多個行位址電極14。行位址電極14係由障壁肋16隔開，且分別由紅、綠及藍磷18、20及22遮蓋。前透明基板24對各列像素位置包括一對維持電極26及28。介電層30設置於前基板24上，鎂氧化物或類似高伽瑪材料頂塗層32遮蓋其整個下表面，包括全部維持電極26及28。

第1圖之構造偶爾稱作單一基板AC PDP，原因為對各列而言維持電極26及28係於面板之單一基板上。惰性氣體混合物係位於基板12與24間，藉由維持電極26及28外加的維持信號而激勵至放電態。放電中的惰性氣體產生紫外光，其分別激勵紅、綠及藍層18、20及22而發射可見光。若外加至行位址電極14及維持電極26及28之驅動電壓妥善控制，則透過前面板24可見全彩影像。

第2d圖所示表可供各種設計之先前技術PDP之典型維度(以微米表示)。設計F、N、M及P為各製造商用於實際顯示器的設計。注意對此等設計而言，介於前基板維持電極間距，稱作維持間隙(SusG)通常約等於前基板與後基板間之間距稱作基板間隙(SubG)。對四種先前設計以0.84至1.23之SusG/SubG比值範圍舉例說明。

雖然已經成功地使用多種不同維度，但二間隙間維持約略相等。也發現維持間隙經常小於一子像素之維持電極與鄰近子像素之維持電極間距，該間距稱作像素間間隙(IPG)。對四種先前技術設計以0.29至0.37之SusG/IPG比值

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

舉例說明。

，若IPG未顯著大於SusG，則介於子像素間有強力交互作用將引起作業失敗。特別若IPG小於SusG，則當外加維持信號時，跨越IPG的電場將大於跨越SusG的電場。如此許可沿IPG發生放電，將修改維持介電層之電荷，以及大致修改沿維持間隙之放電作業。

因此本發明之目的係提供一種全彩PDP，其比較先前技術之PDP具有改良的影像亮度及發光效率。

本發明之又一目的係提供一種全彩PDP，其中子像素位置利用陽極柱放電來達成改良的發光效率及高度發光。

發明概述

一種交流電漿顯示面板(AC PDP)具有複數可定址子像素位置，各個子像素位置包括一位址電極位於一基板上，及第一及第二維持電極位於相對基板上。介於位址電極與第一維持電極間之交叉界定一第一放電位置及介於位址電極與第二電極間之交叉界定一第二放電位置。一掃描驅動器於一位址相被激勵且外加陰極前進信號至第一維持電極。位址驅動器外加一位址信號至位址電極，其於第一放電位置產生放電。結果陽極柱順著位址電極移動至第二放電位置，於該處放電而根據測得之子像素值於第二放電位置感應壁電壓。維持驅動器外加維持信號至第一維持電極及第二維持電極，且於放電位置產生壁電荷態之「來回」作用，如此使用陽極柱發光於PDP。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(7)

圖式之簡單說明

第1圖顯示先前技術之彩色AC PDP。

第2a圖顯示第1圖之AC PDP之第一剖面圖。

第2b圖顯示第1圖之AC PDP之第二剖面圖。

第2c圖顯示第1圖之AC PDP之示意平面圖。

第2d圖為表，提供先前技術PDP及本發明PDP之測量值。

第3圖為示意圖說明本發明之PDP之電極配置。

第3a圖說明第3圖之電極配置其進一步結合電極隔離棒。

第3b圖為第3a圖之電極配置部分之剖面圖，有助於瞭解電極隔離棒的作用。

第4圖為於第3圖PDP之子像素之剖面圖。

第5a-5f圖說明第4圖之子像素之作業。

第6a圖為維持電壓相對於維持間隙之作圖，說明對習知設計PDP具有相對小維持間隙建立放電所需最低維持電壓與根據本發明構成之PDP具有相對大維持間隙所需最小維持電壓間之關係。

第6b圖說明用於本發明之維持波形圖集合。

第7圖說明形成錯誤消除作業的維持波形圖集合。

第8圖說明無法藉本發明作業之先前技術之維持波形圖集合。

第9a及9b圖顯示先前技術之定址及維持波形圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

第10圖顯示可使用本發明原理成功地定址子像素之波形圖集合。

第11圖顯示用於本發明之脈衝配置波形圖細節。

第12圖顯示可應用至YSA維持電極之可能波幅 $Ve1$ 、 $Ve2$ 、 $Ve3$ 或 $Ve4$ 之單一消除脈衝。

第13圖舉例說明先前技術之斜面配置波形圖。

第14圖說明操作本發明之波形圖集合。

第15a-15c圖顯示實際測得之位址電極之維持電壓及電流，本發明之PDP之觸發電池維持電極及狀態電池維持電極。

第16a及16b圖顯示於第15圖所示放電期間由一子像素觀察得之氣體放電發光測量值呈空間與時間之函數。

第17圖顯示典型電漿顯示子像素之安定性。

第18圖顯示第6b圖所示相同維持波形圖，許可壁電壓值呈ON及OFF態。

第19圖顯示於第18圖所示界限範圍內觸發電池及狀態電池之OFF態壁電壓容許的選擇。

發明之詳細說明

初步對本發明作高階說明，接著詳細討論作業原理及相當大量設計考量，此等對採用本發明形成高亮度PDP相當要緊。

第3圖顯示根據本發明之PDP 50之示意電極圖。第4圖為第3圖之跨越子像素1之剖面圖。於上基板51設置複數

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(9)

單軌跡位址電極52(X0-Xn-1)，且於作業位址相期間由X位址驅動器53選擇性驅動。位址電極X0-Xn-1係由障壁肋54分隔。各個位址電極係由介電/磷塗層56覆蓋。於下基板58設置複數維持回路60、62、64等..，其各自包含一對平行軌跡電極例如YSB0及YSB1。所有維持回路60、62、64等..係由維持匯流排電極66共同驅動而其又係連結至維持驅動器68。

維持回路間之交織點為成對單一軌跡掃描電極例如YSA1、YSA2等，其個別由掃描/維持驅動器70驅動。掃描/維持驅動器70於維持相期間外加維持信號至各掃描電極YSA1、YSA2，其作為維持相期間的維持電極。掃描/維持驅動器70於位址相期間以光柵掃描方式循序外加掃描電壓至掃描電極。各該掃描電極及維持回路電極係由介電塗層72遮蓋(第4圖)，例如氧化鎂頂塗層73。可放電氣體係維持於上基板51與下基板58間。

當適當維持信號外加至PDP 50時，由於陽極柱放電，故介於毗鄰的掃描電極與維持電極(沿交叉位址電極)發生選擇性子像素發光。於ON子像素放電介於一放電電池(其係存在於維持電極與位址電極之交叉點)與第二放電電池(存在於掃描電極與位址電極)間「~~其~~來回」。

可由陽極柱發光優於陰極輝的PDP 50之基本作業原理為各掃描電極與毗鄰維持電極間距(維持間隙)儘可能變長，俾便使陽極柱儘可能變長。如此具有相對於陰極輝之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

功率耗散，提高於陽極柱之功率耗散的效果，如此增高陽極柱之相對發光。實施本發明之技術可使維持間隙遠比基板間隙SubG更大。此外，該技術許可SusG大於像素間間隙(IPG)而未交換兩種間隙扮演的角色。

電極維度設計雖然並非最適當，但發現根據本發明之作業於具有10%氙及90%氬混合物且有氣體壓力450托耳，及氧化鎂陰極材料73之實用AC PDP具有沿維持間隙高度發光的陽極柱。該設計具有像素間距1320微米，其適合具有640 x 480像素及42吋對角線之4:3縱橫比VGA彩色PDP。此種設計中，維持電極寬度為100微米，維持間隙為700微米及像素間間隙為420微米。基板間隙為110微米。

下列情況經常為真，維持間隙、像素間間隙以及兩倍維持電極寬度之和係等於垂直維持電極維度之像素間距。前述PDP 50具體例之維度示於表1(第2d圖)於設計INV項下。顯然該設計侵犯習知先前技術設計法則，原因為維持間隙大於基板間隙6.36倍，此外，維持間隙大於像素間間隙1.67倍。比較表1 SusG/SubG及SusG/IPG比，顯示INV設計與先前技術設計有顯著差異。於先前技術作業條件下，INV設計無法適當工作。

後文為PDP 50之配置說明，因此可利用類似INV設計之子像素維度，而仍然維持可接受的電漿顯示器維持及定址作業，此外大半光係來自陽極柱。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(11)

首先說明如何以維持間隙對基板間隙如此大的比值6.36作業。初步說明需暫時忽略有關鄰近子像素間的交互作用議題，原因為此項議題將涵蓋於後文詳細說明。

本發明許可二獨立維持放電沿基板間隙發生，第一維持放電係介於第一維持電極(亦即掃描電極)與位址電極間，第二維持放電係介於第二維持電極與位址電極間。此處需注意掃描電極於位址相執行掃描功能，而於維持相執行維持功能。於位址相期間，掃描驅動器外加循序掃描電壓至掃描電極；而於維持相期間，維持信號共通外加至全部掃描電極，如此作為維持電極功能。

700微米維持間隙比較110微米基板間隙相當大因而難以以合理的低電壓觸發二維持電極間的放電。但基板間隙僅110微米，因此介於位址電極與維持電極間易於合理低電壓觸發放電。問題為維持間隙過大，初步顯然難以沿維持間隙建立放電，即使沿基板間隙介於維持電極與位址電極間有放電亦如此。

維持作業導致各子像素被再分為兩個似乎獨立的電池，一電池係由第一維持電極與位址電極交叉界定，及第二電池係由第二維持電極與位址電極之交叉界定。本發明基本教示一種技術其許可二似乎無關的電漿顯示電池間出現強力導電。

為了進一步討論維持技術，希望重新命名前文討論之兩個電池。後文引發放電之電池定名為觸發電池，以及(i)

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(12)

陽極柱伸展至該電池且(ii)儲存像素態之電池定名為狀態電池。後文掃描電極一詞僅用於本發明作業之位址相期間。

基本原理係操作觸發電池使引發適當放電時，將由其中產生高度游離的陽極柱，且將順著維持間隙(以及跨據位址電極)移動至交叉狀態電池為止。然後高度游離陽極柱形成觸發電池與狀態電池間之導電通道，作用於放電觸發電池及狀態電池之壁電荷。

當高度導電通道形成且放電於觸發電池及狀態電池之電介質的壁電壓時，形成高亮度陽極柱放電，其具有比陰極輝更高的照度。其細節容後詳述。

第5a-5f圖為說明前述作業之時程圖。為了檢驗觸發電池放電，假定陰極脈衝外加至觸發電池維持電極A，因而引發跨越基板間隙的觸發電池放電，同時維持電極A相對於位址電極XA作為陰極。進一步假定跨越觸發電池基板間隙之初電壓至少250伏。此等條件下可能出現高度導電陽極柱由觸發電池至狀態電池。

於時間 t_0 (第5a圖)，跨越基板間隙之電壓高，且放電強度增長，但尚未達可導致任何顯著場失真的強度程度，且未顯著改變於任何介電表面之初壁電荷分布。於時間 t_1 (第5b圖)，放電到達場失真於接近觸發電池位址電極XA(作為陽極)形成高度導電電漿區的強度程度。此電漿區為陽極柱。接近觸發電池維持電極(作為陰極)為陰極輝區，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(13)

其具有高電場及極高離子密度，但具有相對低電子密度。此種高度導電放電及場失真放電介電電容器超過觸發電池之維持電極A及位址電極XA二者。

大半彩色電漿顯示器中，覆蓋位址電極的電介質包含磷層，磷層通常為具有低密度粉末。此種低密度粉末通常具有低相對介電常數，造成覆蓋位址電極之介電層電容顯著低於覆蓋維持電極之介電層電容。由於電容差異，當放電電流流經二電容器時，跨越位址電極電介質56之電壓改變將比跨越維持電介質72(包括氧化鎂層73)遠更快速。

當來自觸發電池放電之電流流至位址電介質56時，介電表面變成愈來愈呈陰性。顯示為於時間t1(第5b圖)於觸發電池位址電介質56之負電荷。注意觸發電池位址電極電介質56電荷分布介於時間t0與t1間有顯著變化，而介於此等時間之間，觸發電池維持電介質72之電荷分布絲毫也未變化。如此表示即使等量電荷流經兩層電介質，位址電極電介質56之電壓改變較多，原因為其比較維持電極電介質72具有遠更低的電容。

於觸發電池放電位址電極電介質56之電壓變成負值，而使沿位址電極XA之電介質56區進一步遠離觸發電池中心的某一點，將具有比較於觸發電池中心該區更陽性電位。來自高度導電電漿的電子極為快速移動至較為陽性電位區，且有效耦合儲存於延長電介質56電容的能量進入放電。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

第5c圖(時間 t_2)顯示陽極柱如何延伸遠離觸發電池中心且進一步放電延長區。注意當陽極柱由觸發電池中心延伸時，接觸陽極柱的位址電極電介質56該區變成帶負電荷，而尚未由陽極柱接觸之該等區保持帶正電荷。

於時間 t_3 (第5d圖)，來自觸發電池放電之陽極柱到達狀態電池，來自陽極柱之電子流至電介質72之該狀態電池維持電極B之正電位。電介質72具有介電常數顯著高於位址電極電介質56之介電常數，許可顯著更多電荷於其電位顯著變更之前流入狀態電池維持電介質72。

於時間 t_3 以高度導電陽極柱架橋維持間隙，介於維持電極A與B間之電流開始升高至極高準位，大半儲存於狀態電池及觸發電池二者之維持電極電介質電容的能量沉積成為陽極柱的電子能。陽極柱形成高度照明長絲其架橋維持間隙。此種長絲強度增長至於時間 t_4 (第5e圖)達到尖峰為止。

於此點，由覆蓋維持電極B之電介質72放電沉積的電荷升高至充分高準位，故跨越陽極柱的電壓降至低準位，且降至光生成速率達到尖峰然後開始下降該點。比較時間 t_3 及時間 t_4 之觸發電池及狀態電池電介質電荷分布(第5e圖)，發現狀態電池維持電介質72於時間 t_4 具有較低正電荷，也發現觸發電池維持電介質72於時間 t_4 具有較少負電荷。也發現位址電極電介質56於時間 t_4 比較 t_3 具有較少負電荷。

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明 (15)

於時間t4之尖峰後，放電強度連續衰變至時間t5(第5f圖)，放電電流不再流動。於此點，於氣體容積產生的空間電荷已經流至全部電介質表面。若跨越氣體容積的初電壓夠高因而出現夠強放電，則有充分可利用的空間電荷來對幾乎子像素全區大致降低跨越氣體的電壓至零伏。如此表示於時間t5幾乎全部電介質表面皆於一種電位。

該事實對於分析隨後放電相當要緊。於時間t5全部電介質面的單一電位於第5f圖係由全部電介質表面之正電荷密度相等代表。

隔離棒

第3a圖顯示第3圖之電極外廓之第二具體例，其中，導電隔離棒99係置於各像素間間隙IPG內部。因第3圖之電極拓撲學具有比較像素間間隙更大的維持間隙，故希望提供一種隔離裝置，其可約束跨越像素間間隙陽極柱放電的展開。此種裝置係由導電隔離棒99提供。

第5a-5f圖顯示陽極柱如何介於觸發電池與狀態電池間沿著維持間隙移動。本圖中陽極柱由左移動至右。要緊地需考慮陽極柱於本例為何移動至右，為何不會移動至左。若欲移動至左，則可能移動跨越像素間間隙而引發非期望的與鄰近像素間的交互作用，可能造成鄰近像素狀態的錯誤改變。另一項重要的考量係為何當陽極柱到達狀態電池時陽極柱停止，換言之，為何陽極柱不再繼續展開超過狀態電池跨越像素間間隙且繼續展開至鄰近狀態電池的大

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (16)

正電荷。另一種陽極柱伸展跨越左或右像素間間隙的額外問題係介於像素間產生大量非期望光線。

第3b圖顯示使用第3a圖電極之電漿面板三個像素之剖面圖。第3b圖也顯示於時間 t_0 於介電層上之初電荷分布， t_0 為第5a圖所示相同時間。於第3b圖像素2，陽極柱恰以第5圖所示方式由觸發電池移動至狀態電池。此種移動的出現原因在於來自陽極柱前緣的電子被順著覆蓋位址電極的電介質吸引至正電荷，如第5c圖所示。因位址電極電介質於第3b圖右側，故像素2觸發電池為正，像素2陽極柱將移至右側。注意像素2觸發電池左側的位址電極電介質為負。如此排斥陽極柱電子，因而抑制陽極柱生長至像素2觸發電池左側。

一旦像素2陽極柱到達狀態電池，其不再繼續移動向右至像素3狀態電池之正電荷，原因為介於像素2狀態電池與像素3狀態電池之像素間間隙覆蓋位址電極的電介質上具有負電荷故。

因此沿像素間間隙電介質存在有負電荷，阻止陽極柱移動跨越像素間間隙，造成錯誤的鄰近定址及放電光。要緊地需採行措施以確保負電荷的存在。

接近氣體放電的電介質表面具有眾所周知的特性，較為遠離主放電活性之介電區比較緊密接觸放電區帶有更高負電荷。此種現象基本上係由於氣體中電子及離子速度不等所致。由於帶電粒子的相對質量，電子速度為離子於氣

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (17)

體放電速度之約百倍。如此表示電子由放電飛出比離子快100倍。當初電子飛出時，將電介質表面充電為負，且建立負電位而排斥電子。此種負電位將吸引正離子。

隨著維持放電的持續進行，此種負電位持續生長至達平衡電位為止。平衡電位係由等速離子及電子流至表面條件決定。平衡電位將排斥高速電子而吸引低速正離子，故離子流等於電子流。相等的離子及電子流條件將導致相反極性電流和為零。當電流和為零時，並無淨電荷流至電介質表面，電位將停止改變。穩定電位定義為平衡電位。

於像素間間隙建立負電荷的條件為於像素間間隙並無顯著放電活性。如圖3b所示，藉由前段討論的機制，維持放電將於像素間間隙建立負電荷。

隔離棒99的目的係確保於像素間間隙並無顯著放電活性，使負電荷可在其中堆積。方便地隔離棒係以前板維持電極之相同材料及方法製成。藉此方式，隔離棒單純由簡單前板電極罩變化界定。第3a圖顯示隔離棒99未直接電連結任何其他電極反而任其飄浮。如此表示短路棒的電位係由隔離棒與電漿面板的其他電極間之電容耦合決定。第3b圖顯示介於像素1與2間之隔離棒的耦合電容器C1至C5。若於第3b圖一脈衝外加至電極A，該脈衝的固定百分比也出現於隔離棒99。固定百分比值係由像素幾何以及材料的介電性質決定。

此項百分比的確切值係由電容除法器決定，包含C1

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(18)

及C2的並聯組合與C3、C4及C5之串聯組合，如第3b圖所示。電容器C1及C2幅度相對高，原因為其係形成於前基板玻璃及具有相對高介電常數的介電玻璃之玻璃層。C3、C4及C5之串聯組合幅度相對低，原因為電容器之串聯組合經常小於最小電容器(本例為C3)。因C3為跨越氣體具有最低可能的相對介電常數1，故C3比較C1及C2具有相對低值，後者具有遠較高的玻璃相對介電常數，典型係於7至15之範圍。如此表示出現於隔離棒99外加至A維持電極的脈衝幅度的固定百分比顯著高於50%但低於100%。固定百分比的確切值依確切像素幾何及材料相對介電常數決定。

雖然前文分析係對外加至A維持電極的維持脈衝進行分析，但若維持脈衝係外加至第3b圖之B維持電極也出現確切相同的結果。原因為圖3b所示A及B維持電極呈對稱故。

此項固定百分比值對隔離棒的適當作業相當要緊。如前述需要於像素間間隙無顯著放電活性。原因為隔離棒極為類似維持電極，若隔離棒上的電壓脈衝過高，則可能發生非期望的維持放電。因此需設計電漿顯示材料、電極幾何及維持脈衝幅度，因此維持脈衝外加至正常維持電極時，前述固定百分比更低而於隔離棒造成的脈衝電位係低於隔離棒上可能發生維持放電的電壓。此種於隔離棒上測量的最小維持電壓標示為 V_{sminib} 。

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明(19)

只要隔離棒之脈衝電壓係低於 V_{sminib} ，則沿隔離棒並無顯著放電活性，因此於像素間間隙並無顯著放電活性。如此許可負電荷積聚於像素間間隙，其將排斥陽極柱跨越像素間間隙的運動。如此消除非期望的錯誤放電至鄰近像素或非期望的像素間發光。

當隔離棒脈衝電位保持低於 V_{sminib} 時，隔離棒具有作用為由維持電極伸展入像素間間隙之電場屏蔽的預定效果。其作用類似屏障的主要原因在於由於缺放電活性故第3b圖像素間間隙所示介電層上負電荷積聚。

Lay之美國專利3,666,981記載使用靜電隔離棒以防放電展開至雙重基板單色PDP的鄰近電池。於Lay電極之拓樸學中，隔離棒係設置於前及後基板之每個維持電極間。此處所示本發明中，隔離棒僅位於一基板，且僅介於每隔一個維持電極。特別本發明要求隔離棒係於維持作業期間僅設置於具有相同電位的維持電極間。此顯示於第3a及3b圖。注意第3b圖中，一隔離棒係介於兩個A維持電極間，而另一隔離棒係介於兩個B維持電極間。於維持間期的任何指定時間，兩個A維持電極係於等電位而兩個B維持電極係於等維持電極。A電極的電位經常與B電極的電位不同。

若隔離棒係設置於維持電極間而其於維持間期具有不等電位，則本發明無法適當發揮功效。例如若隔離棒係置於第3b圖之A與B電極間則有極顯著問題。首先維持電極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

A與B間之區係跨越維持間隙，此乃~~基板~~發生主放電之處。。維持間隙該區的隔離棒當然具有非期望的遮斷面板之最大半發光性質。此外，隔離棒設置於維持間隙將干擾維持間隙的電場，也可能干擾陽極柱由觸發電池移動至狀態電池。

此外，出現於A與B電極間設置的隔離棒上的脈衝電位比較設置於二維持電極(其於維持期間經常處於等電位)間的隔離棒之脈衝電位相當不同。因A及B維持電極於維持波形期間經常處於不等電位，故當維持脈衝外加至任一維持電極時，A與B電極間的隔離棒將浮動至某種電位，該電位係比設置於脈衝等電位維持電極間的隔離棒電位更低。理由在於二不同例之電容除法器比不等。對A與B電極間之隔離棒案例，隔離棒將加脈衝至低於外加至任一維持電極的脈衝幅度之50%。對本發明所需幾何而言，此處隔離棒係介於等電位維持電極間，隔離棒將外加脈衝至顯著高於外加至維持電極的脈衝幅度之50%。

隔離棒設置於A與B維持電極間之另一問題為A與B維持電極間之電容顯著增高。當根據本發明原理，隔離棒係設置於等電位的維持電極間時，介於A與B維持電極間之電容增高極小。此種顯著降低之電容將顯著減少驅動面板電容的電路功率耗散。

使用第3a圖所示電極拓撲學，PDP成功地操作，此處像素間間隙設定於約略等於維持間隙，隔離棒99對中於像

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (21)

素間間隙，而各個隔離棒99之寬度約占像素間間隙之50%至80%。

維持波形考量

外加夠大負維持脈衝至觸發電池維持電極，許可介於觸發電池維持電極與狀態電池維持電極間發生強力放電，即使此等電極具有維持間隙700微米及基板間隙僅110微米亦如此。陽極柱沿位址電極的伸展可作為耦合距離似乎遙遠的觸發電池與狀態電池的有效手段。

參照第6a圖，需瞭解由於本發明使用之大維持間隙故，本發明悖離先前技術使用的常見電壓關係。曲線A類似傳統U字形氣體放電帕斯肯(Paschen)曲線，定義先前技術如何要求最低維持電壓於維持間隙改變時恰維持二維持電極間的電池放電(亦即 V_{smin})。

至於U字形右側操作，隨著維持間隙的加大， V_{smin} 電壓增高，原因為因維持間隙距離較大故電場降低，每伏特引發的游離減少。至於U字形左側操作，隨著維持間隙的縮小， V_{smin} 電壓增高，原因為較少電子碰撞氣體原子，引起每伏特的游離減少。

先前技術AC PDP中，由於維持間隙小， V_{smin} 相當低，採用大致超過 V_{smin} 的維持電壓。相反地，由於本發明之維持間隙大，故遠離曲線A右側作業故 V_{smin} 大致變大。如此許可以另一放電模實際維持操作，由曲線B舉例說明。曲線B定義為於觸發電池達成夠強放電所需之最低

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(22)

維持電壓，最初具有ON態壁電壓，其形成一陽極柱，前進至毗鄰狀態電池，因而成功地建立狀態電池壁電壓至ON態。

注意曲線B對維持間隙的關係比曲線A遠更微弱。主要原因為曲線B觸發電池放電的初始化電壓係與維持間隙無關，原因為觸發電池放電最初係發生於跨越基板間隙而非維持間隙，如曲線A之放電般。曲線B電壓僅隨維持間隙略為增加，原因在於觸發電池放電強度對陽極柱需略為增加俾便用於較長的維持間隙伸展至狀態電池。

曲線A及B之個別不同形狀許可根據本發明維持作業用於比二曲線交叉點(亦即臨界維持間隙)更大的維持間隙。使用較大間隙許可低於曲線A之 V_{smin} (亦即曲線A部分C)作業，但仍高於曲線B之維持電壓作業，故本發明之放電模可成功地維持子像素。

用於大於交叉點的維持間隙，如曲線A部分C定義之介於二維持電極間的先前技術放電不會發生，原因在於本發明之曲線B放電將發生於較低維持電壓，因此將於先前技術放電的較高電壓有時間形成之前已經放電至改變壁電壓。

後文說明電極波形，其許可電漿顯示子像素穩定放電順序，許可子像素於ON態或OFF態。許可此等波形及條件俾便於AC PDP顯示子像素達成相干性記憶。

第6b圖顯示維持波形之一集合，發現效果良好且許可

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (23)

子像素於開態或關態。又第6b圖顯示開態及關態之壁電壓準位。對指定維持電極引出壁電壓係以覆蓋指定維持電極之電介質電荷以及交叉指定維持電極之位址電極電介質之電荷產生。所有引出的壁電壓之極性為跨越基板間隙的電壓可由維持電壓扣除壁電壓決定。於子像素之二維持電極標示為YSA(位址相期間之掃描電極)或YSB，位址電極標示為XA。第6b圖顯示五個維持放電標示為td1至td5。具幅度Vs之維持脈衝循序外加，如第6b圖所示。

參照第3圖、第5圖之電池結構及第6b圖之波形圖，於tf1，YSA維持電極下降而於介於YSA維持電極與維持電極XA間之td1產生放電。於時間td1，全部YSA維持電極交叉觸發電池，類似第5圖所示以位址電極初始化觸發放電。於觸發電池初始化之各個觸發放電產生一陽極柱，其係由觸發電池順著維持電極移動至狀態電池。

於時間td1，全部YSB維持電極交叉狀態電池。注意於時間td1，YSB電極之壁電壓升高，即使並無維持脈衝外加至YSB維持電極亦如此。此乃由觸發電池伸展至狀態電池之陽極柱交叉YSB維持電極的作用。陽極柱放電造成狀態電池及觸發電池之壁電壓改變。

於時間td2，有另一放電係於時間tf2由維持電極YSB之下降初始化。此時，全部觸發電池交叉維持電極YSB，所得觸發放電引起陽極柱伸展至狀態電池其交叉電極YSA。注意於電極YSA之狀態電池的壁電壓於時間td2升高，

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(24)

即使此時YSA無維持脈衝亦如此。此乃來自觸發電池之陽極柱引起與狀態電池放電的作用。

要緊地需實現指定實體電池具有狀態電池或觸發電池之標示於時間td1及td2不同。注意於時間td1，觸發電池係位於位址電極與維持電極YSA間，而於時間td2，觸發電池係位於位址電極與維持電極YSB間。同理於時間td1，狀態電池係位於維持電極YSB，而於時間td2狀態電池係位於維持電極YSA。此種電池角色於狀態與觸發態間交替係每半週期維持波形發生。此項交替為成功地維持子像素必須的條件。

於時間td3、td4及td5之放電係以極為類似前文對時間td1及td2所示方式作業。

第5f圖於時間t5之壁電荷分布顯示於放電結束時，全部介電表面由於放電期間產生大量帶電粒子故係於等電位。各次放電後，壁電壓調整至極為接近維持電壓的準位。當然表示跨越基板間隙之電壓接近零。

重點為於ON態放電後，於觸發電池及狀態電池跨越基板間隙的電壓接近零。進一步於ON態放電後，全部介電表面皆於第5f圖所示等電位。

瞭解放電後介電表面之ON態壁電荷分布相當要緊，原因為其構成下次放電的初始條件。因放電後跨越基板間隙之電壓接近零，故可估計假定外加維持電壓隨後任何增減將使外加跨越觸發電池或狀態電池基板間隙的維持電壓

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

線

五、發明說明 (25)

幅度改變。

進一步需考量有關第6b圖之波形圖。注意此等波形圖設計成觸發電池放電經常由負向維持電壓過渡初始化。此點相當要緊，原因在於其表示觸發電池放電陰極經常為覆蓋維持電極之介電表面，而非覆蓋位址電極的電介質表面。此二表面於用作陰極時性質常有相當大差異。

例如於測量實驗子像素，當觸發電池維持電壓為陰極時，初放電崩潰電壓 V_b -測得為約200伏，但當位址電極為陰極時，測得該電池崩潰電壓 V_b +為約300伏。原因在於維持電介質經常塗有高二次發射材料如氧化鎂，而位址電介質係塗有或整個由某種適當磷材料製成。高二次發射材料如氧化鎂具有高伽瑪係數，表示當以來自氣體放電的陽離子碰撞時產生大量二次電子。如此造成放電相對低電壓特徵，此點合所需俾便降低電路成本及減少陰極輝放電區的功率耗散。

覆蓋位址電極的磷材料設計成可將紫外光有效轉成可見光。磷通常不具高二次發射材料如氧化鎂，原因在於此等材料通常吸收氣體放電產生的紫外光而顯示不良發光效率。要緊地，觸發電池維持放電之陰極為覆蓋維持電極之電介質面，而非覆蓋位址電極的電介質面。此點可藉以維持脈衝之陰極邊緣初始化觸發電極放電達成，如對第6b圖之全部放電所示。

位址波形圖

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(26)

第9a及9b圖顯示美國專利5,746,086之先前技術定址及維持波形。為了達成具有相干性記憶的交流電漿顯示器的灰階，先前技術將一幀的時間打破成為多個子欄位，如第9a圖所示。第9b圖顯示各個子欄位被打破成為各間期。供此項討論之用，第9b圖先前技術步驟1、2及3稱作配置間期，而先前技術步驟4稱作位址間期。最末間期稱作維持間期。雖然於較佳具體例中，本發明採用此種定址/維持作業，但其波形及施用點有顯著差異。

配置間期之目的係將面板全部子像素置於明確建立的壁電壓態，其適合位址間期的適當操作。配置間期也用來將子像素打底於OFF態，故位址間期放電將明確打底，而適當出現。若於界定子像素的YSA電極及XA電極二者有重疊位址脈衝，則位址間期具有改變子像素態的目的。維持間期具有由於ON態的子像素發光的目的，而非由OFF態子像素發光。

第10圖顯示波形圖集合，發現該波形圖可成功地使用本發明原理定址子像素。此等波形圖設計用於於配置期間打底隨後設定PDP的全部子像素於OFF態；以及於位址期間將選定的子像素轉成ON態。類似之波形圖集合(此處未顯示)可利用本發明教示的原理設計，其於配置期間設定面板的全部子像素為ON態，然後於位址間期將選定的子像素轉成OFF態。

維持間期作業細節徹底涵蓋前文且同第6b圖所示。其

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (27)

次適合討論配置間期。有兩型波形用於配置間期，稱作脈衝配置波形及斜面配置波形。首先說明脈衝配置波形。

脈衝型配置波形

第11圖顯示脈衝配置波形圖細節。此等波形被劃分為龐大寫入及龐大消除。龐大寫入具有將OFF電池及ON電池置於ON態的功能。於龐大寫入脈衝後，面板的全部子像素有一ON態壁電壓集合。面板的全部觸發電池有一明確界定的壁電壓，面板的全部態電池有另一明確界定的壁電壓。

龐大消除波形期間，全部子像素置於OFF態，故於配置間期後的維持間期並無放電，除非定址期間發生選擇性寫入。龐大寫入係藉將如此大的負脈衝置於YSA維持電極達成，故全部觸發電極放電而與子像素最初於ON態或OFF態無關。如此大的負龐大寫入脈衝造成陽極柱由各觸發電池伸展至毗鄰態電池，故跨越態電池基板間隙的電壓降至零，PDP的全部態電池被置於ON態。

龐大消除脈衝設計成將龐大消除態電池恰置於適當選擇性定址所需的預定壁電壓準位。第12圖顯示如何作業。於時間 t_{er1} ，可能具有幅度 V_{e1} 、 V_{e2} 、 V_{e3} 或 V_{e4} 的單一消除脈衝被外加至YSA維持電極。注意第12圖顯示四列不同波形列，各自有不同可能的 V_e 值。

於時間 t_{fe1} ，YSB維持電壓下降，造成觸發電池的觸發放電。如此發生於全部PDP的觸發電池，原因為假定恰

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(28)

於時間 t_{rel} 之前龐大寫入將全部子像素置於ON態。來自全部觸發電池放電的陽極柱伸展至全部態電池，且將跨越全部態電池基板間隙的電壓降至零。因此之故，各個態電池壁電壓移動至接近等於 V_{e1} 、 V_{e2} 、 V_{e3} 或 V_{e4} 之外加消除脈衝幅度之值，如第12圖之四例所示。

本發明之新穎性質許可狀態電池之壁電壓根據外加的電位方便設定為任何預定準位，且用於定址作業。

注意 V_{e1} 為於YSA維持脈衝高準位相等脈衝幅度，係於 V_s 伏。設定狀態電池壁電壓為 V_{e1} ，可將全部狀態電池設定為ON態。也需注意 V_{e4} 同YSA維持脈衝之低準位。設定消除脈衝為 V_{e4} 可將全部狀態電池設定為OFF態。第12圖之 V_{e4} 案例於狀態電池維持電壓於低準位，造成觸發電池陽極柱降低跨越狀態電池基板間隙之電壓為零時，初始化觸發電池放電，藉此將狀態電池置於OFF態。

用於位址間期之適當選擇性定址，可能需要壁電壓如第12圖 V_{e3} 案例所示。意圖將OFF態壁電壓置於許可OFF態範圍的某一處。此時討論確切壁電壓準位並不重要，原因為 V_e 易調整為任何可獲得最佳選擇性定址的預定準位。

注意先前技術電極維度不許可方便地確實建立壁電壓，如第12圖所示。於先前技術，消除脈衝造成放電，其將改變壁電壓，但壁電壓之終值隨跨越維持間隙之初壁電壓以及消除放電強度決定。此二值尚未明確確定，故放電後

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(29)

先前技術之壁電壓仍未知。

但採用第12圖之技術，終壁電壓極為接近容易控制的 V_e 值。注意 V_e 值外加至狀態電池，於第12圖於時間 t_{fel} 狀態電池係於YSA維持電極，以及於龐大消除作業後決定壁電壓之終值。跨越觸發電池基板間隙之初電壓之確切值並未決定狀態電池之終壁電壓值，只要觸發電池基板間隙具有足夠初電壓來初始化適當觸發電池放電而將伸展陽極柱之狀態電池即可。先前技術消除放電不具有此種獨立性。

斜面型配置波形

先前技術斜面型配置波形示於第13圖(如美國專利第5,745,086號之教示)。此等波形中，緩慢升降的波形用以於具有正電阻特徵的氣體引發微弱放電。如此許可壁電壓緩慢遵循斜面，且維持跨越氣體的電壓極為接近氣體的崩潰電壓。第13圖之升高斜面用於龐大寫入目的，將ON及OFF子像素置於單一明確建立的壁電壓態。

第13圖之下降斜面用於龐大消除目的，其將全部子像素置於OFF態且有明確建立的壁電壓準位。第13圖之斜面配置波形優於第11及12圖之脈衝配置波形的優點為斜面配置波形比較脈衝配置波形產生顯著較少量光線，許可斜面波形具有顯然提升的對比度，如'086專利案所述。第11及12圖之脈衝配置波形優於第13圖之斜面波形之優點為脈衝配置波形所耗時間比斜面波形短。

第13圖所示先前技術斜面波形利用正電阻放電介於

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(30)

YSA與YSB維持電極間。於升高斜面期間，YSB維持電介質為陰極；及於下降斜面期間YSA維持電介質為陰極。先前技術波形圖無法用於本發明。斜面波形圖使用的正電阻放電要求於放電間隙由可忽略的電場失真。若有顯著場失真，則發生類似的負電阻特徵性放電，斜面波形造成不穩定放電後果。因存在有陽極柱表示極高度場失真狀態，當需要正電阻放電時於斜面期間並無陽極柱放電。因此無法利用正電阻斜面放電於本發明之基本放電技術，亦即於觸發電池初始化放電，引起陽極柱伸展至狀態電池，改變狀態電池之壁電壓，而仍然於斜面達成正電阻放電。

因斜面的正電阻放電介於觸發電池與狀態電池間未形成任何高度導電陽極柱，故合理地假定觸發電池及狀態電池放電於斜面期間無關。

配置間期波形需將觸發電池及狀態電池二者之壁電壓建立於OFF態範圍，否則子像素可能於維持間期錯誤轉成ON，即使於位址間期不含選擇性位址脈衝亦如此。由於斜面間期放電的獨立，偶爾希望外加斜面波形至YSA及YSB電極，如第14圖所示本發明之波形圖。

第14圖配置間期之第一作業為龐大消除，其將全部ON子像素置於OFF態。係以第12圖所示相同技術(案例4)達成，藉此來自YSA觸發電池之陽極柱進入狀態電池，而YSB電壓為低。如此將觸發電池及狀態電池之壁電壓置於低維持電壓準位。此種龐大消除僅於維持間期處於ON態的子

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

線

五、發明說明 (31)

像素引發放電。於維持間期為OFF之子像素具有某種未知的壁電壓。

為了於位址間期一致定址作業，希望配置波形將全部電池置於固定且明確建立的OFF態壁電壓。第14圖之斜面波形可達成此點。

注意第14圖所示斜面波形與第13圖顯然有別。一大差異為第13圖之初斜面係正向前進而第14圖之初斜面係負向前進。要緊地本發明之初斜面需為負向前進俾便達成穩態作業。如此確保初下降斜面放電具有維持電極電介質作為陰極，且合所需故高二次發射面(例如氧化鎂)可產生穩定放電。

為了瞭解為何氧化鎂陰極具有比磷層更穩定的斜面放電，需要討論斜面放電，就許多方面而言，因斜面發生的正電阻放電類似恆定電流直流放電。通過正電阻放電的恆定電流係與斜面率成比例，單位為每毫秒外加斜面之伏特數。正電阻模放電自行調整，故跨越基板間隙之電壓恰於放電崩潰電壓。

回憶對測得裝置之氧化鎂陰極而言約為200伏，而對磷陰極測量值而言約300伏。若基板間隙電壓係高於崩潰電壓，則放電電流將升高至足量電荷積聚於介電層上而將跨越基板間隙的電壓降回崩潰電壓為止。若基板間隙電壓係低於崩潰電壓，則放電電流降至不會以高速放電介電層電容之點，且改變中的斜面電壓加至外部電極造成跨越基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(32)

板間隙的電壓幅度升高至到達崩潰電壓為止。一旦到達崩潰電壓，放電隨著時間的經過達到恆定穩態，此處斜面電壓增高速率恰由跨越介電層電壓增加速率平衡。

不幸，若放電打底不足，則無法出現前述穩態正電阻放電。打底不足，斜面電壓的增高可能造成跨越基板間隙的電壓增高至於發生放電之前已經顯著高於崩潰電壓。若間隙電壓升高至高於崩潰電壓為過高準位，則於當低度打底準備最終確實許可引發放電時，電流增長速率過高，發生顯著空間電荷場失真，而出現負電阻放電。如此引起極為強力放電，降低基板間隙電壓至遠低於崩潰電壓，且將造成放電電流快速衰變至極低準位。由低打底準備引發脈衝型放電對配置波形圖不合所需，原因為其產生高準位放電光，不會加諸壁電壓於明確建立的恆定準位。

於本低打底準位例中於放電後壁電壓的最終準位係由多種因素決定。本質上略為隨機，原因為放電強度係由連續增高中的電壓跨越基板間隙多高決定，當隨機打底準備粒子引發放電的瞬間該電壓係高於崩潰電壓。

夠高打底準備許可放電於連續增高中的外加斜面電壓使基板間隙電壓變成略高於崩潰電壓時初始化。因間隙電壓僅略高於崩潰電壓，故電流升高速率未造成於累積於電介質上的電荷將基板間隙電壓降回崩潰電壓之前設定空間放電場失真。此種夠高度打底準備，許可進行穩定正電阻放電，其由於產生低度光且將壁電壓置於明確建立的恆定

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明 (33)

準位故極為適合配置作業。

由於打底準備對斜面放電穩定的重要性，需討論打底準備機轉。基本上有兩個打底準備來源。第一來源為氣體之活性粒子例如電子、離子及氣體放電後存在一段間期的介穩原子。第二打底準備源為陰極面其可於放電後發射電子經歷一段相當期間。此等打底準備源藉由於氣體產生游離電子開始放電，該電子可藉電場加速而造成游離。經常僅需產生一個游離電子來初始化放電。

兩種打底準備來源具有顯著不同的強度及生產速率。第一來源之打底準備強度通常較高，但持續間期比第二來源更短。第一來源衰變原因為氣體的電場引起氣體的游離電子及離子飄至壁，於該處捕捉電子，且離子被中和而變成單純氣體原子。介穩原子緩慢擴散至壁，於該處被解除激勵變成單純氣體原子。

此等過程之打底衰變速率隨多種因素決定，例如氣體類型，氣體混合物，氣體壓力，放電電池維度及外加電壓。至於測得之放電條件，所有第一來源粒子係於25至50微秒以內衰變。

第二打底準備來源遠更慢衰變。實體機轉於若干激勵輻射事件例如氣體放電後由固體表面發射電子經歷一段時間稱作外發射。外發射機制複雜且未明白瞭解。但顯示與陰極材料有強烈關係。氧化鎂具有良好外發射，於氣體放電後可發射電子經歷多毫秒。另外，遮蓋位址電極的磷層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(34)

具有極差的外發射。

第14圖之配置間期之波形圖具有初負向斜面，其極性與第13圖之正向斜面不同。負向斜面係確保維持電極之氧化鎂表面為陰極，許可良好外發射妥為打底準備負向斜面放電，且確保穩定正電阻放電。(若配置間期初步使用正向斜面，則遮蓋位址電極的磷層將變成陰極，由於其不良外發射，故無法妥為打底準備正向斜面放電，因此於斜面期間造成高度不穩的負電阻型放電)。

由於有兩種相當不同的打底準備源，正向或負向斜面可有穩定放電，只要至少一個打底準備源可提供充分打底即可。例如正向或負向斜面於斜面後不久發生放電，則將提供穩定正電阻放電，故因氣體的打底粒子造成的第一打底準備源可引起充分打底準備。

於測量之實驗裝置中，正向及負向斜面利用第一打底準備源獲得穩定正電阻放電，只要斜面放電係於正常維持放電至約25至50微秒以內引發即可。但對顯然比50微秒更長的時間，則僅存在有第二打底機制，故僅利用氧化鎂向外發射的負向斜面才產生穩定正電阻放電。

可直捷設計波形圖其當子像素最初於ON態時可利用第一打底準備源來穩定化斜面放電。原因為斜面係設計成於末次ON態維持放電後極短時間發生，故正電阻放電與末次ON態維持放電間短於25至50微秒。但極為難以使用第一打底準備源來穩定化最初為OFF態之子像素之斜面放

五、發明說明 (35)

電。原因為對第9a及9b圖所示子欄位定址技術而言，OFF子像素自前一子欄位的配置間期後即不再放電。因子欄位典型長1至2毫秒，故第一打底來源粒子全然衰變，無法利用作為打底來源。

僅留下由陰極面向外發射之第二打底準備源作為最初為OFF態之打底準備子像素的候選者。因配置期之斜面放電需對ON態及OFF態兩種子像素發揮效果，故僅向外發射打底準備源可被可靠地用於第一斜面型配置波形脈衝。又，對第1及2圖使用的電漿面板結構而言，磷層塗裝位址電極，氧化鎂表面遮蓋維持電極之電介質，故需最初為負向的配置間期斜面來利用氧化鎂表面的高度向外發射而打底準備，並對最初於ON及OFF態二子像素達成穩定正電阻放電。

配置期之初斜面要求為負向乃此處揭示之本發明所需，但非經常為先前技術設計所需。原因在於對大半先前技術設計而言應用斜面造成跨越維持間隙的放電，而對本發明而言，應用斜面造成跨越基板間隙的放電。因界限維持間隙的二電極為維持電極，故先前技術維持間隙放電將具有氧化鎂作為陰極用於正向斜面及負向斜面。如此先前技術配置放電具有正向或負向斜面，仍然利用向外發射打底來造成穩定正電阻放電。本發明中，維持間隙比基板間隙大，使基板間隙放電首先以顯著低壓出現，故唯有跨越基板間隙之斜面放電合乎實用。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(36)

因基板間隙有一個氧鎂陰極及另一磷材料陰極，故要緊地本發明之初配置放電需為負向俾便具有穩定正電阻放電。

注意於第14圖，初負向斜面外加至YSA及YSB維持電極，俾便對觸發電池及狀態電池建立明確壁電壓，其最初係於ON或OFF態。此種初負向斜面必需夠負而於配置間期之時間 ts_{ul} ，對觸發電池及狀態電池，將最初ON子像素及最初OFF子像素皆置於相同壁電壓態。

斜面之最高負偏移電壓 V_{sn} 對表1之INV設計調整為約200伏。當氧化鎂為陰極時其符合基板間隙崩潰電壓 V_b 之測量值200伏。若 V_{sn} 電壓升高至高於200伏，則除了OFF子像素非期望之背景輝增高外並無不良定址影響。若 V_{sn} 電壓幅度降至低於200伏準位，則於時間 ts_{ul} ，ON及OFF態之壁電壓準位不等。

第14圖之初負向斜面引發適當打底放電，其於時間 ts_{ul} 將全部電池置於明確建立的壁電壓準位。但配置期滿意地發揮功能需要若干額外要求。其中一種要求為多個接續子欄位之其餘OFF於配置間期期間需經常放電，否則於位址間期將無法適當打底準備。因位址間期或維持間期期間，OFF子像素通常不放電，常見於一配置間期結束時OFF子像素之壁電壓對次一子欄位配置期起點處於相等壁電壓。

第14圖之初負向斜面造成OFF子像素的正電阻放電，

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明 (37)

其又使壁電壓下降，如第14圖所示，於最初負向斜面後，需要有正向斜面，俾便升高返回正向的壁電壓，故前述於配置間期結束時具有OFF子像素壁電壓之條件同配置間期開始時的條件。若於初負向斜面後於配置間期並無進一步脈衝，則配置間期結束時降低的壁電壓準位將避免於隨後配置間期發生放電，原因為初負向脈衝不會加諸電壓高於跨越電池之基板間隙的崩潰電壓。此種條件無法提供所需配置間期打底準備。

正向斜面放電要求造成如何於正向斜面期間達成穩定正電阻放電的問題。如前述，外加至本發明之維持電極的正向斜面無法仰賴來自陰極面之向外發射打底準備，原因為磷表面陰極具有可忽略的向外發射。幸運地可於氣體間隙使用打底粒子，該等粒子係由初負向斜面放電產生。由於此等電子、離子及介穩原子以高速衰變，故要緊地於時間tsu0於初負向斜面放電結束後，於若干最短時間內於時間tsu3開始正向斜面之正電阻放電。

對實驗INV PDP而言，最短時間為約25至50微秒。若配置斜面調整為於此最短時間以內，則發現正向斜面放電極為穩定可靠。

於第14圖之時間tsu2，有個大型過渡，由初負向斜面脈衝終點過渡至正向斜面起點。希望此大型tsu2過渡具有電壓變化略低於維持電介質為陰極時，基板間隙之崩潰電壓Vb-與位址電介質為陰極時基板間隙之崩潰電壓Vb+之

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明(38)

和。

INV設計中，崩潰電壓 V_b^- 為約200伏及崩潰電壓 V_b^+ 為約300伏。如此 t_{su2} 過渡略低於500伏。此設計之適當值為450伏。 t_{su2} 過渡電壓審慎選擇俾便縮短於時間 t_{su0} 初負向斜面放電終點與於時間 t_{su3} 正向斜面放電起點間的時間差異。若於時間 t_{su1} 跨越基板間隙之電壓為 V_b^- 伏，則於時間 t_{su2} 過渡之 V_b^- 伏加 V_b^+ 伏將 V_b^+ 伏電壓加諸跨越基板間隙。此恰為對正向斜面初始化穩定正電阻放電所需電壓。若 t_{su2} 過渡電壓係低於 V_b^- 伏加 V_b^+ 伏，則正向斜面電壓於時間 t_{su2} 後於達到 V_b^+ 崩潰電壓前需升高至某種量，使正電阻可始於時間 t_{su3} 。只要 t_{su0} 與 t_{su3} 時間差不太長，故初負向斜面期間產生的基板間隙打底粒子不會於時間 t_{su3} 前衰變，則可接受。

若 t_{su2} 過渡電壓大於 V_b^- 伏加 V_b^+ 伏，則恰於時間 t_{su2} 後之基板間隙電壓將高於 V_b^+ 崩潰電壓。如此或許放電比正向斜面期間穩定正電阻放電所需更強。可能造成不穩的負電阻放電，此乃低照度穩定配置放電所不期望者。因 V_b^- 及 V_b^+ 電壓的確切值對一部電漿顯示面板的許多子像素而言因子像素而異，故希望適當降低 t_{su2} 過渡電壓，使其經常低於面板之基板間隙電池可能出現的 V_b^- 加 V_b^+ 和之最低值。此乃450伏選用於實驗性INV設計之故。

第14圖之配置波形圖於時間 t_{su2} 於初負向斜面及維持過渡期間，對YSA及YSB維持電極皆極為類似。但於時間

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明 (39)

tsu2後對剩餘配置間期而言，兩個維持電極波形圖不同，原因在於觸發電池及狀態電池的要求有別故。於位址間期期間，介於位址電極與YSA維持電極間的電池為觸發電池，而介於位址電極與YSB維持電極間的電池為狀態電池。因此配置期YSA波形配置觸發電池，而配置間期YSB波形配置狀態電池。

配置期波形需將觸發電池壁電壓設定為穩定明確建立的水平，故於位址間期期間，交叉YSA位址脈衝選定子像素的XA電極之低電壓準位將使子像素於OFF態；而XA電極之高電壓準位將使選定的子像素切換成ON態。要求維持OFF態可於時間tsu5藉由將YSA壁電壓置於OFF態壁電壓範圍內的準位予以滿足。可藉調整正向斜面之峰準位於時間tsu4及第二負向斜面於時間tsu5達成。

第二負向斜面執行第13圖所示負向斜面的相同基本功能。第二負向斜面造成於觸發電池基板間隙之Vb-崩潰電壓的穩定正電阻放電，故第二負向斜面之尖峰負偏移電壓Vsn2加Vb-崩潰電壓決定於時間tsu5的OFF態壁電壓。若於位址間期或維持間期無放電活性，則於時間tsu5建立的OFF態壁電壓準位將維持於位址間期及維持間期。

狀態電池壁電壓具有與觸發電池不同的要求。注意對於配置間期之斜面部分交叉狀態電池的YSB維持波形圖而言，並無第二負向斜面。取而代之，YSB正向斜面單純由時間tsu2之過渡升高至時間tsu4之電壓準位Vsp。時間tsu4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(40)

後，YSB維持於電壓準位 V_{sp} 同時也維持於整個位址間期。

此種YSB正向斜面波形之效果之一係將 V_{b+} 崩潰電壓加諸狀態電池的基板間隙。 V_{sp} 幅度調整為將時間 $tsu4$ 之壁電壓置於OFF態壁電壓範圍內的某種準位。原因在於於時間 $tsu4$ 之狀態電池壁電壓係等於 V_{sp} 減 V_{b+} 。外加至YSB波形的狀態電池正向斜面產生穩定正電阻放電，只要於基板間隙有足量打底準備粒子係由初負向斜面產生即可。如前文討論，若 $tsu3$ 與 $tsu0$ 間的時間差係短於打底粒子衰減時間，則效果良好。

進一步要求於時間 $tsu4$ 設定狀態電池之壁電壓。為加以解說，將敘述位址放電細節。位址放電對第14圖選定之子像素發生於時間 t_a 。發生於下列情況的組合：(i)觸發電池之OFF態壁電壓，(ii)外加至選定YSA維持電極的負向掃描脈衝，及(iii)交叉XA位址電極之高壓準位的組合於觸發電池引發強力放電且造成陽極柱順著維持間隙伸展至狀態電池時。陽極柱降低跨越狀態電池之基板間隙的電壓至接近零。具有將狀態電池置於ON態的效果，故子像素於維持間期期間將發光。表示於時間 t_a 位址放電的作業方式類似第5圖所示維持放電。

為了使定址動作適當作業，需要觸發電池之陽極柱伸展跨越維持間隙(透過位址電極)至狀態電池。雖然如此可可靠地用於維持放電，但除非滿足某些條件，否則當使用

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (41)

斜面型配置波形圖時如此對位址放電不一定有效。

若存在有錯誤壁電壓情況，則於位址時間 t_a ，陽極柱不會由觸發電池伸展至狀態電池，即使跨越觸發電池基板間隙有極強力放電亦如此。於時間 t_a 位址放電期間，若陽極柱未由觸發電池放電伸展至狀態電池，則出現維持期時子像素非處於ON態，故將迷失而無法發射期望的光線。

為了瞭解錯誤壁電壓情況係如何存在，需討論使用斜面波形時可能的壁電壓條件。得自斜面波形圖之正電阻放電的基本原理為於穩定放電期間，崩潰電壓維持跨越放電間隙。如此將壁電壓置於明確建立的準位，該準位易由斜面波形幅度控制。由於需要正電阻放電，故無顯著電場失真係來自於放電間隙的空間電荷。如此當然排除陽極柱的存在，原因為全部陽極柱皆具有極高度空間電荷場失真。

如此表示觸發電池之斜面產生的正電阻放電係與狀態電池之斜面產生的正電阻放電獨立無關作業，原因為並無陽極柱耦合觸發電池與狀態電池故。如此即使觸發電池及狀態電池之正電阻放電將其壁電壓置於跨越基板間隙之明確建立的準位，但仍有顯著自由度可使觸發電池與狀態電池之壁電壓有大的差異。

全部壁電壓皆顯示於附圖說明跨越基板間隙可量測的壁電壓組成。斜面波形產生的正電阻放電容易控制跨越本發明之基板間隙量測的壁電壓。但正電阻放電不一定控制跨越維持間隙量測得之壁電壓於明確建立的準位，原因為

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(42)

觸發電池與狀態電池之正電阻放電獨立無關故。

壁電壓跨越維持間隙的分布對於第14圖位址放電期間，決定觸發電池放電陽極柱是否由觸發電池至狀態電池相當要緊。第5圖所示維持放電之觸發電池陽極柱移動至狀態電池的原因在於得自擴大陽極柱前導緣之電子(例如第5圖時間 t_1 及 t_2)找到沿位址電極之一表面，其於遠離觸發電池方向相對於陽極柱具有正電位。此種前導緣陽極柱電子快速移動至正電位區，因而造成陽極柱的進一步擴充。

若沿位址電極之電荷相對於陽極柱產生負電位，則前導緣電子不會移出陽極柱之外，僅有遠更緩慢的正離子移出陽極柱的前導緣之外。此種負電位條件將阻止由觸發電池移動至狀態電池。

幸虧維持放電結果不許可此種負電位條件沿位址電極存在。原因在於沿位址電極的電位係建立於沿維持間隙之接近均勻電位(由於跨越氣體間隙電壓於強力維持放電後實質降至零)。於一次維持放電終點，此種接近均勻的位址電極壁電位條件當然變成次一維持放電之初位址電極壁電位條件，如第5a圖所示。

引發維持觸發電池放電的負向觸發電池維持電極，造成觸發放電陽極柱前緣電位相對於第5a圖之接近均勻的位址電介質電位為負。如此，維持觸發電池陽極柱經常找到一位址電介質電位區，該區於遠離觸發電池方向具有更為正值的電位。此種電位條件經常許可維持放電觸發放電陽

(請先閱讀背面之注意事項再填寫本頁)

張

訂

線

五、發明說明(43)

極柱方便伸展至狀態電池。

現在檢視斜面波形配置之位址作業情況，需做測量輔助於選擇性位址放電期間，陽極柱由觸發電池移動至狀態電池。於第14圖於時間 $tsu2$ 與 $tsu4$ 間部分係由狀態電池維持電極YSB之正向斜面作用達成。正向斜面之尖峰幅度 V_{sp} 調整為狀態電池位址電介質具有充分正電位來由定址的放電觸發電池吸引陽極柱。

此外，介於時間 $tsu4$ 與 $tsu5$ 間，YSA電極之第二負向脈衝將觸發電池電介質電位充分負向移動，故於選擇性位址放電期間於時間 t_a ，陽極柱前緣的電位相對於狀態電池電介質電位為充分負值，因此觸發電池陽極柱方便移動至狀態電池。

發現若 V_{sp} 值不夠正值且 V_{sn2} 值不夠負值，則即使有強力觸發電池放電也無法出現可靠的選擇性位址作業，原因在於選擇性位址觸發電池放電陽極柱無法可靠的移動至狀態電池故。

也發現於某些條件下可於時間 t_a 達成可靠的定址而無需使用YSB初負向斜面或YSB正向斜面。部分原因在於於配置間期及位址間期期間，YSB電極交叉狀態電池。由於無需打底準備位址間期狀態電池，故於配置相期間無需於交叉YSB電極的電池作打底放電。如此全部案例無需YSB初負向斜面或YSB正向斜面，只要壁電壓條件許可於時間 t_a 於位址放電期間，陽極柱有觸發電池自由移動至狀態電

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明(44)

池即可。

位址間期波形

選擇性位址放電波形圖示於第10、11及14圖。選擇性定址作業的基本原理略為類似維持作業使用的原理。簡言之，於觸發電池引發放電造成陽極柱移動至狀態電池，因而改變子像素態。此種案例中，觸發電池交叉YSA維持電極，而狀態電池交叉YSB維持電極。主要差異在於選擇性定址期間決定觸發電池放電的發生非與初壁電壓有關，原因在於妥善調整配置波形將全部觸發電池壁電壓建立於許可OFF態範圍內之某個固定準位。如此確保於位址間期並無位址放電，使維持間期開始時子像素將於OFF態。

選擇性位址作業之觸發放電係藉循序外加至各個YSA電極(於正常循序掃描方法中)的負向掃描脈衝重疊XA位址電極之正向位址脈衝引發。

當掃描脈衝外加至指定YSA電極作為負向脈衝時，指定子像素將隨交叉XA位址電極之電壓準位而定具有觸發電池放電。若XA位址電極脈衝為低，將無觸發電池放電，子像素態於位址間期期間不會改變。如此子像素於維持間期保持OFF態不會放電。

若於負向YSA脈衝期間，XA位址電極電壓為高，則被選定的子像素之觸發電池放電。放電造成陽極柱由觸發電池伸展至狀態電池，因此將狀態電池壁電壓置於ON態，如第10、11及14圖所示。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (45)

於維持期之初，ON態子像素放電，於維持間期發射預定量之光。

前述定址作業要求下列條件。首先全部配置間期波形需將全部觸發電池及狀態電池壁電壓設定為OFF電池壁電壓範圍內的某個準位。如此確保於位址間期未被選擇性寫入的子像素不會於隨後維持間期的ON態時間開始放電。第二，觸發電池之OFF態壁電壓須置於明確建立的準位，俾便使外加至XA及YSA電極的位址脈衝幅度減至最低。

矩陣定址要求對矩陣顯示器之各電極有一位址驅動器電路，通常表示典型電視或電腦監視器顯示幕的數千條位址電路。為了降低顯示系統成本，希望縮小位址脈衝電壓幅度。若於配置間期妥為建立觸發電池壁電壓，則最低準位位址脈衝為可能。

最希望將XA位址電極電路驅動器的電壓減至最低，原因為此種數目通常為最多。例如於640x480 VGA彩色顯示器中，有1920 XA位址電極驅動器而僅有480 YSA掃描電極位址驅動器。XA電極電壓可藉適當調整配置間期之觸發電池壁電壓及負向YSA掃描脈衝之低電壓準位而減至最低。此種調整確保當XA脈衝於其低壓準位時，觸發電池壁電壓與YSA掃描脈衝之和外加電壓跨越觸發電池基板間隙，該電壓恰低於造成觸發電池有夠強放電可使陽極柱由觸發電池送出並改變狀態電池之壁電壓態的閾值準位。若符合此條件，則於XA位址電極僅需相對低的正向脈衝

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(46)

俾便提高電壓跨越觸發電池之基板間隙，該電壓遠高於加諸ON態選定子像素的閾電壓。

注意YSA掃描脈衝及XA位址脈衝極性為於位址間期觸發電池放電期間，YSA維持電極為陰極，確保高度二次發射面(例如氧化鎂)為陰極，其使觸發電池放電儘可能最低的電壓。

負向YSA掃描脈衝幅度決定觸發放電之OFF電壓。當觸發電池被外加高準位YSA掃描脈衝電壓時，為了使位址妥善作業，對XA位址脈衝之高及低電壓準位而言，於觸發電池需無顯著放電活性。如此表示若使用最低度XA位址脈衝，則YSA掃描脈衝電壓幅度須等於或高於XA位址脈衝幅度，故不發生半選擇錯誤。若使用較小幅度的YSA脈衝則可能發生錯誤，具有高準位YSA(未經選定)及高準位XA(經選定)之子像素具有跨越觸發電池維持間隙的電壓，該電壓係高於變更子像素態的閾電壓。希望使YSA脈衝電壓顯著高於此最小值，俾便對面板製造維度變化上有適當安全因素。

電極連結

有待討論的一項議題係解決由於本發明之像素間間隙顯著小於維持間隙引發的問題，如表1 INV設計之SusG/IPG比值為1.67。如前述，此種高SusG/IPG比將造成先前技術設計發射錯誤，原因為像素間間隙的電場係大於維持間隙電場。

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明(47)

此種問題可由本發明利用第3圖所示特殊維持電極連結技術克服。面板前板的維持電極係沿水平方向引出。注意所示維持間隙顯著大於像素間間隙。此項設計之關鍵特點為指定YSA及YSB電極。注意YSA電極被分組為毗鄰二電極，YSB電極也以二毗鄰電極集成一組。表示基本電極重複順序為二YSA電極接著為二YSB電極。

此與先前技術設計相當不同，前者之YSA及YSB電極係交替。先前技術設計之基本重複順序為一個YSA電極接著為一個YSB電極。先前技術設計中，一像素有一YSA電極及一YSB電極。

第3圖顯示四個子像素亦即子像素1、2、3及4。子像素之X維邊界係由障壁肋54界限。Y維邊界任意定義為像素間間隙中點。注意毗鄰YSB電極於面板兩邊短路而形成連續回路。也需注意全部YSB電極皆直接連結至YSB匯流排電極66。因全部YSB維持電極皆連結至共用匯流排電極66，故若回路有單一開口的製造瑕疵，則連續回路為較佳，其不會於面板造成可察覺的開放線，原因為斷線有連結路徑由開放點左端及右端連結至YSB匯流排電極。此雙重傳導路徑大大提高面板產率而不會造成成本的增高。

YSA電極連結至第3圖右側之互連墊。如此許可掃描位址驅動器70連結至面板。YSA電極無法形成回路，因定址作業要求毗鄰YSA電極具有不同電位。

先前技術主要問題為防止像素間間隙小於維持間隙可

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(48)

藉第3圖之PDP設計解決，該設計係確保於維持作業期間並無電場跨越像素間間隙。由於對維持間期之指定時間而言，全部YSA電極皆於等電位，全部YSB電極皆於等電位(經常與YSA電位不同)，故跨越像素間間隙並無電位差。原因在於各間隙係由一對YSA電極或一對YSB電極界限。當然維持間隙皆由一個YSA電極及一個YSB電極界限，故於維持作業期間，第6b圖之波形圖適用於根據本發明成功的維持作業。

若第6b圖之波形圖適用於第3圖具有前面板電極的PDP，則於時間 $td1$ 之放電期間，YSA電極界定的電池將為觸發電池，YSB電極界定的電池將為狀態電池。如此表示於第3圖，子像素1具有於YSA1之較低電池作為觸發電池，子像素1具有於YSB1之較高電池作為狀態電池。子像素2具有顛倒排列，於時間 $td1$ 於YSA2之上電池為觸發電池，及於YSB2之下電池為狀態電池。

由於顛倒配置，於時間 $td1$ 之維持放電期間，子像素1之陽極柱由子像素下部移動至上部，同時來自放電子像素2之陽極柱由子像素上部移動至子像素下部。事實上於時間 $td1$ ，全部於ON態的奇數子像素具有陽極柱由下移至上；全部偶數編號的ON態子像素具有陽極柱由上移至下。

於時間 $td2$ ，當全部YSB電極界定觸發電池及全部YSA電極界定狀態電池時，全部陽極柱方向皆逆轉。

定址作業以第3圖之PDP配置效果良好。例如子像素2

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (49)

被選擇性定址，定址方式係將負向掃描脈衝外加於YSA2，同時正向位址脈衝外加於交叉子像素2之XA位址電極。如此造成交叉維持電極YSA2之觸發電池放電，並將其陽極柱送至交叉維持電極YSB2之狀態電池。所有其他面板之子像素皆可以類似方式選擇性定址。

實驗量測

第15a-15c圖顯示於1920x2子像素陣列於42吋對角線交流電漿顯示面板驅動，具有表1所示INV設計維度及根據本發明作業的位址電極、觸發電池維持電極及狀態電池維持電極之實際量測得之維持電壓及電流。第15a圖顯示YSA電極電壓，其於本例為界定觸發電池的維持電極，及YSB電極電壓，其於本例為界定狀態電池的維持電極。外加至位址電極的XA電壓未顯示於第15圖原因為其於維持作業期間係恆定於0伏特。

第15b及15c圖顯示於YSA、YSB及XA電極流動的電流。第15c圖顯示第15b圖之相同資料但時間刻度放大。第15b及15c圖所示三種電流極性經任意選擇，故當出現放電電流時容易比較其數值。注意對第15b及15c圖所示放電電流極性而言，YSA電流等於YSB電流與XA電流之和經常為真，原因在於第5圖所示PDP子像素之電流原理的連續性及三端子性質。時間t0至t5對應第5圖之時間標記，標示於第15b及15c圖。

由於0.15微秒至0.5微秒間YSA及YSB維持波形時間改

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(50)

變造成的異位電流平息後，第15c圖顯示小型放電始於觸發電池而尖峰出現於時間 t_2 。此種觸發電池放電顯示對 t_2 前的各時間於觸發電池維持電極YSA及位址電極XA之電流相等。注意於時間 t_1 及 t_2 於狀態電池維持電極YSB有可忽略的電流，原因為初放電僅出現於觸發電池電極，而陽極柱尚未到達狀態電池。隨著陽極柱由觸發電池中心的向外伸出，觸發電池放電電流下降至時間 t_3 陽極柱伸至狀態電池維持。於此點，介於觸發電池維持電極YSA與狀態電池維持電極YSB間之放電電流相等，原因在於高度導電的陽極柱連結此二維持電極之介電表面，故位址電介質不會造成進一步顯著放電電流或對跨越維持間隙的放電造成任何影響。如此許可放電電流於時間 t_4 顯著升高至峰值，該峰值係遠高於於時間 t_2 之初觸發放電峰值幅度。最後，電流衰變至於時間 t_5 不再有任何名目放電活性為止。

第16a及16b圖顯示於第15圖所示放電期間，由子像素觀察得氣體放電光測量值呈空間及時間之函數。空間維度係沿一線，該線係平行位址電極且向下畫至觸發電池與狀態電池間子像素中心。此線於第2c圖顯示為剖面A-A。光於約828毫微米觀察得近紅外光波長，係來自於氣體放電之氫原子激勵程度。適當光學濾鏡用於遮斷來自磷的可見光，其通常大致延遲，因而混淆放電活性。

紅外光常用於驗證有足量氫氣體原子激勵區，故也合理近似來自氫之真空紫外光產生區。當然真空紫外光其為

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (51)

氣體放電預定輸出能量，用於激勵磷而由電漿顯示器發出預定色彩的可見光。

第16b圖顯示觸發電池之早期放電活性。注意空間光分布係對0.02微秒之時間增量作圖，標示的時間恰對應第15圖所示電壓及電流之時間軸。第16a圖顯示當陽極柱由觸發電池伸至狀態電池時後期放電活性。注意第16a及16b圖之縱軸刻度不同，但任意光強度單位對二圖相同。也需注意觸發電池維持電極對中於1000微米，狀態電池維持電極對中於200微米。維持電極係由不透明的鉻-銅-鉻材料製成，故遮斷100微米寬之光線。也反射由電漿面板外側繞射回的光線。

第16b圖顯示於0.77微秒之觸發電池之第一放電活性，對中於觸發電池維持電極。隨著時間的前進，觸發電池放電活性幅度加大，也隨著陽極柱朝向狀態電池前進，觸發電池也遠離觸發電池中心向外伸展。於0.89微秒對應第5圖及第15c圖之時間 t_3 ，陽極柱恰達到狀態電池，隨後第16a圖所示時間顯示大致數量之光皆沿著維持間隙。於0.95微秒，對應時間 t_4 ，順著維持間隙來自陽極柱放電光到達尖峰。

注意於0.95微秒的強光未顯示尋常先前技術接近陰極的強峰，此時陰極為觸發電池維持電極，反而本放電顯示強光一路順著維持間隙，其指示陽極柱放電。其他未示於第16圖之陽極柱活性證據為放電纖維窄。此放電伸展跨越

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (52)

維持間隙，顯然為窄絲，但寬度約為50微米。當考慮此放電於可活動之障壁肋間空間超過300微米時此種寬度特別窄。再度窄長絲性質指示陽極柱而非陰極輝。

最後強力長絲放電具有第16a圖所示紋路，許多光沿維持間隙起伏於維持間隙之半接近觸發電池的0.95微秒特別顯著。第16a圖之起伏波動可能混淆為雜訊，但非雜訊，反而為實際測得的光輸出。雜訊準位遠小於一任意單位，如於第16b圖狀態電池側觀察得之雜訊可證。由於紋路造成第16a圖所示起伏具有峰與峰之差異幅度大於10任意單位。再度紋路指示陽極柱，通常未見於陰極輝。顯然第15及16圖測得之放電之大半光線係來自強陽極柱，而僅有極小量係來自陰極輝。

電介質電容考量

注意於第15c圖，YSA至XA觸發電池基材放電峰值出現於時間t2，該峰值幅度顯然小於於時間t4出現峰值的YSA至YSB維持間隙放電幅度。也可比較此二放電移轉的電荷。電荷可藉第15c圖所示時間積分電流進行。考慮曲線下方面積亦同。

於時間t0至時間t5間之間期，YSA至YSB維持間隙放電移轉 1.7×10^{-8} 庫倫，而於時間t0至時間t3之間期，YSA至XA觸發電池基材間隙放電移轉 1.1×10^{-9} 庫倫顯示維持間隙放電電荷對觸發電池基材間隙電荷之比為15:1。如此高比值對PDP成功的運作相當要緊。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明（53）

高電荷比的基本原因為遮蓋位址電極之介電層電容比較遮蓋維持電極之介電層電容為低。回憶位址電介質包含粉狀磷層具有低密度，因而具低相對介電常數，而維持電介質通常為高密度玻璃層，其具有高相對介電常數。此等因素連同電極的相對寬度及長度有助於界定電荷比。

希望有高電荷比。原因為跨越基板間隙之觸發電池放電及跨越維持間隙之主放電，發送電荷通過觸發電池維持電極電容器。因此之故，二放電競爭儲存於觸發電池維持電極電容器的能量。若觸發電池基板間隙放電過強，則大量正電荷將使觸發電池維持電極電介質的電壓顯著升高，故當出現跨越維持間隙的主放電時，跨越陽極柱將有較低電壓，因此較少放電能沉積於陽極柱。暗示低電荷比具有較低照度，原因為較少能量沉積於有效主放電。

為了達到高電荷比，因此達到面板的高照度，位址電極電介質之電容顯然小於維持電極電介質之電容。各電容係於電極面積乘以介電材料之相對介電常數成比例。又電容係與電介質厚度成反比。維持電介質之電容通常調整達成有特定程度的照度係來自於主放電。提示位址電介質電容可調整達到高電荷比。表示位址電介質係由具有相當低的相對介電常數之厚材料製成。此外須使位址電極面積變小。

嘗試使位址電極長度縮短無意義，原因為就定義而言，位址電極由面板一緣跑至另一緣俾便交叉面板柱之全部

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (54)

子像素。但適合且希望使位址電極寬度變小俾便達成高電荷比因而達成高照度。

放電順序穩定性

第17圖顯示典型電漿顯示子像素穩定性之類似圖。類似圖為球於成形面上滾動。球可處於雙穩態，如第17圖所示。有個高態，球停於高谷底部，以及有個低態，此處球停於長平坦面之任一處。注意高態之橫向位置清晰界定，原因在於若球最初置於高谷內部而非高谷底部，則重力將作用將球滾至高谷的最低點。另外，球於低態之橫向位置界定不良。

因低態為長平坦面，故若球最初位於平面平坦部，則將保持於初位置，原因為重力不會橫向推動球。由於有許多個初位置，故低態之橫向位置界定極差。有關球於低態之平衡橫向位置確定為沿長平坦面的某一處。若球係沿長平坦面之側壁設置，則重力將使球沿壁滾下至達長平坦面為止。

球於成形面的比喻極為類似電漿顯示器子像素之穩定情況。電漿顯示器子像素之ON態類似球於第17圖之高態；電漿顯示器子像素之OFF態類似第17圖於低態之球。第17圖中球之橫向位置類似於放電間任何指定時間間期，電漿顯示子像素之壁電壓。電漿顯示放電活性類似重力。

由此種比喻瞭解的另一重要事項為於放電間之時間，ON態之子像素具有壁電壓其乃明確建立的平衡值。若ON

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (55)

態之壁電壓偏離此平衡值，則下次以及隨後各次放電之力將移動子像素壁電壓朝向平衡值。同理，於OFF態之電漿顯示器子像素不具有良好確立的平衡壁電壓值。

OFF子像素有寬廣壁電壓範圍而仍然處於OFF態。因OFF態之平衡壁電壓值通常無任何顯著強度放電，故無來自放電活性的顯著力可將壁電壓由一維持脈衝變更至次一維持脈衝。若OFF態子像素具有類似長平坦面側壁的壁電壓，則維持脈衝將引起微弱放電，迫使壁電壓返回長平坦面，此處隨後不具放電活性。

第18圖顯示第6b圖所示相同維持波形圖及ON態及OFF態之壁電壓之容許值。注意於放電間之任何指定時間，ON態壁電壓有單一平衡值。另外，OFF態有容許壁電壓範圍。注意壁電壓係對YSA及YSB電極定義。兩種壁電壓表示定義介於維持電極與位址電極間跨越基板間隙的電壓。於任何指定時間，YSA或YSB壁電壓指定給子像素之觸發電池或狀態電池。

二壁電壓彼此獨立，唯有有導電陽極柱架橋跨越觸發電池與狀態電池間之維持間隙時才耦合。以OFF態為例，此處並不導電陽極柱，二電池之壁電壓完全獨立。以ON態為例，導電陽極柱耦合觸發電池及狀態電池壁電壓，故於放電間之間期，一種壁電壓係於高階，而另一壁電壓係於低階。

平衡ON態壁電壓之實際值係由下述原理決定，於高

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (56)

度導電性放電後，於基板間隙有足量電子及陽離子流至壁而幾乎完全降低跨越基板間隙之電壓至零，如第5f圖所示。若基板間隙電壓為零，則壁電壓等於維持電壓。第18圖顯示ON態壁電壓幾乎等於放電後的維持電壓。

OFF態壁電壓之範圍受二壁電壓 V_{r1} 及 V_{r2} 界限。若OFF態壁電壓超出 V_{r1} 至 V_{r2} 範圍以外，則微弱放電用來將壁電壓返回 V_{r1} 至 V_{r2} 範圍，恰如第17圖之球當超出毗鄰平面的左或右側壁時，重力將使第17圖之低態球返回長平坦面般。

V_{r1} 之值係由維持電壓為低壓時微弱放電引發的點決定。例如於第18圖係相當於時間 t_{f1} 至 t_{r1} 間(YSA)及相當於 t_{f2} 至 t_{r2} 間(YSB)。當維持電壓低時，遮蓋維持電極的電介質變成陰極。由於電介質通常具有高二次發射材料如氧化鎂，故微弱放電引發的基板間隙電壓相對較小。

對具有表1 INV設計之實驗性子像素及第15及16圖之特徵測量值而言， V_{r1} 電壓測得高於維持電壓低準位約200伏。 V_{r2} 之值係由維持電壓為高時引發弱放電該點決定。例如於第18圖相當於 t_{r1} 至 t_{f3} 之時間(YSA)及相當於 t_{r0} 至 t_{f2} 之時間(YSB)。

當維持電壓為高，維持電極變陽極，而位址電極變陰極。因遮蓋位址電極之磷層通常不具高二次發射材料如氧化鎂，故可引發微弱放電該點的基板間隙電壓相對較高。用於具有表1 INV設計之實驗性子像素及第15及16圖之特

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (57)

徵測量值， V_{r2} 電壓測得低於維持電壓之高準位約300伏。

令人感興趣的發現OFF態壁電壓範圍就高及低維持電壓準位而言為非對稱。注意 V_{r1} 至 V_{r2} 中心係低於高維持準位與低維持準位間半途該點。理由在於基板間隙崩潰電壓於維持電極為陰極時低於位址電極為陰極時。原因在於遮蓋維持電極之電介質具有高二次發射材料如氧化鎂；而遮蓋位址電極之磷層通常不含高二次發射材料。

此種情況集合許可OFF態壁電壓範圍之最低值 V_{r2} 設定為低於維持電壓最低值之值，如第18圖所示。例如用於第15及16圖之INV設計資料的維持電壓，具有 V_s 值260伏， V_{r2} 測量值300伏，故OFF態壁電壓於本例係低於維持電壓最低準位40伏。但OFF態壁電壓範圍之最高準位 V_{r1} 不可大於或等於維持電壓之最高準位，原因在於OFF態電壓重合ON態壁電壓，於維持電壓降至低準位時將造成OFF態錯誤放電。

例如對實驗性INV設計而言，若 V_s 為260伏及 V_{r1} 為200伏，則OFF態壁電壓之最高準位低於維持電壓最高準位60伏。

第18圖所示OFF態壁電壓許可範圍呈現令人感興趣的情況集合，於維持週期之某些時間，指定電池之OFF態壁電壓具有該電池ON態壁電壓恰等數值。第19圖許可對第18圖所述界限範圍內的觸發電池及狀態電池之OFF態壁電壓做選擇，此處對某些間期而言OFF態壁電壓係等於ON態

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(58)

壁電壓。

至於td1至td2間之期間，OFF態壁電壓及ON態壁電壓示於第19圖等於YSA維持電極，此段間期交叉觸發電池。同理，於td2至td3間之期間，OFF態壁電壓及ON態壁電壓對YSB維持電極而言為相等，該電極於此間期係交叉觸發電池。顯然OFF態及ON態壁電壓長時間處於相等準位，不具顯著放電活性，無法保有任何有關子像素態的有用資訊。

如此本發明之概略原理為觸發電池於被觸發的放電後未保有任何有關子像素狀態的有用資訊。它方面，第19圖之狀態電池其中一者於td2至td3間之期間交叉YSA電極，而另一者於td1至td2間之期間交叉YSB維持電極，確實對ON及OFF態各有不等壁電壓。因此，狀態電池可保有子像素狀態資訊，此乃其命名為狀態電池之故。

本發明之一項特點為子像素狀態資訊的儲存可於各維持週期之半週期期間，介於兩個子像素實體電池間交換。指定實體電池唯有於狀態電池之半維持週期期間才保有子像素狀態資訊。ON態的狀態電池於觸發電池維持脈衝期間當返回觸發電池時將放電。OFF態之狀態電池當於觸發電池維持脈衝期間返回觸發電池時不會放電。

一旦狀態電池返回觸發電池，其移轉狀態資訊給新狀態電池，而新觸發電池喪失有關子像素狀態資訊。

維持波形之進一步細節

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (59)

有關第6b圖所示波形有進一步主要特點。YSA維持電壓於 t_{f1} 下降，而觸發放電於 t_{d1} 引發。於時間 t_{r1} 放電完成後某個時間，YSA維持電壓升高。短時間後，YSB維持波形於時間 t_{f2} 下降，而維持放電於時間 t_{d2} 引發。

要緊地維持電壓YSA於時間 t_{r1} 之升高係出現於於時間 t_{d2} 放電開始前；或若需要適當安全因素，則 t_{r1} 出現於YSB維持電壓於時間 t_{f2} 下降之前或同時。若於時間 t_{d2} 之放電係出現於YSA維持電壓於 t_{r1} 升高之前，則子像素可能被錯誤消除。

消除作用顯示於第7圖。YSB維持電壓於時間 t_{f2} 下降將造成於時間 t_{d2} 於觸發電池放電，其引發陽極柱於時間 t_{d2} 伸展入狀態電池內部。若維持電壓YSA外加至狀態電池於時間 t_{d2} 仍處於低準位，如第7圖所示，則跨越狀態電池基板間隙的電壓恰於觸發電池放電前極為接近零。然後當觸發電池陽極柱伸展入狀態電池時，於時間 t_{d2} 狀態電池之壁電壓(如第7圖所示)對YSA壁電壓而言無顯著改變。

當YSA維持電壓於時間 t_{r1} 最終升高時，跨越狀態電池基板間隙的電壓係於等於OFF態準位的準位。於次一維持放電時間，當YSA維持電極於時間 t_{f3} 下降時，觸發電池無法於時間 t_{d3} 發射，原因在於觸發電池之壁電壓處於OFF準位，故跨越觸發電池基板間隙之電壓不足以引發放電。注意一旦子像素被消除(於第7圖時間 t_{d2})，於其餘維

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(60)

持脈衝期間並無隨後放電，子像素於時間 $td2$ 藉錯誤消除被置於OFF態。

雖然第7圖顯示如何發生單一錯誤消除，但也可能且經常非期望有一維持波形圖集合，此處於每個維持週期將發生消除。考慮第8圖所示維持波形圖集合，其類似第6b圖之波形圖但波形圖單純顛倒。發現第8圖之波形圖未以表1所示INV設計維度適當維持面板。

雖然第6b圖波形圖測得之最低維持電壓 V_{smin} 為250伏，但第8圖之波形圖即使於 $V_s=350$ 伏仍然無法維持任何維持放電。於 V_s 電壓約400伏，以第8圖之波形圖可維持維持放電，但全部放電僅跨越基板間隙。即使於極高 V_s 電壓500伏，跨越維持間隙仍無放電。即使於 $V_s=500$ 伏，並無證據證實陽極柱由觸發電池移動至狀態電池。

顯然為何第8圖波形圖之觸發電池產生的陽極柱不會移動至放電狀態電池。第8圖之觸發電池於時間 t_{f1} 交叉YSA。若將發生觸發電池，則陽極柱係移動至狀態電池，其交叉維持電極YSB。但因YSB於時間 t_{f1} 係於低態，故狀態電池之壁電壓將調整至等於YSB維持電壓之低值，該值對應OFF態。換言之出現消除。類似消除作業出現於時間 t_{f2} 。因觸發電池放電造成子像素被消除，故對第8圖之波形圖而言陽極柱放電模不可能存在於跨越維持間隙。

本發明與先前技術的比較

值得考慮前述ON態維持放電模與先前技術採用的ON

五、發明說明(61)

態維持放電模間之相似性與差異。第6b圖所示波形圖可應用至具有先前技術電極幾何的電漿面板，類似表1所示標示為F、N、M及P，面板將以先前技術ON態維持放電模適當作業。

主要差異在於具有氧化鎂陽極的先前技術幾何許可約170伏之最低維持電壓 V_{smin} ，而本發明幾何亦即表1的INV且採用如先前技術設計之氧化鎂陰極材料，具有 V_{smin} 約250伏。此點有意義，原因在於基板間隙對先前技術設計及INV設計具有約110微米的相等值。

V_{smin} 差異極大的理由為ON態維持放電模之差異。本發明之ON態維持放電係由跨越觸發電池基板間隙之放電引發，具有足夠幅度來使陽極柱由觸發電池伸展至狀態電池。 V_{smin} 係由觸發電池放電恰夠強足夠具有夠強放電使陽極柱伸展至狀態電池且顯著改變狀態電池之壁電壓決定。

對利用第6b圖相同波形圖之先前技術子像素維度而言，ON態維持放電最初出現於二維持電極間的維持間隙，而跨越基板間隙並無顯著放電活性。原因為先前技術維度如表1之SusG/SubG顯示，具有維持間隙對基板間隙約1比1之比。如此許可於ON態維持放電開始，快速維持池間隙產生大電場。大電場係由外加維持電壓加上YSA維持電極之電介質電荷加上YSB維持電極之電介質電荷引起。

跨越維持間隙的大電場造成先前技術ON態維持放電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(62)

沿維持間隙發展。先前技術沿基板間隙並無顯著放電，原因在於先前技術幾何典型使用的維持電壓(約170伏至200伏)典型係於或低於基板間隙崩潰電壓，該崩潰電壓於氧化鎂作為陰極時為約200伏，而於磷作為陰極時為約300伏。如此表示於先前技術維持電壓極少可能維持放電跨越基板間隙至位址電極。

介於此處所述本發明與先前技術間之ON態維持放電模之主要差異易經由檢視兩次ON態維持放電之位址電極電流測量。第15圖顯示於時間t1，有小型放電電流出現於觸發電池維持電極YSA及位址電極XA，而於時間t2達到尖峰。此電流於時間t1係不存在於狀態電池維持電極YSB。於時間t4介於觸發電池維持電極YSA與狀態電池維持電極YSB間有強力放電，係由二電極之強電流獲得驗證。

先前技術ON態維持放電模具有強放電介於二維持電極間，似乎類似第15圖於時間t4所見。主要差別為先前技術維持放電未顯示放電電流類似於時間t1介於觸發電池維持電極與位址電極間的放電電流。此種放電未發生於先前技術ON態維持放電，原因在於其維持間隙遠小於本新穎發明之維持間隙。先前技術之維持間隙較小，許可於維持電極與位址電極間可能發展出任何顯著放電之前，跨越二維持電極的強電場出現強力ON態放電。

本發明之維持間隙顯然較大，促成跨越維持間隙之電場過低，故不可能出現介於二維持電極間的初步放電。表

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (63)

示本發明之維持電壓 V_s 需提高至超過先前技術電壓。本發明之維持間隙相對於基板間隙為過大，因而即使採用升高的維持電壓 V_s ，跨越維持間隙的電場仍過小無法直接引發跨越維持間隙的放電。取而代之，跨越基板間隙的電場遠大於跨越維持間隙的電場，而本發明跨越基板間隙的放電可於比較跨越維持間隙的放電於遠更低的電壓發生。此乃為何於第15圖時間 t_1 ，跨越基板間隙的觸發電池放電係發生於跨越維持間隙放電之前。

先前技術與本發明之另一項差異為容許波形圖範圍。因先前技術ON態維持放電係跨越維持間隙出現，故維持放電的陰極經常為遮蓋維持電極之高二次發射介電層之一。表示出現ON態維持放電時，維持電壓為高或低並不重要，因二維持電極具有高二次發射電介質而可作為低壓陰極。

如前文討論，當觸發電池之維持電極為負時，高度希望本發明出現ON態維持放電，使觸發電池維持陰極的高二次發射電介質作為陰極。若本發明之觸發電池放電係發生於維持電極為陽極時，則遮蓋觸發電池位址電極之低二次發射電介質作為陰極，且發生非期望的高壓放電。

先前技術與本發明之另一差異為維持脈衝過渡時序。回憶本發明，參考第16b圖，要緊地於時間 tr_1 維持電壓 Y_{SA} 升高係發生於時間 td_2 之放電起點之前；或若希望有適當安全因素，則 tr_1 發生於 Y_{SB} 維持電壓於時間 tf_2 下降之前

五、發明說明(64)

或同時。若於時間td2的放電係發生於YSA維持電壓於tr1升高之前，則如第7圖所示，子像素將被錯誤消除。或於第8圖波形圖之極端案例，本發明之子像素將每隔半個維持週期被消除。先前技術ON態維持放電不含此種限制。通常未限制先前技術ON態維持放電中何時出現tr1升高。事實上今日使用的大半先前技術系統類似第8圖。原因在於先前技術初維持放電發生於跨越維持間隙，故若於YSB於tf2下降前未發生YSA的升高，則無足夠跨越維持間隙或基板間隙的電壓來引發任何放電。若YSA之tr1升高係發生於YSB於tf2降低之後，則先前技術ON態維持放電將藉YSA之tr1升高引發，而非由YSB於tf2之下降引發。如此先前技術之ON態維持放電模無機會由維持脈衝緣之相位變化所錯誤消除。

例如第8圖之反相波形圖將正確維持先前技術於與第6b圖之波形圖約略相等低維持電壓。當然如前文討論，此處說明之本發明可以第6b圖之波形圖適當發揮功效，但第8圖之波形圖則否。

本發明之優點及缺點

本發明之第一大優點為發光效率。根據本發明設計之電漿顯示面板可達成比較根據先前技術設計的類似面板更高的發光效率。相信發光效率增高係由於使用效率較高的陽極柱而非效率較低的陰極輝之故。

高發光效率相當要緊，原因在於其可用於獲得較亮的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(65)

面板、較低功率面板或較長壽命面板。

注意於表1，先前技術設計使用兩型電極：透明及不透明。透明電極通常係由氧化錫或銦錫氧化物製成，且設計成許可放電光易經由電極散逸。不透明電極需製成窄條形，故不會遮斷過多放電光。

透明電極之優點為可使用寬電極來提高介電電容，因而增加面板亮度。若類似的寬電極係用於不透明電極，則大半光於先前技術係來自於陰極輝之光於電極下方產生，且大部分被遮蔽。不透明電極之優點為面板製造成本較低，原因在於透明電極需要二製程步驟，包括沉積寬透明電極，然後沉積額外窄不透明且高度導電性電極於透明電極頂上，俾便大減電極電阻至可接受的程度。

單純不透明電極設計僅需單一步驟沉積不透明電極達到低電阻，故成本較低。

因本發明之大半光線係來自陽極柱，故來自陰極輝之光線不太要緊，故無需透明電極來達成高亮度。第16圖之資料係取自具有不透明電極之面板，故顯然不透明電極不會遮斷大量光線。如此本發明有助於使用不透明電極，其成本比先前技術常用的透明電極更低。

本發明之另一優點為電極電容比先前技術設計更低。因本發明之維持間隙較大，故維持電極間之電極電容必然較低。此外，第3圖所示電極連結配置進一步降低維持器需驅動的電容。原因在於先前技術具有單純交替YSA及

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (66)

YSB維持電極，每個YSA電極帶有一個YSB電極於其任一側，各該兩個YSB電極具有相關電容。第3圖設計中，指定YSA電極有一YSA電極於一邊及YSB電極於另一邊。YSA電極及其與YSA鄰居間之電容不要緊，原因在於維持電壓產生器無需驅動此等電容至不同電位。唯有介於YSB電極與其單一YSB鄰居間的電容需由維持器驅動。如此表示第3圖配置可有效對半減少維持電極至維持電極電容。降低電容對降低維持電路及定址電路之功率耗散相當要緊。

電容減低相當明顯。經由比較表1設計之先前技術P之電容與本發明 INV設計可證。真正電容值係對各種設計使用具有640x480全彩子像素帶有4:3縱橫比之42吋對角線電漿面板之實用作業設計測量。先前技術P設計之整個面板 YSA 對 YSB 維持電容測得為83.3毫微法拉(nanofarads)，本發明之INV設計測量值僅33.6毫微法拉。除了並聯連結的全部XA位址電極至並聯連結的全部維持電極之電容於先前技術P設計測得為61.3毫微法拉，於本發明之INV設計測得為48.9毫微法拉。此種降低主要影響減少功率耗散及下降本發明之設計成本。

預期本發明由於磷分解減少故壽命延長。磷由於多種不同效應隨著電漿顯示器操作的老化而喪失亮度。兩種劣化機制係由於陰極輝之高能離子濺散所致。第一機制中，濺散離子以高能離子碰撞磷而直接劣化磷。第二機制中，

五、發明說明(67)

磷由於被塗布以不透紫外光的氧化鎂而劣化，塗裝氧化鎂係由維持電介質之氧化鎂陰極藉陰極輝之高能離子濺散所致。此等機制於先前技術電漿顯示器構成一大問題。

本發明由於具有破壞性的激勵離子被保留於陰極輝區，故不會有如同先前技術般嚴重程度的問題。此等高度激勵離子不會由陽極柱產生。由於大半本發明之光係來自於陽極柱，接近陽極柱的磷區比接近陰極輝的磷區對發光更為重要。如此即使本發明於接近陰極輝的磷具有如同先前技術顯示器的同等劣化速率，本發明也有較長磷壽命，原因在於大半光線係來自於接近陽極柱的磷而不會因陰極輝濺散劣化。

本新穎發明之一項缺點似乎為其維持電壓比較先前技術較高。典型表1先前技術P設計的最低維持電壓為170伏。但INV設計測得之最低維持電壓為250伏。維持電路之電壓愈高，對本發明而言比對先前技術成本更高。但當考慮本發明需要提供的放電電流及功率時，本新穎發明之較高電壓維持器是否比先前技術維持器更昂貴仍未知。

首先，若本發明具有較高發光效率，則對本發明與先前技術之相同亮度而言，本發明之功率需求較低，恰因功率需求較低故需較低維持電流。由於使用較高維持電壓也促成額外維持電流下降。原因在於功率為電壓與電流的乘積，故較高電壓但有相等功率設計則將具有較低電流。

因較高電壓及較低電流造成的維持電路成本增高。本

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (68)

發明具有較高電壓但也有顯著較低電流。此等考慮加上本發明之顯著較低維持電極電容可能使本發明之維持電路比先前技術更價廉。

另一大交流電漿面板的問題為維持放電電流改變極快速。如此快速改變的電流常係以時間微分量 dI/dt 測量。高 dI/dt 造成跨越電漿面板及其電路之雜散電感的大壓降。大壓降造成電漿面板波形調節不良，可能造成顯示器的運作不良。高度希望降低電漿面板的 dI/dt ，俾便維持高度波形調節。

幸虧本發明之 dI/dt 低於先前技術之 dI/dt 。原因在於本發明電流之生成速率受長陽極柱生長速率所限；先前技術之生長速率受遠較短的陰極輝生長速率所限。由於長陽極柱的生長較慢，故本發明之 dI/dt 低於先前技術之 dI/dt 。

因本發明之發光效率較高且作業電壓較高，許可較高功率輸送至面板，故根據本發明設計的面板比較遵照先前技術設計的面板每次放電具有顯著較高照度。表示設計上可做若干其他期望的折衷。

眾所周知交流電漿顯示器面板的亮度通常係與維持頻率成比例。表示若對先前技術及本發明PDP希望有相等照度，則本發明之平均維持頻率可遠低於先前技術頻率。其優點為於第10圖所示亞幀波形圖節省臨界時間。若平均維持頻率下降，但保持尖峰維持頻率，則可縮短第10圖維持間期所需時間長短。如此具有許可額外時間用於較長位址

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (69)

間期或用於每幀時間較多子欄位的優點。

若PDP有較多條掃描線，則以較長位址間期為較佳。此點對高解析度面板而言相當重要。每幀的子欄位數目較多對改善灰階數或提高影像品質相當重要。重點為顯示器性能可藉由降低本發明之平均維持頻率而增高。

要緊地，本發明優點的實現係透過對先前技術面板設計作最小變化達成，例如PDP裝置本身比先前技術僅需極小修改來結合本發明。藉由單純重新設計PDP前板電極幾何成為類似第3圖的設計，然後將新穎前板電極設計結合於既有先前技術裝置結構，可達成結合本發明之PDP結構。可單純藉由改變可產生前板維持電極罩的軟體達成。而無需改變任何背板設計、面板材料或製程。

或許本發明之PDP系統設計之最大衝擊為維持電路所需電壓高於先前技術電壓。如此要求較高電壓維持電晶體。但預期維持電路成本較低，原因在於前文討論之電流及功率需求較低故。本發明之位址驅動器電路恰為先前技術設計使用的相同電路。

需瞭解前文說明僅供舉例說明本發明。業界人士可做多種替代及修改而未悖離本發明。如此本發明意圖涵蓋落入隨附之申請專利範圍內的全部此等替代、修改及變更。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (70)

元件標號對照

1-4…子像素	51…上基板
10…電漿顯示面板	52…單一軌跡位址電極
12…背基板	53…λ位址驅動器
14…行位址電極	54…障壁肋
16…障壁肋	56…電介質/磷塗層
18…紅磷光	58…下基板
20…綠磷光	60-4…維持回路
22…藍磷光	66…維持匯流排電極
24…透明基板	68…維持驅動器
26-8…維持電極	70…掃描/維持驅動器
30…介電層	72…電介質
32…頂層	73…陰極材料
50…電漿顯示面板	99…導電分隔棒

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 陽極柱輝區交流電漿顯示器)

一種交流電漿顯示面板(AC PDP)具有複數可定址子像素位置, 各個子像素位置包括一位址電極位於一基板上, 及第一及第二維持電極位於相對基板上。介於位址電極與第一維持電極間之交叉界定一第一放電位置及介於位址電極與第二電極間之交叉界定一第二放電位置。一掃描驅動器於一位址相被激勵且外加陰極前進信號至第一維持電極。位址驅動器外加一位址信號至位址電極, 其於第一放電位置產生放電。結果陽極柱順著位址電極移動至第二放電位置, 於該處放電而根據測得之子像素值於第二放電位

(接下頁)

英文發明摘要(發明之名稱: POSITIVE COLUMN AC PLASMA DISPLAY)

An AC PDP has a plurality of addressable subpixel sites, each subpixel site including an address electrode positioned on one substrate and first and second sustain electrodes positioned on an opposed substrate. An intersection between the address electrode and the first sustain electrode defines a first discharge site and an intersection between the address electrode and the second electrode defines a second discharge site. A scan driver is active during an address phase, and applies a negative going signal to the first sustain electrode. An address driver applies an address signal to the address electrode which creates a discharge at the first discharge site. As a result, a positive column moves along the address electrode to the second discharge site and causes a discharge thereat which induces a wall voltage at the second discharge site in accordance with a determined subpixel value. A sustain driver applies a sustain signal to both the first sustain electrode and the second sustain electrode and creates a "ping pong" action of the wall charge states at the discharge sites and enables the use of positive column light emission in the PDP.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要 (發明之名稱：)

(承上頁)

置感應壁電壓。維持驅動器外加維持信號至第一維持電極及第二維持電極，且於放電位置產生壁電荷態之「~~正負~~^{正負}」作用，如此使用陽極柱發光於PDP。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱：)

訂

線

六、申請專利範圍

1. 一種交流電漿面板，具有複數可定址子像素位置，各個子像素位置包括一位址電極位於一基板上，及一第一維持電極及一第二維持電極位於相對基板上，各該電極係由介電材料覆蓋，一種可放電氣體設置於二基板間，一位址電極與第一維持電極之交叉界定一第一放電位置，以及位址電極與第二維持電極間之交叉界定一第二放電位置，該交流電漿面板進一步包含：

掃描驅動裝置，於位址相期間被激勵用以外加一負向信號至第一維持電極；

位址驅動裝置，於位址相期間被激勵用以外加一位址信號至位址電極，以及於第一放電位置產生氣體放電，因而造成陽極柱順著位址電極移動至第二放電位置；該位址信號、該陽極柱及外加至第二維持電極的電位共同合作而產生一次放電，該放電根據預定子像素值於第二放電位置感應出一壁電壓；

維持驅動裝置，於維持相期間被激勵用以外加維持信號至第一維持電極及第二維持電極，藉此當於第二放電位置之壁電壓指示預定子像素值時，指示放電發生於第二放電位置；以及

其中該等維持信號進一步共同合作隨後致使於第二放電位置的放電造成陽極柱沿位址電極移動至第一放電位置，且致使於該處發生的放電可指示預定子像素值。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

2. 如申請專利範圍第1項之交流電漿面板，其中該位址信號導致於遮蓋位址電極之介電材料的壁電位係比於負向信號期間遮蓋第一維持電極的介電材料之電位更為正值。
3. 如申請專利範圍第1項之交流電漿面板，其中連續外加維持信號至第一維持電極及第二維持電極由於陽極柱介於其間行進結果，造成第一放電位置與第二放電位置的交替放電。
4. 如申請專利範圍第1項之交流電漿面板，其中該第一維持電極包含一單一電極軌跡，及第二維持電極包含一回路軌跡，回路軌跡的一邊作為第一子像素位置，該回路軌跡的第二邊係作為毗鄰子像素位置連同進一步第一維持電極，基板間距界定一基板間隙，及單一電極軌跡與毗鄰回路軌跡一邊間距界定一維持電極間隙，該維持電極間隙係大致大於該基板間隙。
5. 如申請專利範圍第1項之交流電漿面板，其中於位址相之前，掃描驅動裝置包含配置裝置可於配置相作業而外加初負向信號至第一維持電極及第二維持電極中之至少一者，致使產生放電，其作用係於介電材料建立第一預定壁電壓。
6. 如申請專利範圍第5項之交流電漿面板，其中於初負向信號之後，掃描驅動裝置外加一正向信號至第一維持電極及第二維持電極中之至少一者，致使放電作用於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

介電材料建立第二預定壁電壓。

7. 如申請專利範圍第6項之交流電漿面板，其中於正向信號之後，掃描驅動裝置外加一隨後負向信號至該維持電極引發放電，放電移動第一放電位置之壁電壓至相對於第二放電位置電位充分負值的電位，指示隨後產生陽極柱移動至第二放電位置。
8. 如申請專利範圍第7項之交流電漿面板，其中該初負向信號、正向信號以及隨後負向信號係配置成可達到可放電氣體之正電阻放電。
9. 如申請專利範圍第8項之交流電漿面板，其中該正向信號係致使於初負向信號後充分快速發生，因而由於初負向信號引發放電結果產生的打底準備粒子可輔助於外加正向信號期間，產生正電阻放電。
10. 如申請專利範圍第1項之交流電漿面板，其中於位址相之前，掃描驅動裝置包括配置裝置於配置相期間作業而外加初負向信號至該一維持電極，同時正電壓外加至另一維持電極而致使造成放電，放電係作用於介電材料建立第一預定壁電壓。
11. 如申請專利範圍第10項之交流電漿面板，其中於外加初負向信號後，配置裝置外加一正向信號至該一維持電極而致使放電作用於介電材料建立第二預定壁電壓。
12. 如申請專利範圍第1項之交流電漿面板，其中當透過致

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

動於該一放電位置放電產生陽極柱且陽極柱伸展入另一放電位置時，於該另一放電位置獲得一種壁電壓其係與於該另一放電位置的相互交叉的位址電極及維持電極之電位準位有關。

13. 如申請專利範圍第1項之交流電漿面板，其中該於維持電極之各電極之介電材料包括一種絕緣體具有大致二次電子發射特性。
14. 如申請專利範圍第1項之交流電漿面板，其中該位址電極之介電材料包含磷。
15. 一種操作一交流電漿面板之方法，該交流電漿面板具有複數可定址子像素位置，各個子像素位置包括一位址電極位於一基板上，及一第一維持電極及一第二維持電極位於相對基板上，各該電極係由介電材料覆蓋，一種可放電氣體設置於二基板間，一位址電極與第一維持電極之交叉界定一第一放電位置，以及位址電極與第二維持電極間之交叉界定一第二放電位置，該方法包含下列步驟：

於一位址相期間，外加(i)一負向信號至第一維持電極，以及外加(ii)一位址信號至位址電極，因而於第一放電位置形成氣體放電，致使陽極柱順著位址電極遷移至第二放電位置；該位址信號、陽極柱及外加至第二維持電極之電位共同合作而促成放電，其根據預定子像素值於第二放電位置感應一壁電壓；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

於一維持相期間，外加維持信號至第一維持電極及第二維持電極，因而致使當第二放電位置之壁電壓指示預定子像素值時，放電發生於第二放電位置，隨後維持信號共同合作致使於第二放電位置的放電造成陽極柱沿位址電極移動至第一放電位置，且致使放電於該處發生且係指示預定子像素值。

16. 如申請專利範圍第15項之方法，其中連續外加維持信號至第一維持電極及第二維持電極，由於陽極柱介於第一放電位置與第二放電位置間移動的結果而於第一放電位置及第二放電位置引發交替放電。

17. 如申請專利範圍第15項之方法，包含如下進一步步驟：

於配置相期間，於位址相之前，外加一初負向信號至第一維持電極及第二維持電極中之至少一者而致使產生放電，放電係作用於介電材料建立第一預定壁電壓。

18. 如申請專利範圍第17項之方法，其包含下述進一步步驟：

於初負向信號後，外加一正向信號至第一維持電極及第二維持電極中之至少一者而致使於該處放電，其係作用於於該介電材料建立第二預定壁電壓。

19. 如申請專利範圍第18項之方法，其包含如下又進一步步驟：

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

於正向信號之後，外加一隨後負向信號至該一維持電極致使放電移動於該第一放電位置之壁電壓至一種電位，該電位相對於第二放電位置的電位充分負值因而致使隨後形成的陽極柱移動至第二放電位置。

20. 如申請專利範圍第19項之方法，其中該初負向信號、正向信號以及隨後之負向信號係配置成可達成可放電氣體之正電阻放電。

21. 如申請專利範圍第20項之方法，其中該正向信號係致使於初負向信號後充分快速發生，因而由於初負向信號引發放電結果產生的打底準備粒子可輔助於外加正向信號期間，產生正電阻放電。

22. 如申請專利範圍第15項之方法，其進一步包含下列步驟：

於該位址相之前，外加一初負向信號至該一維持電極，同時外加一正電壓至該另一維持電極而致使產生放電，放電作用於介電材料建立第一預定壁電壓。

23. 如申請專利範圍第22項之方法，其包含如下進一步步驟：

於外加初負向信號後，外加一正向信號至該一維持電極而致使產生放電，放電作用於介電材料建立第二預定壁電壓。

24. 如申請專利範圍第15項之方法，其包含如下進一步步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

透過致動於該一放電位置放電而形成一陽極柱，該陽極柱伸展入另一放電位置而致使於該另一放電位置形成一壁電壓，該壁電壓進一步取決於於該另一放電位置的彼此交叉的位址電極與維持電極之電位準位。

25. 一種交流電漿面板，具有複數可定址子像素位置，各個子像素位置包括一位址電極位於一基板上，及一第一維持電極及一第二維持電極位於相對基板上，各該電極係由介電材料覆蓋，一種可放電氣體設置於二基板間，一位址電極與第一維持電極之交叉界定一第一放電位置，以及位址電極與第二維持電極間之交叉界定一第二放電位置，該第一維持電極及該第二維持電極係由一維持間隙距離分開，該交流電漿面板進一步包含：

第一驅動裝置用以根據預定子像素值建立一壁電壓於該第二放電位置；

維持驅動裝置用以外加維持信號至第一維持電極及第二維持電極，因而當於第二放電位置的壁電壓指示預定子像素值時，致使放電發生於第二放電位置，接續的維持信號進一步合作而隨後接續致使於該第二放電位置的放電造成一陽極柱沿該位址電極移動至第一放電位置，且致使於該處發生的放電指示預定子像素值，以及於第一放電位置的放電造成一陽極柱沿位

(請先閱讀背面之注意事項再填寫本頁)

訂

姓

六、申請專利範圍

址電極移動至第二放電位置，致使於該處發生放電而指示預定子像素值；以及

其中該維持間隙距離係大於第一維持電極與第二維持電極間之臨界維持間隙距離，該臨界維持間隙具有第一最低維持電壓等於第二最低維持電壓，該第一最低維持電壓為於第一維持電極與第二維持電極間之臨界維持間隙距離被要求維持放電的最低電壓，第二最低維持電壓為接續致使於第二放電位置放電所要求的最低電壓，該放電將造成陽極柱沿位址電極於臨界維持間隙距離移動至第一放電位置，且致使於該處發生放電指示預定子像素值；於第一放電位置之進一步放電可造成陽極柱沿位址電極移動跨越臨界維持間隙距離至第二放電位置，且致使於該處發生的放電指示預定子像素值。

26. 如申請專利範圍第25項之交流電漿面板，其中連續外加維持信號至第一維持電極及第二維持電極由於陽極柱介於其間行進結果，造成第一放電位置與第二放電位置的交替放電。

27. 如申請專利範圍第25項之交流電漿面板，其中該第一維持電極包含一單一電極軌跡，及第二維持電極包含一回路軌跡，回路軌跡的一邊作為第一子像素位置，該回路軌跡的第二邊係作為毗鄰子像素位置連同進一步第一維持電極，基板間距界定一基板間隙，及單一

六、申請專利範圍

電極軌跡與毗鄰回路軌跡一邊間距界定該維持間隙距離，該維持間隙距離係大致大於該基板間隙。

28. 如申請專利範圍第25項之交流電漿面板，其中該第一驅動裝置包含：

掃描驅動裝置，於位址相期間被激勵用以外加一負向信號至第一維持電極；以及

位址驅動裝置，於位址相期間被激勵用以外加一位址信號至位址電極，以及於第一放電位置產生氣體放電，因而造成陽極柱順著位址電極移動至第二放電位置；該位址信號、該陽極柱及外加至第二維持電極的電位共同合作而產生一次放電，該放電根據預定子像素值於第二放電位置感應出一壁電壓。

29. 如申請專利範圍第25項之交流電漿面板，其中該第一驅動裝置可於位址相之前作動而執行一配置作業，其中一初負向信號被外加至第一維持電極及第二維持電極中之至少一者，因而致使產生放電，其係作用於於介電材料上建立第一預定壁電壓。

30. 如申請專利範圍第29項之交流電漿面板，其中於初負向信號之後，掃描驅動裝置外加一正向信號至第一維持電極及第二維持電極中之至少一者，致使放電作用於介電材料建立第二預定壁電壓。

31. 如申請專利範圍第30項之交流電漿面板，其中於正向信號之後，掃描驅動裝置外加一隨後負向信號至該維

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

持電極引發放電，放電移動第一放電位置之壁電壓至相對於第二放電位置電位充分負值的電位，指示隨後產生陽極柱移動至第二放電位置。

32. 如申請專利範圍第31項之交流電漿面板，其中該初負向信號、正向信號以及隨後負向信號係配置成可達到可放電氣體之正電阻放電。

33. 如申請專利範圍第32項之交流電漿面板，其中該正向信號係致使於初負向信號後充分快速發生，因而由於初負向信號引發放電結果產生的打底準備粒子可輔助於外加正向信號期間，產生正電阻放電。

34. 如申請專利範圍第28項之交流電漿面板，其中於位址相之前，掃描驅動裝置包括配置裝置於配置相期間作業而外加初負向信號至該一維持電極，同時正電壓外加至另一維持電極而致使造成放電，放電係作用於介電材料建立第一預定壁電壓。

35. 如申請專利範圍第34項之交流電漿面板，其中於外加初負向信號後，配置裝置外加一正向信號至該一維持電極而致使放電作用於介電材料建立第二預定壁電壓。

36. 如申請專利範圍第28項之交流電漿面板，其中當透過致動於該一放電位置放電產生陽極柱且陽極柱伸展入另一放電位置時，於該另一放電位置獲得一種壁電壓其係與於該另一放電位置的相互交叉的位址電極及維

六、申請專利範圍

持電極之電位準位有關。

37. 如申請專利範圍第25項之交流電漿面板，其中該於維持電極之各電極之介電材料包括一種絕緣體具有大致二次電子發射特性。

38. 如申請專利範圍第25項之交流電漿面板，其中該位址電極之介電材料包含磷。

39. 一種交流電漿面板，具有複數可定址子像素位置，各個子像素位置包括一位址電極位於一基板上，及一第一維持電極及一第二維持電極位於相對基板上，各該電極係由介電材料覆蓋，一種可放電氣體設置於二基板間，一位址電極與第一維持電極之交叉界定一第一放電位置，以及位址電極與第二維持電極間之交叉界定一第二放電位置，該第一維持電極及該第二維持電極係由一維持間隙距離分開，該交流電漿面板進一步包含：

第一驅動裝置用以根據預定子像素值建立一壁電壓於該第二放電位置；

維持驅動裝置用以外加維持信號至第一維持電極及第二維持電極，因而當於第二放電位置的壁電壓指示預定子像素值時，致使放電發生於第二放電位置，接續的維持信號進一步合作而隨後接續致使於該第二放電位置的放電造成一陽極柱沿該位址電極移動至第一放電位置，且致使於該處發生的放電指示預定子像

(請先閱讀背面之注意事項再填寫本頁)

訂

44

六、申請專利範圍

素值，以及於第一放電位置的放電造成一陽極柱沿位址電極移動至第二放電位置，致使於該處發生放電而指示預定子像素值；以及

其中該維持信號具有一電壓準位，該電壓係低於跨越第一維持電極與第二維持電極間之維持間隙距離維持放電要求的最低電壓。

40. 如申請專利範圍第1項之交流電漿面板，其中該第一維持電極包含一單一軌跡維持電極，及該第二維持電極包含至少部分回路，該回路之一邊服務一第一子像素位置，及該回路之第二邊係服務一毗鄰子像素位置結合一額外單一軌跡維持電極，各該單一軌跡維持電極進一步設置成毗鄰另一單一軌跡電極，藉此構成一單一軌跡對，該交流電漿面板進一步包含：

一導電隔離棒其係設置於回路內部且介於各單一軌跡對之間，常見於顯示器之維持相位期間由相同電位激勵。

41. 如申請專利範圍第40項之交流電漿面板，其中該導電隔離棒係約略對中於兩毗鄰電極中央。

42. 如申請專利範圍第40項之交流電漿面板，其中介於毗鄰單一軌跡對之間距及一回路兩邊間距分別構成像素間間隙，以及存在於像素間間隙的導電隔離棒具有電極寬度係占像素間間隙之約50%至約80%範圍。

43. 如申請專利範圍第25項之交流電漿面板，其中該第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

維持電極包含一單一軌跡維持電極，及該第二維持電極包含至少部分回路，該回路之一邊服務一第一子像素位置，及該回路之第二邊係服務一毗鄰子像素位置結合一額外單一軌跡維持電極，各該單一軌跡維持電極進一步設置成毗鄰另一單一軌跡電極，藉此構成一單一軌跡對，該交流電漿面板進一步包含：

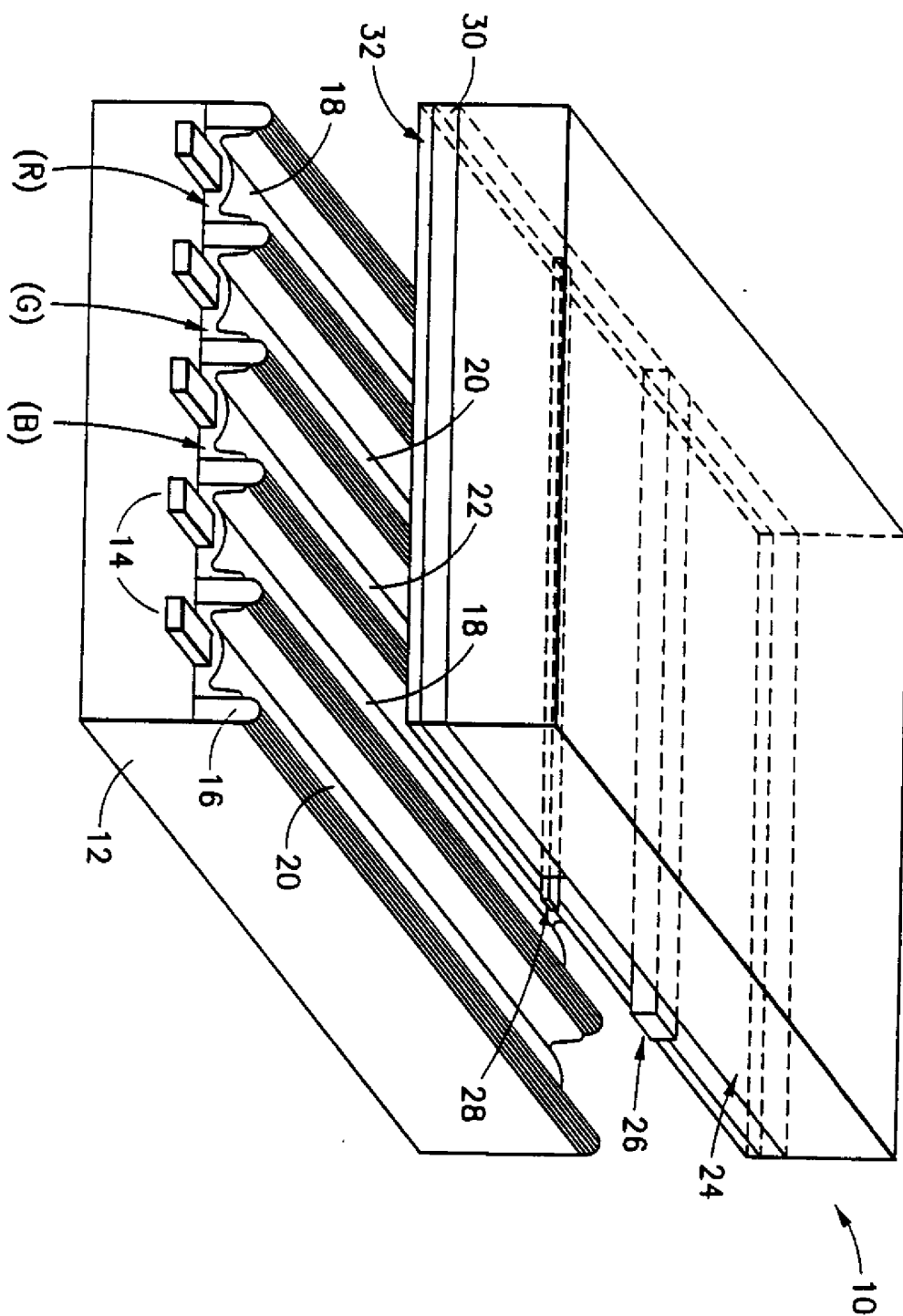
一導電隔離棒其係設置於回路內部且介於各單一軌跡對之間，常見於顯示器之維持相位期間由相同電位激勵。

44. 如申請專利範圍第43項之交流電漿面板，其中該導電隔離棒係約略對中於兩毗鄰電極中央。

45. 如申請專利範圍第43項之交流電漿面板，其中介於毗鄰單一軌跡對之間距及一回路兩邊間距分別構成像素間間隙，以及存在於像素間間隙的導電隔離棒具有電極寬度係占像素間間隙之約50%至約80%範圍。

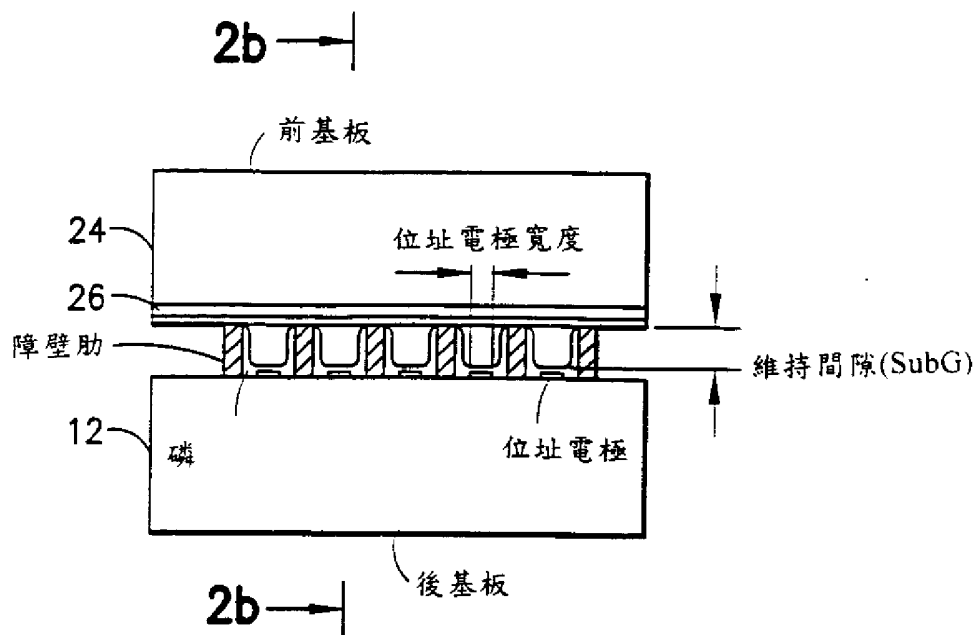
(請先閱讀背面之注意事項再填寫本頁)

訂

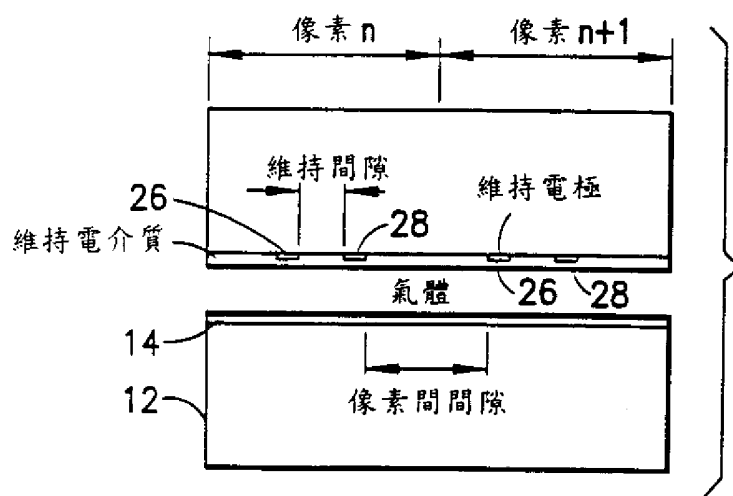


第 1 圖

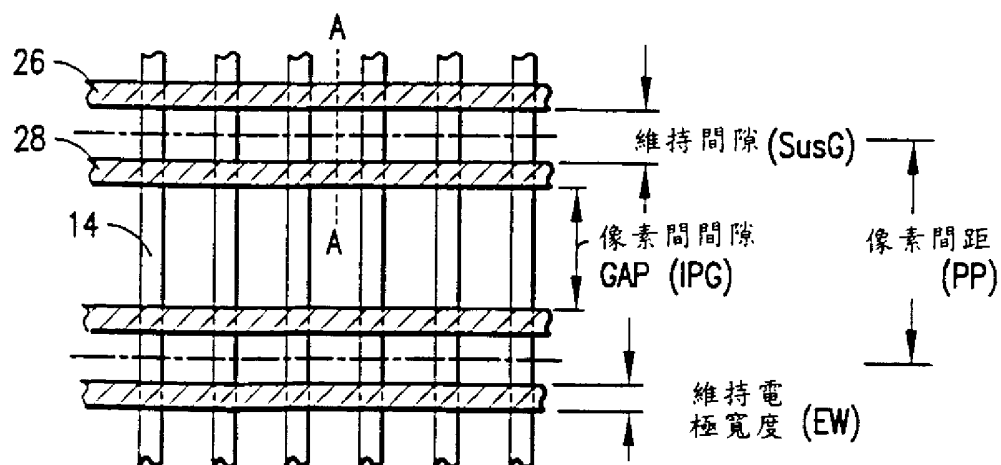
先前技術



第 2a 圖
先前技術



第 2b 圖
先前技術

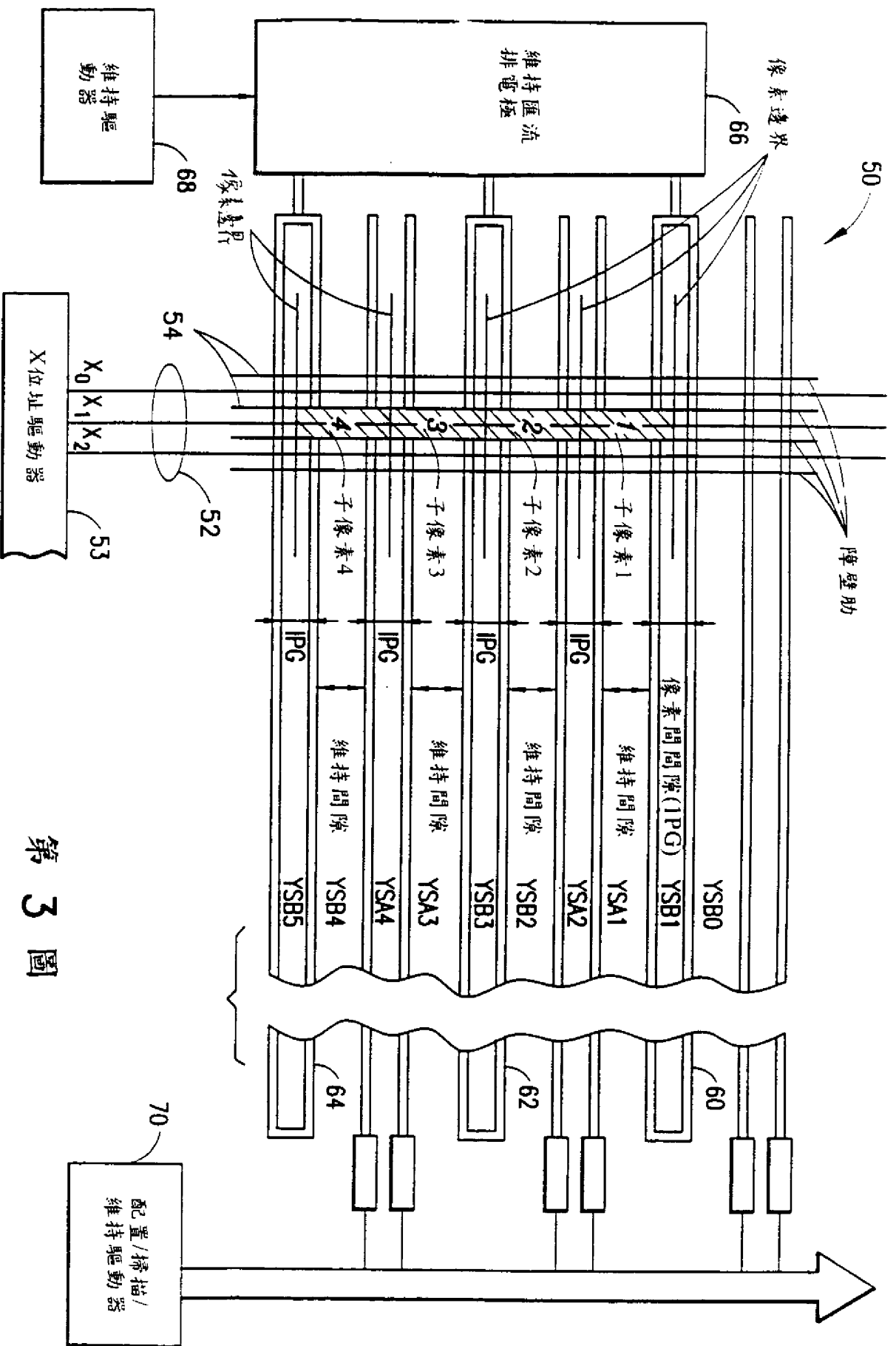


第 2c 圖
先前技術

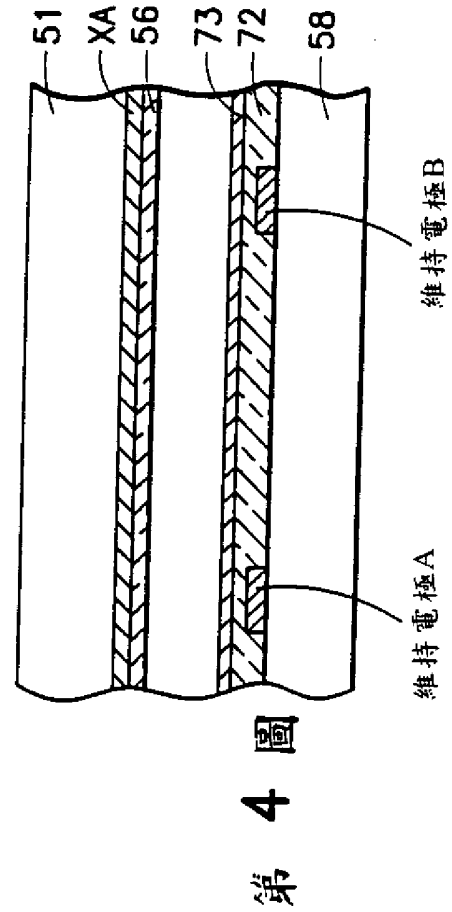
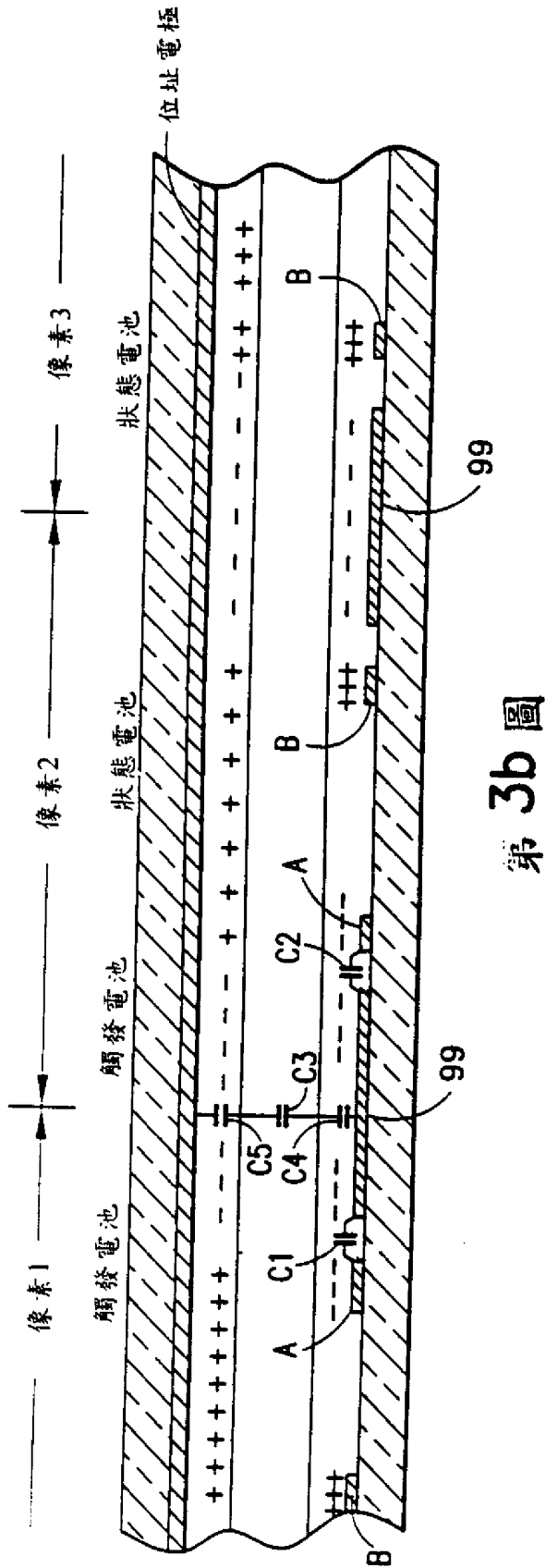
設計	維持電極 寬度(EW) 微米	維持間隙 SusG 微米	基板間隙 SusG 微米	像素間隙 IPG 微米	比： $\frac{\text{SusG}}{\text{SubG}}$	比： $\frac{\text{SusG}}{\text{IPG}}$	像素間距 PP 微米	電極類型 T=透明 O=不透明
F	316	102	121	346	0.84	0.29	1080	T
N	300	105	100	345	1.05	0.30	1050	T
M	375	80	100	250	0.80	0.32	1080	T
P	80	135	110	365	1.23	0.37	660	O
INV	100	700	110	420	6.36	1.67	1320	0

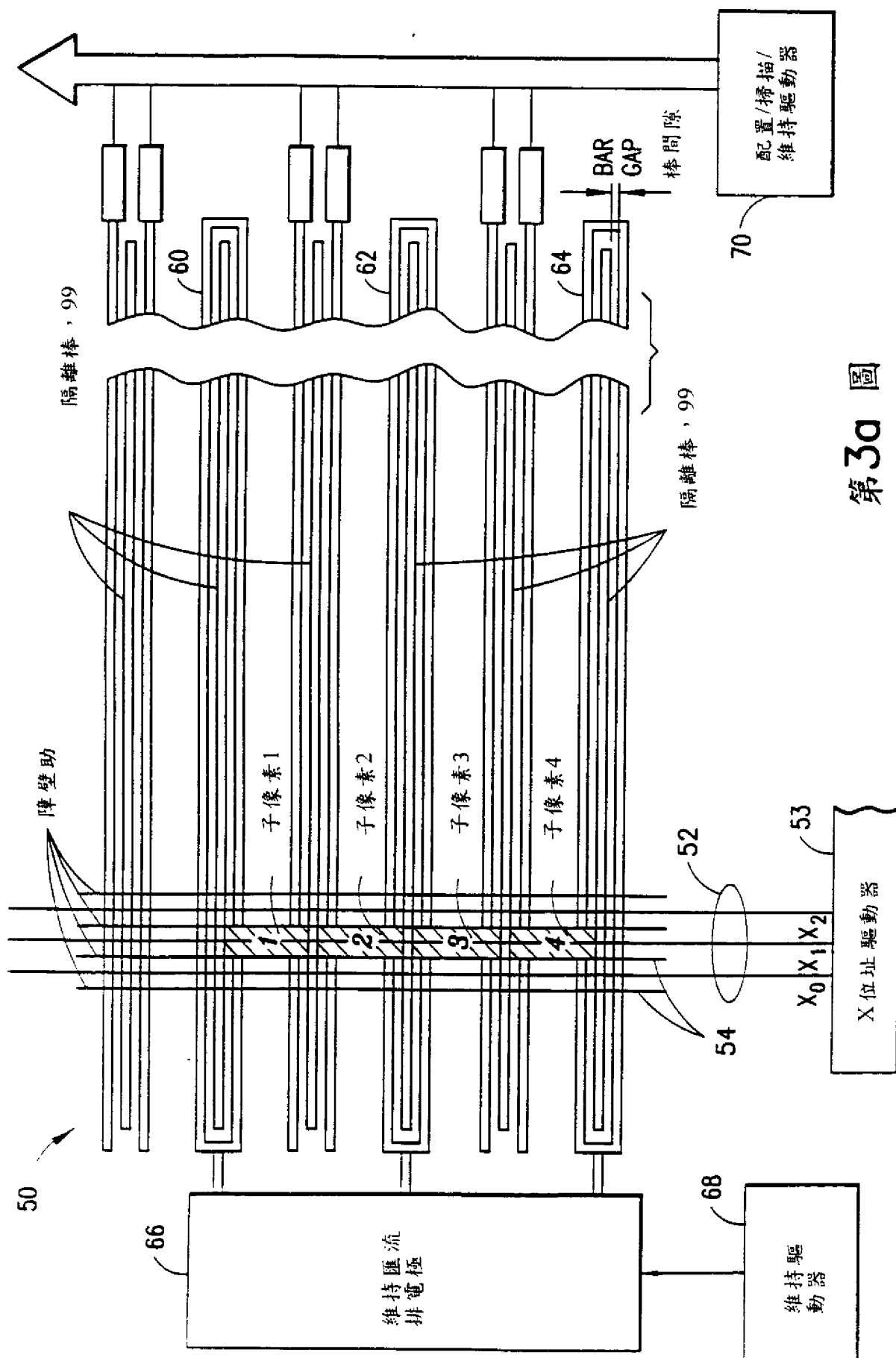
表1

第2d 圖

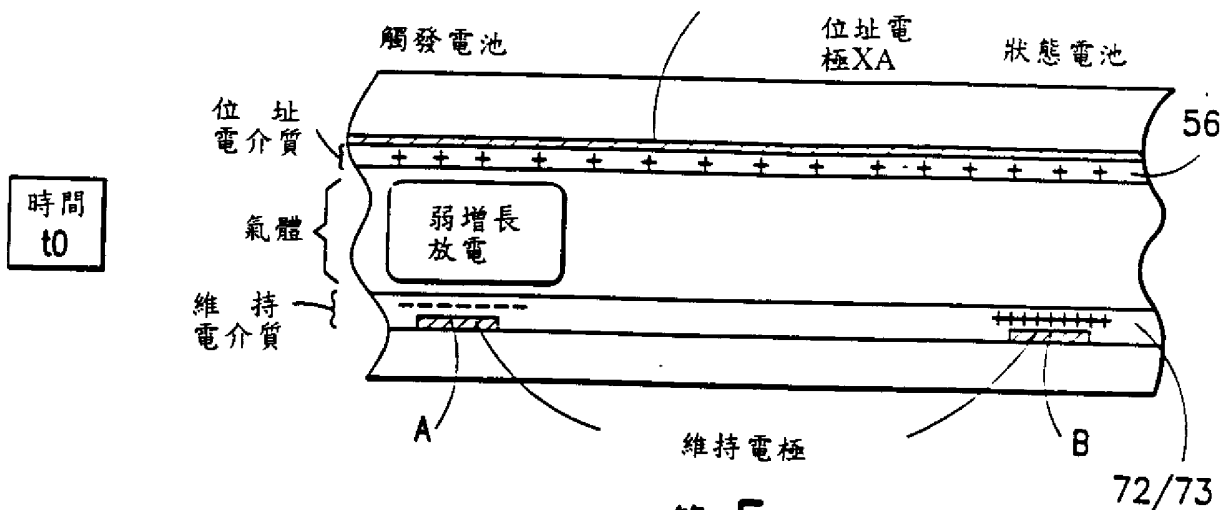


第 3 圖

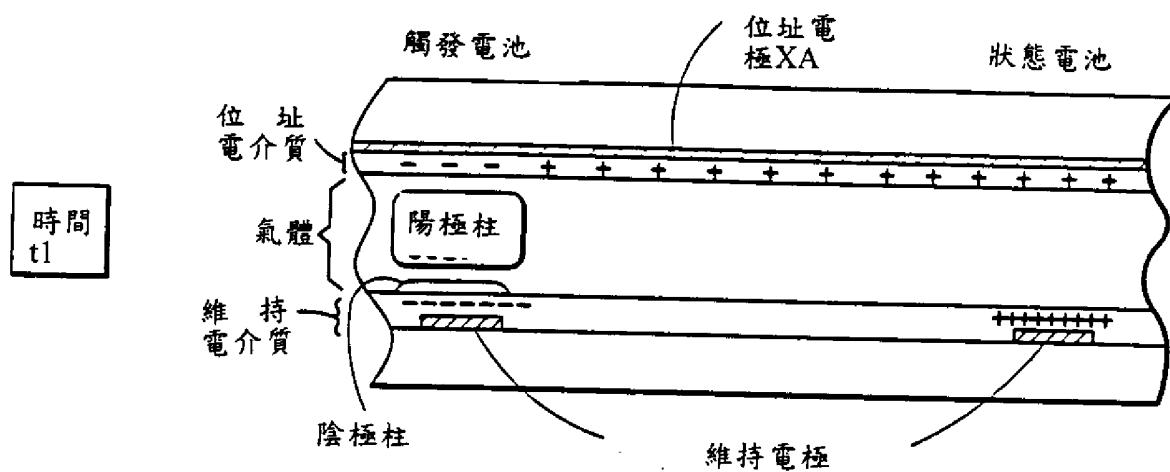




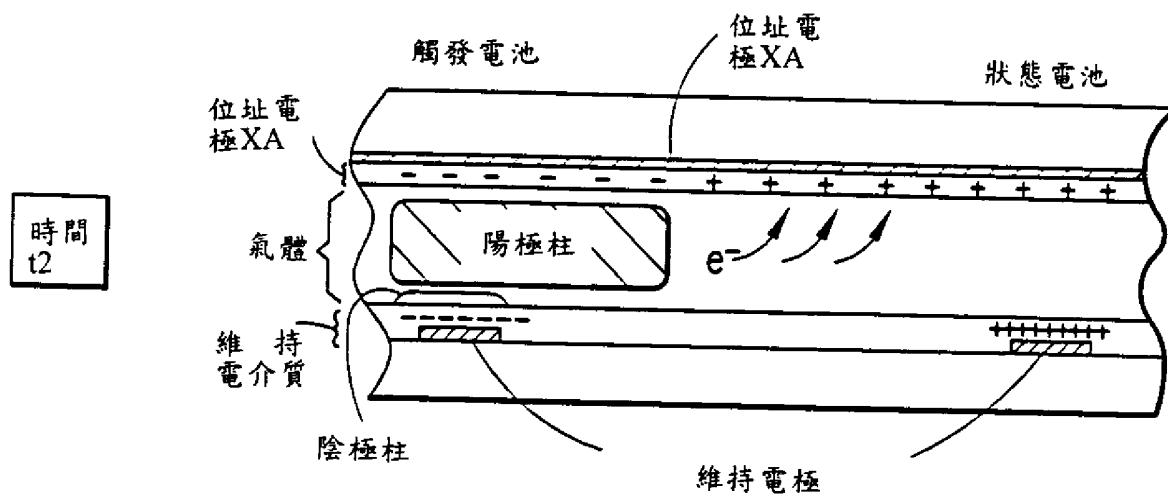
第3a圖



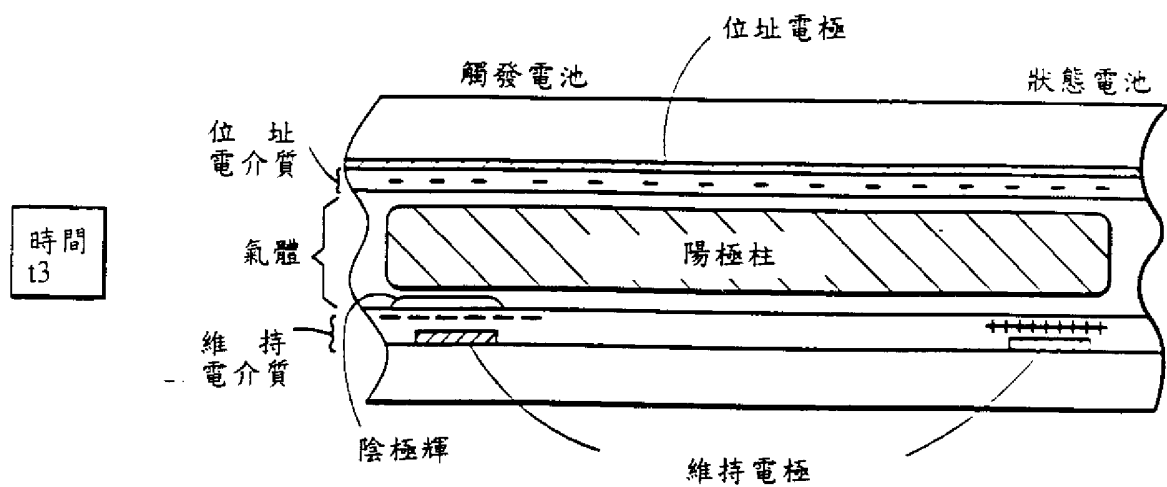
第 5a 圖



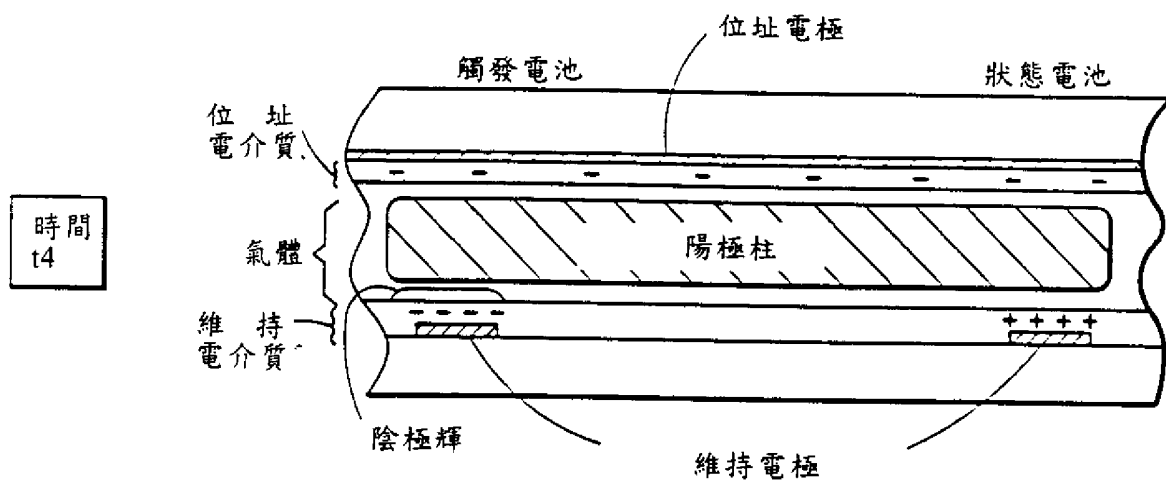
第 5b 圖



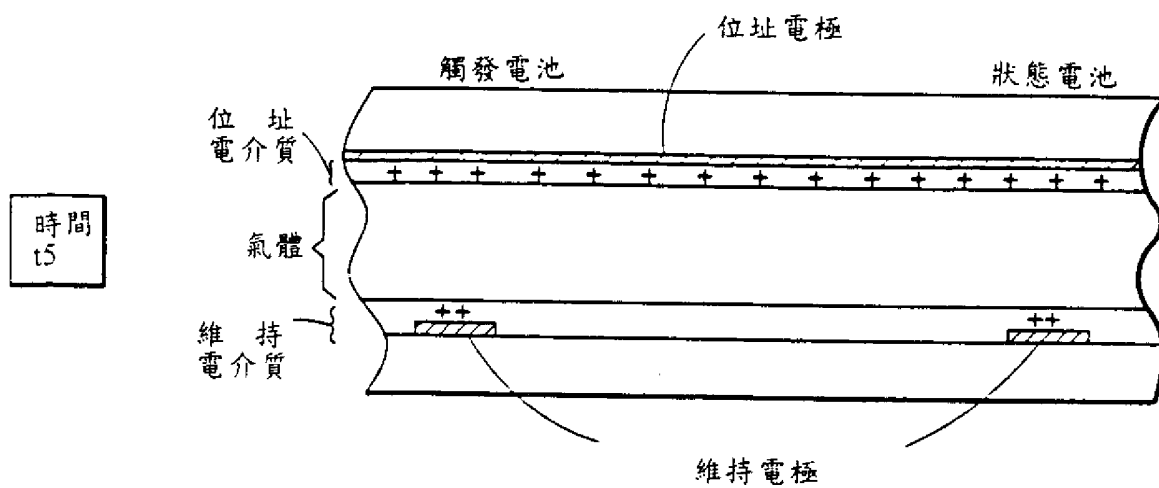
第 5c 圖



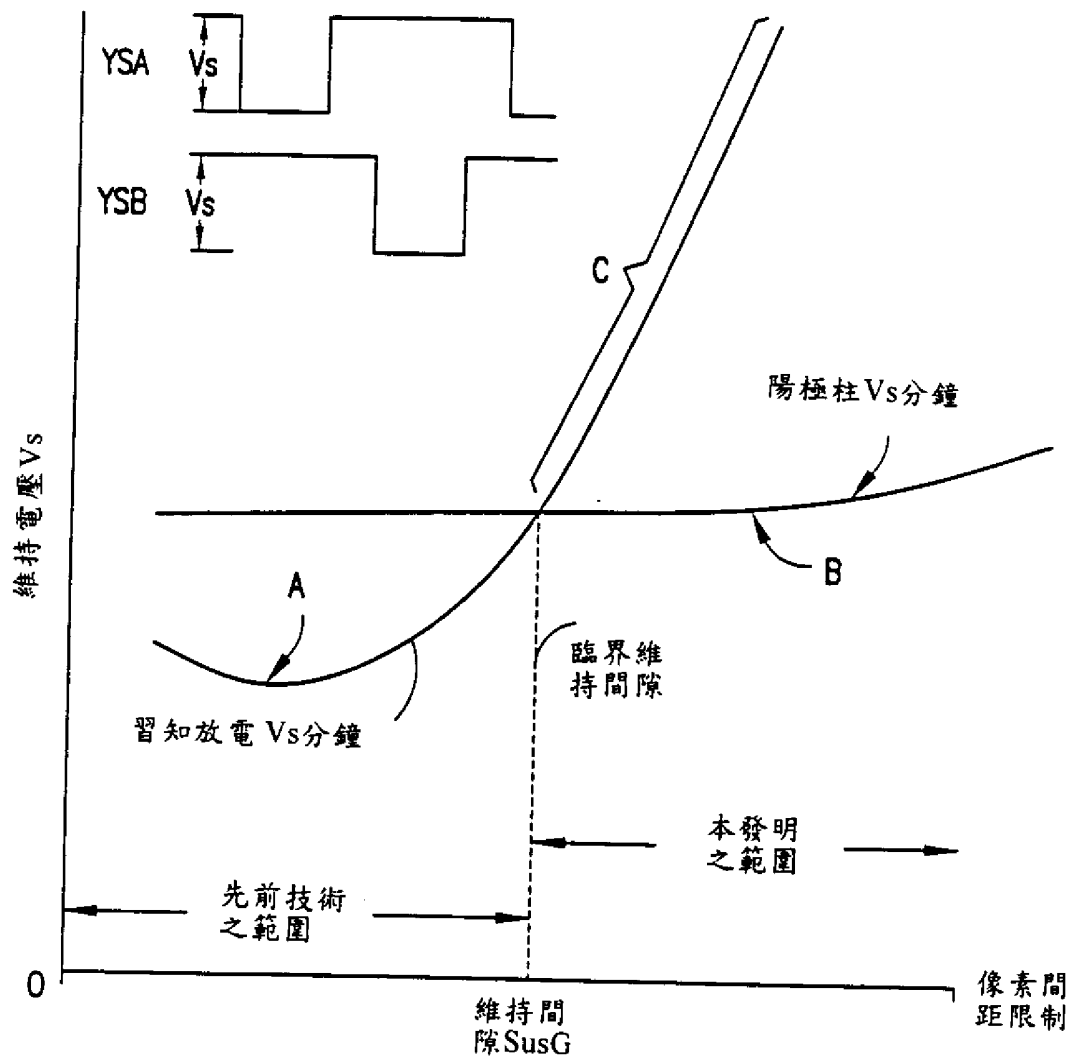
第 5d 圖



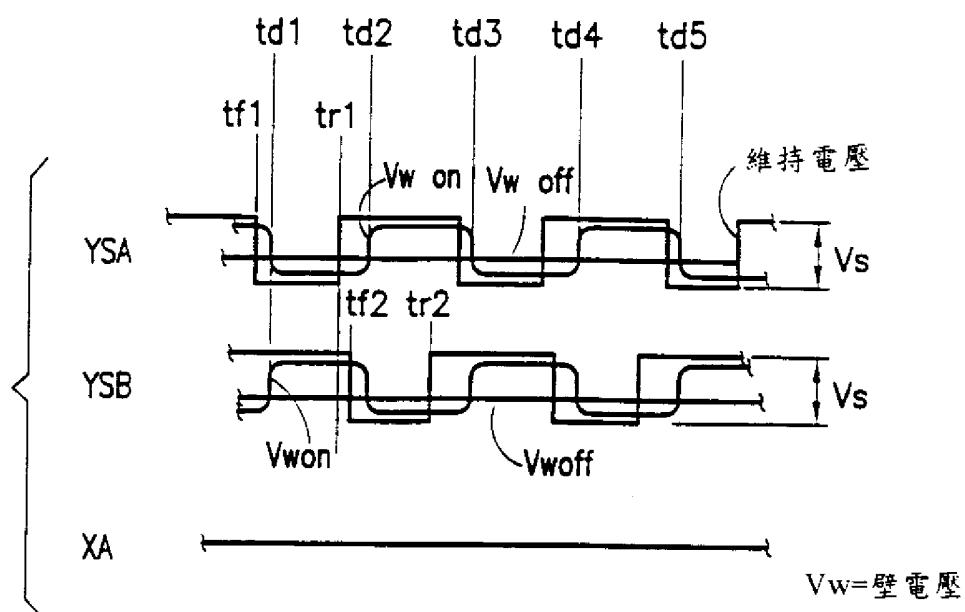
第 5e 圖



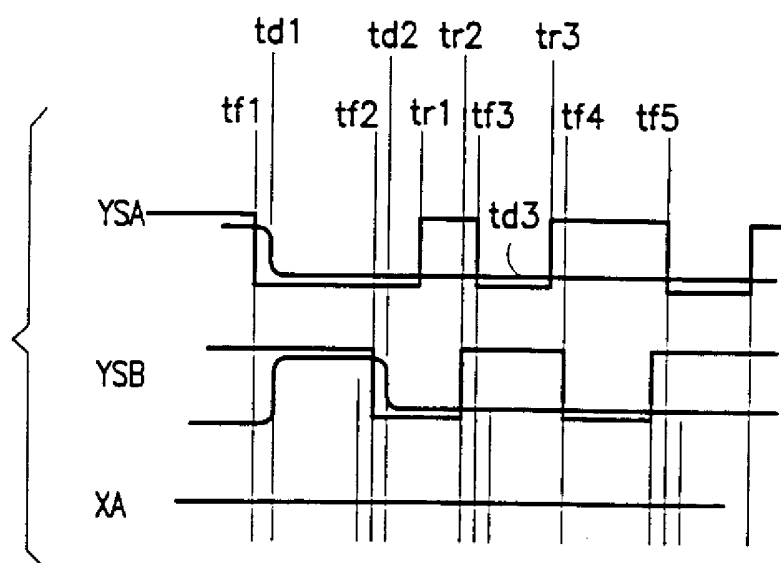
第 5f 圖



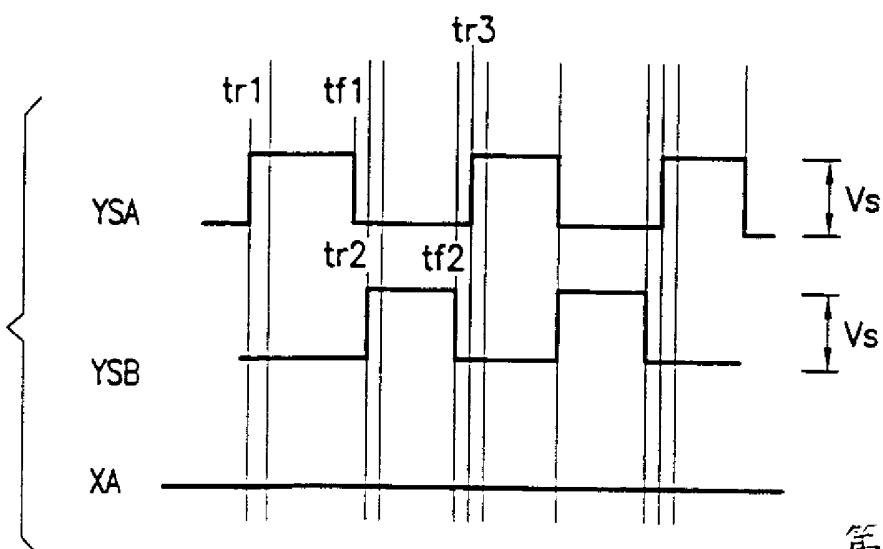
第 6a 圖



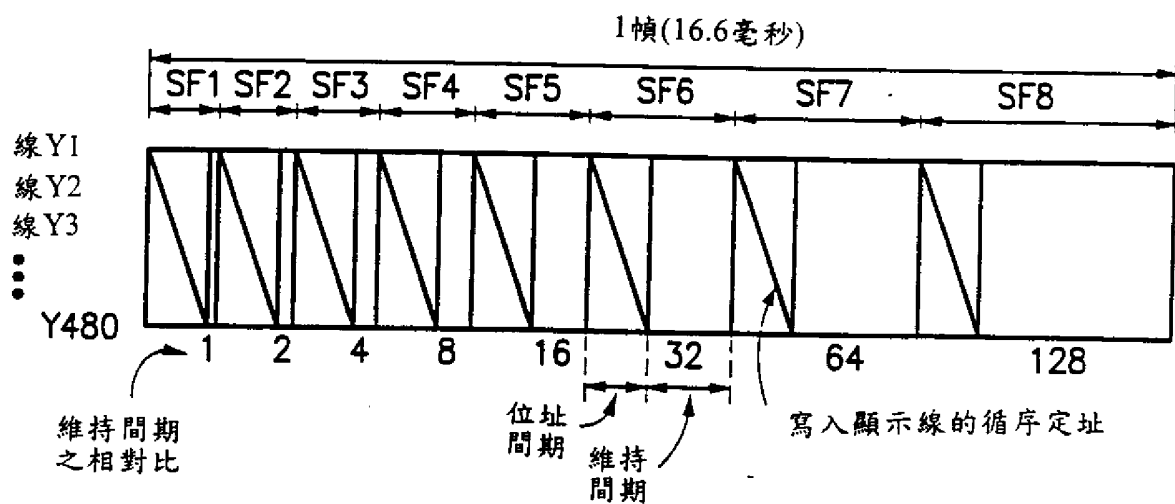
第 6b 圖



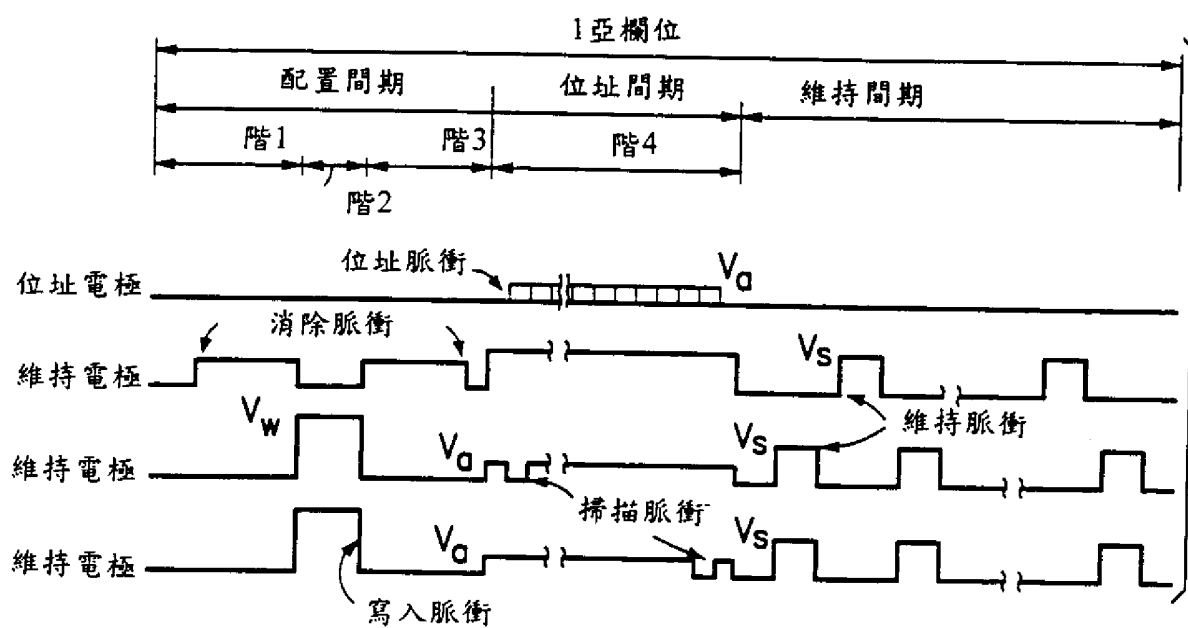
第 7 圖



第 8 圖



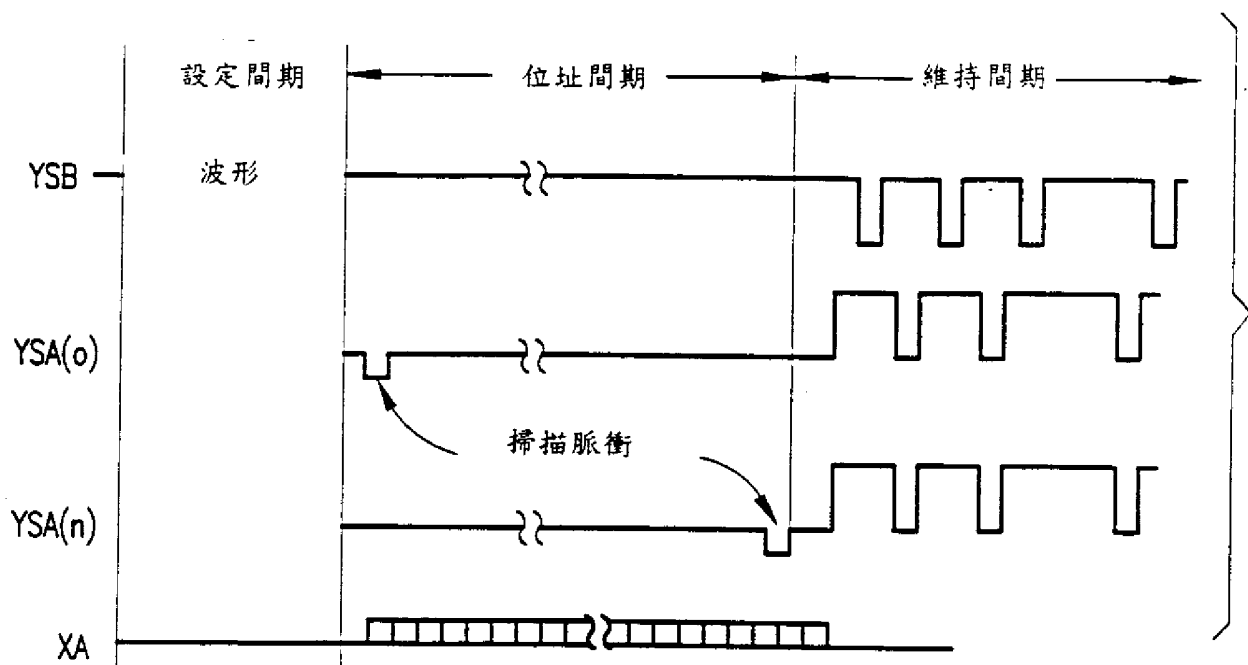
第 9a 圖



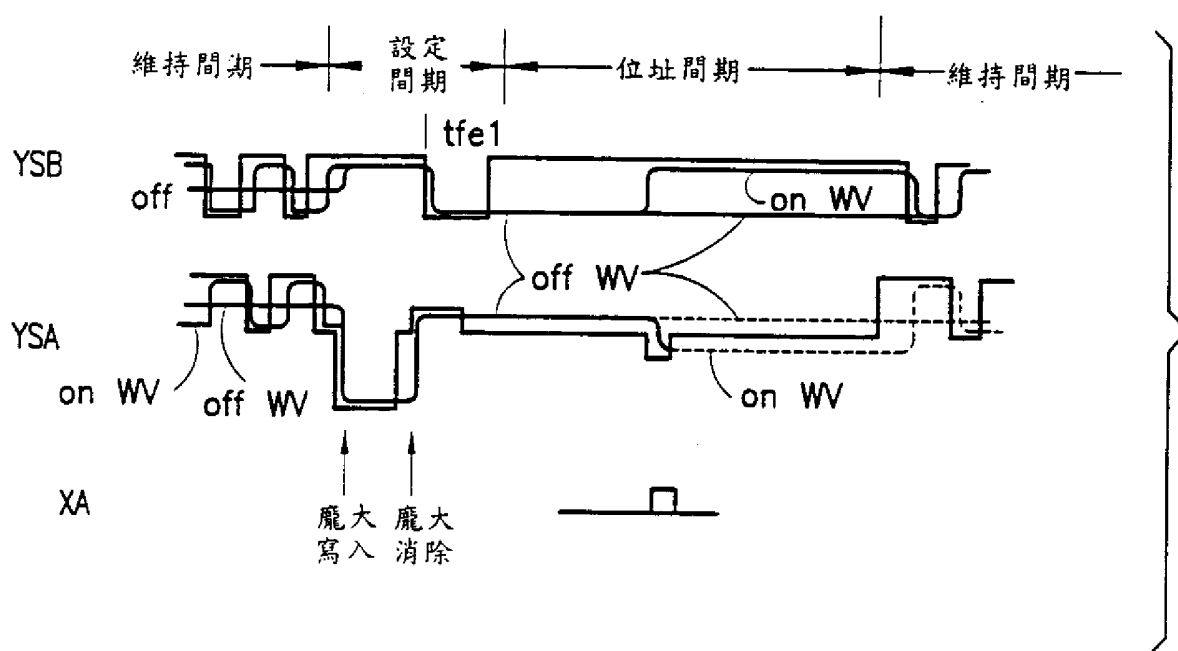
驅動波形成圖

第 9b 圖

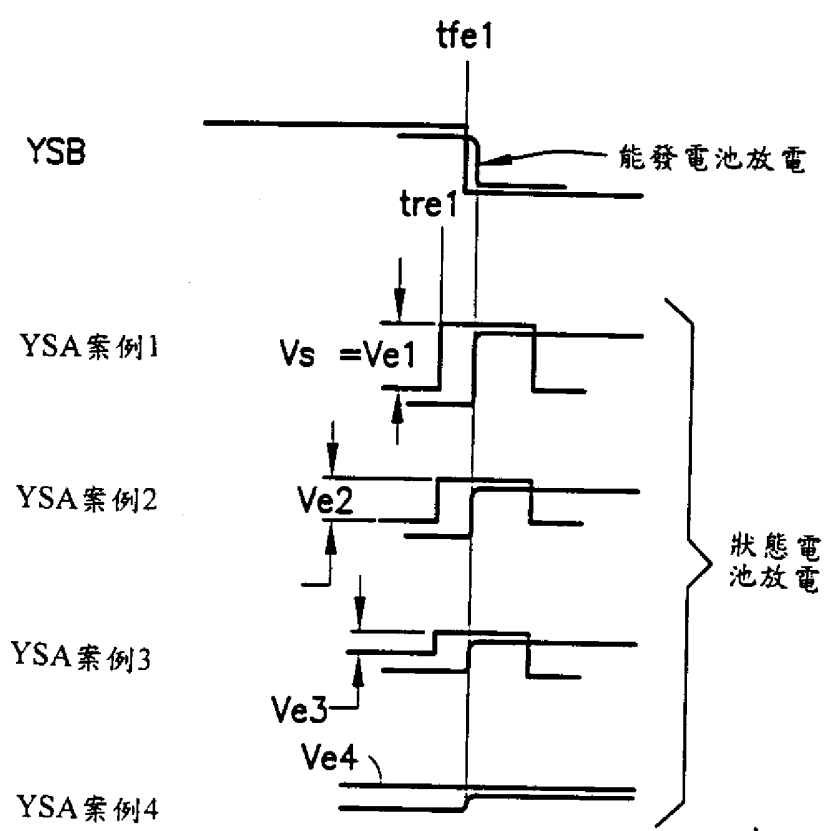
先前技術



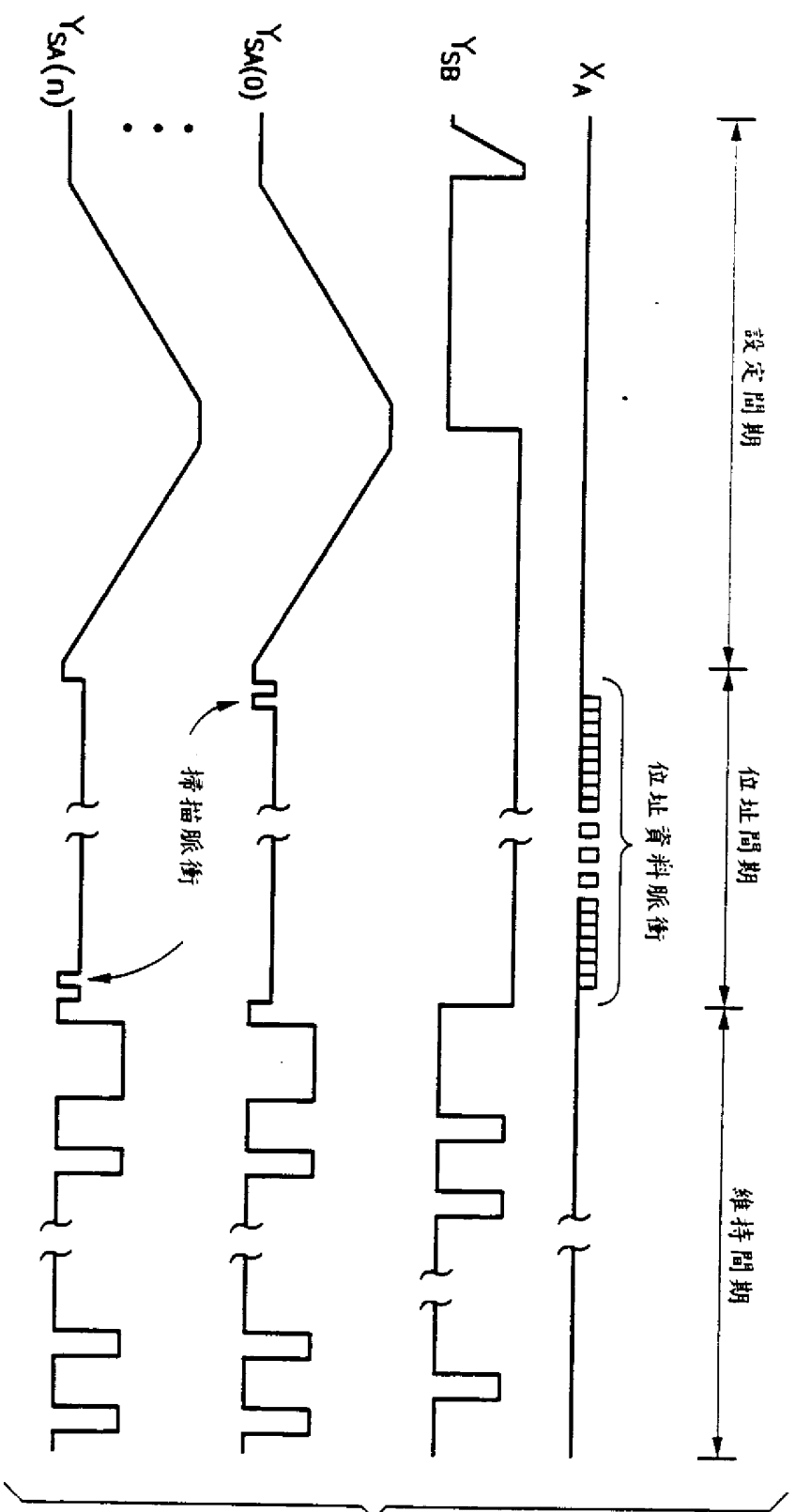
第 10 圖



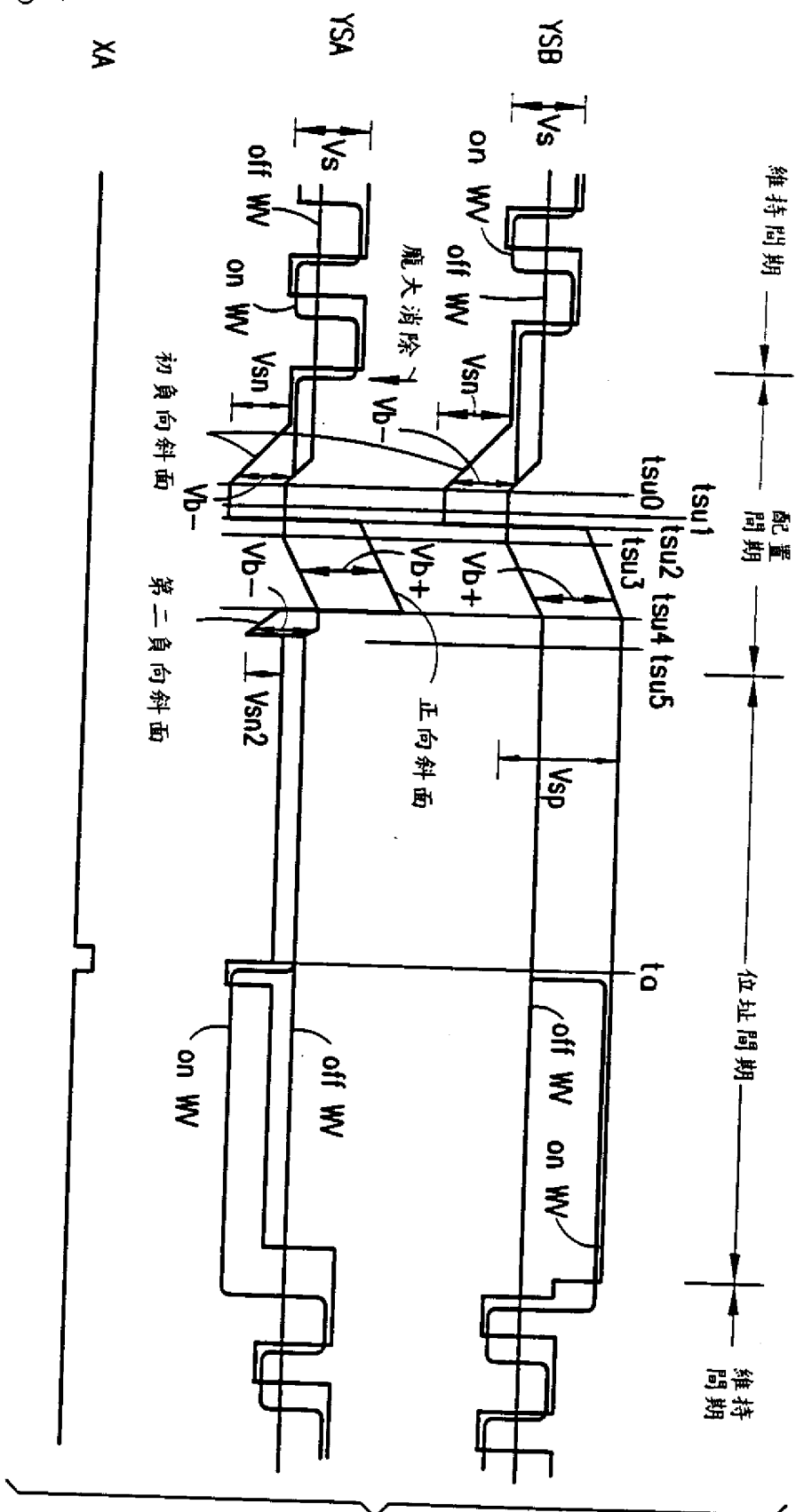
第 11 圖



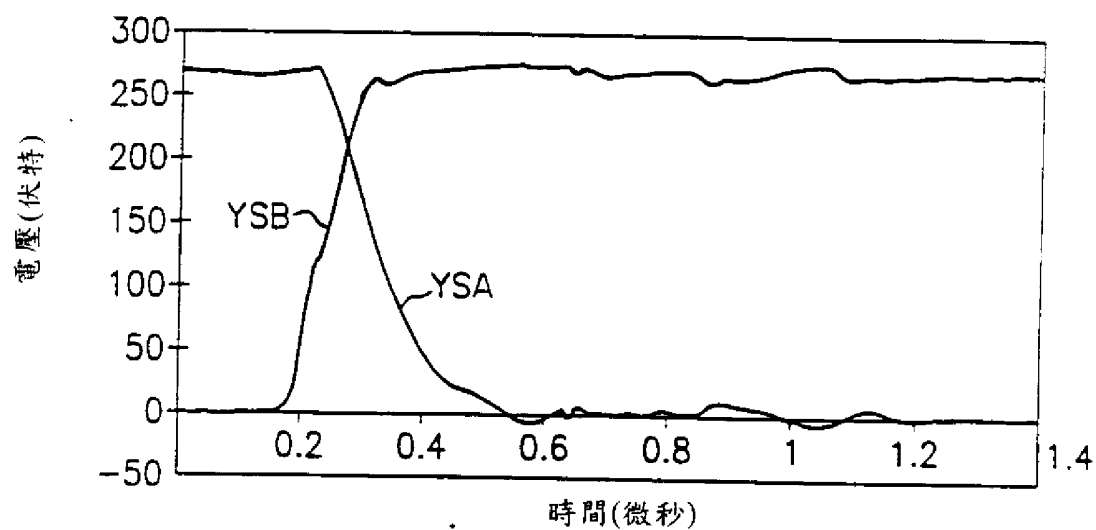
第12圖



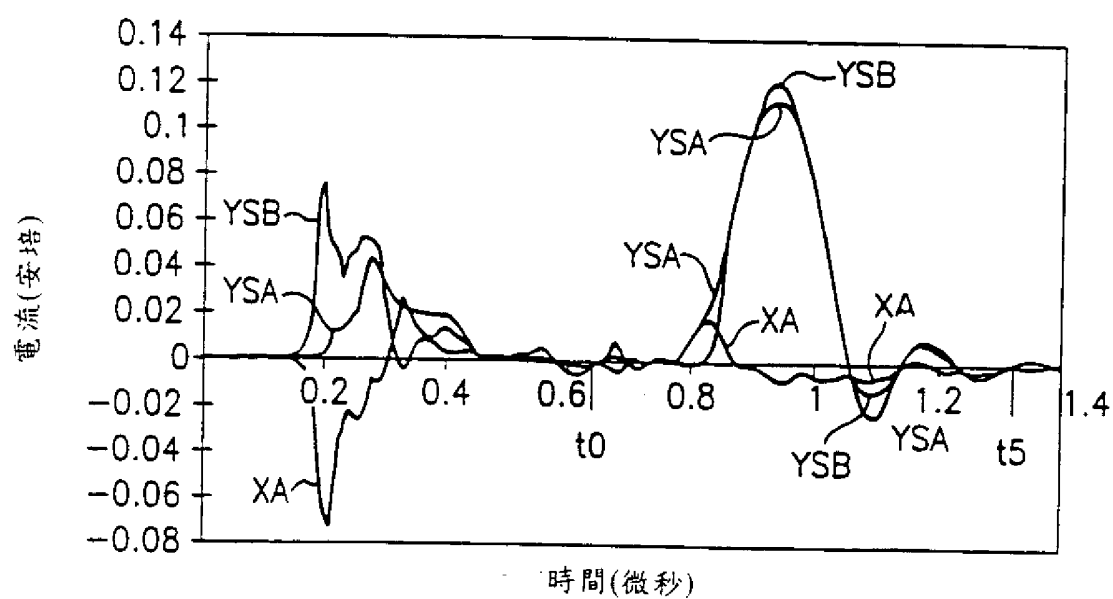
第13圖



第14圖

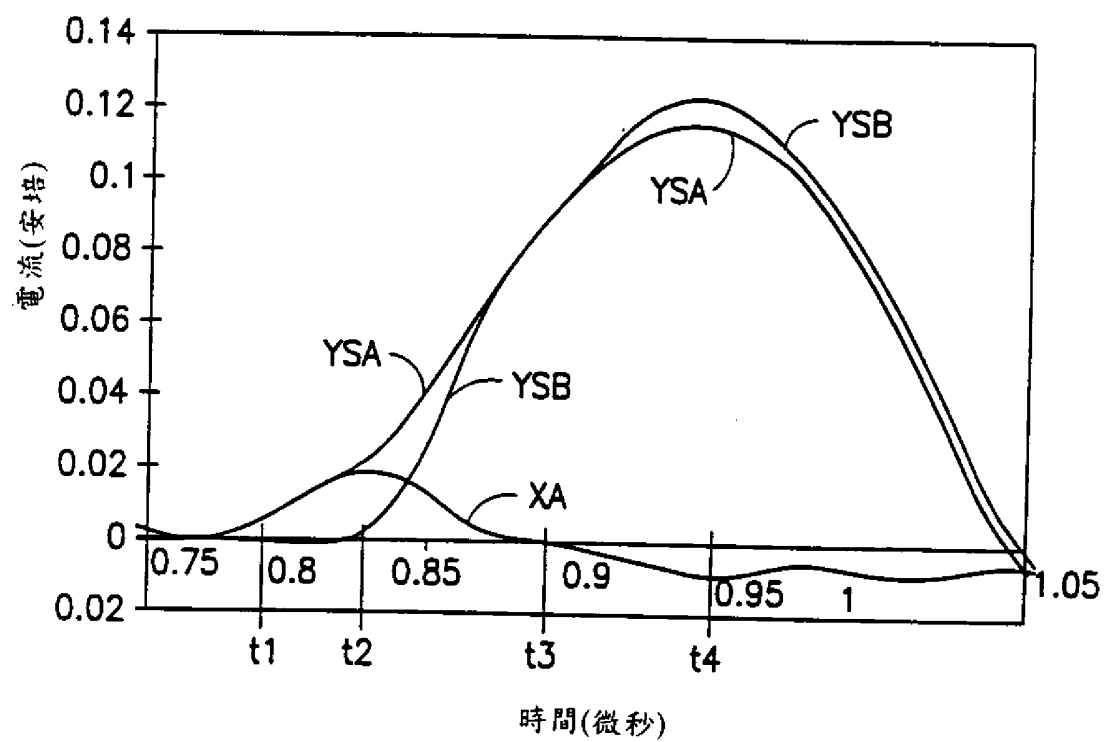


第15a圖



第15b圖

445493



第15c圖

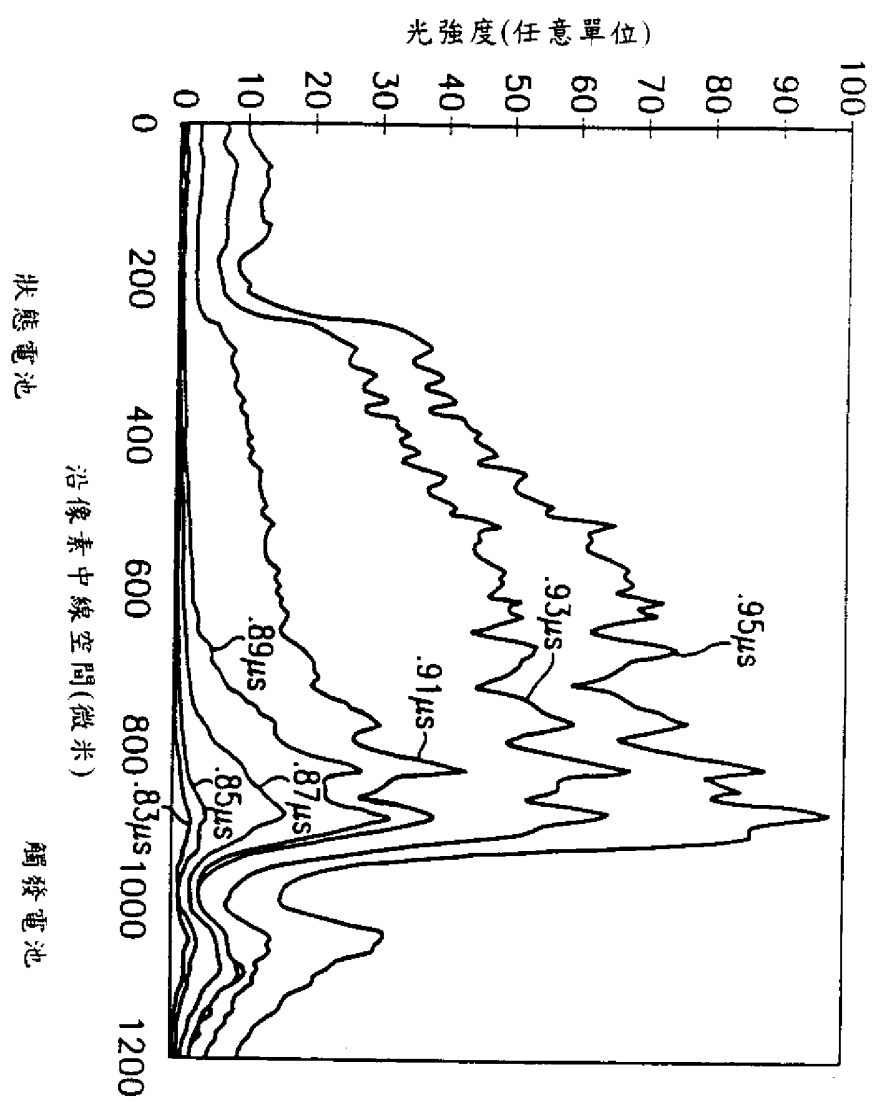
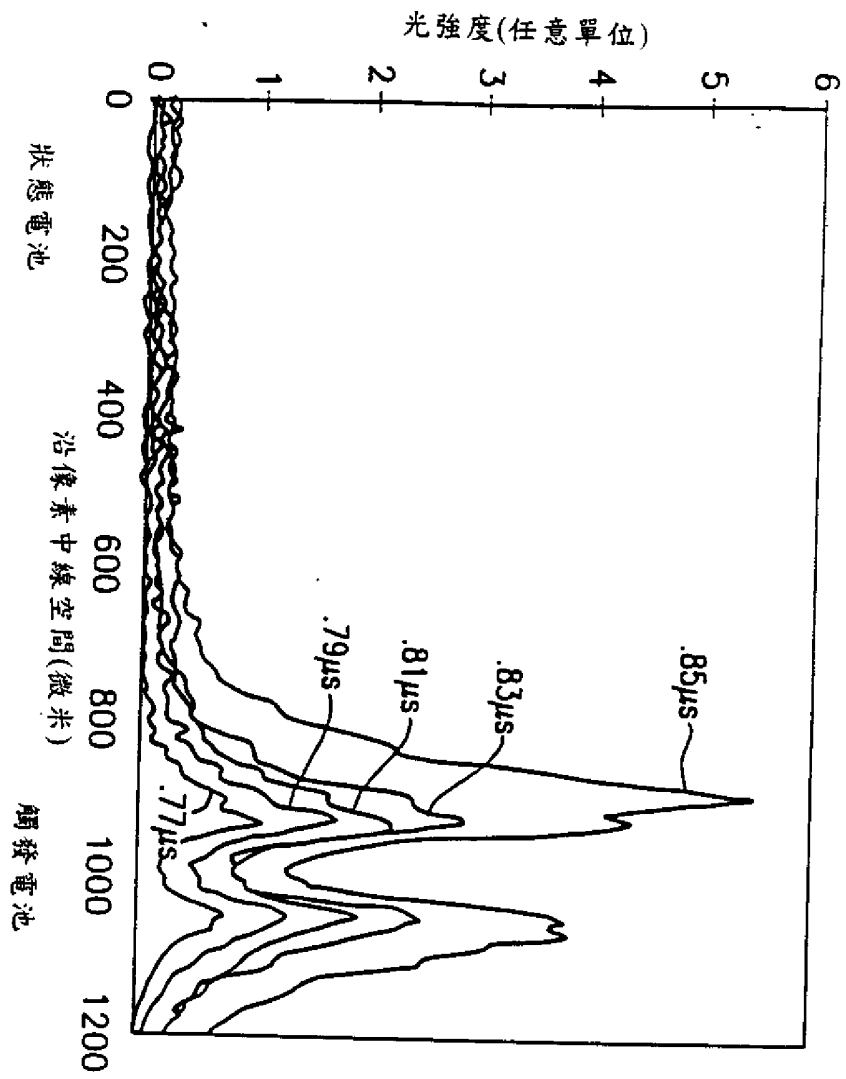
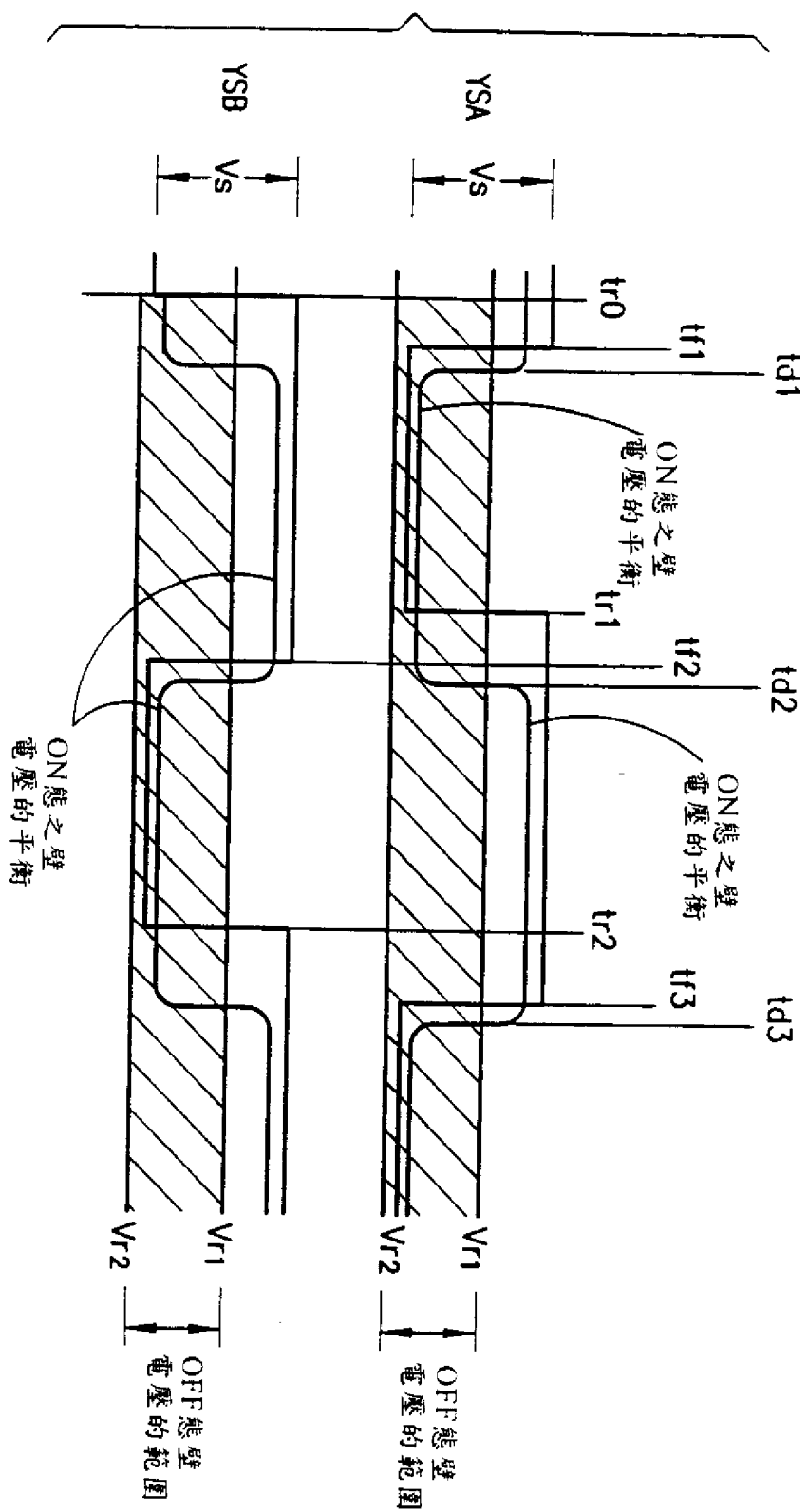


圖 6a

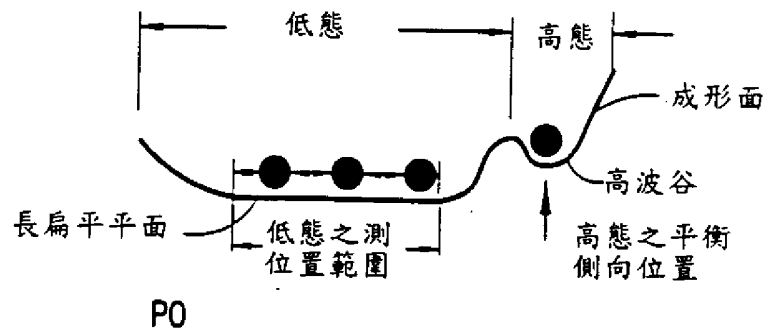


第16b圖

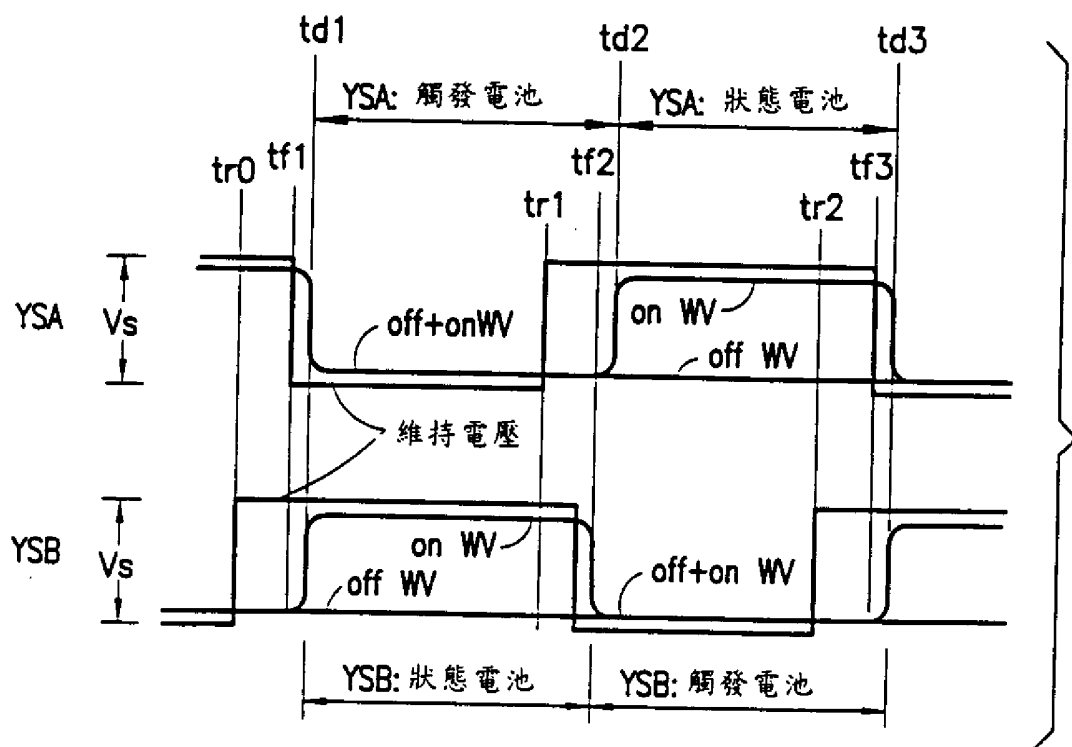


第 18 圖

445493



第 17 圖



第 19 圖