(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 5 月 1 日(01.05.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/065035 A1

(51) 国際特許分類:
H05K 3/46 (2006.01) *H01L 23/12* (2006.01)

(21) 国際出願番号: PCT/JP2013/074653

(22) 国際出願日: 2013 年 9 月 12 日(12.09.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-232566 2012 年 10 月 22 日(22.10.2012) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 加藤　登 (**KATO Noboru**); 〒6178555 京都府長岡京市東神足１丁目１０番１号　株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 特許業務法人プロフィック特許事務所 (**PROFIC PC**); 〒5410054 大阪府大阪市中央区南本町４丁目２番２１号　イヨビルディング Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

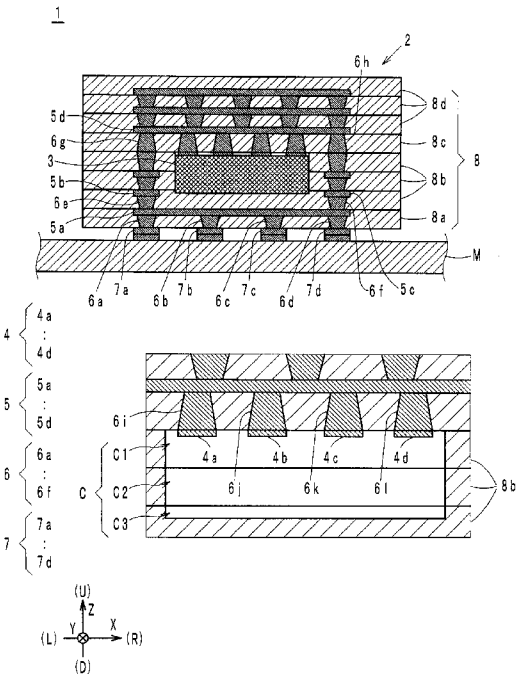
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: MODULE WITH BUILT-IN ELECTRONIC COMPONENT

(54) 発明の名称 : 電子部品内蔵モジュール

図１Ａ



(57) **Abstract**: A module (1) with built-in electronic component is equipped with a multilayer substrate (2) having a cavity (C) formed therein, and an electronic component (3) housed in said cavity (C). Said module (1) can be mounted to a mother board (M). The multilayer substrate (2) comprises: a substrate-side resin layer (8a) that includes a plurality of external electrodes (7) necessary for mounting to the mother board (M), and a plurality of substrate-side via conductors (6a-6d) electrically connected to the plurality of external electrodes (7); an intermediate resin layer (8b) containing a plurality of intermediate via conductors (6e, 6f) electrically connected to substrate-side via conductors (6a-6d); and a component-side resin layer (8c) laminated on the intermediate resin layer (8b), and having formed therein a plurality of component-side via conductors (6g to 6l). In order to prevent rupture of the joints between the electronic component and the multilayer substrate, the intermediate volume ratio obtained by dividing the volume of the component-side via conductors (6g-6l) by the volume of the component-side resin layer (8c) is lower than the component-side volume ratio obtained by dividing the volume of the interim via conductors (6e, 6f) by the volume of the intermediate resin layer (8b).

(57) 要約: 電子部品内蔵モジュール（１）は、キャビティ（Ｃ）が形成された多層基板（２）と、該キャビティ（Ｃ）に収容された電子部品（３）とを備え、マザー基板（Ｍ）に実装可能である。多層基板（２）は、マザー基板（Ｍ）への実装に必要な複数の外部電極（７）と、該複数の外部電極（７）と電気的に接続される複数の基板側ビア導体（６ａ～６ｄ）と、を含む基板側樹脂層（８ａ）と、複数の基板側ビア導体（６ａ～６ｄ）と電気的に接続される複数の中間ビア導体（６ｅ，６ｆ）を含む中間樹脂層（８ｂ）と、該中間樹脂層（８ｂ）に積層され、複数の部品側ビア導体（６ｇ～６ｌ）が形成された部品側樹脂層（８ｃ）と、を含んでいる。ここで、電子部品と多層基板との接合部の破断を防止するために、部品側ビア導体（６ｇ～６ｌ）の体積を部品側樹脂層（８ｃ）の体積で除した値である中間体積比は、中間ビア導体（６ｅ，６ｆ）の体積を中間樹脂層（８ｂ）の体積で除した値である部品側体積比よりも低くなっている。

WO 2014/065035 A1

明　細　書

発明の名称 ： 電子部品内蔵モジュール

技術分野

[0001] 本発明は、可撓性を有する多層基板に電子部品を内蔵しており、マザー基板上に実装可能に構成された電子部品内蔵モジュールに関する。

背景技術

[0002] 従来、この種の電子部品内蔵モジュールとして、下記の特許文献１に記載の部品内蔵配線基板（以下、単に配線基板という）が例示される。配線基板は、略矩形板状のコア基板を備えている。コア基板の主面（以下、コア主面という）には主面側ビルドアップ層が、該主面との対向面（以下、コア対向面という）には裏面側ビルドアップ層が設けられる。

[0003] コア基板には、上方からの平面視で矩形状の貫通孔である収容穴部（つまり、キャビティ）を有する。収容穴部内には、電子部品の一例であるＩＣチップ（半導体集積回路素子）が収容される。なお、収容穴部とＩＣチップとの隙間は樹脂充填剤によって埋められ、これによって、ＩＣチップはコア基板に固定される。

[0004] 主面側ビルドアップ層は、熱硬化性樹脂からなる３層の主面側層間樹脂層と、銅からなる主面側導体層とを交互に積層した構造を有する。また、各主面側層間樹脂層の内部には、それぞれ銅めっきで形成された第一ビア導体が設けられる。これら第一ビア導体の一部は、ＩＣチップに接続されている。

[0005] 電子部品内蔵モジュールとしては、他にも、下記の特許文献２に記載のＳｉベースパッケージが例示される。Ｓｉベースパッケージは、自身の下方部分に、電子部品の他の例であるＲＦＩＣチップのためのエッチングされたキャビティが形成されたインターポーザ（つまり、多層基板）を備えている。キャビティには、遮蔽性を促進するように金属被覆が設けられる。また、ＲＦＩＣチップはマイクロバンプを用いて、Ｓｉベースパッケージの追加部分にフリップ・チップ接合される。

先行技術文献

特許文献

[0006] 特許文献1：特開２００９－２６０３１８号公報

特許文献2：特開２００８－４２９０４号公報

発明の概要

発明が解決しようとする課題

[0007] 上記電子部品内蔵モジュールは、マザー基板に実装される。しかし、多層基板とマザー基板とは互いに異なる熱膨張係数を有する材料からなる。したがって、マザー基板が変形（典型的には、反り）すると、電子部品と多層基板との接合部にもストレスが加わり、接合部が破断してしまうという問題点があった。

[0008] 特に、近年、電子部品内蔵モジュールの小型化や高機能化に伴い、電子部品と多層基板との接合部が小さくなってきている。このように接合部が小さくなると、小さなストレスであっても接合部が破断する可能性が高くなる。

[0009] それゆえに、本発明の目的は、マザー基板への実装後、電子部品と多層基板との接合部の破断を防止可能な電子部品内蔵モジュールを提供することである。

課題を解決するための手段

[0010] 上記目的を達成するために、本発明の一局面は、キャビティが内部に形成された多層基板と、該キャビティに収容された電子部品とを備え、マザー基板に実装可能な電子部品内蔵モジュールであって、前記多層基板は、前記マザー基板への実装に必要な複数の外部電極と、該複数の外部電極と電気的に接続される複数の基板側ビア導体と、を含む基板側樹脂層と、前記複数の基板側ビア導体と電気的に接続される複数の中間ビア導体を含む中間樹脂層と、前記中間樹脂層に積層され、複数の部品側ビア導体が形成された部品側樹脂層と、を含んでいる。

[0011] 前記複数の部品側ビア導体は、前記複数の中間ビア導体と電気的に接続さ

れる複数の第一部品側ビア導体と、前記電子部品と接合されかつ該第一部品側ビア導体と電気的に接続される複数の第二部品側ビア導体とを少なくとも含んでいる。

[0012] 前記複数の部品側ビア導体の体積を前記部品側樹脂層の体積で除した値を部品側体積比とし、前記中間ビア導体の体積を前記中間樹脂層の体積で除した値を中間体積比とすると、該中間体積比は該部品側体積比よりも低い。

発明の効果

[0013] 上記局面によれば、マザー基板への実装後、その変形により発生するストレスを中間樹脂層で吸収可能となる。したがって、ストレスは部品側樹脂層には伝わらず、これによって、電子部品と多層基板との接合部の破断を防止することができる。

図面の簡単な説明

[0014] [図1A]第一実施形態に係る電子部品内蔵モジュールを示す縦断面図である。

[図1B]図１の電子部品および配線電極の詳細な構成を示す模式図である。

[図2A]図１のモジュールの製法における最初の工程を示す模式図である。

[図2B]図２Ａの次工程を示す模式図である。

[図2C]図２Ｂの次工程を示す模式図である。

[図2D]図２Ｃの次工程を示す模式図である。

[図2E]図２Ｄの次工程を示す模式図である。

[図3]図１に示す多層基板内にかかるストレスを示す模式図である。

[図4]第一変形例に係る電子部品内蔵モジュールを示す縦断面図である。

[図5]第二変形例に係る電子部品内蔵モジュールを示す縦断面図である。

[図6]図５に示す千鳥状の複数のビア導体の構成例を示す斜視図である。

[図7]図１の電子部品内蔵モジュールの他の構成例を示す縦断面図である。

[図8]図１の電子部分内蔵モジュールのさらに他の構成例を示す縦断面図である。

発明を実施するための形態

[0015] （はじめに）

まず、いくつかの図面に示されるＸ軸、Ｙ軸およびＺ軸について説明する。Ｘ軸、Ｙ軸およびＺ軸は互いに直交する。Ｚ軸は、樹脂層の積層方向を示す。便宜上、Ｚ軸の負方向側、つまりマザー基板に近い側を下側（Ｄ）とし、Ｚ軸の正方向側、つまりマザー基板から遠い側を上側（Ｕ）とする。また、Ｘ軸は左右方向を示す。特に、Ｘ軸の正方向側を右側（Ｒ）とし、負方向側を左側（Ｌ）とする。また、Ｙ軸は前後方向を示す。特に、Ｙ軸の正方向側を奥方向（Ｆ）とし、負方向側を手前方向（Ｎ）とする。

[0016]（第一実施形態）

図１Ａは、本発明の第一実施形態に係る電子部品内蔵モジュール（以下、単にモジュールという）１を示す縦断面図である。特に、図１Ａの上段には、モジュール１の全体構成が、その下段にはキャビティＣの周辺構成が示されている。

[0017] 図１Ａにおいて、モジュール１は、マザー基板Ｍ上に実装可能に構成される。このモジュール１は、多層基板２と、少なくとも一つの電子部品３と、複数の配線電極４と、複数のパターン導体５と、複数のビア導体６と、複数の外部電極７と、を備えている。

[0018] 多層基板２は、複数の樹脂層８からなる積層体であり、外部から加わる力により変形可能である。複数の樹脂層８は、マザー基板との接合用の基板側樹脂層８ａと、少なくとも一つ（図示は三つ）の中間樹脂層８ｂと、電子部品との接合用の部品側樹脂層８ｃと、少なくとも一つ（図示は三つ）の追加樹脂層８ｄと、を含んでいる。なお、図１Ａには、便宜上、上下方向に隣接する二つの樹脂層８の境界を実線で仮想的に示している。

[0019] 各樹脂層８ａ～８ｄは、電気絶縁性を有する可撓性材料（例えば、液晶ポリマー等の熱可塑性樹脂）からなる。また、各樹脂層８ａ～８ｄは、上方からの平面視で互いに同じ矩形形状を有しており、１０～１００［μｍ］程度の厚みを有する。

[0020] 基板側樹脂層８ａは、モジュール１をマザー基板Ｍに実装した際、各樹脂層８ａ～８ｄの中でマザー基板Ｍに最も近接する。この樹脂層８ａの下面に

は、マザー基板Ｍ上のランド位置に合うように、銅等の導電性材料からなる複数の外部電極７が形成される。図１Ａには、複数の外部電極７として、四つの外部電極７ａ～７ｄが示されている。

[0021] 中間樹脂層８ｂは樹脂層８ａの上方に積層される。本実施形態のように、三つであれば、最下の中間樹脂層８ｂが樹脂層８ａの上面に積層され、最下の中間樹脂層８ｂの上面に二つ目の中間樹脂層８ｂが積層され、二つ目の中間樹脂層８ｂの上面に最上の中間樹脂層８ｂが積層される。したがって、中間樹脂層８ｂは、上層に行けば行くほど、マザー基板Ｍから離れていく。

[0022] 多層基板２の内部には、後述の電子部品３を収容するためのキャビティＣが形成される。図１Ａの下段に示すように、キャビティＣは、上記三つの中間樹脂層８ｂを用いて形成される。具体的には、上二層の同一位置（例えば、概ね中央部）には、上方からの平面視で電子部品３と略同一形状（例えば矩形）の貫通孔Ｃ１およびＣ２が形成される。また、最下層の中間樹脂層８ｂには、加熱・加圧工程（図２Ｅを参照）により電子部品３がめり込むことで、上方からの平面視で電子部品３と略同一形状の凹部Ｃ３が形成される。貫通孔Ｃ１，Ｃ２および凹部Ｃ３は、キャビティＣを構成する空間の例である。

[0023] 部品側樹脂層８ｃは、最上の中間樹脂層８ｂの上面に積層され、上記キャビティＣの追加開口を閉止する。また、追加樹脂層８ｄは樹脂層８ｃの上面に積層される。本実施形態のように、三つであれば、最下の追加樹脂層８ｄが樹脂層８ｃの上面に、二つ目の追加樹脂層８ｄが最下の追加樹脂層８ｄの上面に、最上の追加樹脂層８ｄが二つ目の追加樹脂層８ｄの上面に積層される。

[0024] 電子部品３は、典型的には、ＣＳＰ（Ｃｈｉｐ Ｓｉｚｅ Ｐａｃｋａｇｅ）の半導体部品である。電子部品３の一面には複数の配線電極４（下記参照）が設けられている。この種の半導体部品としては、例えば、ＲＦＩＣチップやデジタルカメラ用の画像処理ＩＣ等がある。なお、電子部品３は、上記ＣＳＰの半導体部品に限らず、ＭＥＭＳ（Ｍｉｃｒｏ Ｅｌｅｃｔｒｏ

Ｍｅｃｈａｎｉｃａｌ　Ｓｙｓｔｅｍｓ）でも構わないし、コンデンサやチップ抵抗等の受動部品でも構わない。

[0025] 複数の配線電極４として、図１Ａの下段には、四つの配線電極４ａ～４ｄが例示される。ここで、電子部品３は、積層方向（Ｚ軸方向）に対向する上面および下面と、該積層方向に平行な側面とを有する。本実施形態では、上面に配線電極４ａ～４ｄに設けられる。配線電極４ａ～４ｄを介して、電子部品３は、部品側樹脂層８ｃに設けられる部品側ビア導体６ｉ～６ｌと接続される。

[0026] 図１Ａには、説明を簡素化するため、電子部品３および複数の配線電極４だけが示されている。しかし、電子部品３および配線電極４は、詳細には、図１Ｂに示すような構造を有する。つまり、Ｓｉ基板１０上にＵＢＭ（アンダーバンプメタル）１１が形成され、その周囲はSiO_2層１２で覆われる。SiO_2層１２の上にはポリイミド層１３が形成される。ポリイミド層１３上に、銅等からなる配線電極４が形成される。

[0027] なお、上記では、電子部品３の構造についてはＵＢＭを用いた形態を例示した。しかし、これに限らず、例えば、Ｓｉ基板１０の電極上に直接再配線層を形成しても構わない。

[0028] 再度図１Ａを参照する。電子部品３および配線電極４はキャビティＣに収容される。なお、都合上、図１Ａの下段には、電子部品３は示されていない。キャビティＣは、元々は電子部品３の外形よりも若干大きなサイズを有する。そして、加熱・加圧工程（図２Ｅを参照）により、電子部品３の周囲には、流動化した中間樹脂層８ｂが密着し、これによって、電子部品３は封止される。また、電子部品３の下面および側面は、別の充填剤等で中間樹脂層８ｂに固定されない。したがって、マザー基板Ｍの変形や周囲の熱の影響で、もし樹脂層８ｃの長さがある方向に変わったとしても、その変化に追従して電子部品３はキャビティＣの内部で移動する。換言すると、電子部品３は中間樹脂層８ｂ上を摺動する。なお、電子部品３が中間樹脂層８ｂ上を摺動しやすくするために、電子部品３の下面等を鏡面加工することが好ましい。

[0029] 少なくとも一つのパターン導体５は、銅等の導電性材料からなり、多層基板２内に形成される。より具体的には、パターン導体５は、必要な樹脂層８の上面または下面に形成される。これらパターン導体５は、マザー基板Ｍ上の各ランド電極と、電子部品３とを電気的に接続するための配線導体として設けられている。

[0030] なお、図１Ａが煩雑になることを避ける目的で、図１Ａでは、全パターン導体に参照符号を付けずに、四つのパターン導体にのみ、５ａ，５ｂ，５ｃ，５ｄという参照符号を付けている。パターン導体５ａは、樹脂層８ａの上面と最下の中間樹脂層８ｂの下面との間に、左右方向に延在するように形成される。また、パターン導体５ｂ，５ｃはいずれも、最下の中間樹脂層８ｂの上面と二つ目の中間樹脂層８ｂの下面との間に形成される。特に、パターン導体５ｂはキャビティＣの左方に、パターン導体５ｃはキャビティＣの右方に形成される。最後に、パターン導体５ｄは、樹脂層８ｃの上面と最下の追加樹脂層８ｄの下面との間に、左右方向に延在するように形成される。左右方向の長さに関しては、パターン導体５ａ，５ｄが、パターン導体５ｂ，５ｃよりもはるかに長い。なお、パターン導体５は、配線導体に限らず、コンデンサやコイルを形成するためのパターン導体であっても構わない。

[0031] 複数のビア導体６は、典型的には、錫および銀を主成分とする合金等の導電性材料からなる。ビア導体６は、基本的には、電子部品３とマザー基板Ｍ上の各ランド電極とを電気的に接続するために用いられ、対応する樹脂層８上の定められた位置に、該樹脂層８を上下方向に貫通するように形成される。

[0032] なお、図１Ａが煩雑になることを避ける目的で、図１Ａでは、全ビア導体６に参照符号を付けるのではなく、十二個のビア導体に６ａ～６ｌという参照符号を付けている。

[0033] ビア導体６ａ～６ｄはいずれも基板側樹脂層８ａに設けられる。この観点で、これらを、以下では、基板側ビア導体６ａ～６ｄということがある。具体的には、基板側ビア導体６ａ～６ｂは左右方向に直線的に並ぶように基板

側樹脂層８ａに設けられる。基板側ビア導体６ａは、外部電極７ａとパターン導体５ａとに接合して、これらを電気的に接続する。同様に、基板側ビア導体６ｂ～６ｄは、外部電極７ｂ～７ｄと、パターン導体５ａとに接合して、これらを電気的に接続する。

[0034] ビア導体６ｅ，６ｆはいずれも、最下の中間樹脂層８ｂに設けられる。この観点で、以下では、これらを中間ビア導体６ｅ，６ｆということがある。具体的には、中間ビア導体６ｅは、パターン導体５ａとパターン導体５ｂとに接合して、これらを電気的に接続する。中間ビア導体６ｆは、パターン導体５ａとパターン導体５ｃとに接合して、これらを電気的に接続する。

[0035] また、ビア導体６ｇ～６ｌは、左右方向に直線的に並ぶように樹脂層８ｃに設けられる。この観点で、これらを部品側ビア導体６ｇ～６ｌということがある。これら部品側ビア導体６ｇ～６ｌは、第一部品側ビア導体６ｇ，６ｈと、第二部品側ビア導体６ｉ～６ｌと、に分類される。特に、第一部品側ビア導体６ｇ，６ｈは、パターン導体５ｄと、一層下の中間樹脂層８ｂに設けられたいずれかのビア導体と接合して、これらを電気的に接続する。また、第二部品側ビア導体６ｉは、パターン導体５ｄおよび配線電極４ａと接合し、これらを電気的に接続する。同様に、第二部品側ビア導体６ｊ～６ｌは、パターン導体５ｄと、配線電極４ｂ～４ｄとを接合し、これらを電気的に接続する。

[0036] 樹脂層８ｂ，８ｃのビア導体６は、電子部品３およびマザー基板Ｍの間の電気的接続という役割以外にも、樹脂層８ｂ，８ｃの柔軟性（あるいは、剛性）を調整するためにも設けられている。具体的には、樹脂層８ｂの体積比（つまり、中間体積比）が樹脂層８ｃの体積比（部品側体積比）よりも低くなるように、樹脂層８ｂ，８ｃにはビア導体６が形成されている。ここで、中間体積比とは、中間樹脂層８ｂに形成される全てのビア導体（中間ビア導体）６の体積を、中間樹脂層８ｂの体積で除した値である。また、部品側体積比とは、部品側樹脂層８ｃに形成される全てのビア導体（部品側ビア導体）６の体積を、部品側樹脂層８ｃの体積で除した値である。

[0037] 例えば、樹脂層８ｂ，８ｃに形成される全てのビア導体６のサイズが実質的に同じであるならば、樹脂層８ｂに樹脂層８ｃよりも少ない個数のビア導体６を形成することで、上記のような密度関係にすることができる。

[0038] また、上記中間体積比よりも追加樹脂層８ｄの体積比（追加体積比）が高くなるように、樹脂層８ｂ，８ｄにビア導体６が形成されることがさらに好ましい。ここで、追加体積比とは、追加樹脂層８ｄに形成される全てのビア導体（追加ビア導体）６の体積を、追加樹脂層８ｄの体積で除した値である。

[0039] 樹脂層８ｂ，８ｄのビア導体６のサイズが実質的に同じであれば、樹脂層８ｂのビア数を樹脂層８ｄのビア数よりも少なくすれば、上記のような密度関係にすることができる。

[0040] また、上記追加体積比は、部品側体積比よりも低くなるように、樹脂層８ｃ，８ｄにはビア導体６が形成されていても構わない。この場合、各樹脂層８ｂ～８ｄの体積比の中で、部品体積比が最も高くなる。

[0041] また、外部電極７（図１Ａには、外部電極７ａ～７ｄが示される）は、上記の通り、マザー基板Ｍ上のランド位置に合うように、樹脂層８ａの下面に形成される。外部電極７ａ～７ｄは、樹脂層８ａに形成されたビア導体６と電気的に接続される。

[0042]（モジュールの製造方法）

次に、モジュール１の製造方法について、図２Ａ～図２Ｄを参照して説明する。以下では、一つのモジュール１の製造過程を説明するが、実際には、大判の樹脂シートが積層及びカットされることにより、大量のモジュール１が同時に製造される。

[0043] まず、表面のほぼ全域にわたり銅箔が形成された樹脂シートと、表面に何も形成されていない樹脂シートが必要な枚数だけ準備される。各樹脂シートは、モジュール１の完成後にいずれかの樹脂層８となる。図１Ａのモジュール１を作成するには、樹脂層８ａ～８ｄに対応する樹脂シート９ａ～９ｄ（図２Ａを参照）が準備される。また、各樹脂シート９ａ～９ｄは２５～１０

０［μｍ］程度の厚みを有する液晶ポリマーである。また、銅箔の厚みは、１０～２０［μｍ］である。なお、銅箔の表面は、防錆のために亜鉛等で鍍金され、平坦化されることが好ましい。

［0044］ 次に、フォトリソグラフィ工程により、図２Ａに示すように、少なくとも一枚の樹脂シート９ａの一方表面に所定数の外部電極７が形成される。より具体的に説明すると、まず、この樹脂シート９ａの銅箔上に、外部電極７（外部電極７ａ～７ｄを含む）と同じ形状のレジストが印刷される。その後、銅箔に対しエッチング処理が施され、レジストで覆われていない露出部分の銅箔が除去される。その後、レジストが除去される。これにより、樹脂シート９ａの一方表面に外部電極７が形成される。

［0045］ また、上記同様のフォトリソグラフィ工程により、図２Ａに示すように、樹脂シート９ｂの一表面にパターン導体５ａが形成される。なお、この樹脂シート９ｂはモジュール１の完成後に最下の樹脂層８ｂとなる。また、別の樹脂シート９ｂの一方表面にパターン導体５ｂ，５ｃが形成される。また、さらに別の樹脂シート９ｂの一方表面にも、パターン導体５ｂ，５ｃと同様のパターン導体が形成される。

［0046］ なお、本実施形態の例では、図２Ａに示すように、樹脂シート９ｃの表面には銅箔は形成されていない。

［0047］ また、上記同様のフォトリソグラフィ工程により、図２Ａに示すように、樹脂シート９ｄの一表面にパターン導体５ｄが形成される。なお、この樹脂シート９ｄがモジュール１の完成後に最下の樹脂層８ｄとなる。また、他の二枚の樹脂シート９ｄの一表面にも、パターン導体５ｄと同様のパターン導体が形成される。

［0048］ 次に、図２Ｂに示すように、樹脂シート９ａにおいてビア導体（右下がりのハッチングを付けた部分を参照）が形成されるべき位置に、他方面側（つまり、外部電極７ａ～７ｄが形成されていない面側）からレーザービームが照射される。これによって、ビアホールが形成され、その後、各ビアホールに導電性ペーストが充填される。

[0049] また、最下の樹脂層８ｂとなるべき樹脂シート９ｂにおいて、ビア導体６ａ，６ｂが形成されるべき位置に、樹脂シート９ｂの他方面側（つまり、パターン導体５ａが形成されていない面側）からレーザービームが照射される。こうしてできた各ビアホールに導電性ペーストが充填される。

[0050] 同様にして、二つ目の樹脂層８ｂとなるべき樹脂シート９ｂの所定位置にも、パターン導体５ｂ，５ｃが形成されていない面側からレーザービームが照射される。これによってできた各ビアホールに導電性ペーストが充填される。最上の樹脂層８ｂにも同様にして複数のビアホールが形成され、各ビアホールに導電性ペーストが充填される。

[0051] 同様にして、樹脂層８ｃとなるべき樹脂シート９ｃにおいて、ビア導体（ビア導体６ｃ～６ｆを含む）が形成されるべき位置にビアホールが形成され、その後、各ビアホールに導電性ペーストが充填される。二枚の樹脂シート９ｄにも、同様にして複数のビアホールが形成され、各ビアホールに導電性ペーストが充填される。

[0052] 次に、図２Ｃに示すように、最下の樹脂層８ｂとなるべき樹脂シート９ｂの他方面（つまり、パターン導体５ａが無い面）に、電子部品３が配置され仮プレスされる。これによって、電子部品３が樹脂シート９ｂに対し位置決めされる。

[0053] また、図２Ｄに示すように、他の樹脂層８ｂとなるべき各樹脂シート９ｂにおいて、電子部品３が配置されるべき位置に、レーザービームが照射される。これによって、貫通孔Ｃ１，Ｃ２が形成される。

[0054] 次に、図２Ｅに示すように、樹脂シート９ａ、樹脂シート９ｂ（最下の樹脂層８ｂ）、樹脂シート９ｂ（二つ目の樹脂層８ｂ）、樹脂シート９ｂ（最上の樹脂層８ｂ）、樹脂シート９ｃ、樹脂シート９ｄ（最下の樹脂層８ｄ）、樹脂シート９ｄ（二つ目の樹脂層８ｄ）、および樹脂シート９ｄ（最上の樹脂層８ｄ）が、下から上へとこの順番に積み重ねられる。ここで、外部電極７および各パターン導体５が形成されている樹脂シート９は、該外部電極７および各パターン導体５の形成面が下方に向くように積層される。

[0055] その後、積み重ねられた樹脂シート９ａ～９ｄに、上下両方向から熱および圧力が加えられる。この加熱・加圧によって、樹脂シート９ａ～９ｄを軟化させて圧着および一体化するとともに、各ビアホール内の導電性ペーストを固化させる。これによって、ビア導体６（ビア導体６ａ～６ｆを含む）が形成される。また、この時、電子部品３が樹脂シート９ｂにめり込んで、凹部Ｃ３が形成される。なお、各樹脂シート９は、加熱・加圧による圧着に代えて、エポキシ系樹脂等の接着剤を用いて一体化されてもよい。

[0056] 最後に、一体化された樹脂シート９ａ～９ｄは所定サイズにカットされ、これによって、図１Ａに示すようなモジュール１が完成する。

[0057]（モジュールの作用・効果）

次に、図３を参照して、上記モジュール１の作用・効果を説明する。上記モジュール１はマザー基板Ｍ上に実装される。ここで、多層基板２およびマザー基板Ｍの熱膨張係数は互いに相違する。したがって、もし、多層基板２およびマザー基板Ｍが熱の影響で変形すると、モジュール１とマザー基板Ｍとの接合部分（つまり、界面）には、矢印α１で示すように大きなストレスが加わる。また、多層基板２マザー基板Ｍの変形（典型的には、反り）が発生した時にも、上記界面には同様に大きなストレスが加わる。

[0058] 本実施形態では、このストレス（矢印α１で示す）が電子部品３と多層基板２との接合部に影響しないように、部品側樹脂層８ｃは、中間樹脂層８ｂよりも大きな体積比を有している。これによって、中間樹脂層８ｂは部品側樹脂層８ｃよりも大きな柔軟性を有することになる。このような中間樹脂層８ｂによって、モジュール１とマザー基板Ｍとの界面に加わったストレスが吸収される。

[0059] 特に、本実施形態のように、三つの中間樹脂層８ｂが設けられる場合、マザー基板Ｍに近い樹脂層８ｂで多くのストレスが吸収される。よって、最下および二つ目の中間樹脂層８ｂの接合部で生じるストレス（矢印β１で示す）は、矢印α１で示すストレスよりも小さくなる。同様に、二つ目および最上の中間樹脂層８ｂの接合部で生じるストレス（矢印β２で示す）は、矢印

β１で示すストレスよりも小さくなる。よって、樹脂層８ｃには、矢印α１で示すストレスよりも十分に小さなストレス（矢印β３で示す）しか加わらない。したがって、モジュール１とマザー基板Ｍとの界面に大きなストレスが加わっても、そのストレスは中間樹脂層８ｂによって大きく低減されるため、樹脂層８ｃには十分に小さいか殆ど無視可能なストレスしか伝わらない。よって、電子部品３および多層基板２の接合部の破断を防止可能となる。ここで、電子部品３と樹脂層８のビア導体６とは、樹脂層８ｃ側（電子部品３を収容するキャビティの上面側）のみで電気的に接続されていることが好ましい。

[0060] また、逆に言えば、樹脂層８ｃには、その剛性が十分に高められるだけのビア導体６が形成されていることになる。したがって、仮に、電子部品３および多層基板２の間に想定外のストレスが伝わったとしても、樹脂層８ｃはストレスに対し十分な耐性を有することになる。これによって、電子部品３および多層基板２の接合部の破断をより防止することが可能となる。

[0061] さらに、電子部品３がキャビティＣ内を摺動可能に構成されている。よって、もし、樹脂層８ｃの長さが変わった場合、その変化に追従して電子部品３がキャビティＣ内を移動する。これによって、電子部品３と樹脂層８ｃと間の配線電極４にストレスが加わることを抑制し、その接合部分の破断を防止することが可能となる。

[0062] また、第一実施形態では好ましい構成として、上記中間体積比が追加体積比よりも低くなるように、樹脂層８ｂ，８ｄにはビア導体６が形成される。これによって、樹脂層８ｃよりも上層の剛性が高められるため、樹脂層８ｃはストレスに対しより高い耐性を有することになる。これによって、電子部品３および多層基板２の間の接合部分の破断をより防止することが可能となる。

[0063]（第一変形例）

なお、第一実施形態では、多層基板２には、図１Ａに示すように、一つのキャビティＣが形成され、該キャビティＣに電子部品３が収容されるとして

説明した。しかし、これに限らず、多層基板２には、図４に示すように、複数のキャビティＣａ，Ｃｂが形成されても構わない。この場合、キャビティＣａ，Ｃｂそれぞれには、少なくとも一つの電子部品３ａ，３ｂが収容される。

[0064] 上記のように、複数の電子部品３ａ，３ｂを内蔵する場合、それぞれのＳｉ基板を薄くしたり、薄膜電極形成技術を用いて電極層や絶縁層を薄型化したりすることが、多層基板２の低背化の観点で好ましい。

[0065] （第二変形例）

また、第一実施形態では、多層基板２には、図１Ａに示すように、上方からの平面視で略同一位置に複数のビア導体６が形成されていた。しかし、これに限らず、図５に示すように、上下方向に隣り合う二つの樹脂層８に形成されるビア導体６が、所謂千鳥状に形成されていても構わない。

[0066] 千鳥状のビア導体６をより具体的に説明すると、ある一つの樹脂層８_1を基準として上方に向かって奇数番目の樹脂層８_1，８_3，…には、上方からの平面視で互いに略同一位置$Ｐ_1$にビア導体６_1，６_3，…が形成される。また、偶数番目の樹脂層８_2，８_4，…には、上方からの平面視で互いに同一位置$Ｐ_2$（但し、位置$Ｐ_2$は位置$Ｐ_1$とは異なる）にビア導体６_2，６_4，…が形成される。また、上下方向に隣り合うビア導体６同士（例えば、ビア導体６_1，６_2）はパターン導体５にて接続される。このような千鳥状のビア導体６により、多層基板２の上面および下面の平坦性を向上させることが可能となる。

[0067] なお、上記では、電子部品３に対し左側に形成された千鳥状のビア導体６_1～６_4を説明した。電子部品３の右側には、ＹＺ平面に平行で左右方向の中心を通る縦中心面Ｖと規準としてビア導体６_1～６_4をと対称になるように複数のビア導体が形成される。

[0068] ここで、Ｚ軸方向に隣り合うビア導体６は、図６の上段に示すように、上方からの平面視で、長方形状のパターン導体５で接続されていても構わない。他にも、図６の中段に示すように、上方からの平面視で中央部分がくびれているパターン導体５や図６の下段に示すように、上方からの平面視で波形

形状を有するパターン導体５で接続されても構わない。これらパターン導体５は、ねじれやすい形状を有する。この形状により、ねじれによる応力はパターン導体５の中央部分で吸収され、その結果、ビア導体６とパターン導体５との接合部分に応力がかかりにくくなる。

[0069]（その他の構成）

他にも、図７に示すように、電子部品３の下方であって、基板側樹脂層８ａよりも上方に、上方からの平面視で電子部品３に部分的に重なり合うパターン導体５ｅ，５ｆが形成されていても構わない。図７の例では、最下の中間樹脂層８ｂと二つ目の中間樹脂層８ｂの間に、これらパターン導体５ｅ，５ｆが形成されている。これらパターン導体５ｅ，５ｆの両主面の表面粗さは互いに異なっている。具体的には、一方の主面は表面粗さの小さいすべり面である。このすべり面に歪み応力がかかったときに、このすべり面で応力を逃がすことができ、電子部品３と多層基板２との接合部に応力がかかることを抑えることができる。また、パターン導体５ｅ，５ｆは、同一層内で完全に分離して形成されている。このような構成とすることで、より大きい歪みにも対応できる。

[0070] 上記パターン導体５ｅ，５ｆによって、電子部品３のシールド性を高めることが可能となる。また、パターン導体５ｅ，５ｆの少なくとも一方をグランド導体とすれば、複数のパターン導体５で発生する寄生成分（寄生容量や寄生抵抗等）の影響を低減することが可能となる。

[0071] また、図８に示すように、多層基板２において、マザー基板Ｍへの実装面と対向する面（例えば、上面）に、別の電子部品３ｃ，３ｄが実装されても構わない。

[0072]（参照による引用）

本出願は、２０１２年１０月２２日付けで出願された日本国特許出願２０１２－２３２５６６号の優先権を主張するものであり、当該特許出願２０１２－２３２５６６号に記載された全ての内容を参照により取り込むものである。

産業上の利用可能性

[0073] 本発明に係る電子部品内蔵モジュールは、電子部品と多層基板との接合部の破断を防止可能であり、無線通信機器等に好適である。

符号の説明

[0074] １　電子部品内蔵モジュール

２　多層基板

３，３ａ～３ｄ　電子部品

４，４ａ～４ｄ　配線電極

５，５ａ～５ｆ　パターン導体

６ａ～６ｄ　基板側ビア導体

６ｇ，６ｈ　第一部品側ビア導体

６ｉ～６ｌ　第二部品側ビア導体

７ａ～７ｄ　外部電極

８ａ　基板側樹脂層

８ｂ　中間樹脂層

８ｃ　部品側樹脂層

８ｄ　追加樹脂層

Ｃ，Ｃａ，Ｃｂ　キャビティ

Ｍ　マザー基板

６_{1}～６_{4}　千鳥状のビア導体

８_{1}～８_{4}　樹脂層

請求の範囲

[請求項1] キャビティが内部に形成された多層基板と、該キャビティに収容された電子部品とを備え、マザー基板に実装可能な電子部品内蔵モジュールであって、

前記多層基板は、

前記マザー基板への実装に必要な複数の外部電極と、該複数の外部電極と電気的に接続される複数の基板側ビア導体と、を含む基板側樹脂層と、

前記複数の基板側ビア導体と電気的に接続される複数の中間ビア導体を含む中間樹脂層と、

前記中間樹脂層に積層され、複数の部品側ビア導体が形成された部品側樹脂層と、を含み、

前記複数の部品側ビア導体は、前記複数の中間ビア導体と電気的に接続される複数の第一部品側ビア導体と、前記電子部品と接合されかつ該第一部品側ビア導体と電気的に接続される複数の第二部品側ビア導体とを少なくとも含み、

前記複数の部品側ビア導体の体積を前記部品側樹脂層の体積で除した値を部品側体積比とし、前記中間ビア導体の体積を前記中間樹脂層の体積で除した値を中間体積比とすると、該中間体積比は該部品側体積比よりも低い、電子部品内蔵モジュール。

[請求項2] 前記多層基板はさらに、前記部品側樹脂層に積層され、少なくとも一つの追加ビア導体が形成された追加樹脂層を含み、

前記複数の追加ビア導体の体積を前記追加樹脂層の体積で除した値を追加体積比とすると、該追加体積比は、前記中間体積比よりも高い、請求項１に記載の電子部品内蔵モジュール。

[請求項3] 前記多層基板はさらに、前記部品側樹脂層に積層され、少なくとも一つの追加ビア導体が形成された追加樹脂層を含み、

前記複数の追加ビア導体の体積を前記追加樹脂層の体積で除した値

を追加側体積比とすると、該追加体積比は、前記部品側体積比よりも低い、請求項１または２に記載の電子部品内蔵モジュール。

［請求項4］ 前記電子部品は、前記中間樹脂層および前記部品側樹脂層の積層方向に対向する二つの面を有し、該二つの面の一方に形成された複数の配線電極を介して前記複数の第二部品側ビア導体と接続され、

前記二つの面の他方は、前記キャビティが形成される前記中間樹脂層に固定されない、請求項１～３のいずれかに記載の電子部品内蔵モジュール。

［請求項5］ 前記電子部品は前記積層方向に平行な側面を有し、該側面は、前記キャビティが形成される前記中間樹脂層に固定されない、請求項４に記載の電子部品内蔵モジュール。

［請求項6］ 前記多層基板には、前記キャビティが複数形成され、

前記複数のキャビティのそれぞれに電子部品が収容される、請求項１～５のいずれかに記載の電子部品内蔵モジュール。

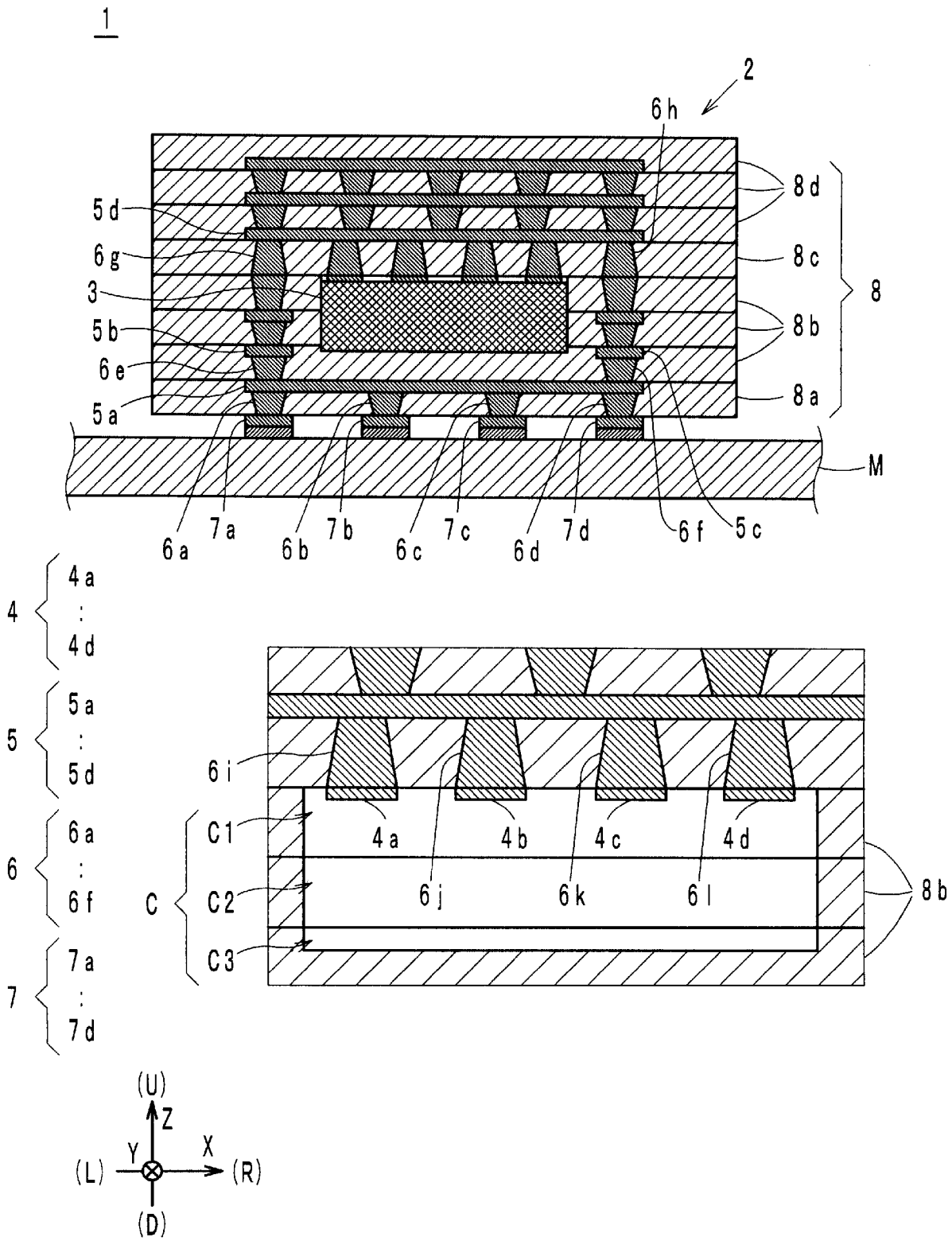
［請求項7］ 前記複数の基板側ビア導体、前記複数の中間ビア導体、前記複数の部品側ビア導体は、前記多層基板内で隣り合う層間において厚み方向から見て重ならないように設けられている、請求項１～６のいずれかに記載の電子部品内蔵モジュール。

［請求項8］ 前記電子部品と前記基板側樹脂層との間に形成され、上方からの平面視で該電子部品と部分的にオーバーラップするパターン導体をさらに備える、請求項１～７のいずれかに記載の電子部品内蔵モジュール。

［請求項9］ 前記多層基板において、前記マザー基板の実装面側と対向する面には、別の電子部品が実装されている、請求項１～８のいずれかに記載の電子部品内蔵モジュール。

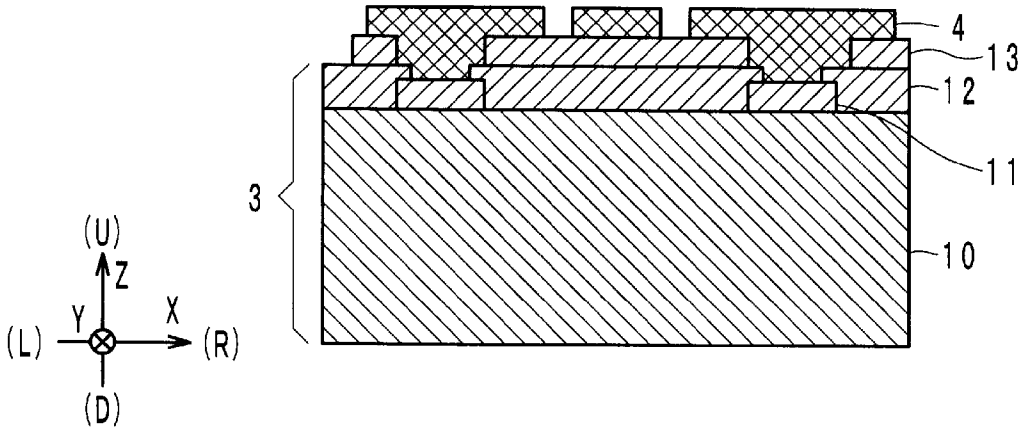
[図1A]

図１Ａ


1
2
6h
8d
8c
8b
8a
8
5d
6g
3
5b
6e
5a
M
6a
7a
6b
7b
6c
7c
6d
7d
6f
5c
4
4a
:
4d
5
5a
:
5d
6
6a
:
6f
7
7a
:
7d
6i
C1
C2
C3
C
4a
4b
4c
4d
6j
6k
6l
8b
(U)
Z
Y
X
(L)
(R)
(D)

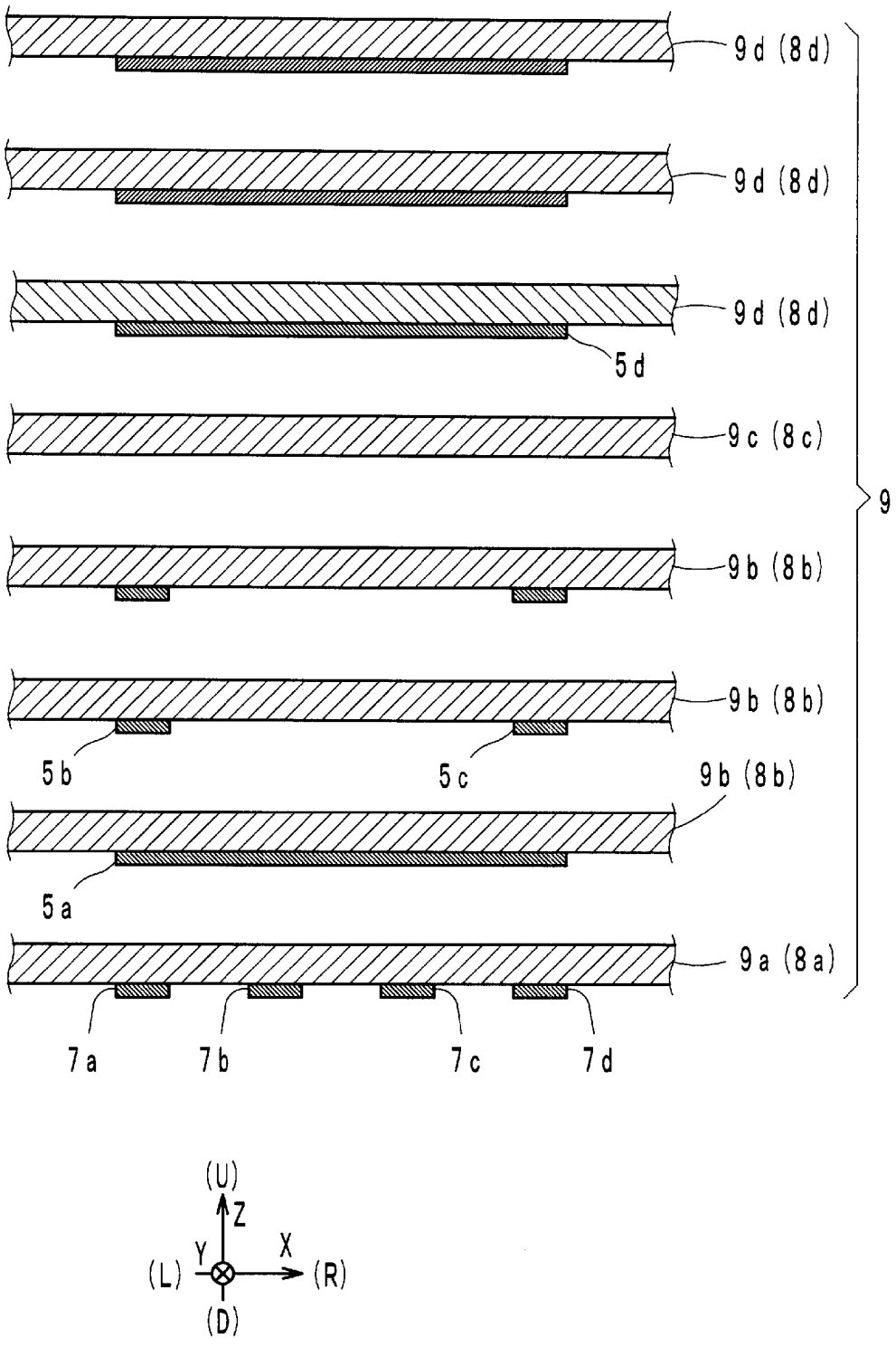
[図1B]

図 1 B



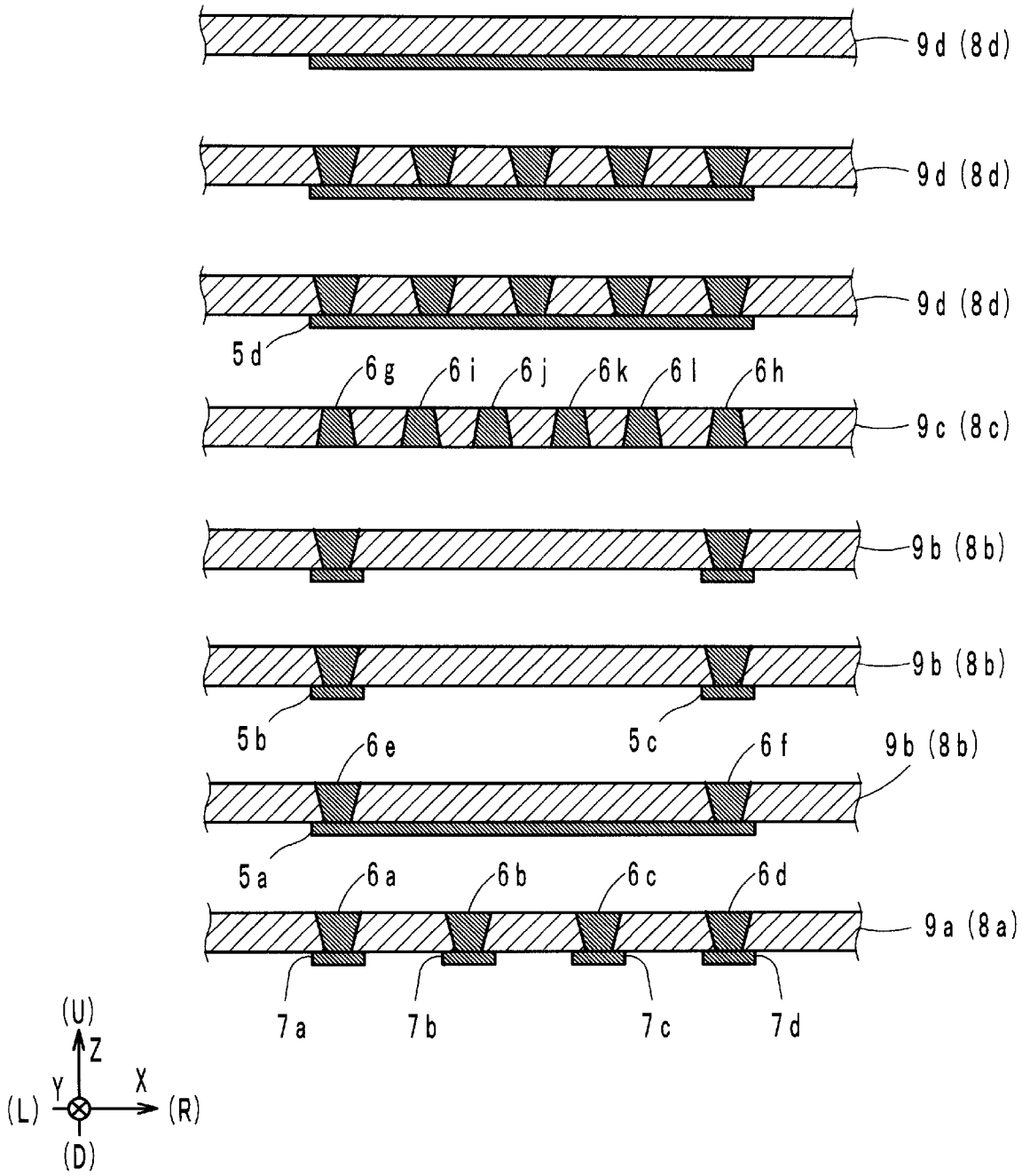
[図2A]

図２Ａ


9d (8d)
9d (8d)
9d (8d)
5d
9c (8c)
9
9b (8b)
9b (8b)
5b
5c
9b (8b)
5a
9a (8a)
7a
7b
7c
7d
(U)
Z
Y
X
(L)
(R)
(D)

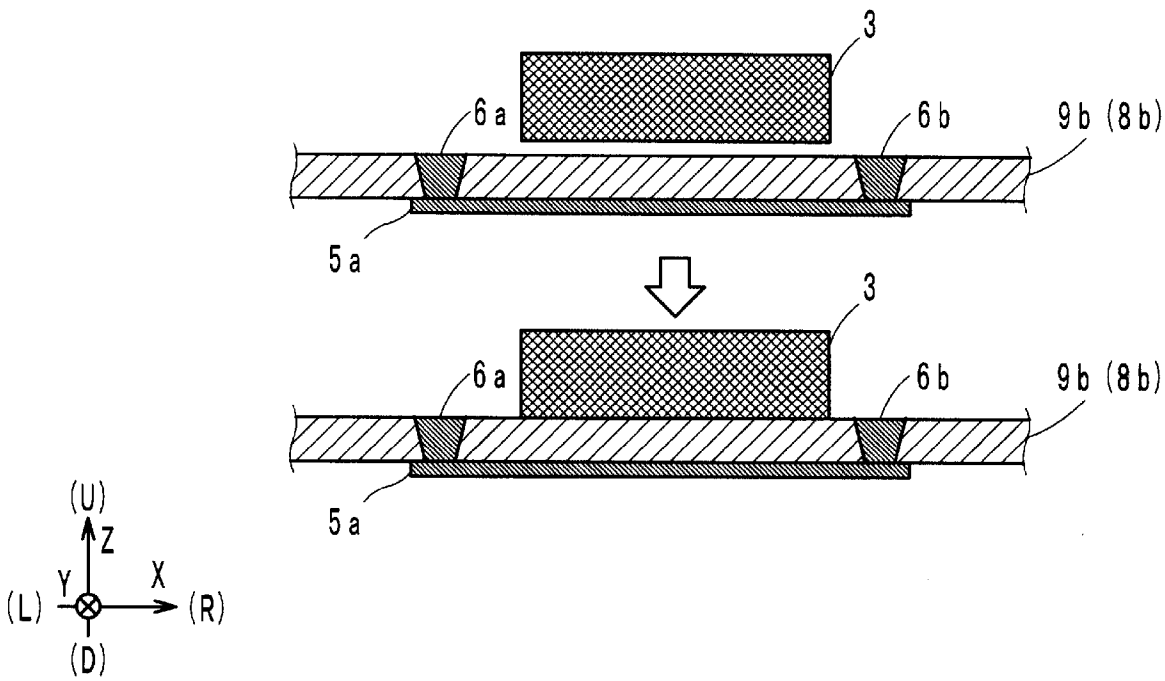
[図2B]

図２Ｂ


9d (8d)
9d (8d)
9d (8d)
5d
6g
6i
6j
6k
6l
6h
9c (8c)
9b (8b)
9b (8b)
5b
5c
6e
6f
9b (8b)
5a
6a
6b
6c
6d
9a (8a)
7a
7b
7c
7d
(U)
Z
Y
X
(L)
(R)
(D)

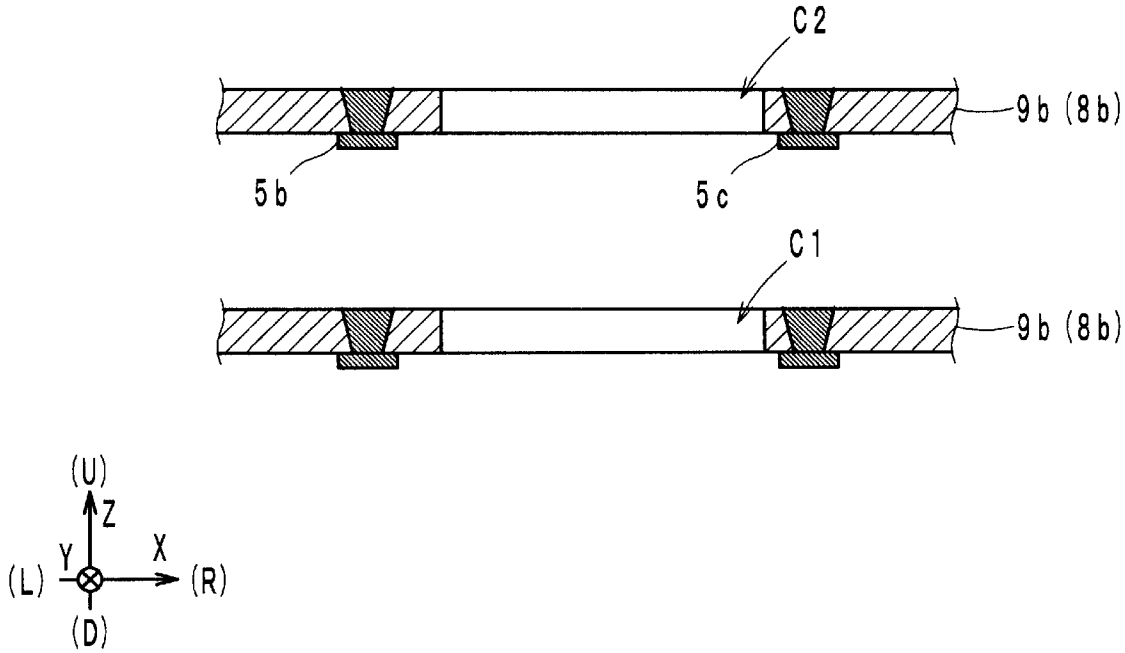
[図2C]

図２Ｃ



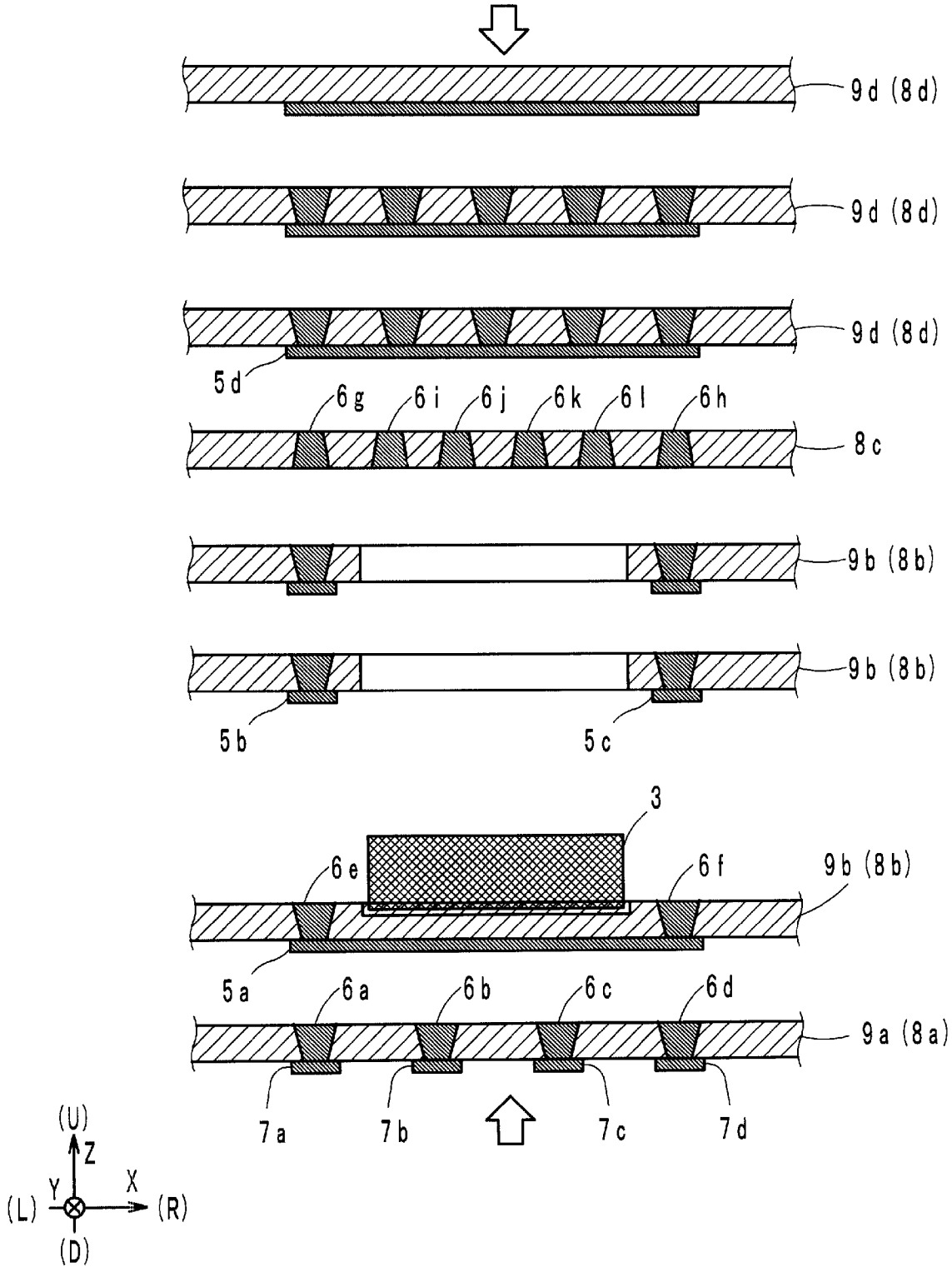
[図2D]

図２Ｄ



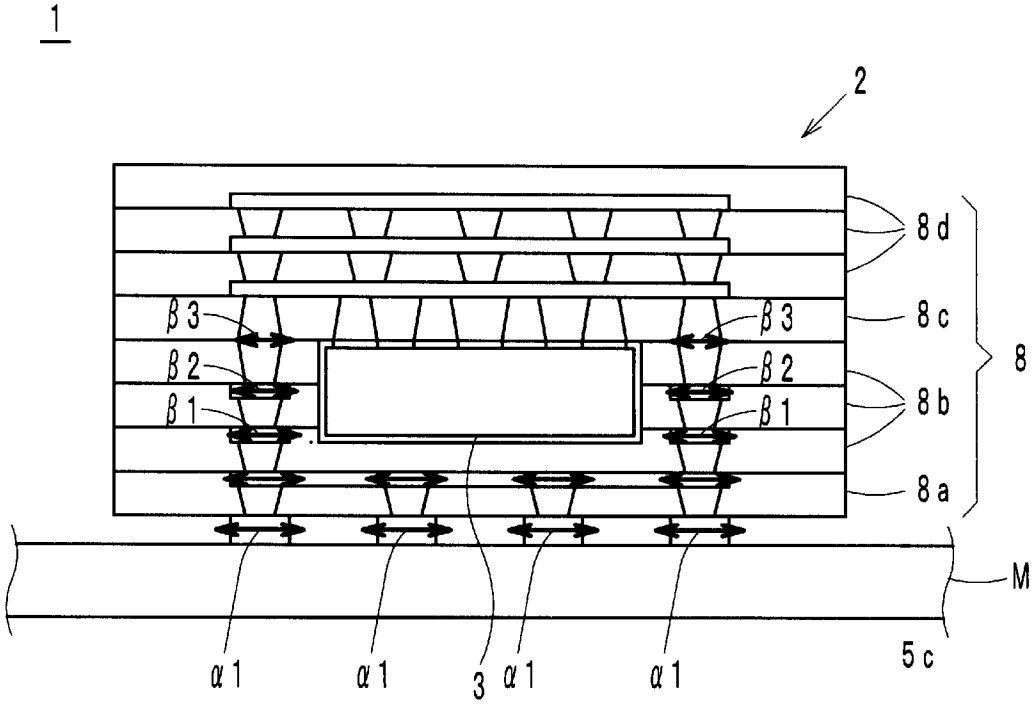
[図2E]

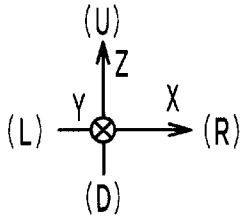
図２Ｅ


9d (8d)
9d (8d)
9d (8d)
5d
6g
6i
6j
6k
6l
6h
8c
9b (8b)
9b (8b)
5b
5c
3
6e
6f
9b (8b)
5a
6a
6b
6c
6d
9a (8a)
7a
7b
7c
7d
(U)
Z
Y
X
(L)
(R)
(D)

[図3]

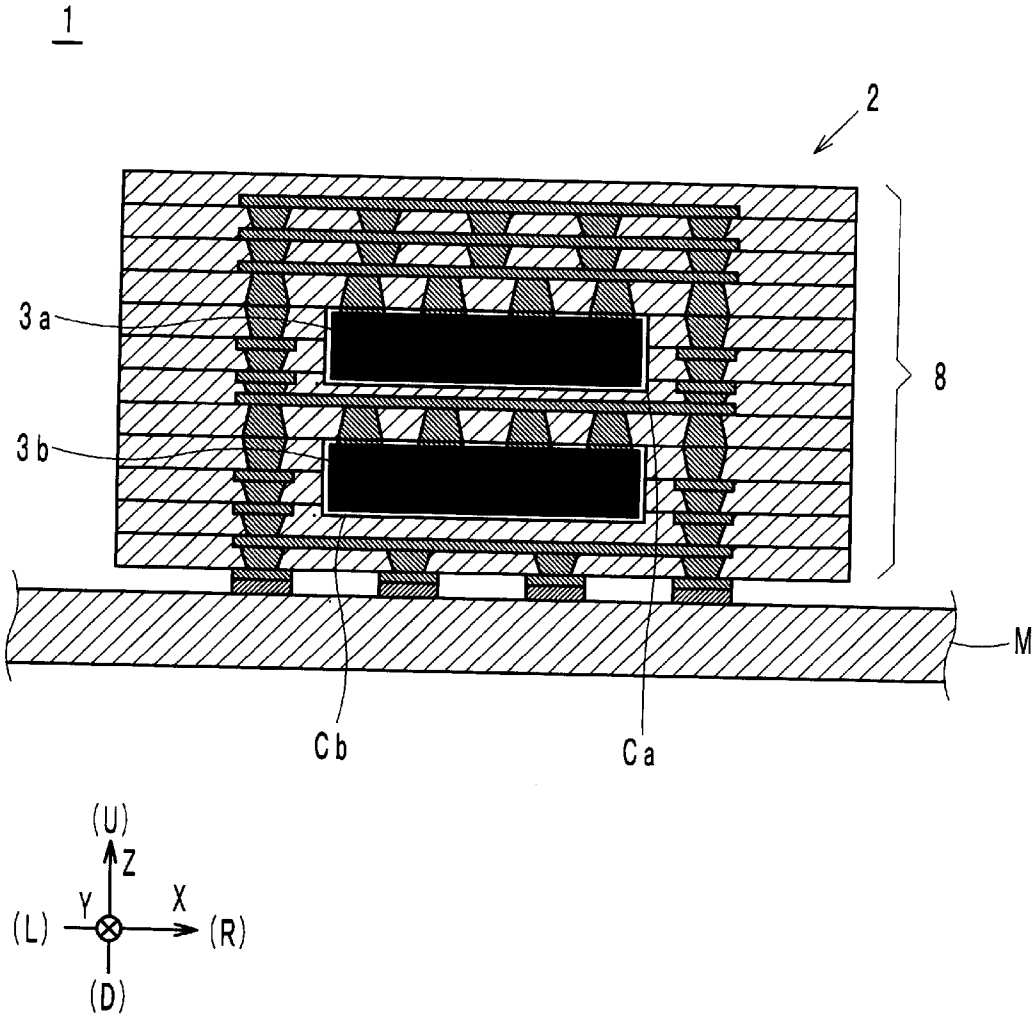
図 3





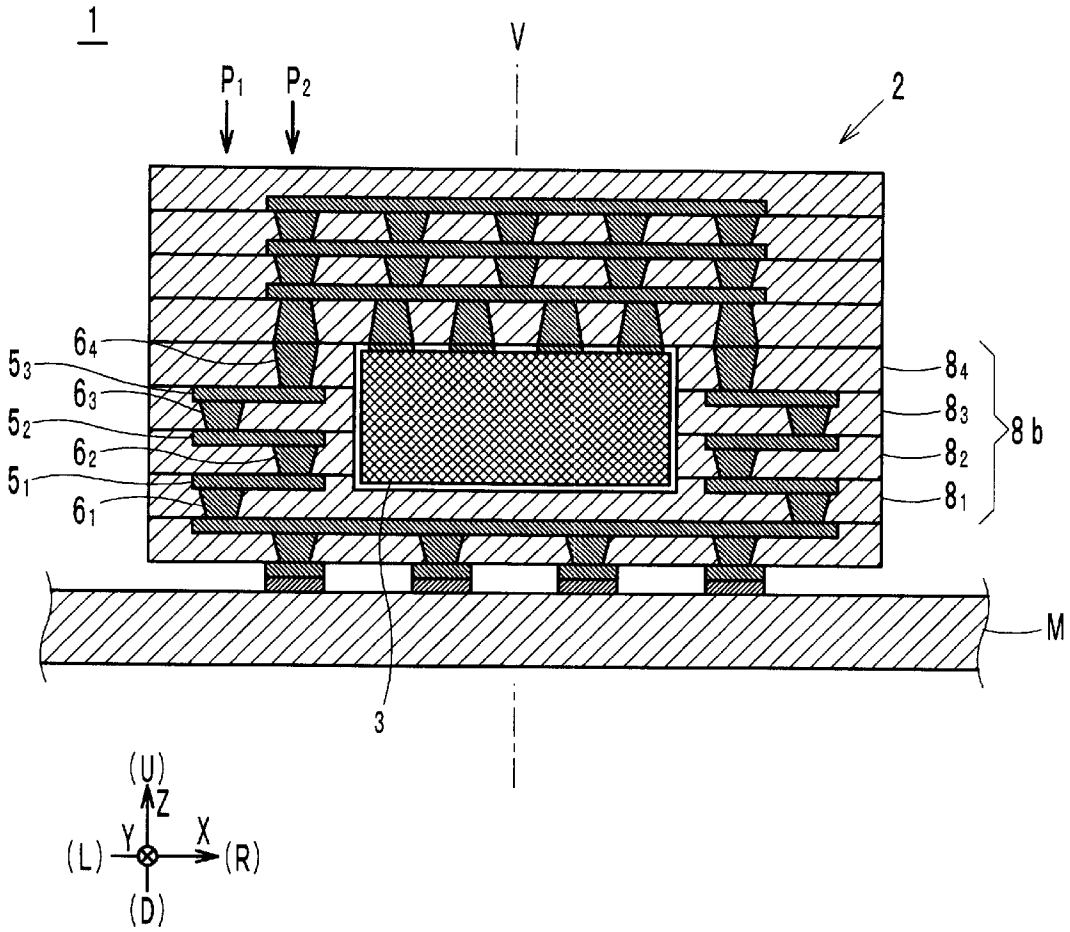
[図4]

図 4



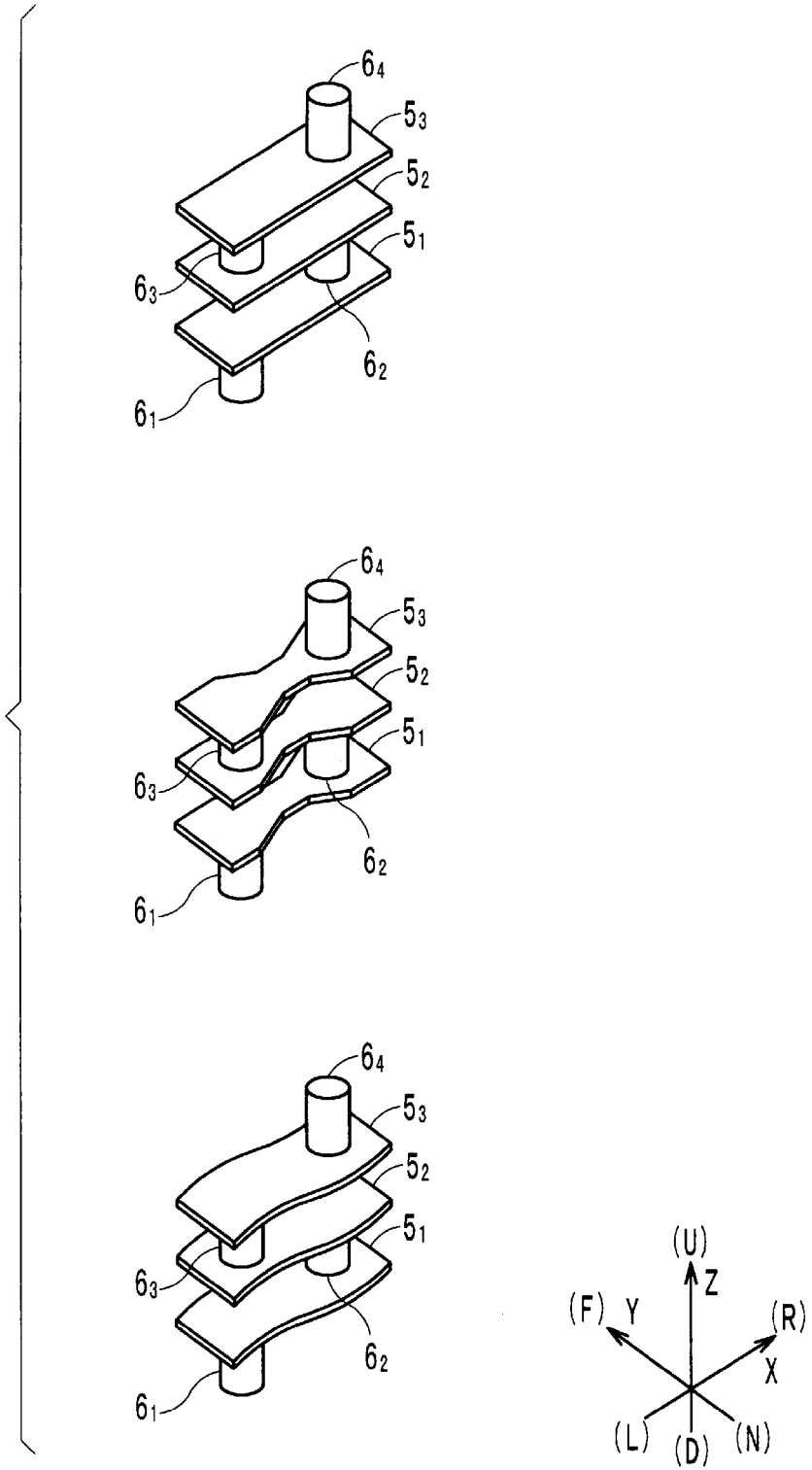
[図5]

図 5



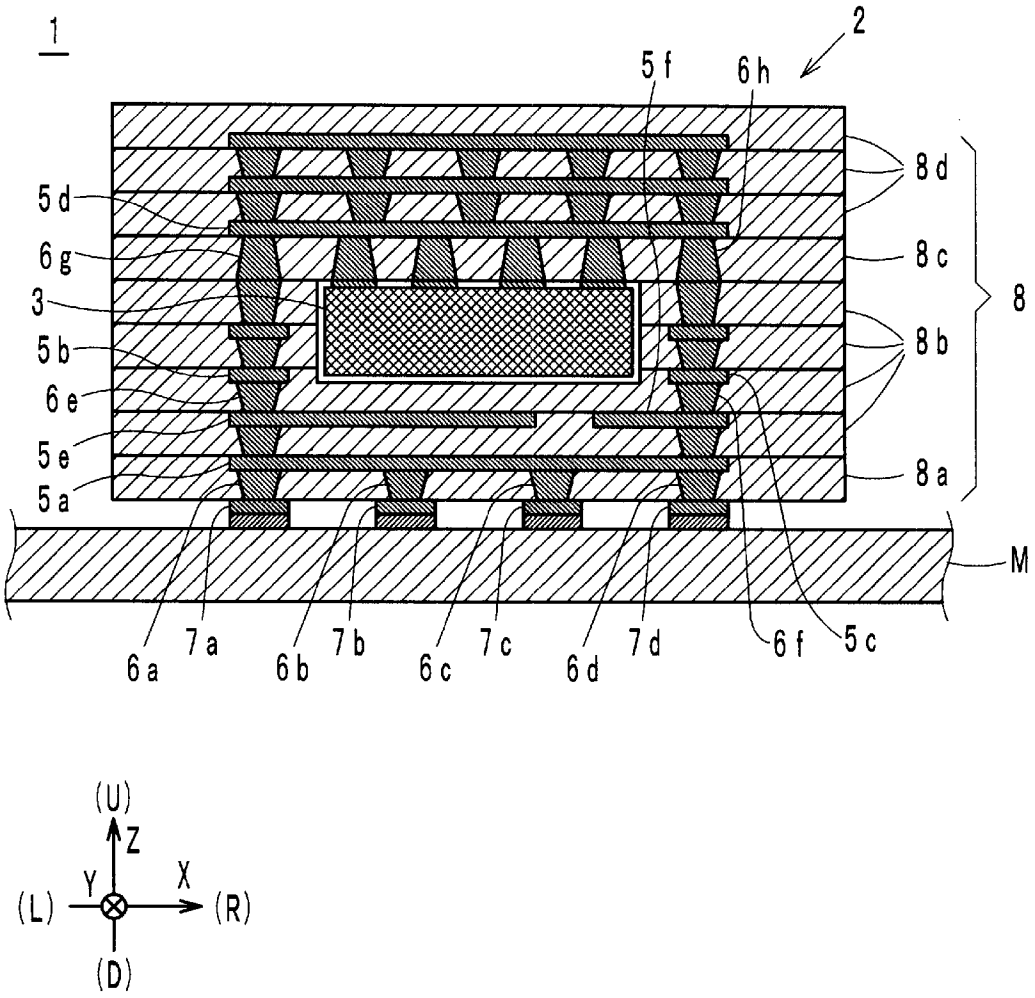
[図6]

図 6


64
53
52
51
63
62
61
64
53
52
51
63
62
61
64
53
52
51
63
62
61
(U)
Z
(F)
Y
(R)
X
(L)
(D)
(N)

[図7]

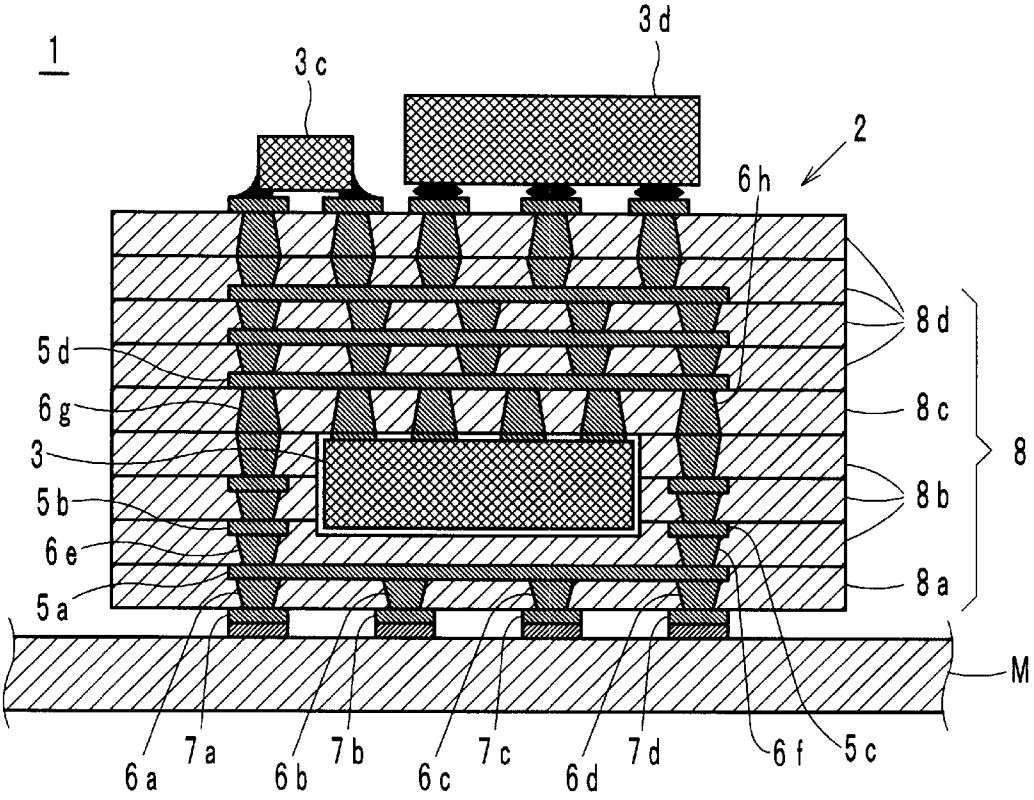
図 7

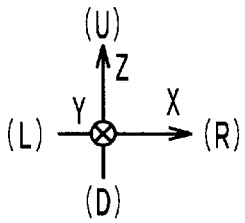

1
2
5f
6h
8d
5d
8c
6g
8
3
8b
5b
6e
5e
8a
5a
M
6a
7a
6b
7b
6c
7c
6d
7d
6f
5c

(U)
Z
Y
X
(L)
(R)
(D)

[図8]

図 8


1
3c
3d
2
6h
8d
8c
8b
8a
8
5d
6g
3
5b
6e
5a
M
6a
7a
6b
7b
6c
7c
6d
7d
6f
5c


(U)
Z
Y
X
(L)
(R)
(D)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/074653

A. CLASSIFICATION OF SUBJECT MATTER
H05K3/46(2006.01)i, *H01L23/12*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H05K3/46, H01L23/12-23/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/120995 A1 (Murata Mfg. Co., Ltd.), 13 September 2012 (13.09.2012), entire text; all drawings (Family: none)	1-9
A	WO 2012/137548 A1 (Murata Mfg. Co., Ltd.), 11 October 2012 (11.10.2012), entire text; all drawings (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 September, 2013 (26.09.13)	08 October, 2013 (08.10.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７４６５３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H05K3/46(2006.01)i, H01L23/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H05K3/46, H01L23/12-23/15

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2012/120995 A1（株式会社村田製作所）2012.09.13, 全文, 全図（ファミリーなし）	１－９
A	WO 2012/137548 A1（株式会社村田製作所）2012.10.11, 全文, 全図（ファミリーなし）	１－９

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２６．０９．２０１３	０８．１０．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　３Ｓ　３８２５
沼生　泰伸
電話番号　０３－３５８１－１１０１　内線　３３９１