(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 4 月 5 日 (05.04.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/059110 A1

(51) 国际专利分类号:
H01L 27/115 (2017.01)

(21) 国际申请号: PCT/CN2017/095189

(22) 国际申请日: 2017 年 7 月 31 日 (31.07.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610872924.X 2016年9月30日 (30.09.2016) CN
201710530337.7 2017年6月30日 (30.06.2017) CN

(71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。

(72) 发明人: 朱慧珑(ZHU, Huilong); 美国纽约州波基普西市奥特姆路93#, NY New York 12603 (US)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路87号4-1105室, Beijing 100089 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) **Title:** MEMORY DEVICE, METHOD FOR MANUFACTURING SAME, AND ELECTRONIC APPARATUS COMPRISING SAME

(54) **发明名称**: 存储器件及其制造方法及包括该存储器件的电子设备

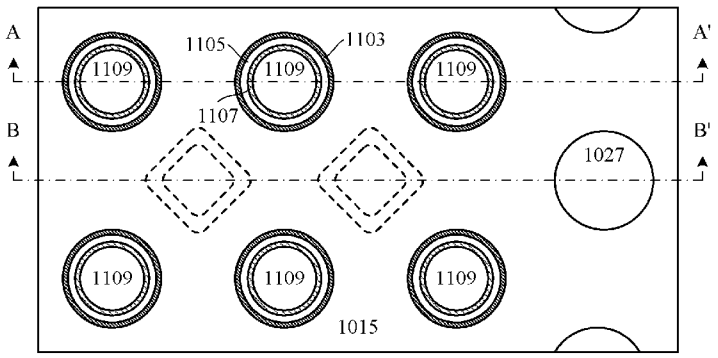


图13(b)

(57) **Abstract:** A memory device, a method for manufacturing the same, and an electronic apparatus comprising the same are provided. The memory device may comprise: forming a plurality of first columnar active regions and a plurality of second columnar active regions extending upwards on a substrate, in which the first and second columnar active regions are respectively arranged as first and second arrays, each of the first columnar active regions comprise alternately stacked source/drain layers and channel layers, the corresponding channel layers of the first columnar active regions are substantially coplanar, the corresponding source/drain layers of the first columnar active regions are substantially coplanar, and each of the second columnar active regions comprises an integral extending active semiconductor layer (1109); stacking a plurality of first memory gates respectively substantially coplanar with the channel layers, the first memory gate stacks respectively surrounding the outer peripheries of the channel layers on corresponding planes; and forming a plurality of second memory gates respectively surrounding the outer peripheries of the second columnar active regions (1107/1105/1103).

WO 2018/059110 A1

[见续页]

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
一 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种存储器件及其制造方法及包括该存储器件的电子设备。存储器件可以包括：在衬底上形成的向上延伸的多个第一柱状有源区和多个第二柱状有源区，其中，第一、第二柱状有源区分别排列为第一、第二阵列，每一第一柱状有源区包括源/漏层和沟道层的交替堆叠，各第一柱状有源区中相应的沟道层实质上共面，且相应的源/漏层实质上共面，每一第二柱状有源区包括一体延伸的有源半导体层（1109）；分别与各沟道层实质上共面的多层第一存储栅堆叠，各层第一存储栅堆叠分别环绕相应平面上各沟道层的外周；环绕各第二柱状有源区外周的多层第二存储栅(1107/1105/1103)。

存储器件及其制造方法及包括该存储器件的电子设备

相关申请的引用

本申请要求于2016年9月30日递交的题为“存储器件及其制造方法及包括该存储器件的电子设备”的中国专利申请201610872924.X以及2017年6月30日递交的题为“存储器件及其制造方法及包括该存储器件的电子设备”的中国专利申请201710530337.7的优先权，其内容一并于此用作参考。

技术领域

本公开涉及半导体领域，具体地，涉及基于竖直型器件的存储器件及其制造方法以及包括这种存储器件的电子设备。

背景技术

在水平型器件如金属氧化物半导体场效应晶体管（MOSFET）中，源极、栅极和漏极沿大致平行于衬底表面的方向布置。由于这种布置，水平型器件不易进一步缩小。与此不同，在竖直型器件中，源极、栅极和漏极沿大致垂直于衬底表面的方向布置。因此，相对于水平型器件，竖直型器件更容易缩小。

但是，对于竖直型器件，难以控制栅长，特别是对于单晶的沟道材料。另一方面，如果采用多晶的沟道材料，则相对于单晶材料，沟道电阻大大增加，从而难以堆叠多个竖直型器件，因为这会导致过高的电阻。

发明内容

有鉴于此，本公开的目的至少部分地在于提供一种基于竖直型器件的存储器件及其制造方法以及包括这种存储器件的电子设备，其中能够很好地控制栅长。

根据本公开的一个方面，提供了一种存储器件，包括：在衬底上形成的从衬底向上延伸的多个第一柱状有源区和多个第二柱状有源区，其中，第一柱状有源区排列为第一阵列，第二柱状有源区排列为第二阵列，每一第一柱状有源区包括源/漏层和沟道层的交替堆叠，各第一柱状有源区中相应的沟道层实质

上共面，且相应的源/漏层实质上共面，每一第二柱状有源区包括一体延伸的有源半导体层；分别与各沟道层实质上共面的多层第一存储栅堆叠，其中，各层第一存储栅堆叠分别环绕相应平面上各沟道层的外周；环绕各第二柱状有源区外周的多层第二存储栅堆叠。

根据本公开的一个方面，提供了一种存储器件，包括：在衬底上形成的从衬底向上延伸的多个第一柱状有源区和多个柱状应力施加区，其中，第一柱状有源区排列为第一阵列，柱状应力施加区排列为第二阵列，每一第一柱状有源区包括源/漏层和沟道层的交替堆叠，各第一柱状有源区中相应的沟道层实质上共面，且相应的源/漏层实质上共面；分别与各沟道层实质上共面的多层第一存储栅堆叠，其中，各层第一存储栅堆叠分别环绕相应沟道层的外周。

根据本公开的另一方面，提供了一种制造存储器件的方法，包括：在衬底上设置源/漏层和沟道层的交替堆叠，该堆叠的最下方是源/漏层，最上方是源/漏层；在所述堆叠中形成若干加工孔；经由加工孔，选择性刻蚀堆叠中的沟道层，以在堆叠中的各沟道层中形成彼此分离的多个单元沟道部的阵列；经由加工孔，在所述堆叠内的空隙中形成用于第一存储单元的存储栅堆叠；去除加工孔中的材料，以露出加工孔；经由加工孔，选择性刻蚀堆叠中的源/漏层，以在各单元沟道部的上侧和下侧分别形成单元源/漏部，其中，各单元沟道部以及其上侧和下侧的相应单元源/漏部构成第一存储单元；经由加工孔，在所述堆叠内的空隙中形成隔离层；去除加工孔中的材料，以露出加工孔；以及在加工孔的侧壁上形成用于第二存储单元的存储栅堆叠，并在侧壁上形成有用于第二存储单元的存储栅堆叠的加工孔中填充用于第二存储单元的有源半导体层。

根据本公开的另一方面，提供了一种制造存储器件的方法，包括：在衬底上设置源/漏层和沟道层的交替堆叠，该堆叠的最下方是源/漏层，最上方是源/漏层；在所述堆叠中形成若干加工孔；经由加工孔，选择性刻蚀堆叠中的沟道层，以在堆叠中的各沟道层中形成彼此分离的多个单元沟道部的阵列；经由加工孔，在所述堆叠内的空隙中形成用于第一存储单元的存储栅堆叠；去除加工孔中的材料，以露出加工孔；经由加工孔，选择性刻蚀堆叠中的源/漏层，以在各单元沟道部的上侧和下侧分别形成单元源/漏部，其中，各单元沟道部以及其上侧和下侧的相应单元源/漏部构成第一存储单元；经由加工孔，在所述

堆叠内的空隙中形成隔离层；以及在加工孔中形成应力施加材料。

根据本公开的另一方面，提供了一种电子设备，包括上述存储器件。

根据本公开的实施例，沟道区由沟道层限定，从而栅长由沟道层的厚度确定。沟道层例如可以通过外延生长来形成，从而其厚度可以很好地控制。因此，可以很好地控制栅长。另外，沟道层可以是单晶半导体材料，可以具有高载流子迁移率和低泄流电流，从而改善了器件性能。由于竖直型器件可以相对容易地彼此叠置，从而可以制造三维存储器件，增大存储密度。此外，在加工孔中可以形成额外的存储单元，有助于节省晶片面积。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1~18(b)示出了根据本公开实施例的制造存储器件的流程的示意图；

图 19(a)和 19(b)示出了根据本公开实施例的加工孔布置的示意图；

图 20(a)~22 示出了根据本公开另一实施例的制造存储器件的流程中部分阶段的示意图；

图 23(a)~29(b)示出了根据本公开另一实施例的制造存储器件的流程中部分阶段的示意图；

图 30(a)~35(b)示出了根据本公开另一实施例的制造存储器件的流程中部分阶段的示意图；

图 36(a)和 36(b)示出了根据本公开另一实施例的制造存储器件的流程中部分阶段的示意图。

贯穿附图，相同或相似的附图标记表示相同或相似的部件。

具体实施方式

以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比

例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

根据本公开实施例的存储器件基于竖直型器件，因此可以包括在衬底上形成的从衬底向上（例如，垂直于衬底表面）延伸的多个第一柱状有源区和多个第二柱状有源区。基于这些竖直延伸的柱状有源区，通过绕它们外周形成栅堆叠，可以形成竖直器件。栅堆叠可以是存储栅堆叠，例如可以包括浮栅或电荷捕获层或者铁电材料，以便实现存储功能。例如，存储栅堆叠可以包括依次叠置的第一栅介质层、浮栅层或电荷捕获层、第二栅介质层和栅导体层，或者可以包括依次叠置的第一金属层、铁电材料层、第二金属层、栅介质层和栅导体层。于是，竖直器件形成竖直存储单元。在此，存储单元可以是闪存（flash）单元。

根据本公开的实施例，每一第一柱状有源区可以包括源/漏层和沟道层的交替堆叠。该堆叠的最下方可以是源/漏层，且最上方也可以是源/漏层。各第一柱状有源区可以包括相同的层数，且各第一柱状有源区中相应的沟道层（例如，从上往下数的相同编号的层，或者从下往上数的相同编号的层）可以处于实质上相同的平面上（例如，它们可以从相同的半导体层分离得到）或者说共面，相应的源/漏层可以处于实质上相同的平面上（例如，它们可以从相同的半导体层分离得到）或者说共面。这些层例如可以实质上平行于衬底表面延伸。

与沟道层所在的平面相对应，可以形成多层存储栅堆叠（以下称作第一存储栅堆叠）。每一层存储栅堆叠可以是一体的，且环绕相应平面上各沟道层的外周（事实上也环绕第二柱状有源区的外周，由于第一栅堆叠在衬底上横向延伸，而第二柱状有源区在衬底上竖直延伸）。这样，各沟道层、其上下两侧的

源/漏层以及相应的第一存储栅堆叠构成了第一存储单元。在源/漏层中可以形成器件的源/漏区，且在沟道层中可以形成器件的沟道区。分处于沟道区两端的源/漏区之间可以通过沟道区形成导电通道。

于是，栅长可以由沟道层自身的厚度来确定，而不是如常规技术中那样依赖于耗时刻蚀来确定。沟道层例如可以通过外延生长来形成，从而其厚度可以很好地控制。因此，可以很好地控制栅长。沟道层可以由单晶半导体材料构成，以改善器件性能。特别是，可以降低沟道电阻，从而有利于竖直型器件彼此叠置。当然，源/漏层也可以是单晶半导体材料。这种情况下，沟道层的单晶半导体材料与源/漏层的单晶半导体材料可以是共晶体。

根据本公开的实施例，沟道层相对于源/漏层可以具有刻蚀选择性，例如包括与源/漏层不同的半导体材料。这样，有利于分别对沟道层和源/漏层进行处理。另外，各源/漏层可以包括相同的半导体材料。

沟道层的外周可以相对于源/漏层的外周向内凹入，这样，所形成的栅堆叠可以嵌于沟道层相对于源/漏层的凹入中，从而有助于减少栅堆叠与源/漏层的交迭以便减小栅与源/漏之间的寄生电容。

根据本公开的实施例，每一第二柱状有源区可以包括一体延伸的有源半导体材料。第二柱状有源区可以是实心的，也可以是空心的(从而形成环状结构，其中可以填充电介质)。同样地，可以环绕各第二柱状有源区外周的多层第二存储栅堆叠。由于如上所述，第一存储栅堆叠事实上也环绕第二柱状有源区，因此第一存储栅堆叠中的栅导体也可以用于第二存储栅堆叠。因此，只需分别在各第二柱状有源区外周形成另一第一栅介质层、另一电荷俘获层、另一第二栅介质层即可。该另一第一栅介质层、另一电荷俘获层、另一第二栅介质层可以绕着各第二柱状有源区的外周在其大致整个高度上延伸。于是，该另一第一栅介质层、另一电荷俘获层、另一第二栅介质层可以形成绕各第二柱状有源区的同心环结构。

在此，尽管另一第一栅介质层、另一电荷俘获层、另一第二栅介质层在各第二柱状有源区的整个高度上连续延伸，但是主要是其与栅导体层相对的部分起作用（它们连续形成主要是制造工艺的原因，如下所述）。也即，尽管另一第一栅介质层、另一电荷俘获层、另一第二栅介质层在第二柱状有源区的整个

高度上连续延伸，但是与相应的栅导体层相结合，限定了多层第二存储栅堆叠。这些第二存储栅堆叠与第二柱状有源区相配合，限定了第二存储单元。

根据本公开的另一实施例，第二柱状有源区可以替换为柱状应力施加区。应力施加区可以包括应力施加材料，以便在沟道层中产生应力。例如，对于 n 型存储单元，应力施加材料可以包括压应力，以便在沟道中产生拉应力；而对于 p 型存储单元，应力施加材料可以包括拉应力，以便在沟道中产生压应力。为保护存储单元，可以形成保护层围绕应力施加材料。

根据本公开的实施例，第一柱状有源区可以排列为第一阵列（例如，通常是按行和列排列的二维阵列），第二柱状有源区或柱状应力施加区可以排列为第二阵列（例如，通常是按行和列排列的二维阵列）。另外，由于它们如上所述在衬底上竖直延伸且通过多层的栅堆叠分别限定出多层存储单元，从而该存储器件可以是三维（3D）阵列。在该 3D 阵列中，各柱状有源区限定了存储单元的串。

由于制作工艺的原因，如下所述，第一阵列和第二阵列可以彼此嵌套。例如，各第一柱状有源区可以位于第二柱状有源区或柱状应力施加区的二维阵列的网格的大致中心，各第二柱状有源区或柱状应力施加区可以位于第一柱状有源区的二维阵列的网格的大致中心。

这种存储器件例如可以如下制造。具体地，可以在衬底上设置源/漏层和沟道层的交替堆叠，该堆叠的最下方是源/漏层，最上方是源/漏层。例如，可以通过外延生长来提供这些层，因此至少一些相邻的层之间可以有清晰的晶体界面。在外延生长时，可以控制所生长的沟道层的厚度。另外，在外延生长时，可以进行原位掺杂，以实现所需的掺杂极性和掺杂浓度。各层可以分别进行掺杂，从而至少一些相邻的层之间可以具有掺杂浓度界面。

为了便于对处于堆叠内部的层进行处理，可以在堆叠中形成若干加工孔。这些加工孔可以沿着堆叠的叠置方向（竖直方向）延伸，在加工孔中可以露出所有沟道层的侧壁。在以下处理中，这些加工孔是加工通道。

可以经由加工孔，选择性刻蚀堆叠中的沟道层。为了更好地控制对沟道层的刻蚀，可以先经由加工孔，从沟道层在加工孔中露出的侧壁向沟道层内驱入掺杂剂，以在沟道层中形成横向的掺杂剂分布。由于掺杂剂从加工孔向它们各

自的四周扩散，因此，在一定时间之后，可以形成从加工孔向它们之间的位置逐渐降低的掺杂分布。然后，可以经由加工孔，选择性刻蚀沟道层，特别是其中的掺杂部分。于是，可以在加工孔之间的位置处留下沟道层的一部分，而在其余位置处沟道层可以基本上被去除。留下的沟道层部分可以用于存储单元的沟道，在此称作单元沟道部。通过设置加工孔的布局（可以称作第一阵列），可以在各沟道层中留下单元沟道部的阵列（可以称作第二阵列）。而且，由于加工孔沿着堆叠的叠置方向（竖直方向）延伸，因此各沟道层中扩散在横向上进行的程度基本上相同，从而各沟道层中刻蚀的程度基本上相同。结果，各沟道层留下的单元沟道部的阵列基本上是一致的，且各阵列中的单元沟道部可以在堆叠的叠置方向（竖直方向）上大致对准。

可以经由加工孔，在堆叠内的空隙中形成存储栅堆叠。例如，可以依次形成第一栅介质层、浮栅层或电荷俘获层、第二栅介质层和栅导体层，由此形成栅堆叠。由于上下两侧源/漏层的存在，栅堆叠填充在源/漏层之间的空隙即原本沟道层所在的位置处，从而自对准于单元沟道部。

此时，存储单元的沟道（由单元沟道部提供）、栅堆叠以及源/漏区（由单元沟道部上下方的源/漏层提供）均已完备，但是各存储单元的源/漏区彼此连接在一起（此时，各源/漏层除了加工孔的部位之外还是连续的）。为此，可以经由加工孔（先去除其中填充的材料例如上述栅堆叠，以露出加工通道）选择性刻蚀堆叠中的源/漏层。由于选择性刻蚀从加工孔向它们各自的四周进行，因此，通过控制刻蚀量，可以在加工孔之间的位置处留下源/漏层的一部分，而在其余位置处沟道层可以基本上被去除。当然，在此也可以先经由加工孔，从源/漏层在加工孔中露出的侧壁向源/漏层内驱入掺杂剂，以在源/漏层中形成横向的掺杂剂分布，以便更好地控制对源/漏层的刻蚀。由于通过相同的加工孔进行刻蚀或掺杂剂扩散，刻蚀从这些加工孔向四周进行的方式是一致的（进行速度即刻蚀速度可能有所不同，但是进行路径即刻蚀路径是基本上相同的），从而留下的源/漏层部分与之前沟道层中留下的部分在竖直方向上基本上是对准的。于是，源/漏层的留下部分分别位于各单元沟道部的顶面和底面上，从而形成存储单元各自的单元源/漏部。

随后，还可以在器件上形成隔离层。同时，隔离层可以经由加工孔而进入

堆叠内，填充于堆叠内的空隙中。另外，还可以形成各种电接触部。

根据本公开的实施例，还可以在加工孔中进一步形成额外的存储单元（可以称作第二存储单元）。例如，可以在加工孔（先去除其中填充的材料例如上述隔离层，以露出加工孔）的侧壁上形成用于第二存储单元的存储栅堆叠，然后在侧壁上形成有用于第二存储单元的存储栅堆叠的加工孔中填充用于第二存储单元的有源半导体层。于是，第二存储单元的有源半导体层可以沿着加工孔的延伸方向（竖直方向）延伸，第二存储单元的存储栅堆叠可以沿着加工孔的侧壁（竖直方向）延伸，且绕有源半导体层形成同心环结构。

在此，在加工孔的侧壁上，可以只形成用于第二存储单元的另一第一栅介质层、另一电荷俘获层和另一第二栅介质层，而无需另外形成栅导体层。如上所述，第一存储单元的栅堆叠填充在源/漏层之间的空隙中即原本沟道层所在的位置处。于是，第一存储单元的栅堆叠中的栅导体层在加工孔的侧壁处露出，并因此与第二存储单元的另一第一栅介质层、另一电荷俘获层和另一第二栅介质层物理接触，从而可以充当第二存储单元的栅导体层。因此，在同一层中，第一存储单元的栅导体和第二存储单元的栅导体可以是一体的。

另外，第一存储单元中的栅导体层的延伸方向（即，沟道层的延伸方向，例如大致平行于衬底表面的方向）与第二存储单元中的另一第一栅介质层、另一电荷俘获层和另一第二栅介质层的延伸方向（即，加工孔的延伸方向，竖直方向）相交（例如，垂直）。于是，栅导体层在有源半导体层中对应于沟道层的位置处限定了沟道区，并可以在沟道区的两侧（有源半导体层中分别对应于第一、第二源/漏层的位置）形成源/漏区。

备选地，也可以在加工孔中形成应力施加区。例如，可以在加工孔中填充应力施加材料。

本公开可以各种形式呈现，以下将描述其中一些示例。

图 1~18(b)示出了根据本公开实施例的制造存储器件的流程的示意图。

如图 1 所示，提供衬底 1001。该衬底 1001 可以是各种形式的衬底，包括但不限于体半导体材料衬底如体 Si 衬底、绝缘体上半导体（SOI）衬底、化合物半导体衬底如 SiGe 衬底等。在以下的描述中，为方便说明，以体 Si 衬底为例进行描述。

在衬底 1001 中，例如通过离子注入，形成阱区 1001w。该阱区 1001w 随后可以充当存储器件的公共地电势面，存储器件中最下层存储单元各自下层的源/漏区均可以连接到该公共地电势面。如果存储单元是 n 型器件，则阱区 1001w 可以掺杂为 n 型；如果存储单元是 p 型器件，则阱区 1001w 可以掺杂为 p 型；如果存储单元是无结器件，则阱区 1001w 可以掺杂为与沟道区相同的极性。

在衬底 1001 上，可以通过例如外延生长，依次形成第一源/漏层 1003、第一沟道层 1005、第二源/漏层 1007、第二沟道层 1009 和第三源/漏层 1011。例如，对于 p 型器件，第一源/漏层 1003、第二源/漏层 1007 和第三源/漏层 1011 各自可以包括合适的半导体材料如 SiGe（Ge 的原子百分比可以为约 10-40%），厚度为约 20-50nm；第一沟道层 1005 和第二沟道层 1009 各自可以包括不同于源/漏层 1003、1007、1011 的半导体材料如 Si，厚度为约 10-100nm。SiGe 在没有应变的情况下的晶格常数大于 Si 在没有应变的情况下的晶格常数。源/漏层和沟道层的材料选择不限于此，可以包括能够提供适当刻蚀选择性的其他半导体材料。例如，对于 n 型器件，各源/漏层可以包括 Si:C（C 的原子百分比可以为约 0.1-5%），厚度为约 20-50nm；各沟道层可以包括 Si，厚度为约 10-100nm。Si:C 在没有应变的情况下的晶格常数小于 Si 在没有应变的情况下的晶格常数。当然，本公开不限于此。例如，各沟道层可以包括与源/漏层相同的构成组分，但是组分含量不同的半导体材料（例如，都是 SiGe，但是其中 Ge 的原子百分比不同），只要沟道层相对于源/漏层具备刻蚀选择性。

在生长各源/漏层 1003、1007、1011 时，可以对它们进行原位掺杂，以便随后形成源/漏区。例如，对于 n 型器件，可以进行 n 型掺杂；对于 p 型器件，可以进行 p 型掺杂；对于无结器件，可以掺杂为与沟道层相同的极性。

另外，在生长沟道层 1005、1009 时，也可以对它们进行原位掺杂，以便调节器件阈值电压（Vt）。例如，对于 n 型器件，可以进行 p 型掺杂；对于 p 型器件，可以进行 n 型掺杂；对于无结器件，可以掺杂为与源/漏层区相同的极性。

在该示例中，第一源/漏层 1003 是另外生长在衬底 1001 上的。但是，本公开不限于此。例如，可以通过衬底 1001 自身来形成第一源/漏层。此外，还

可以形成更多的源/漏层和沟道层，以便形成更多层的存储单元。

另外，为了后继处理中构图的方便以及提供适当的停止层等目的，在所生长的这些半导体层之上，还可以形成硬掩模。例如，可以依次形成氧化物（例如，氧化硅）层 1013（厚度例如为约 2-10nm）和氮化物（例如，氮化硅）层 1015（厚度例如为约 10-100nm）。

随后，可以限定加工孔。如图 2 的俯视图所示，可以在图 1 所示的结构上形成光刻胶 1017。通过光刻（曝光和显影），将光刻胶 1017 构图为在加工孔的位置处露出之下的氮化物层 1015。关于加工孔的位置设置，以下将进一步详细说明。

接着，如图 3(a)（沿图 2 中 AA'线的截面图）和 3(b)（沿图 2 中 BB'线的截面图）所示，可以通过光刻胶，向下开孔。具体地，可以依次选择性刻蚀例如反应离子刻蚀（RIE）氮化物层 1015、氧化物层 1013、第三源/漏层 1011、第二沟道层 1009、第二源/漏层 1007、第一沟道层 1005 和第一源/漏层 1003，以形成加工孔。例如，RIE 可以沿大致垂直于衬底表面的方向进行，从而得到沿大致垂直于衬底表面的方向延伸的加工孔。之后，可以去除光刻胶 1017。在该示例中，在加工孔的底部留下了一部分第一源/漏层 1003，以便与地电势面更好地接触。但是，本公开不限于此。例如，加工孔可以贯穿沟道层和源/漏层的叠层。这些加工孔形成对堆叠内各层进行处理的加工通道。

然后，如图 4(a)和 4(b)所示，例如通过淀积，在图 3(a)和 3(b)所示的结构上形成固相掺杂剂源层 1201。例如，掺杂剂源层 1201 可以包括氧化物，并例如在淀积时通过原位掺杂而带有掺杂剂，厚度为约 2-10nm。掺杂剂中的杂质例如为 B、P 或 As，优选为 As，浓度可以为约 0.01%-10%。在此，掺杂剂的选择是为了有助于后继对沟道层的选择性刻蚀。如果需要的话，还可以在掺杂剂源层 1201 上另外覆盖一层扩散阻挡层（未示出），以防止在随后的退火处理中掺杂剂向外扩散。

随后，如图 5(a)和 5(b)所示，可以对掺杂剂源层 1201 进行选择性刻蚀 RIE。RIE 可以沿大致垂直于衬底表面的方向进行，从而可以去除掺杂剂源层 1201 的横向延伸部分，而留下其竖直延伸部分。于是，掺杂剂源层 1201 呈侧墙（spacer）形式留于加工孔的侧壁上。接着，可以进行退火处理，以将掺杂剂

源层 1201 中的掺杂剂驱入沟道层 1005、1009 中，如图中的箭头所示。之后，可以去除掺杂剂源层 1201。当然，掺杂剂也可以进入源/漏层 1003、1007、1011 中。可以控制掺杂剂的浓度和扩散量，使得不会改变源/漏层 1003、1007、1011 的掺杂极性。

在此，可以控制掺杂剂的驱入程度，以在各沟道层 1005、1009 中形成一定的横向浓度分布。在此，将结合图 19(a)和 19(b)描述加工孔的设置以及相应的扩散效果。

如图 19(a)所示，衬底可以包括存储单元区和接触区，在存储单元区中形成存储单元，而在接触区中形成各种电接触部。当然，衬底还可以包括其他区域，例如用于形成相关电路的电路区等等。

根据本公开的实施例，在存储单元区上，加工孔的密度可以被设置为使得在经由加工孔向沟道层中驱入掺杂剂给定时间之后，在沟道层位于存储单元区的部分中形成的等浓度面可以限定出隔离的岛状部。如图 19(a)中的箭头所示，扩散将从各加工孔向着四周进行。不考虑方向性(即，认为扩散是各向同性的)，那么在任一时刻，扩散所达到的范围（或者说扩散面）是以加工孔为中心的圆形，如图中的虚线圈所示。该扩散范围的大小（即，圆的半径）可以通过扩散量（例如，扩散时间）来控制。通过控制扩散量，可以使得在沟道层中存在从各加工孔向着它们之间的位置处逐渐减小的横向浓度分布。于是，可以存在这样的等浓度面，在该等浓度面外侧是相对较高的掺杂浓度，而在该等浓度面内侧是相对较低的掺杂浓度。在此，所谓“相对较高”和“相对较低”是根据刻蚀选择性而定的，即，掺杂浓度相对较高的部分可以相对于掺杂浓度相对较低的部分被选择性刻蚀。在该示例中，在 Si 沟道层以及 As 掺杂的情况下，例如该等浓度面可以是约 1E18-1E19cm^{-3} 的等浓度面。

另外，在接触区上，加工孔的密度可以被设置为使得在所述给定时段内沟道层位于接触区的部分基本上都具有相对高的掺杂浓度。更具体地，相对于存储单元区，在接触区上加工孔更密地排布。当然，为了在后继处理中为源/漏层提供支撑，在接触区的某些部分中，也可以减小加工孔的密度，使得在这些部分中可以存在类似于存储单元区中的等浓度面。

图 19(b)示意性示出了加工孔的阵列（图中的点阵列）与等浓度面所限定

的岛状部的阵列（图中的“×”阵列）之间的关系。在常规的按行和列排列的二维存储单元阵列的情况下，加工孔可以排列为对应的二维阵列。这两个阵列可以彼此嵌套。更具体地，岛状部位于相应的加工孔网格的大致中心，且加工孔位于相应的岛状部网格的大致中心。

在该示例中，加工孔网格是四边形的。但是，本公开不限于此。加工孔网格也可以是其他形状，例如三角形或其他多边形，相应的岛状部可以位于其大致几何中心处。当然，加工孔也不限于圆形，也可以是其他形状，优选为正多边形，这样在设计布局时较为方便。

然后，如图 6(a)、6(b)和 6(c)（图 6(a)是俯视图，图 6(b)是沿图 6(a)中 AA'线的截面图，图 6(c)是沿图 6(a)中 BB'线的截面图）所示，可以经由加工孔，（相对于源/漏层）选择性刻蚀沟道层 1005、1009 中掺杂浓度相对较高的部分。例如，可以选择合适的蚀刻剂，其对沟道层（在该示例中，Si）中掺杂浓度相对较高的部分的刻蚀（远远）大于对源/漏层（在该示例中，SiGe）的刻蚀且（远远）大于沟道层中掺杂浓度相对较低的部分。

于是，可以在各沟道层 1005、1009 中形成彼此分离的多个部分（参见图 6(a)的俯视图中的虚线框以及图 6(c)中的截面图），这些部分对应于上述等浓度面，且随后可以用作存储单元的单元沟道部。

如上所述，在经过一定时间的刻蚀之后，沟道层 1005、1009 的大部分被去除，只留下一些隔离的岛状部，用作单元沟道部（可能在接触区中也存在一些岛状部，用于结构支撑）。由于加工孔竖直穿过叠层，故而每一沟道层中所留下的岛状部的位置（参见图 19(b)，位于相应加工孔网格的中心）是大致相同的，因此这些岛状部在竖直方向上基本上彼此对准。

另外，在源/漏层 1003、1007、1009 之间，留下了空间（原本沟道层所占据的空间）。可以在这些空间中形成栅堆叠。从而栅堆叠可以自对准于相应的单元沟道部。

为了加工的方便，如图 7(a)和 7(b)所示，可以经由加工孔，（相对于沟道层）选择性刻蚀源/漏层 1003、1007、1011。由于如上所述沟道层的去除从而在源/漏层之间留下了空间，所以刻蚀剂可以经由加工孔进入这些空间中。因此，与刻蚀沟道层时从加工孔向四周刻蚀不同，在该刻蚀步骤中源/漏层主要

地被消减厚度。于是，可以增大源/漏层之间的间隙，有助于随后在这些间隙中填充材料。

接着，如图 8(a)和 8(b)所示，可以经由加工孔，在堆叠内的空隙中形成存储栅堆叠。例如，可以依次形成第一栅介质层 1019、浮栅层或电荷捕获层 1021、第二栅介质层 1023 以及栅导体层 1025。例如，第一栅介质层 1019 可以包括高 K 栅介质如 HfO_2，厚度为约 1-10nm；浮栅层或电荷捕获层 1021 可以包括浮栅材料如金属或电荷捕获材料如氮化物，厚度为约 1-20nm；第二栅介质层 1023 包括高 K 栅介质如 HfO_2，厚度为约 1-10nm；栅导体层 1025 可以包括金属栅导体。在此，第一栅介质层 1019、浮栅层或电荷捕获层 1021、第二栅介质层 1023 形成地较薄，可以大致共形地形成；栅导体层 1025 形成地较厚，以便填满堆叠内的空隙。另外，在第二栅介质层 1023 与栅导体层 1025 之间，还可以形成功函数调节层（未示出）。

如图 8(b)所示，如此形成的栅堆叠占据沟道层的位置，从而自对准于各单元沟道部 1005、1009。而且，在同一沟道层，由于单元沟道部 1005、1009 只是分离的岛状部，而该层中其余位置均被栅堆叠所占据。因此，从俯视图上看，栅堆叠在该沟道层内成一体，且围绕各单元沟道部 1005、1009。

备选地，栅堆叠可以包括铁电材料。例如，栅堆叠可以包括依次叠置的第一金属层、铁电材料层、第二金属层、栅介质层以及栅导体层（未示出）。例如，铁电材料可以包括氧化铪如 HfO_2、氧化锆如 ZrO_2、氧化钽如 TaO_2、氧化铪锆 $Hf_xZr_{1-x}O_2$（其中 x 取值为 0-1 的范围）如 $Hf_{0.5}Zr_{0.5}O_2$、氧化铪钽 $Hf_xTa_{1-x}O_2$（其中 x 取值为 0-1 的范围）如 $Hf_{0.5}Ta_{0.5}O_2$、含 Si 的 HfO_2、含 Al 的 HfO_2、$BaTiO_3$、KH_2PO_4 或 SBTi， 第一金属层和第二金属层各自均可以包括 TiN。这种情况下，可以经由加工孔依次形成第一金属层、铁电材料层、第二金属层、栅介质层，这些层可以形成得较薄，可以大致共形地形成。另外，可以经由加工孔形成栅导体层，该层可以形成得较厚，以便填满堆叠内的空隙。

加工孔同样被栅堆叠所填充。为了进一步操作，如图 9(a)和 9(b)所示，可以清空加工孔。具体地，可以依次选择性刻蚀如 RIE 栅导体层 1025、第二栅介质层 1023、浮栅层或电荷捕获层 1021 和第一栅介质层 1019。由于硬掩模 1015 的存在，加工孔中的栅堆叠被去除，而其余位置处特别是存储单元区中

的栅堆叠得以保留。

接下来，可以分离各存储单元的源/漏部。如图 10(a)和 10(b)所示，可以经由加工孔，(相对于沟道层以及栅堆叠)选择性刻蚀源/漏层 1003、1007、1011。也可以参考图 19(a)。如图 19(a)中的箭头所示，刻蚀将从各加工孔向着四周进行。不考虑方向性（即，认为刻蚀是各向同性的），那么在任一时刻，刻蚀所达到的范围是以加工孔为中心的圆形，如图中的虚线圈所示。该刻蚀范围的大小（即，圆的半径）可以通过刻蚀量（例如，刻蚀时间）来控制。通过控制刻蚀量，可以使各个加工孔的刻蚀范围限定位于加工孔之间的岛状残留。另外，在接触区上，加工孔的密度较大，从而源/漏层位于接触区的部分可以被实质上完全去除。

当然，为了更好地控制对源/漏层的刻蚀，可以有类似地向源/漏层中驱入掺杂剂。例如，可以在图 9(a)和 9(b)所述的结构中，在加工孔的侧壁上形成掺杂剂源层，并通过退火来向源/漏层中驱入掺杂剂。掺杂剂的类型可以与源/漏层的掺杂类型相同。例如，对于 n 型器件，可以使用 n 型掺杂剂如 As 或 P，浓度可以为约 0.01%-5%；对于 p 型器件，可以使用 p 型掺杂剂如 B，浓度可以为约 0.01%-5%。之后，可以去除掺杂剂源层。掺杂剂的驱入可以在源/漏层中形成如以上结合图 19(a)和 19(b)所述的掺杂分布，从而有助于在源/漏层中形成隔离的岛状部。当然，掺杂剂也可以进入沟道层 1005、1009 中。可以控制掺杂剂的浓度和扩散量，使得不会改变沟道层 1005、1009 的掺杂极性。

于是，在各源/漏层 1003、1007、1011 中，留下一些分离的岛状部，它们随后充当存储单元的单元源/漏部。如上所述，这些岛状部的位置由加工孔的位置确定，因此它们的位置与单元沟道部的位置基本上一致。也即，单元源/漏部与单元沟道部在竖直方向上基本对准。另外，对源/漏层 1003、1007、1011 的刻蚀量可以相对较少，从而单元沟道部相对于相应的单元源/漏部在横向上凹入。

对于 p 型器件，在 RIE 之后，由于 SiGe 在没有应变的情况下的晶格常数大于 Si 在没有应变的情况下的晶格常数，在 Si 中产生应变，此应变会使 Si 的空穴迁移率大于其在没有应变的情况下的空穴迁移率，或 Si 的轻空穴的有效质量小于其在没有应变的情况下的轻空穴的有效质量，或 Si 的轻空穴的浓

度大于其在没有应变的情况下的轻空穴的浓度，进而使 p 型器件的开态电流增加并因此增强了 p 型器件的性能。备选地，对于 n 型器件，在 RIE 之后，由于 Si: C 在没有应变的情况下的晶格常数小于 Si 在没有应变的情况下的晶格常数，在 Si 中产生应变，此应变会使 Si 的电子迁移率大于其在没有应变的情况下的电子迁移率，或 Si 的电子的有效质量小于其在没有应变的情况下的电子的有效质量，进而使 n 型器件的开态电流增加并以此增强了 n 型器件的性能。

另外，如果选用 SiGe 作为沟道层材料而用 Si 作为源/漏层材料，此选择即可以增加 p 型器件的开态电流，又可以减小 p 型器件的关态电流，从而增强了 p 型器件的性能。原因在于 Si 的禁带宽度大于 SiGe 的禁带宽度，而 SiGe 中空穴迁移率大于 Si 的空穴迁移率。

如图 10(b)中所示，各源/漏层和沟道层中竖直方向上对准的岛状部构成了一系列柱状有源区（1003/1005/1007/1009/1011），这些柱状有源区形成如图 19(b)中“×”所示的阵列。绕各柱状有源区，形成了多层存储栅堆叠（1019/1021/1023/1025）。如上所述，各层存储栅堆叠自对准于相应的沟道层 1005、1009。

因此，在存储单元区中，形成了存储单元的竖直串，每一存储单元包括依次叠置的单元源/漏部、单元沟道部和单元源/漏部。由于相邻的存储单元之间共享单元源/漏部，所以每一串存储单元彼此串联连接在一起。

这样，完成了存储单元区中存储单元的制造。但是，此时，加工孔中的空间是浪费的。为了避免这种浪费，根据本公开的实施例，还可以在加工孔中形成额外的存储单元。例如，这可以如下进行。

由于当前堆叠内仍存在大量空隙，如图 10(a)和 10(b)所示，可以向其中填充电介质材料，以实现结构支撑和所需的电隔离。例如，如图 11(a)和 11(b)所示，可以经由加工孔，向堆叠内的空隙中填充电介质材料，以形成层间电介质层 1027。例如，可以通过 ALD 等工艺，来淀积氧化物。在此，层间电介质层 1027 优选地超出硬掩模 1015 的顶面，并可以对其进行平坦化处理如化学机械抛光（CMP）。

加工孔同样被层间电介质层 1027 所填充。为了在加工孔中制作额外的存储单元，可以清空加工孔。另外，希望在存储单元区中形成额外的存储单元，

而并不在接触区中形成存储单元，所以可以只清空存储单元区中的加工孔。为此，如图 12(a)、12(b)和 12(c)（图 12(a)是沿图 12(c)中 AA'线的截面图，图 12(b)是沿图 12(c)中 BB'线的截面图，图 12(c)是俯视图）所示，可以利用光刻胶 1101 遮蔽接触区（特别是其中的加工孔），而露出存储单元区。然后，可以选择性刻蚀如 RIE 层间电介质层 1027。于是，露出了加工孔。之后，可以去除光刻胶 1101。

然后，如图 13(a)和 13(b)（图 13(a)是沿图 13(b)中 AA'线的截面图，图 13(b)是俯视图）所示，可以在加工孔中形成垂直型的额外存储单元。例如，可以绕加工孔的侧壁依次形成额外的第一栅介质层 1103、额外的电荷捕获层 1105 和额外的第二栅介质层 1107。这些层在加工孔的侧壁上延伸，例如可以按照侧墙（spacer）工艺来形成。例如，额外的第一栅介质层 1103 可以包括高 K 栅介质如 HfO_2，厚度为约 1-10nm；额外的电荷捕获层 1105 可以包括电荷捕获材料如氮化物，厚度为约 1-20nm；额外的第二栅介质层 1107 包括高 K 栅介质如 HfO_2，厚度为约 1-10nm。如图 13(b)中的俯视图所示，这些层可以（绕随后形成的有源半导体层 1109）形成为同心环结构。然后，可以将加工孔中的剩余空间中填充有源半导体层 1109。例如，可以向加工孔中沉积多晶硅，沉积的量应填满加工孔，并有超出。在沉积同时，可以对多晶硅进行原位掺杂，掺杂浓度例如为约 1E17-1E19cm^{-3}。然后，可以对填充的多晶硅进行平坦化处理如 CMP，CMP 可以停止于氮化物层 1015。于是，在加工孔中形成了有源半导体层 1109。

在此，有源半导体层 1109 是实心的。但是，本公开不限于此。例如，为了更好的抑制短沟道效应，提高器件的性能，可以在额外的第二栅介质层 1107 上形成有源半导体薄层空心结构（未示出），有源半导体薄层厚度为例如约 10-20nm。之后可用电介质材料如氧化物或氮化物填满空心结构。

栅导体层 1025 经由额外的第二栅介质层 1107、额外的电荷捕获层 1105 和额外的第一栅介质层 1103，可以在有源半导体层 1109 中限定沟道区，如图中的虚线框所示。而在沟道区的两侧（例如，与层间电介质层 1027 即原本的源/漏层相对应的位置），可以形成源/漏区。于是，沟道区和其上下两侧的源/漏区形成了额外的存储单元，如图 13(a)中的虚线圈所示。由于衬底上叠置了

多层栅导体层 1025，因此，在竖直延伸的有源半导体层 1109 中相应地导致了多个叠置的额外存储单元，它们各自的有源区是一体延伸的，从而彼此串接在一起。

如图 13(a)和 13(b)所示，由于半导体层 1109 形成了一系列柱状有源区，这些柱状有源区形成如图 19(b)中“·”所示的阵列。绕各柱状有源区，形成了多层存储栅堆叠(1107/1105/1103/1025; 在此，存储栅堆叠的层由栅导体层 1025 来限定，尽管 1107/1105/1103 绕柱状有源区 1109 的表面一体延伸)。

备选地，额外存储单元的存储栅堆叠也可以包括铁电材料。例如，栅堆叠可以包括依次叠置的第一金属层、铁电材料层、第二金属层、栅介质层以及栅导体层（未示出）。例如，铁电材料可以包括氧化铪如 HfO_2、氧化锆如 ZrO_2、氧化钽如 TaO_2、氧化铪锆 $Hf_xZr_{1-x}O_2$(其中 x 取值为 0-1 的范围)如 $Hf_{0.5}Zr_{0.5}O_2$、氧化铪钽 $Hf_xTa_{1-x}O_2$(其中 x 取值为 0-1 的范围)如 $Hf_{0.5}Ta_{0.5}O_2$、含 Si 的 HfO_2、含 Al 的 HfO_2、$BaTiO_3$、KH_2PO_4 或 SBTi， 第一金属层和第二金属层各自均可以包括 TiN。这种情况下，可以在加工孔的侧壁上依次形成栅介质层、第二金属层、铁电材料层和第一金属层，例如形成为侧墙的形式。另外，可以在这些层所围绕的空间中填充有源半导体层如多晶硅。

这样，就完成了存储单元区中存储单元的制造。随后，可以制造各种电接触部以实现所需的电连接。

另外，如果如上所述在接触区中形成了用于结构支撑的沟道层岛状部，那么可以去除这些沟道层岛状部，以降低电容或栅之间可能的泄漏。例如，可以清空接触区中的加工孔，并经由加工孔去除隔离层，然后再去除沟道层岛状部。随后，再经由加工孔填充电介质材料以完成隔离层。

为了保护存储单元，特别是在加工孔中形成的额外存储单元（因为其上端当前暴露于外），如图 14(a)和 14(b)（分别是沿图 13(b)中 AA'线和 BB'线的截面）所示，可以在图 13(a)和 13(b)所示的结构上形成保护层 1111。例如，可以淀积厚度为约 5-150nm 的氮化物，形成该保护层 1111。

接下来，可以在层间电介质层 1027 中形成电接触部。对于三维阵列，本领域存在多种方式来制作互连。例如，可以将接触区中的栅堆叠构图为阶梯状，以便形成到各层栅堆叠的电接触部。以下描述一个具体示例。

例如，如图 15(a)和 15(b)所示，例如利用光刻胶（未示出），选择性刻蚀如 RIE 最上层的栅导体层 1025 之上的各材料层。然后，如图 16(a)和 16(b)所示，修整光刻胶，使其向着存储单元区回缩，并选择性刻蚀如 RIE 最上层的栅导体层 1025 之上的各材料层。接着，如图 17(a)和 17(b)所示，进一步修整光刻胶，使其向着存储单元区进一步回缩，并选择性刻蚀如 RIE 最上层的栅导体层 1025 之上的各材料层。这样，就将栅导体层形成为阶梯形。本领域技术人员知道多种技术来将上下叠置的多层在边缘处形成为阶梯形，在此不详细描述。

如图 18(a)和 18(b)所示，可以淀积电介质材料（例如，与层间电介质层 1027 的材料相同），从而与剩余的层间电介质层 1027 一起构成层间电介质层 1029。在层间电介质层 1029 中，可以形成到公共地电势面 1001w（且因此到所有的最下层存储单元的源/漏区）的电接触部 1031-1、1131-1，到各层栅导体 1025 的电接触部 1031-2、1031-3、1131-2、1131-3，以及到各最上层存储单元的源/漏区的电接触部 1031-4、1031-5、1131-4、1131-5、1131-6。这种电接触部可以通过在层间电介质层中形成接触孔、并在其中填充导电材料如 W 来制作。

于是，得到了根据该实施例的存储器件。如图 18(a)和 18(b)所示，该存储器件可以包括多个存储单元层（在该示例中，仅示出了两层），每个存储单元层包括第一存储单元的第一阵列和第二存储单元的第二阵列。如以上结合图 19(a)和 19(b)所示，第一阵列和第二阵列可以彼此嵌套。

如图 18(b)中所示，每一第一存储单元包括单元源/漏部、单元沟道部、单元源/漏部的叠层。第一存储单元在竖直方向上连接成串，在上端连接到相应的电接触部，在下端连接到公共地电势平面。每一层中的第一存储单元各自的栅堆叠是一体的。

如图 18(a)中所示，每一第二存储单元包括由相应的栅导体 1015 在有源半导体层 1019 中限定的沟道区以及位于沟道区两侧的源/漏区。沿竖直方向延伸的同一有源半导体层 1019 中各第二存储单元在竖直方向上连接成串，在上端连接到相应的电接触部，在下端连接到公共地电势平面。每一层中的第二存储单元的栅导体由该层中第一存储单元的栅导体来提供。

通过到栅导体的电接触部，可以选择某一存储单元层。另外，通过源/漏

接触部，可以选择某一存储单元串。

在此，两种存储单元的栅堆叠可以是相同类型或不同类型。例如，第一存储单元的栅堆叠可以是浮栅或电荷俘获型，第二存储单元的栅堆叠可以是电荷俘获型；第一存储单元的栅堆叠可以是浮栅或电荷俘获型，第二存储单元的栅堆叠可以是铁电型；第一存储单元的栅堆叠可以是铁电型，第二存储单元的栅堆叠可以是电荷俘获型；或者第一存储单元和第二存储单元的栅堆叠均可以是铁电型。

在该示例中，针对最上层的每个存储单元的源/漏区，均形成电接触部。由于存储单元的密度较大，故而这种源/漏接触部的密度较大。根据另一实施例，可以形成与最下层的存储单元的源/漏区电连接的按行（或列）排列的电极，且形成与最上层的存储单元的源/漏区电连接的按列（或行）排列的电极。这样，通过上侧的电极和下侧的电极（彼此交叉形成与存储单元阵列相对应的阵列），可以选择相应的存储单元串。

图 20(a)~22 示出了根据本公开另一实施例的制造存储器件的流程中部分阶段的示意图。以下，将主要描述该实施例与上述实施例的不同之处。

在以上结合图 12(a)、12(b)和 12(c)所述清空存储单元区中的加工孔之后，如图 20(a)和 20(b)所示，可以经由加工孔，分别选择性回蚀第一栅介质层 1019、浮栅层或电荷捕获层 1021、第二栅介质层 1023，以使它们相对横向凹入。然后，如图 21 所示，可以在凹入中填充栅导体材料 1203。栅导体材料 1203 可以与栅导体层 1025 是相同的材料。这种填充例如可以通过淀积然后回蚀来实现。

接下来，可以如上所述在加工孔中形成额外的存储单元，如图 22 所示。在该示例中，栅导体层 1025 与栅导体材料 1203 可以彼此接触，从而一起构成第二存储单元的栅导体，该栅导体经由额外的第二栅介质层 1107、额外的电荷捕获层 1105 和额外的第一栅介质层 1103，可以在有源半导体层 1109 中限定沟道区，如图中的虚线框所示。相比于上述实施例，加大了第二存储单元的栅宽。

图 23(a)~29(b)示出了根据本公开另一实施例的制造存储器件的流程中部分阶段的示意图。

在以上结合图 8(a)和 8(b)所述的形成用于第一存储单元的存储栅堆叠的过程中，代替形成栅导体层 1025，而是形成牺牲栅导体层 1025'，例如多晶硅（例如，非掺杂多晶硅）。随后，可以按照以上描述的相同工艺进行。在经历以上结合图 12(a)、12(b)和 12(c)所述清空存储单元区中加工孔的操作之后，如图 23(a)和 23(b)所示，在存储单元区中露出加工孔。此时，在加工孔中露出牺牲栅导体层 1025'的侧壁。之后，可以去除光刻胶 1101。

然后，如图 24(a)和 24(b)所示，可以经由加工孔，例如通过选择性刻蚀，回蚀牺牲栅导体层 1025'，使其相对横向凹入。接着，可以分别选择性刻蚀第二栅介质层 1023、浮栅层或电荷捕获层 1021、第一栅介质层 1019。由于回蚀后牺牲栅导体层 1025'的存在，第二栅介质层 1023、浮栅层或电荷捕获层 1021、第一栅介质层 1019 可以相对横向凹入大致相同的程度。

随后，如图 25(a)和 25(b)所示，可以经由加工孔，在凹入中填充牺牲栅导体层的材料，因此在此将其与牺牲栅导体层一体示出为 1025'（以虚线示意性示出了它们的边界）。这种填充例如可以通过淀积然后回蚀来实现。

接下来，可以如上所述在加工孔中形成额外的存储单元，如图 26(a)和 26(b)所示。图 26(a)和 26(b)所示的结构与图 22 中所示的结构基本上相同，除了牺牲栅导体层 1025'取代了栅导体层 1025 之外。

然后，可以进行替代栅工艺，利用最终的栅导体层来代替牺牲栅导体层。

为了去除牺牲栅导体层 1025'，需要到达各牺牲栅导体层 1025'的加工通道。为此，例如如图 27(a)和 27(b)所示，可以在有源区之外的部分中，优选地，在存储单元区的边缘处如存储单元区与接触区之间的边界处，形成贯穿各用于第一存储单元的存储栅堆叠的沟槽。例如，这可以通过光刻来实现。在此之前，为了保护存储单元，特别是在加工孔中形成的额外存储单元（因为其上端当前暴露于外），可以先形成保护层 1111，如以上结合图 14(a)和 14(b)所述。

接着，如图 28(a)和 28(b)所示，可以经由上述沟槽，选择性刻蚀牺牲栅导体层 1025'，以去除牺牲栅导体层 1025'。在由于牺牲栅导体层 1025'而留下的空间中，可以经由上述沟槽，填充最终的栅导体层 1025"，例如金属栅导体如 W。例如，这可以通过淀积如 ALD 或 CVD，向由于牺牲栅导体层 1025'而留下的空间中填充 W，淀积的 W 足够多，从而填满所述空间以及沟槽。之后，

可以对淀积的 W 进行平坦化处理如 CMP，CMP 可以停止于保护层 1111。在淀积金属栅导体层之前，还可淀积薄的阻挡层如 TiN（未示出）。

在该示例中，栅导体层 1025"栅导体经由额外的第二栅介质层 1107、额外的电荷捕获层 1105 和额外的第一栅介质层 1103，可以在有源半导体层 1109 中限定沟道区，如图 28(a)中的虚线框所示。相比于上述实施例，加大了第二存储单元的栅宽。第一存储单元的情况与上述实施例中相同，如图 28(b)所示。

之后，如图 29(a)和 29(b)所示，可以去除沟槽中填充的栅导体层，以便使得各层栅导体层之间断开。这可以通过对栅导体层进行选择性刻蚀如 RIE，RIE 可以在竖直方向上进行。这种 RIE 将上述沟槽中的栅导体层去除，从而使得各栅导体层之间断开。另外，可以经由上述沟槽，对栅导体层 1025"（以及阻挡层，如果存在的话）进行进一步回蚀，以确保各层栅导体层之间能够完全断开。之后，可以在空隙（例如，上述沟槽以及栅导体层 1025"回蚀而释放的空间）中填充电介质层 1027'如氧化物。

之后，可以如上所述来形成接触部，在此不再赘述。

在以上实施例中，第二存储栅堆叠（除了栅导体之外）被示出为在加工孔的侧壁上连续延伸。但是，本公开不限于此，例如，可以将其形成为彼此分离的多层，各层与相应层的第一存储栅堆叠相对应，特别是在第二存储栅堆叠包括铁电材料或者浮栅层的情况下。

图 30(a)~35(b)示出了根据本公开另一实施例的制造存储器件的流程中部分阶段的示意图。以下，将主要描述该实施例与上述实施例的不同之处。

在以上结合图 10(a)和 10(b)所述分离各第一存储单元的源/漏部之后，可以经由就加工孔在堆叠内空隙的表面上形成一保护层 1051，如图 30(a)和 30(b)所示。例如，可以淀积一薄层氮化物，厚度为约 1-5nm。该保护层 1051 可以在后继对第二存储单元的栅堆叠进行处理时保护第一存储单元的栅堆叠。之后，如以上结合图 11(a)和 11(b)所述，可以经由加工孔，向堆叠内的空隙中填充电介质材料，以形成层间电介质层 1027。

如以上结合图 12(a)、12(b)和 12(c)所述，可以清空存储单元区中的加工孔。在此，如图 31(a)和 31(b)所示，在利用掩模 1101 选择性刻蚀如 RIE 层间电介质层 1027 从而露出加工孔之后，可以进一步选择性刻蚀如 RIE 保护层 1051。

这样，保护层 1051 在（存储单元区中的）加工孔的侧壁上延伸的部分可被去除，而其余部分由于被遮挡从而可以保留。特别是，如图 31(b)所示，第一存储单元的栅堆叠（1019/1021/1023）被保护层 1051 所覆盖。之后，可以去除光刻胶 1101。

然后，如图 32(a)和 32(b)所示，可以在加工孔中形成垂直型的额外存储单元。形成额外存储单元的操作与以上结合图 13(a)和 13(b)描述的操作基本上相同。但是，在该示例中，形成了不同的栅堆叠。例如，可以绕加工孔的侧壁依次形成栅介质层 1503、第一金属层 1505、铁电材料层 1507 和第二金属层 1509。例如，栅介质层 1503 可以包括高 K 栅介质，厚度为约 1-10nm；第一金属层 1505 可以包括 TiN，厚度为约 1-10nm；铁电材料层 1507 可以包括 $Hf_{1-X}Zr_XO_2$，厚度为约 1-20nm；第二金属层 1509 可以包括 TiN，厚度为约 1-10nm。另外，加工孔中填充的有源半导体层 1109 可以包括多晶硅，掺杂浓度为约 1E16-1E19cm^{-3}。

在此，如图 32(a)所示，一体延伸的金属层 1505、1509 可能造成电性能上的问题。为此，可以将它们彼此分离。

为了能够对用于额外存储单元的栅堆叠进行处理，类似以上结合图 27(a)和 27(b)所示，可以在有源区之外的部分中，优选地，在存储单元区的边缘处如存储单元区与接触区之间的边界处，形成能够使堆叠中各层间电介质层 1027 的侧壁露出的沟槽，以用作加工通道。然后，可以经由该沟槽，选择性刻蚀（例如，各向同性刻蚀）层间电介质层 1027，以去除层间电介质层 1027，如图 33(a)和 33(b)所示。在此，保护层 1051 可以保护大部分的材料层。此外，如图 33(a)所示，在各第一存储栅堆叠之间，露出了第二存储栅堆叠。

于是，如图 34 所示，可以经由该沟槽，选择性刻蚀栅介质层 1503、第一金属层 1505、铁电材料层 1507 和第二金属层 1509。这样，第二栅堆叠可以分离为与各层第一栅堆叠相对应的多层。由于保护层 1051 的存在，刻蚀可以不影响第一栅堆叠。

然后，如图 35(a)和 35(b)所示，可以经由该沟槽，向堆叠内的空隙中填充电介质材料，以实现结构支撑和所需的电隔离。对此，可以参见以上结合图 11(a)和 11(b)所述。

随后的操作可以与上述实施例相同，在此不再赘述。

另外，代替在加工孔中形成额外的存储单元，可以向加工孔中填充应力施加材料，以向沟道层施加应力。图 36(a)和 36(b)示出了根据本公开另一实施例的制造存储器件的流程中部分阶段的示意图。以下，将主要描述该实施例与上述实施例的不同之处。

在如以上结合图 12(a)、12(b)和 12(c)所述清空存储单元区中的加工孔之后，可以向加工孔中填充应力施加材料 1303，如图 36(a)和 36(b)所示。另外，为了保护存储单元，可以先淀积一层保护层 1301。例如，保护层 1301 可以包括氧化物，厚度为约 1-2nm；应力施加材料 1303 可以包括氮化物。可以对淀积的保护层和应力施加材料进行平坦化处理如 CMP，CMP 可以停止于氮化物层 1015，从而保护层和应力施加材料被局限在加工孔内。之后，可以按照相同的方式来完成器件制造。

对于 n 型存储单元，应力施加材料 1303 可以带压应力，以便在沟道层中产生拉应力；而对于 p 型存储单元，应力施加材料 1303 可以带拉应力，以便在沟道层中产生压应力。

或者，在以上结合图 11(a)和 11(b)的描述中，可以直接向堆叠内的空隙中填充应力施加材料。同样地，在填充应力施加材料之前，也可以先形成保护层。这种情况下，优选地源/漏层的厚度大于沟道层的厚度。这样，就将填充隔离层和应力施加材料的处理结合在一起。之后，无需单独向加工孔中填充应力施加材料，并可以按照相同的方式来完成器件制造。

或者，在以上结合图 11(a)和 11(b)的描述中，可以直接向堆叠内的空隙中填充应力施加材料。同样地，在填充应力施加材料之前，也可以先形成保护层。之后，还可以如以上结合图 36(a)和 36(b)所述，清空加工孔，并在加工孔中进一步形成另外的应力施加材料。之后，可以按照相同的方式来完成器件制造。

另外，根据本公开的实施例，还可以在第一柱状有源区和/或第二柱状有源区的最上端和/或最下端增加选择晶体管，在此不再赘述。这种选择晶体管也可以是竖直型器件。

根据本公开实施例的存储器件可以应用于各种电子设备。例如，存储器件可以存储电子设备操作所需的各种程序、应用和数据。电子设备还可以包括与

存储器件相配合的处理器。例如，处理器可以通过允许存储器件中存储的程序来操作电子设备。这种电子设备例如智能电话、计算机、平板电脑（PC）、人工智能、可穿戴设备、移动电源等。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过各种技术手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求 书

1. 一种存储器件，包括:

在衬底上形成的从衬底向上延伸的多个第一柱状有源区和多个第二柱状有源区，其中，

第一柱状有源区排列为第一阵列，第二柱状有源区排列为第二阵列，

每一第一柱状有源区包括源/漏层和沟道层的交替堆叠，各第一柱状有源区中相应的沟道层实质上共面，且相应的源/漏层实质上共面，

每一第二柱状有源区包括一体延伸的有源半导体层，

分别与各沟道层实质上共面的多层第一存储栅堆叠，其中，各层第一存储栅堆叠分别环绕相应沟道层的外周，以及

环绕各第二柱状有源区外周的多层第二存储栅堆叠。

2. 一种存储器件，包括:

在衬底上形成的从衬底向上延伸的多个第一柱状有源区和多个柱状应力施加区，其中，

第一柱状有源区排列为第一阵列，柱状应力施加区排列为第二阵列，

每一第一柱状有源区包括源/漏层和沟道层的交替堆叠，各第一柱状有源区中相应的沟道层实质上共面，且相应的源/漏层实质上共面，

分别与各沟道层实质上共面的多层第一存储栅堆叠，其中，各层第一存储栅堆叠分别环绕相应沟道层的外周。

3. 根据权利要求 1 或 2 所述的存储器件，其中，第一阵列和第二阵列彼此嵌套。

4. 根据权利要求 1 所述的存储器件，其中，各层第二存储栅堆叠与相应层的第一存储栅堆叠包括公共的栅导体层，该公共栅导体层与相应沟道层实质上共面。

5. 根据权利要求 1 或 2 所述的存储器件，其中，各沟道层存在从外周向着中心逐渐减小的掺杂分布。

6. 根据权利要求 1 或 2 所述的存储器件，其中，

第一存储栅堆叠包括依次叠置的第一栅介质层、浮栅层或电荷俘获层、第

二栅介质层和栅导体层，

第二存储栅堆叠包括依次叠置的另一第一栅介质层、另一电荷俘获层、另一第二栅介质层，且相同层中的第一存储栅堆叠中的栅导体层同时用作第二存储栅堆叠的栅导体层，

其中，另一第一栅介质层、另一电荷俘获层、另一第二栅介质层绕各第二柱状有源区的外周延伸。

7. 根据权利要求 1 或 2 所述的存储器件，其中，第一存储栅堆叠和第二存储栅堆叠中至少之一中包括铁电材料。

8. 根据权利要求 7 所述的存储器件，其中，

第一存储栅堆叠和第二存储栅堆叠中至少之一包括依次叠置的第一金属层、铁电材料层、第二金属层和栅介质层；或者

第一存储栅堆叠包括依次叠置的第一栅介质层、浮栅层或电荷俘获层、第二栅介质层和栅导体层，第二存储栅堆叠包括依次叠置的第一金属层、铁电材料层、第二金属层和栅介质层；或者

第二存储栅堆叠包括依次叠置的第一栅介质层、电荷俘获层、第二栅介质层，第一存储单元的存储栅堆叠包括依次叠置的第一金属层、铁电材料层、第二金属层和栅介质层。

9. 根据权利要求 8 所述的存储器件，其中，铁电材料包括氧化铪、氧化锆、氧化钽、氧化铪锆或氧化铪钽，第一金属层和第二金属层包括 TiN。

10. 根据权利要求 9 所述的存储器件，其中，氧化铪包括 HfO_2，氧化锆包括 ZrO_2，氧化钽包括 TaO_2，氧化铪锆包括 $Hf_xZr_{1-x}O_2$，氧化铪钽包括 $Hf_xTa_{1-x}O_2$，其中 x 取值为 0-1 的范围。

11. 根据权利要求 8 所述的存储器件，其中，铁电材料包括含 Si 的 HfO_2、含 Al 的 HfO_2、$BaTiO_3$、KH_2PO_4 或 SBTi，第一金属层和第二金属层包括 TiN。

12. 根据权利要求 1 或 2 所述的存储器件，其中，各沟道层包括单晶半导体材料，各源/漏层包括单晶半导体材料。

13. 根据权利要求 12 所述的存储器件，其中，沟道层的单晶半导体材料与源/漏层的单晶半导体材料是共晶体。

14. 根据权利要求 13 所述的存储器件，其中，

沟道层的单晶半导体材料为 Si，源/漏层的单晶半导体材料为 SiGe；或

沟道层的单晶半导体材料为 Si，源/漏层的单晶半导体材料为 Si:C；或

沟道层的单晶半导体材料为 SiGe，源/漏层的单晶半导体材料为 Si。

15. 根据权利要求 1 或 2 所述的存储器件，其中，第一存储栅堆叠自对准于相应的沟道层。

16. 根据权利要求 1 或 2 所述的存储器件，其中，在各第一柱状有源区中，沟道层的外周相对于源/漏层的外周向内凹入。

17. 根据权利要求 3 所述的存储器件，其中，第一柱状有源区按行和列排列成二维阵列，且第二柱状有源区或柱状应力施加区按行和列排列成二维阵列，其中各第一柱状有源区位于第二柱状有源区或柱状应力施加区的二维阵列的网格的大致中心，各第二柱状有源区或柱状应力施加区位于第一柱状有源区的二维阵列的网格的大致中心。

18. 根据权利要求 1 或 2 所述的存储器件，其中，

相应沟道层所在的平面实质上平行于衬底表面，

相应源/漏层所在的平面实质上平行于衬底表面，

各第一柱状有源区和第二柱状有源区或柱状应力施加区实质上垂直于衬底表面延伸。

19. 根据权利要求 4 所述的存储器件，其中，第二存储栅堆叠还包括：分别位于公共栅导体层上下两侧且与公共栅导体层相接的额外栅导体。

20. 根据权利要求 19 所述的存储器件，其中，所述额外栅导体与所述公共栅导体层是一体的。

21. 根据权利要求 1 所述的存储器件，还包括：各第一柱状有源区中最下方的源/漏层以及各第二柱状有源区共同连接到的地电势面。

22. 根据权利要求 21 所述的存储器件，其中，地电势面是衬底中的掺杂区。

23. 根据权利要求 1 所述的存储器件，其中，第二柱状有源区具有环形结构。

24. 根据权利要求 2 所述的存储器件，其中，应力施加区包括应力施加材料和位于应力施加材料的底面和侧壁上的保护层。

25. 根据权利要求 24 所述的存储器件，其中，应力施加材料包括氮化物，保护层包括氧化物。

26. 根据权利要求 24 所述的存储器件，其中，

对于 n 型存储器件，应力施加材料带压应力；或者

对于 p 型存储器件，应力施加材料带拉应力。

27. 一种制造存储器件的方法，包括:

a) 在衬底上设置源/漏层和沟道层的交替堆叠，该堆叠的最下方是源/漏层，最上方是源/漏层;

b) 在所述堆叠中形成若干加工孔;

c) 经由加工孔，选择性刻蚀堆叠中的沟道层，以在堆叠中的各沟道层中形成彼此分离的多个单元沟道部的阵列;

d) 经由加工孔，在所述堆叠内的空隙中形成用于第一存储单元的存储栅堆叠;

e) 去除加工孔中的材料，以露出加工孔;

f) 经由加工孔，选择性刻蚀堆叠中的源/漏层，以在各单元沟道部的上侧和下侧分别形成单元源/漏部，其中，各单元沟道部以及其上侧和下侧的相应单元源/漏部构成第一存储单元;

g) 经由加工孔，在所述堆叠内的空隙中形成隔离层;

h) 去除加工孔中的材料，以露出加工孔；以及

i) 在加工孔的侧壁上形成用于第二存储单元的存储栅堆叠，并在侧壁上形成有用于第二存储单元的存储栅堆叠的加工孔中填充用于第二存储单元的有源半导体层。

28. 一种制造存储器件的方法，包括:

a)在衬底上设置源/漏层和沟道层的交替堆叠，该堆叠的最下方是源/漏层，最上方是源/漏层;

b) 在所述堆叠中形成若干加工孔;

c) 经由加工孔，选择性刻蚀堆叠中的沟道层，以在堆叠中的各沟道层中形成彼此分离的多个单元沟道部的阵列;

d) 经由加工孔，在所述堆叠内的空隙中形成用于第一存储单元的存储栅

堆叠;

e) 去除加工孔中的材料，以露出加工孔;

f) 经由加工孔，选择性刻蚀堆叠中的源/漏层，以在各单元沟道部的上侧和下侧分别形成单元源/漏部，其中，各单元沟道部以及其上侧和下侧的相应单元源/漏部构成第一存储单元;

g) 经由加工孔，在所述堆叠内的空隙中形成隔离层；以及

h) 在加工孔中形成应力施加材料。

29. 根据权利要求 27 或 28 所述的方法，其中，在步骤 b）和步骤 c）之间，该方法还包括：经由加工孔，从沟道层在加工孔中露出的侧壁向沟道层内驱入掺杂剂，以在沟道层中形成横向的掺杂剂分布。

30. 根据权利要求 28 所述的方法，其中，在步骤 g）和步骤 h）之间，该方法还包括：去除加工孔中的材料，以露出加工孔。

31. 根据权利要求 27 或 28 所述的方法，其中，通过外延生长来设置源/漏层和沟道层的交替堆叠。

32. 根据权利要求 31 所述的方法，其中，在生长源/漏层时对源/漏层进行原位掺杂，掺杂类型对应于器件导电类型。

33. 根据权利要求 31 所述的方法，其中，在生长沟道层时对沟道层进行原位掺杂，掺杂类型与器件导电类型相反。

34. 根据权利要求 27 所述的方法，其中，

形成用于第一存储单元的存储栅堆叠包括：依次形成第一栅介质层、浮栅层或电荷俘获层、第二栅介质层和栅导体层，

形成用于第二存储单元的存储栅堆叠包括：依次形成另一第一栅介质层、另一电荷俘获层和另一第二栅介质层。

35. 根据权利要求 27 或 28 所述的方法，还包括：在衬底中形成用于与最下的存储单元电接触的阱区。

36. 根据权利要求 27 或 28 所述的方法，其中，衬底包括存储单元区和接触区，

在存储单元区上，加工孔的密度被设置为使得在经由加工孔对沟道层选择性刻蚀了给定时间之后，沟道层位于存储单元区的部分被分离为隔离的岛状部，

这些岛状部构成单元沟道部，

在接触区上，加工孔的密度被设置为使得在所述给定时段内沟道层位于接触区的部分被实质上完全去除。

37. 根据权利要求 36 所述的方法，其中，各沟道层中的单元沟道部按行和列排列成二维阵列，且在存储单元区上，加工孔被设置为与该二维阵列相对应的二维阵列，各单元沟道部位于加工孔的二维阵列中的网格的大致中心处。

38. 根据权利要求 27 或 28 所述的方法，其中，在选择性刻蚀沟道层且在形成用于第一存储单元的存储栅堆叠之前，该方法还包括:

选择性刻蚀源/漏层，以加大源/漏层之间的间隙。

39. 根据权利要求 27 或 28 所述的方法，还包括: 控制对源/漏层的选择性刻蚀，使得单元源/漏部的外周相对于相应的单元沟道部的外周向外突出。

40. 根据权利要求 27 或 28 所述的方法，其中，在形成用于第一存储单元的存储栅堆叠并露出加工孔之后，且在选择性刻蚀源/漏层之前，该方法还包括:

经由加工孔，从源/漏层在加工孔中露出的侧壁向源/漏层内驱入掺杂剂，以在源/漏层中形成横向的掺杂剂分布。

41. 根据权利要求 40 所述的方法，其中，驱入掺杂剂包括:

在加工孔的侧壁上形成掺杂剂源层; 以及

通过退火处理，使掺杂剂源层中的掺杂剂驱入沟道层或源/漏层中。

42. 根据权利要求 34 所述的方法，其中，在形成隔离层并露出加工孔之后，且在形成第二存储单元的存储栅堆叠之前，该方法还包括:

经由加工孔对第一栅介质层、浮栅层或电荷俘获层、第二栅介质层进行选择性刻蚀，使其相对凹入; 以及

在所述凹入中形成额外的栅导体层。

43.根据权利要求 34 所述的方法，其中，形成的用于第一存储单元的栅导体层是牺牲栅导体层，

其中，在形成隔离层并露出加工孔之后，且在形成第二存储单元的存储栅堆叠之前，该方法还包括: 经由加工孔回蚀牺牲栅导体层，并选择性刻蚀第一栅介质层、浮栅层或电荷俘获层、第二栅介质层，使这些层相对凹入; 在所述

凹入中形成额外的牺牲栅导体层，

其中，在形成用于第二存储单元的有源半导体层之后，该方法还包括：在源/漏层和沟道层的叠层以及有源半导体层之外的区域中，形成贯穿各用于第一存储单元的存储栅堆叠的沟槽；经由该沟槽，去除牺牲栅导体层；经由该沟槽，形成最终栅导体层；去除该沟槽中的栅导体层部分，并在其中形成电介质层。

44. 根据权利要求 27 所述的方法，其中，在加工孔的侧壁上形成用于第二存储单元的存储栅堆叠包括：将用于第二存储单元的存储栅堆叠形成为与各层第一存储栅堆叠相对应的多层彼此分离的存储栅堆叠。

45. 根据权利要求 44 所述的方法，其中，

在选择性刻蚀堆叠中的源/漏层之后且在形成隔离层之前，该方法还包括：经由加工孔，形成保护层，

在加工孔的侧壁上形成用于第二存储单元的存储栅堆叠包括：

经由加工孔选择性刻蚀隔离层以及在加工孔侧面上延伸的保护层部分；

在加工孔的侧壁上依次形成用于第二存储单元的栅介质层、第一金属层、铁电材料层以及第二金属层；

形成使得隔离层的侧壁露出的沟槽；

经由该沟槽，去除隔离层，并选择性刻蚀用于第二存储单元的栅介质层、第一金属层、铁电材料层以及第二金属层；

经由该沟槽，向所述堆叠内的空隙中形成隔离层。

46. 一种电子设备，包括由如权利要求 1~26 中任一项所述的存储器件。

47. 根据权利要求 46 所述的电子设备，还包括与所述存储器件相配合的处理器。

48. 根据权利要求 46 所述的电子设备，该电子设备包括智能电话、计算机、平板电脑、人工智能、可穿戴设备、移动电源。

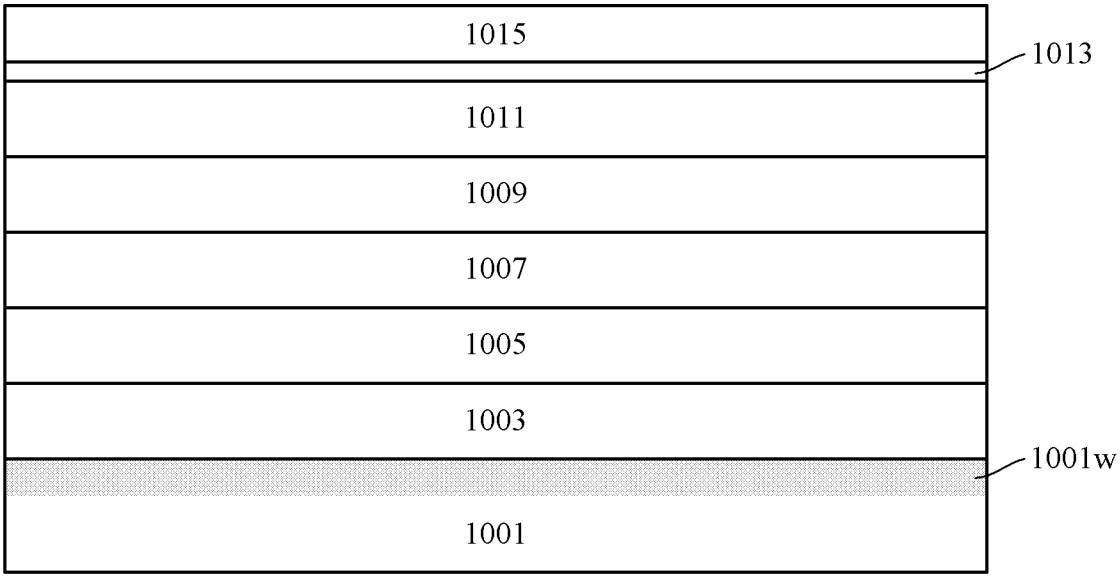

1015
1013
1011
1009
1007
1005
1003
1001w
1001

图1

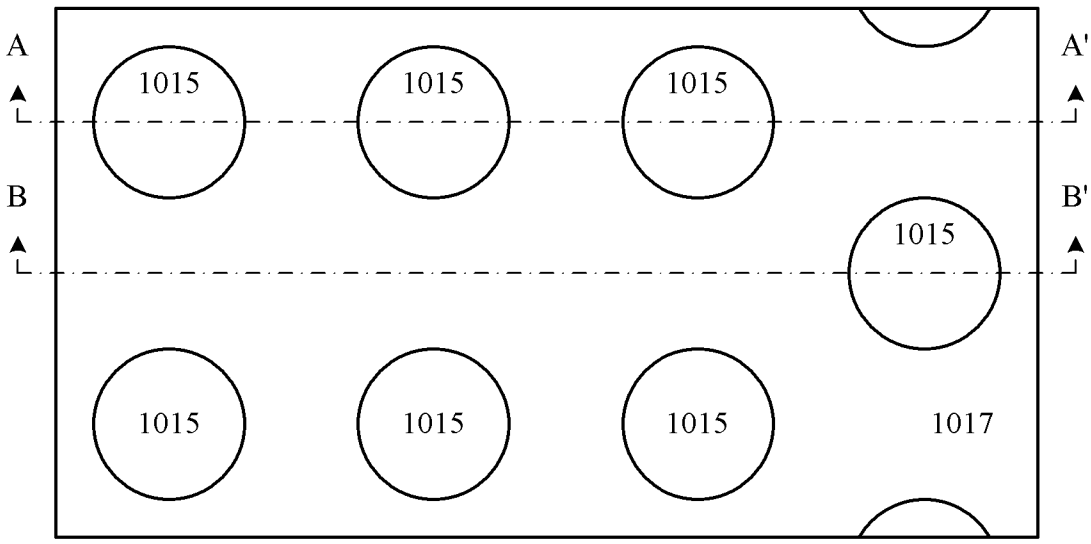

A
A'
B
B'
1015
1015
1015
1015
1015
1015
1015
1017

图2

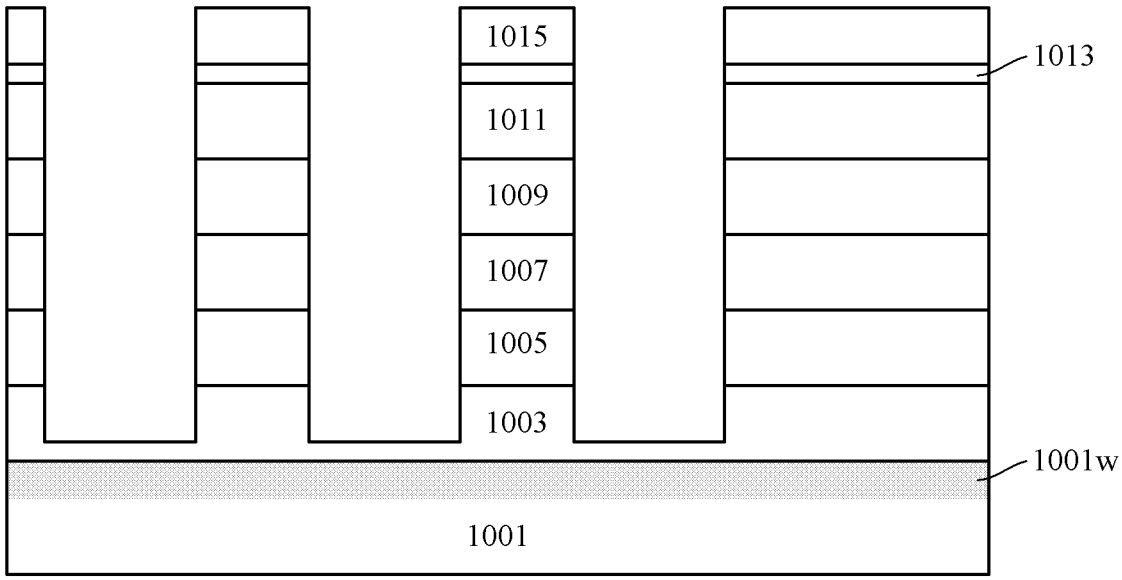

1015
1013
1011
1009
1007
1005
1003
1001w
1001

图3(a)

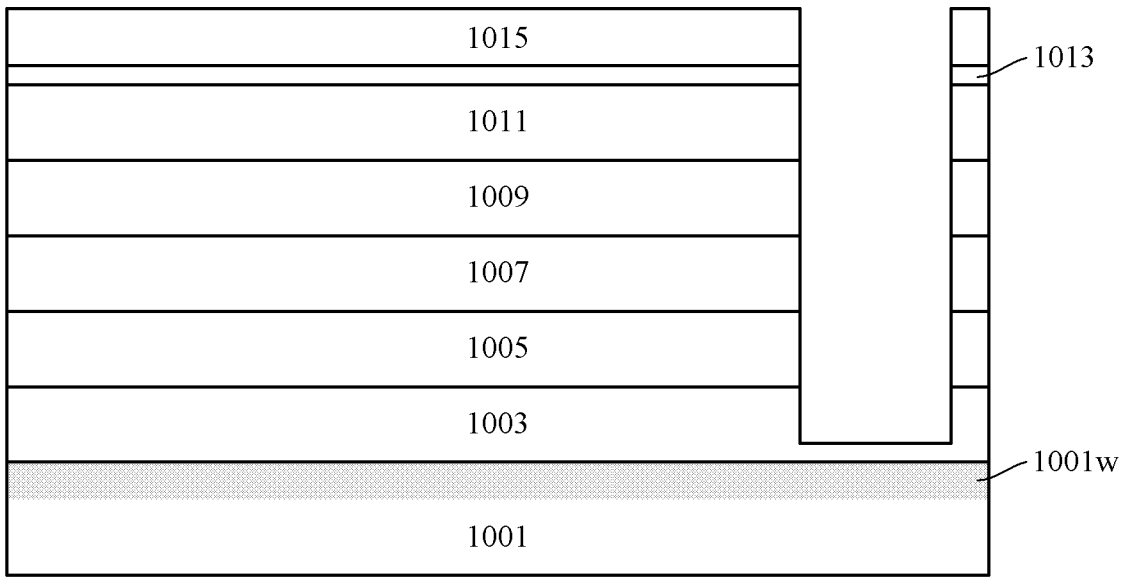

1015
1013
1011
1009
1007
1005
1003
1001w
1001

图3(b)

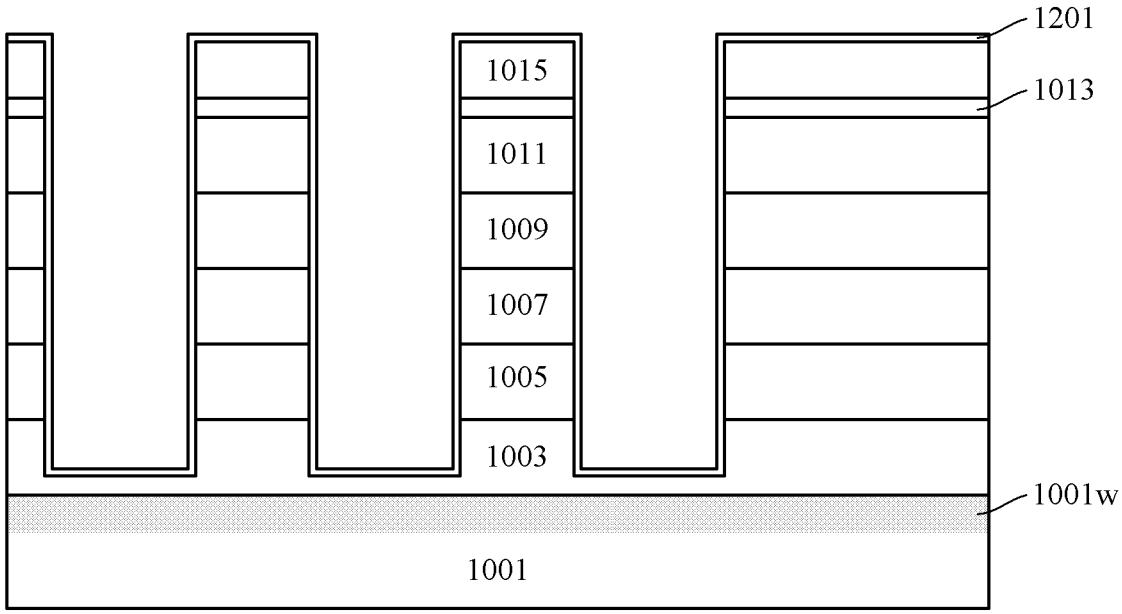

1201
1015
1013
1011
1009
1007
1005
1003
1001w
1001

图4(a)

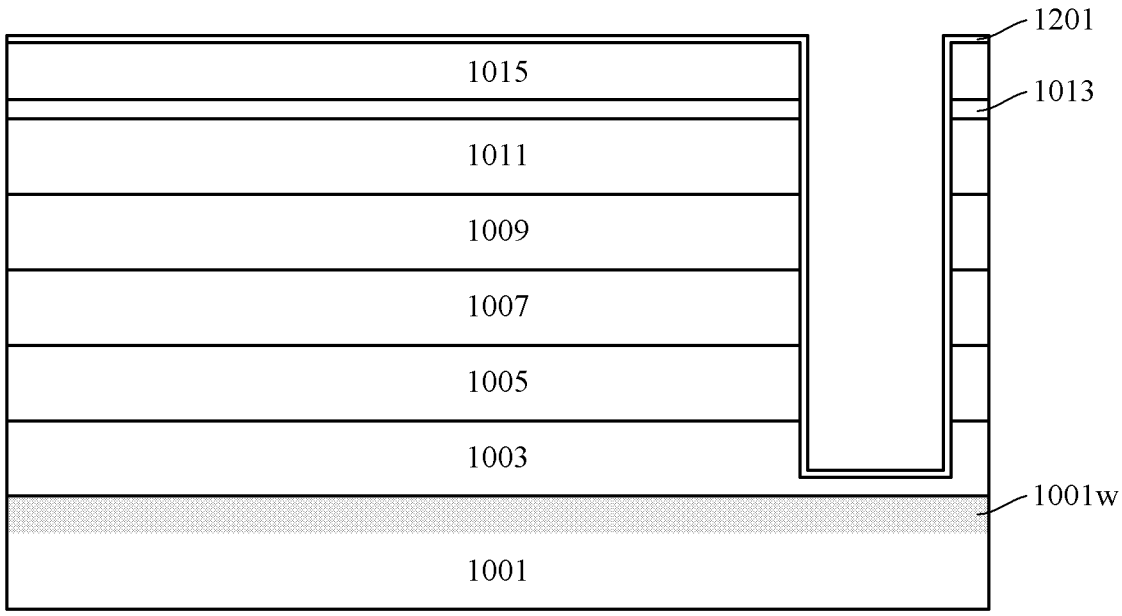

1201
1015
1013
1011
1009
1007
1005
1003
1001w
1001

图4(b)

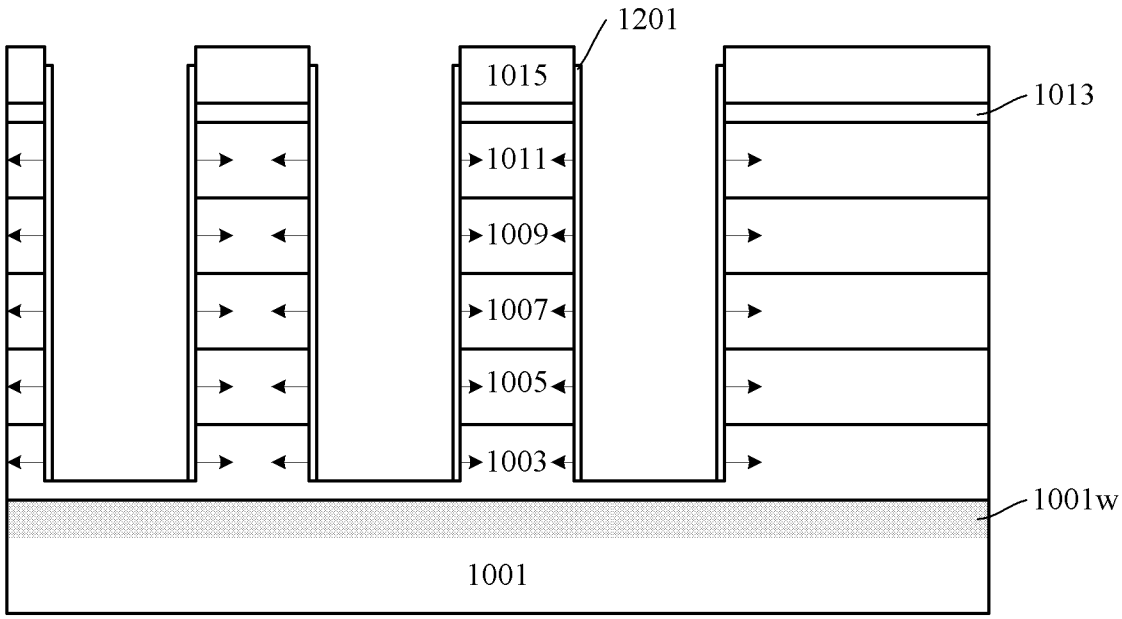

1201
1015
1013
1011
1009
1007
1005
1003
1001w
1001

图5(a)

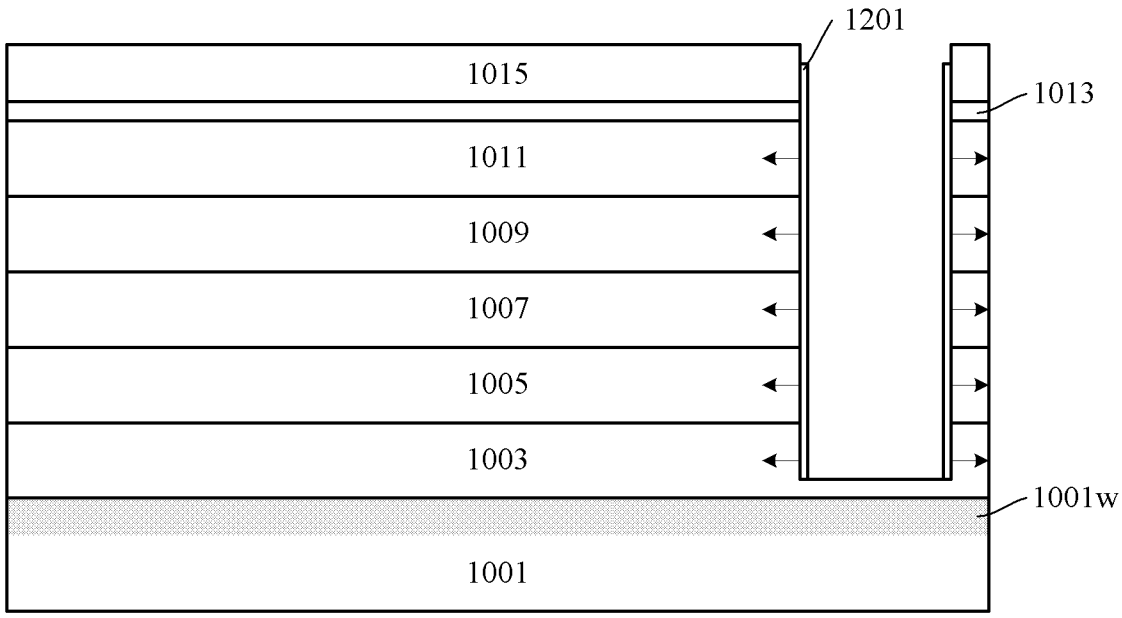

1201
1015
1013
1011
1009
1007
1005
1003
1001w
1001

图5(b)

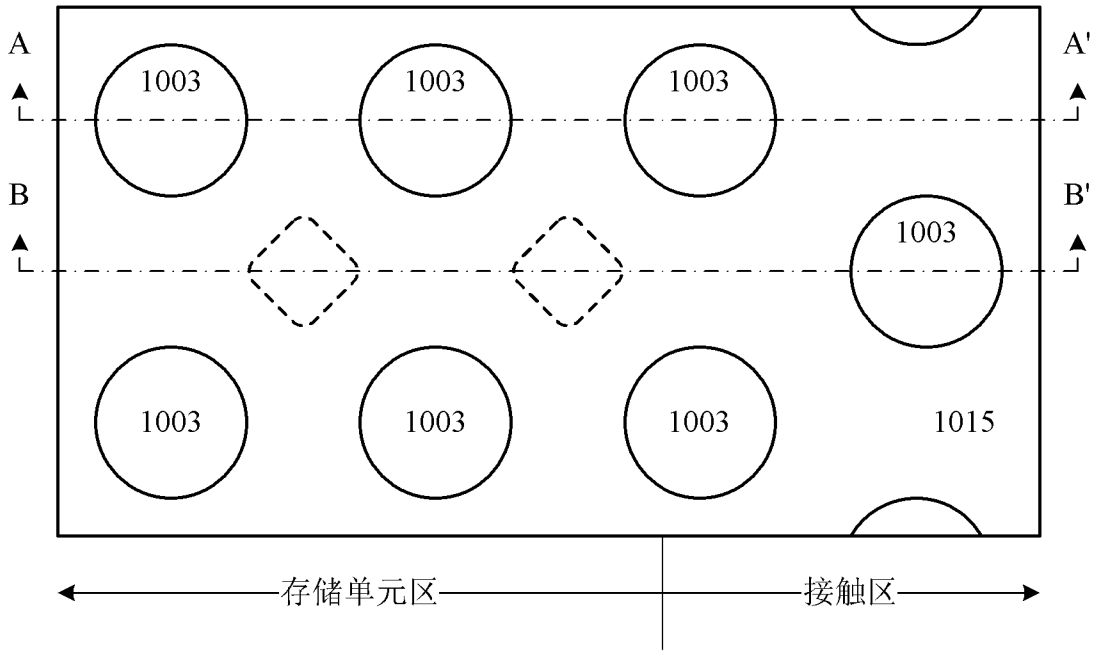


图6(a)

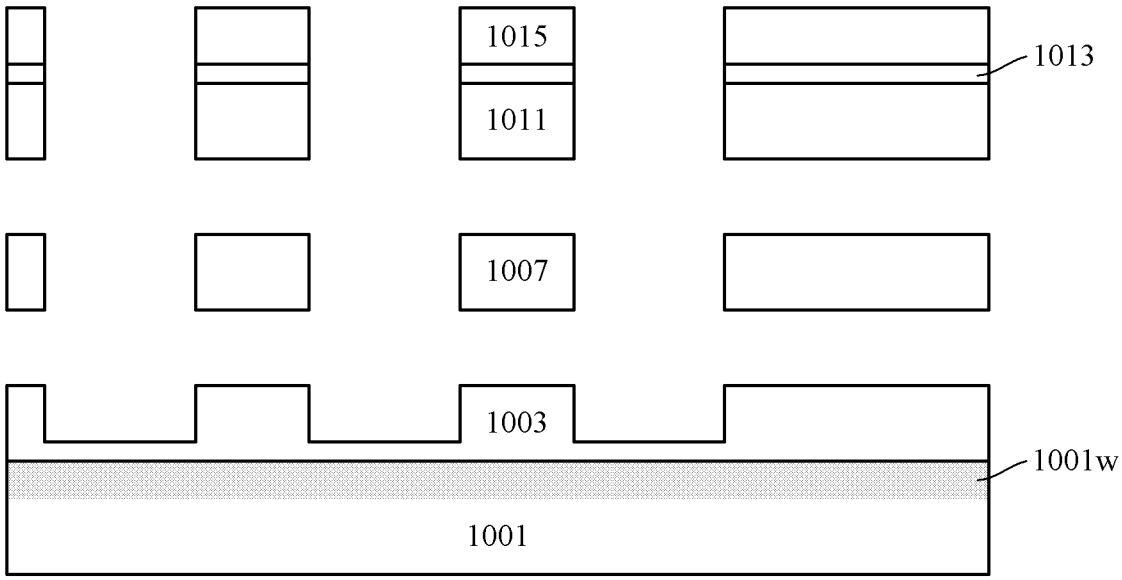

1015
1013
1011
1007
1003
1001w
1001

图6(b)

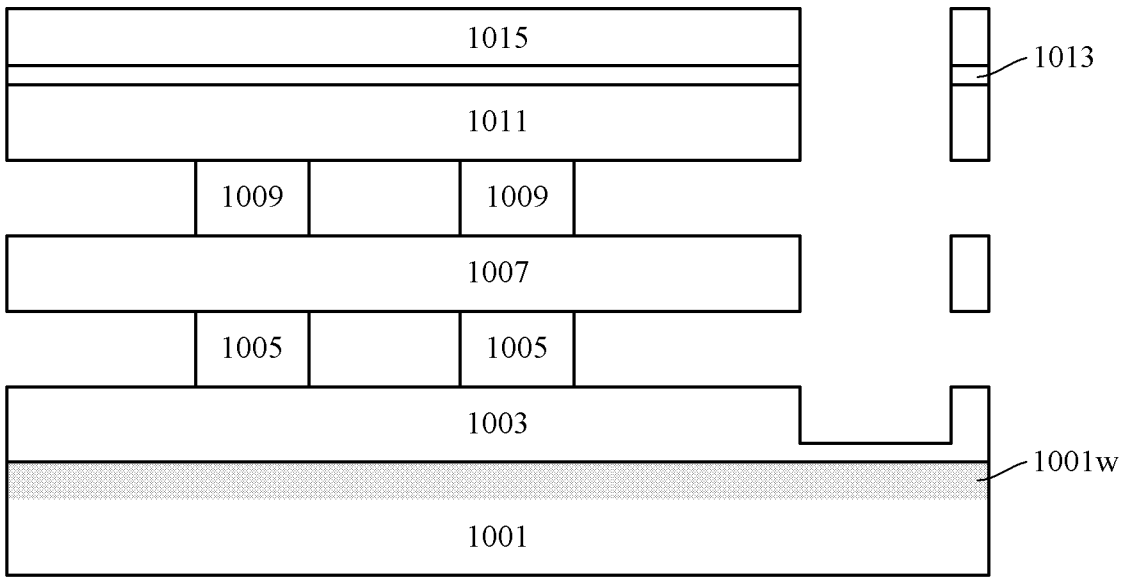

1015
1013
1011
1009
1009
1007
1005
1005
1003
1001w
1001

图6(c)

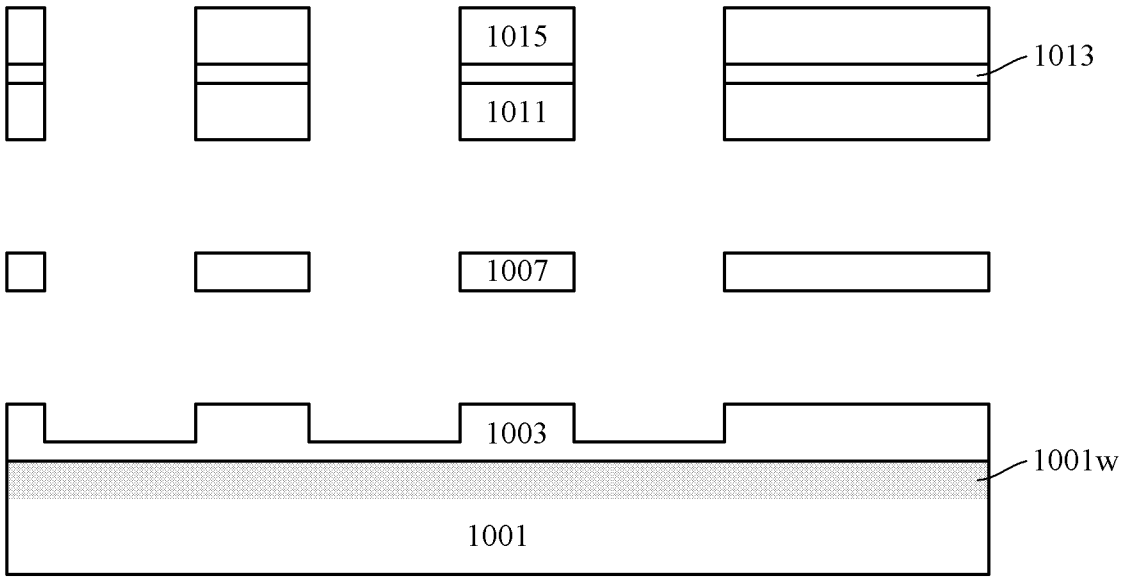

1015
1013
1011
1007
1003
1001w
1001

图7(a)

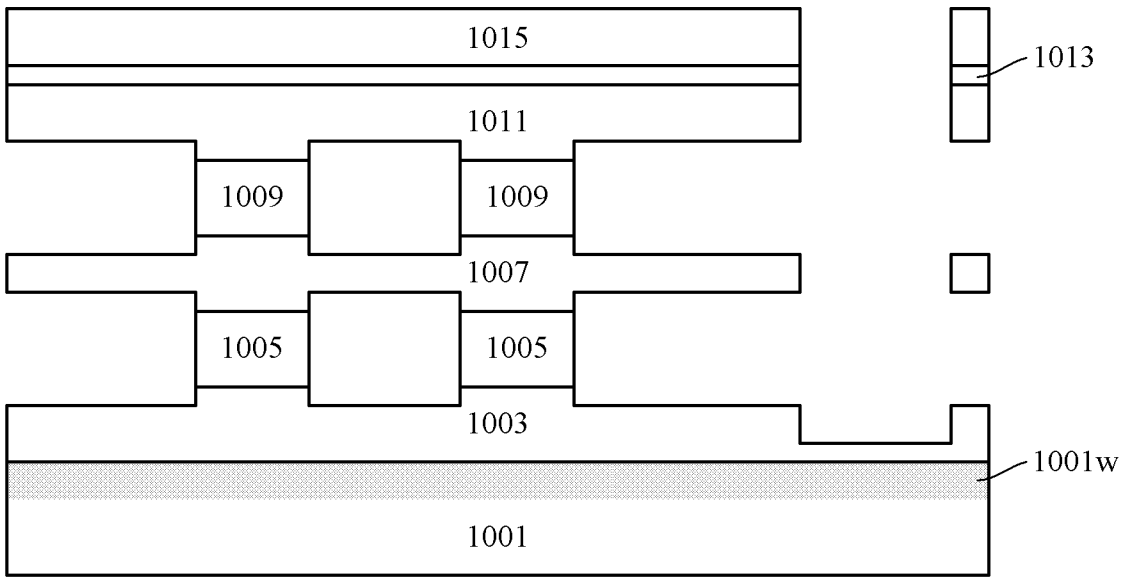

1015
1013
1011
1009
1009
1007
1005
1005
1003
1001w
1001

图7(b)

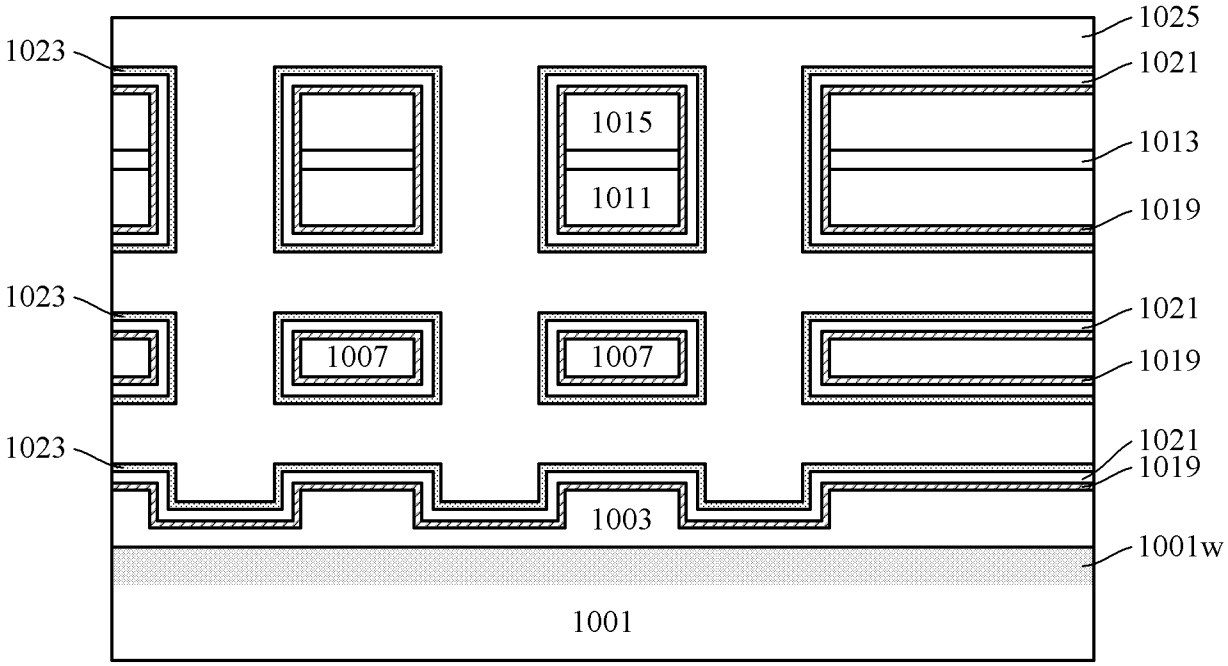

1025
1023
1021
1015
1013
1011
1019
1023
1021
1007
1007
1019
1023
1021
1019
1003
1001w
1001

图8(a)

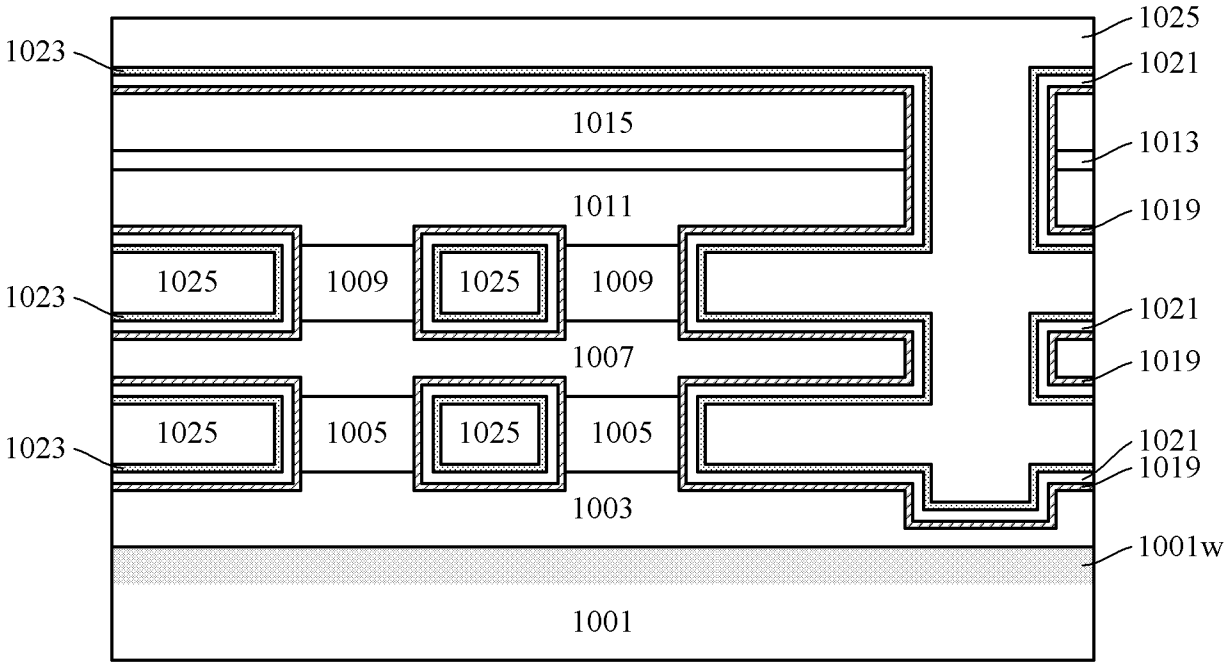

1025
1023
1021
1015
1013
1011
1019
1025
1009
1025
1009
1023
1021
1007
1019
1025
1005
1025
1005
1023
1021
1019
1003
1001w
1001

图8(b)

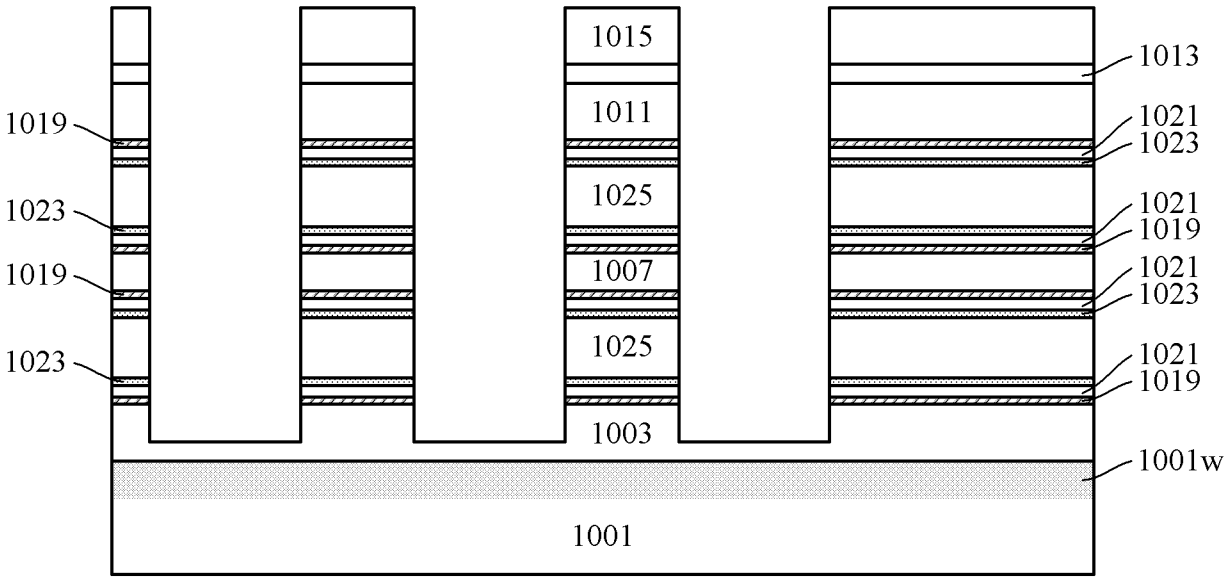

1015
1013
1011
1019
1021
1023
1025
1023
1021
1019
1019
1007
1021
1023
1025
1023
1021
1019
1003
1001w
1001

图9(a)

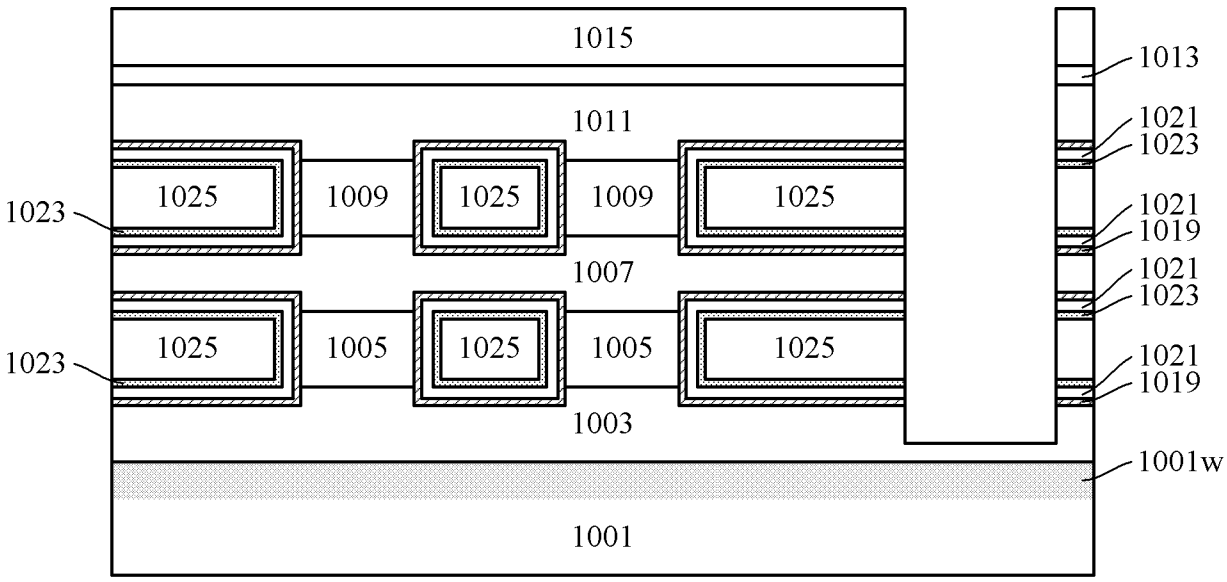

1015
1013
1011
1021
1023
1025
1009
1025
1009
1025
1023
1021
1019
1007
1021
1023
1025
1005
1025
1005
1025
1023
1021
1019
1003
1001w
1001

图9(b)

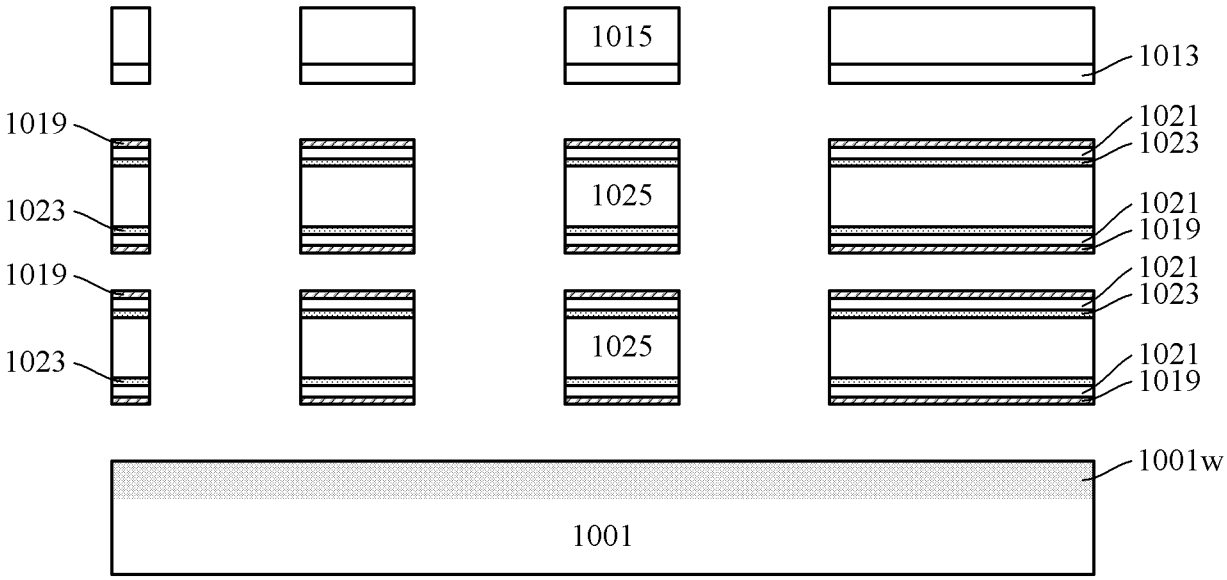

1015
1013
1019
1021
1023
1025
1023
1021
1019
1019
1021
1023
1025
1023
1021
1019
1001w
1001

图10(a)

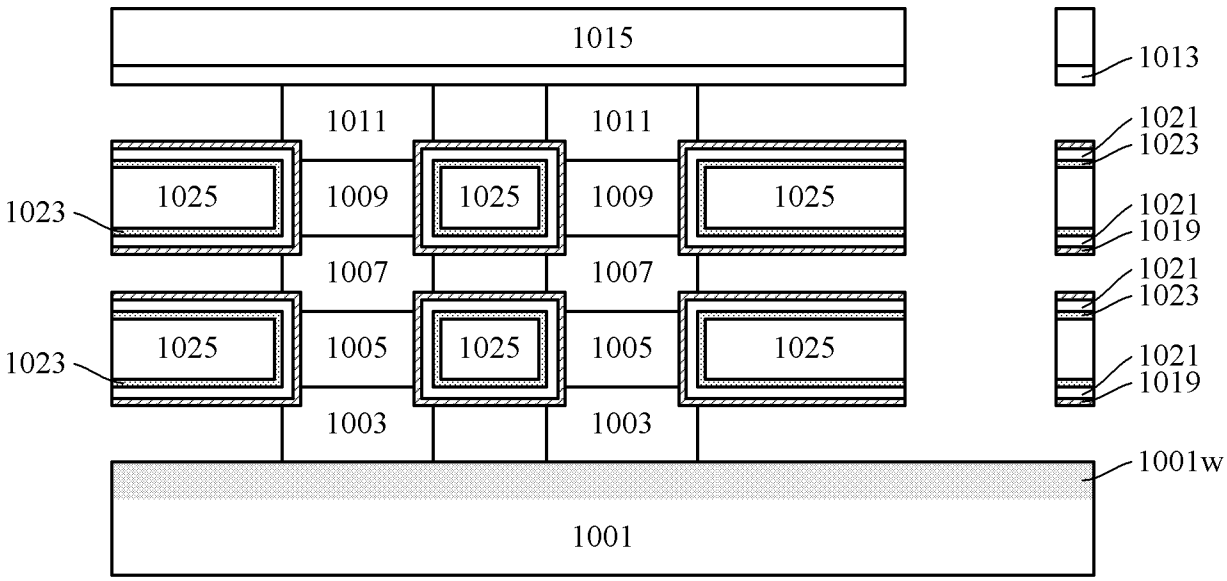

1015
1013
1011
1011
1021
1023
1025
1009
1025
1009
1025
1023
1021
1019
1007
1007
1021
1023
1025
1005
1025
1005
1025
1023
1021
1019
1003
1003
1001w
1001

图10(b)

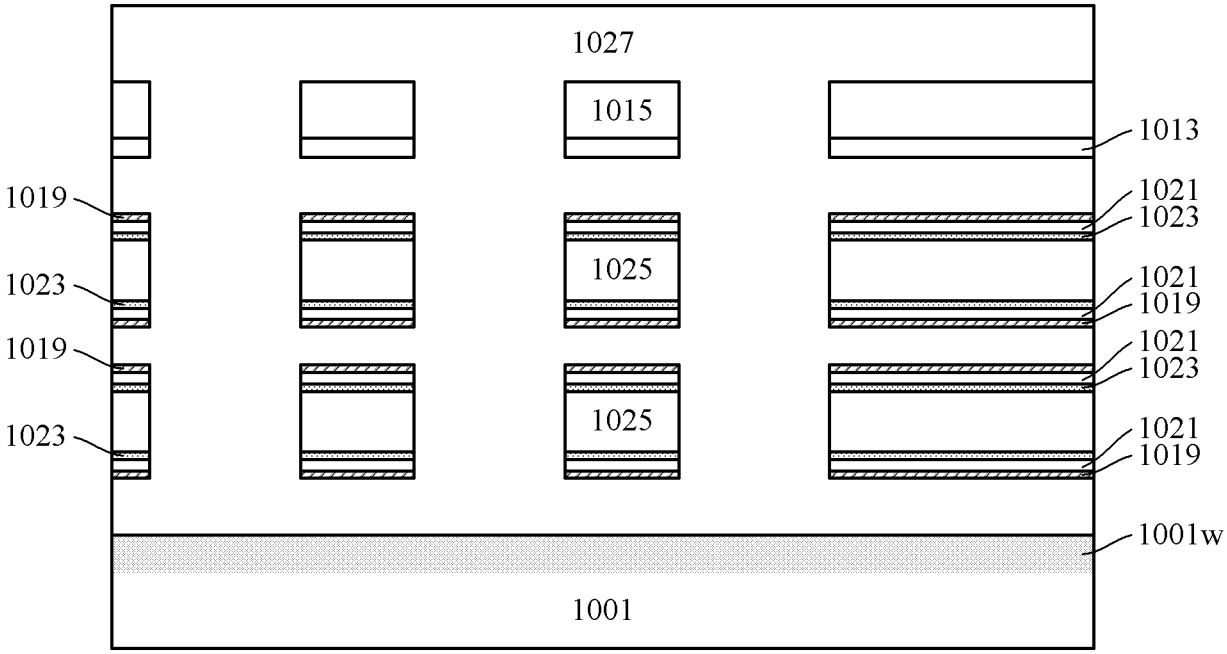

1027
1015
1013
1019
1021
1023
1025
1021
1019
1019
1021
1023
1023
1025
1021
1019
1001w
1001

图11(a)

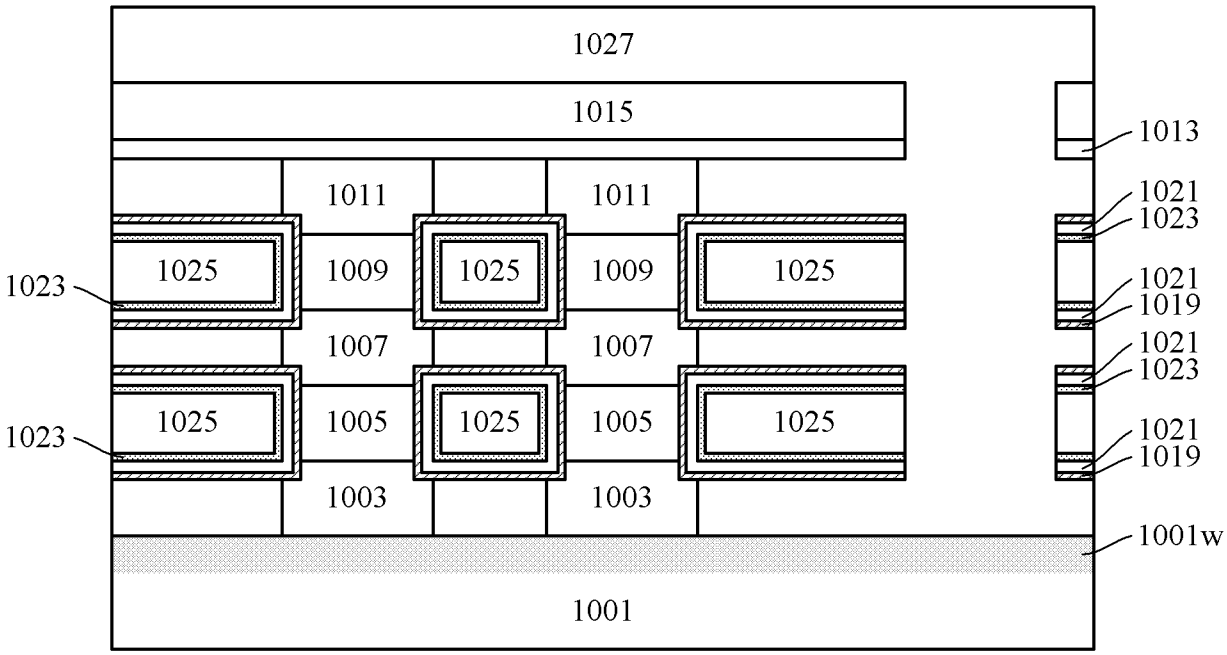

1027
1015
1013
1011
1011
1021
1023
1025
1009
1025
1009
1025
1023
1021
1019
1007
1007
1021
1023
1025
1005
1025
1005
1025
1023
1021
1019
1003
1003
1001w
1001

图11(b)

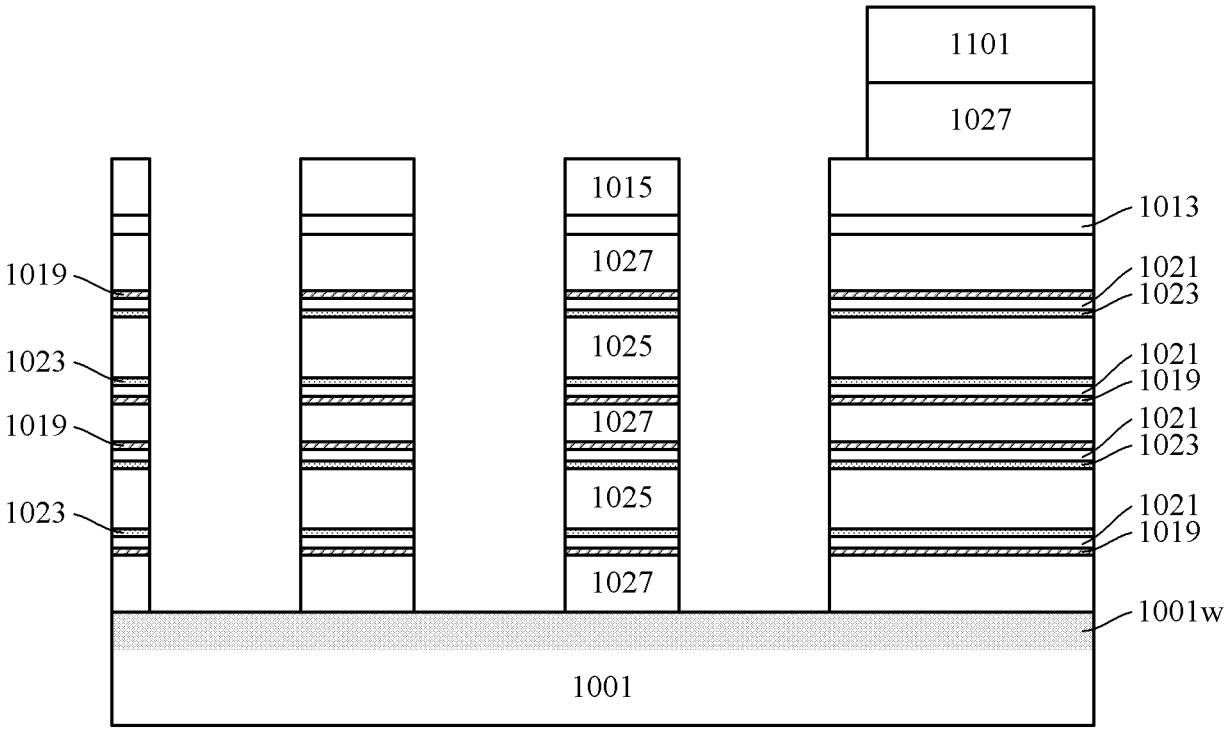

1101
1027
1015
1013
1027
1019
1021
1023
1025
1021
1023
1019
1027
1021
1019
1023
1025
1021
1019
1027
1001w
1001

图12(a)

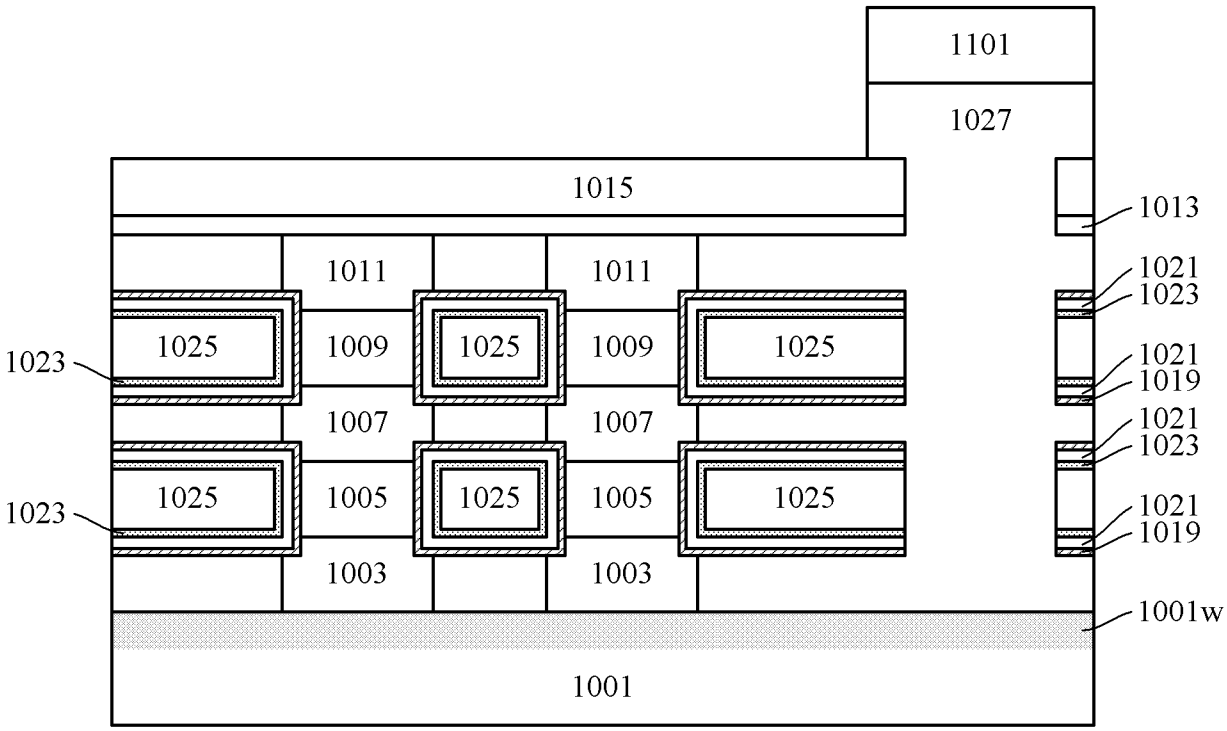

1101
1027
1015
1013
1011
1011
1021
1023
1025
1009
1025
1009
1025
1023
1021
1019
1007
1007
1021
1023
1025
1005
1025
1005
1025
1023
1021
1019
1003
1003
1001w
1001

图12(b)

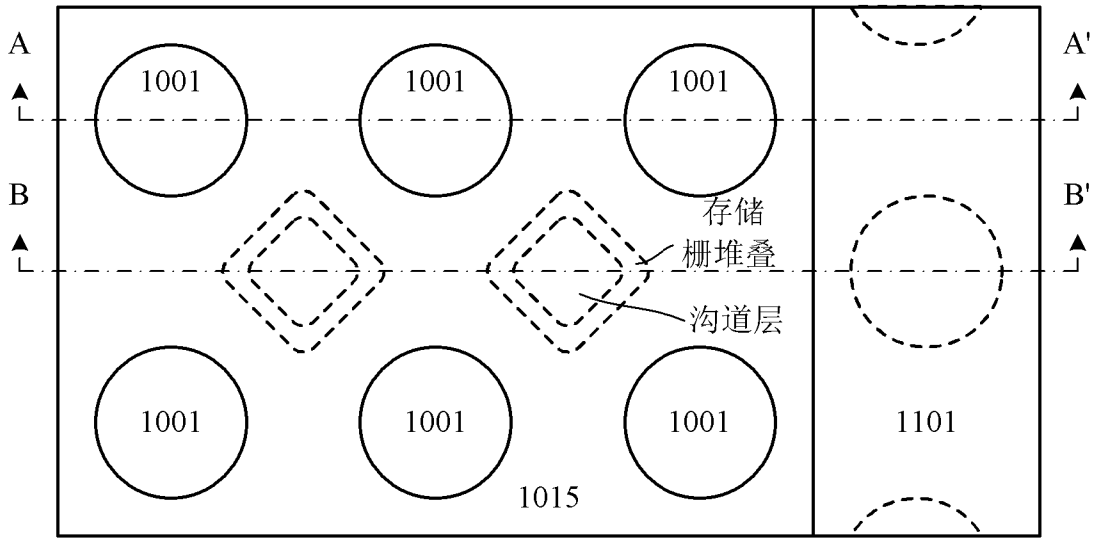


图12(c)

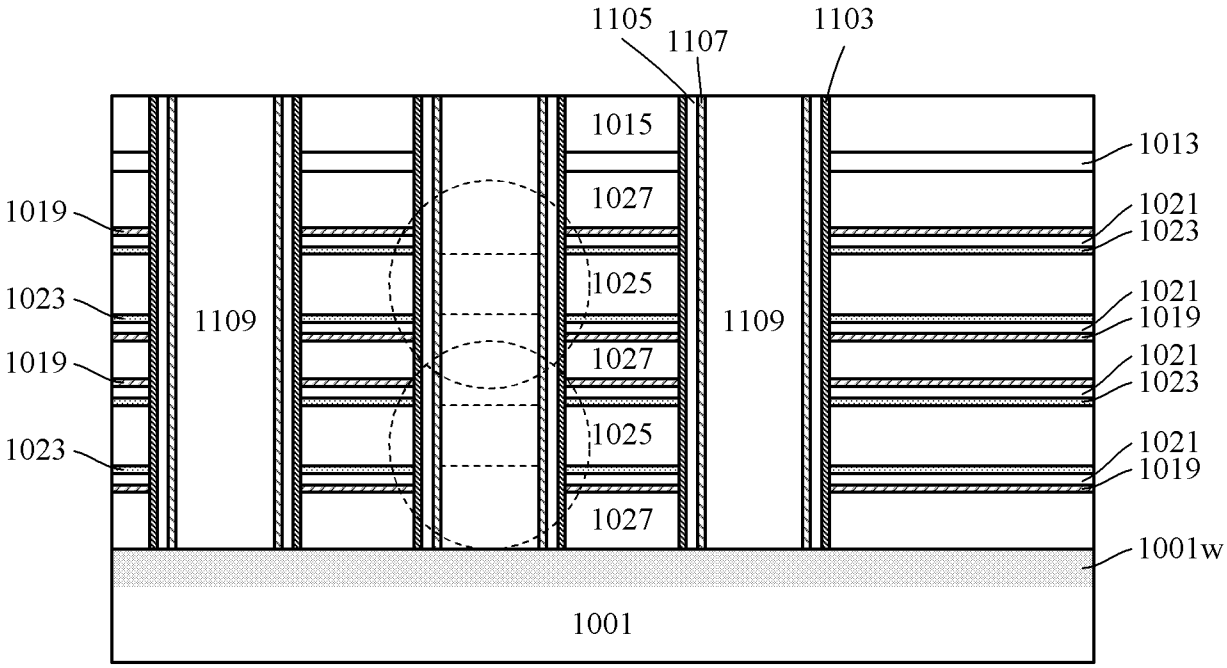

1105
1107
1103
1015
1013
1027
1019
1021
1023
1025
1023
1109
1109
1021
1019
1019
1027
1021
1023
1025
1023
1021
1019
1027
1001w
1001

图13(a)

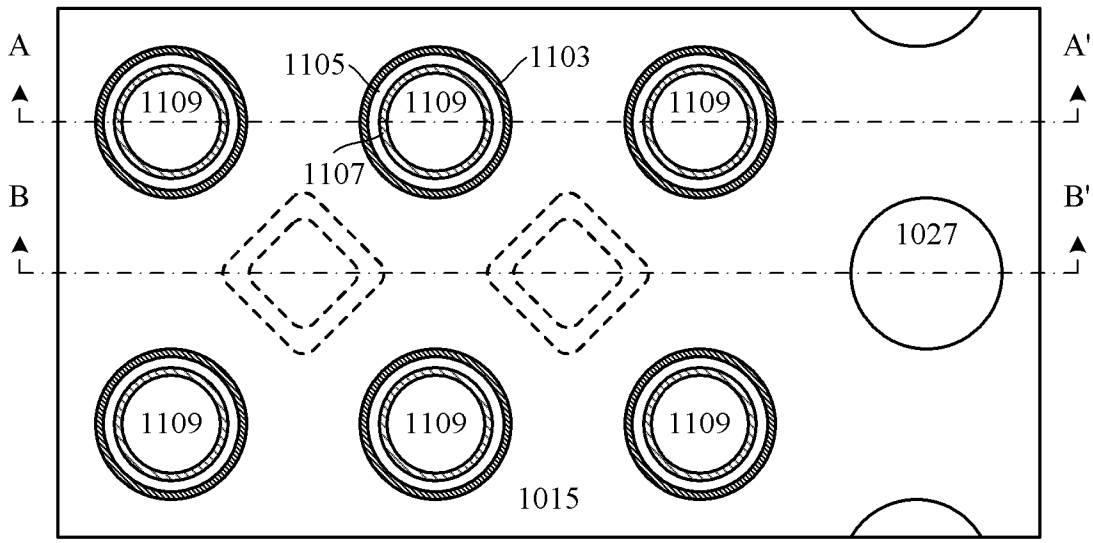

A
A'
1105
1103
1109
1109
1109
1107
B
B'
1027
1109
1109
1109
1015

图13(b)

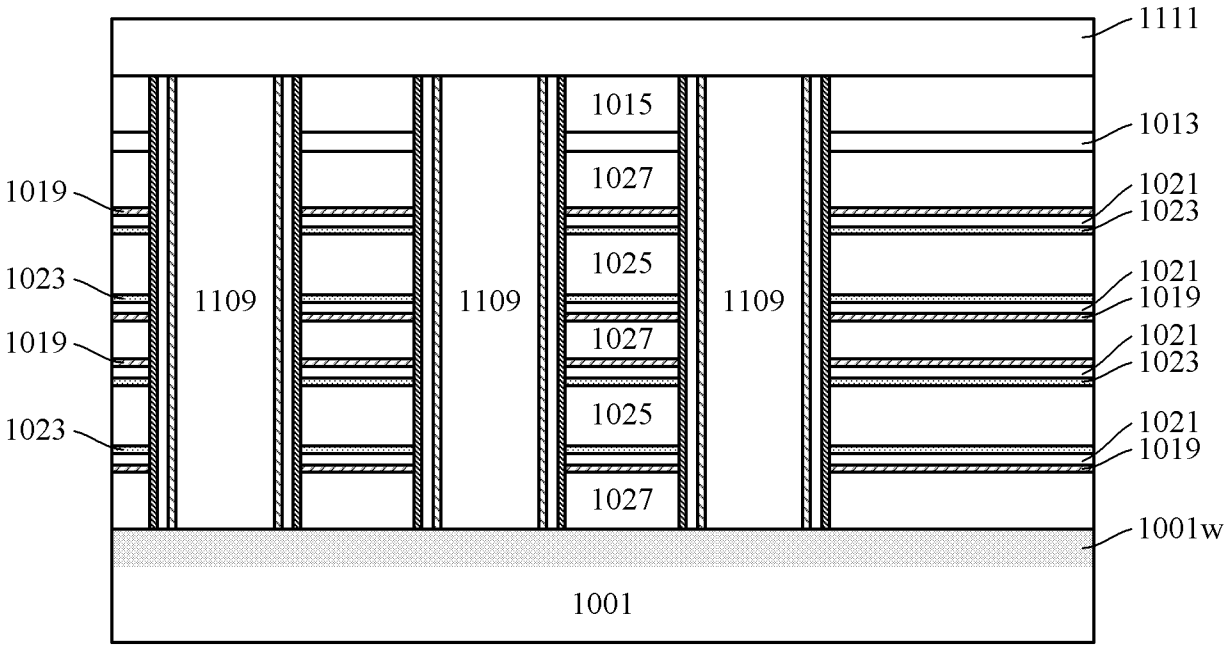

1111
1015
1013
1027
1019
1021
1023
1025
1023
1109
1109
1109
1021
1019
1019
1027
1021
1023
1025
1023
1021
1019
1027
1001w
1001

图14(a)

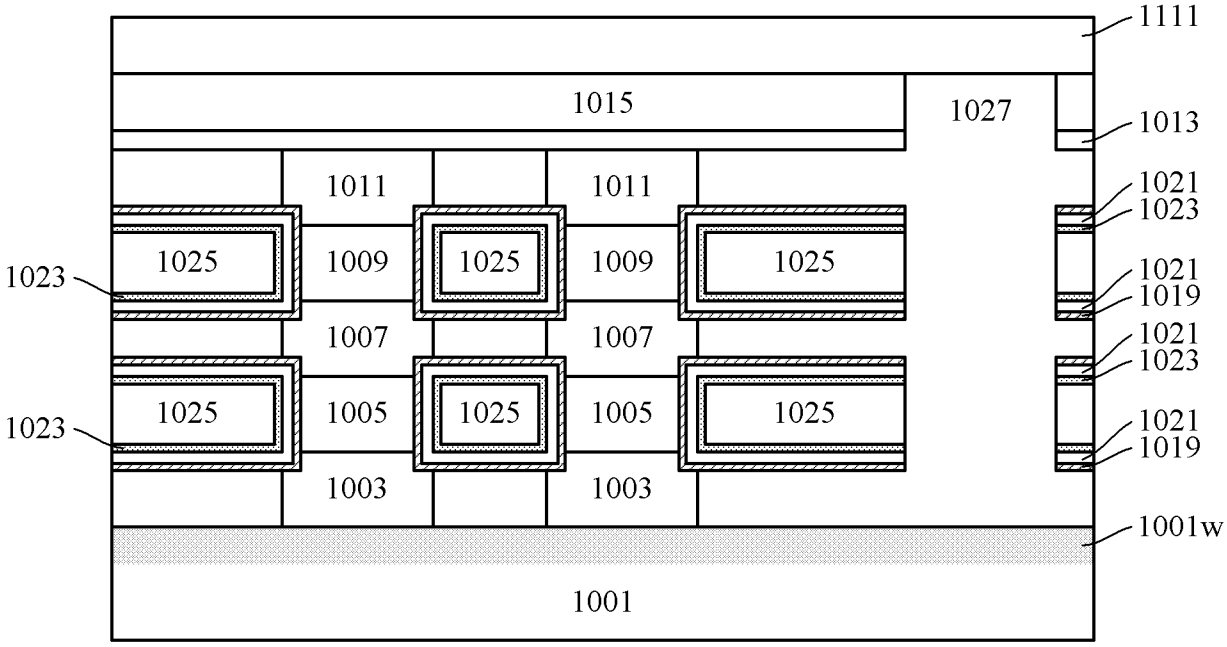

1111
1015
1027
1013
1011
1011
1021
1023
1025
1009
1025
1009
1025
1023
1021
1019
1007
1007
1021
1023
1025
1005
1025
1005
1025
1023
1021
1019
1003
1003
1001w
1001

图14(b)

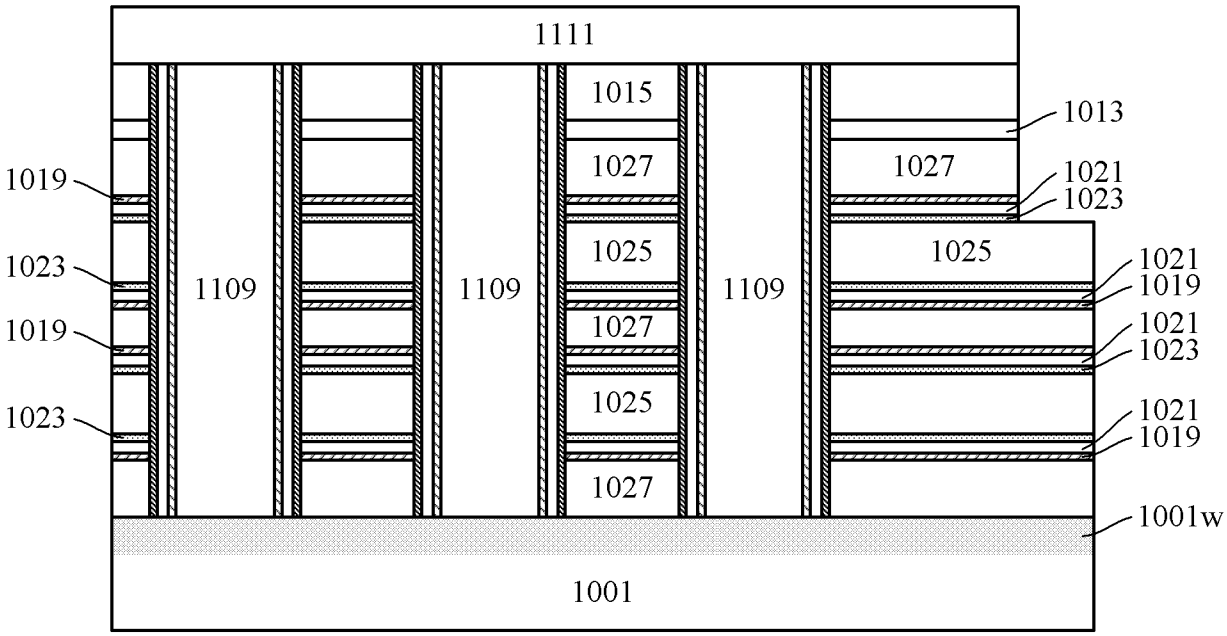

1111
1015
1013
1027
1027
1021
1023
1019
1025
1025
1021
1019
1023
1109
1109
1109
1027
1021
1023
1019
1025
1021
1019
1023
1027
1001w
1001

图15(a)

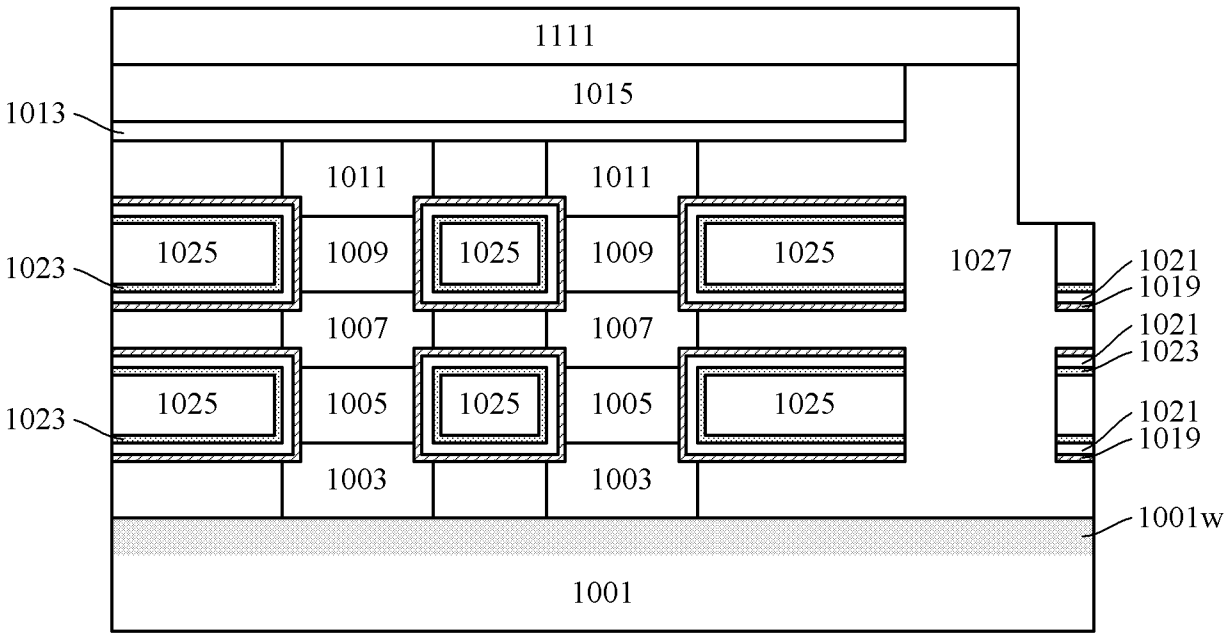

1111
1015
1013
1011
1011
1025
1009
1025
1009
1025
1027
1021
1019
1023
1007
1007
1021
1023
1025
1005
1025
1005
1025
1021
1019
1003
1003
1001w
1001

图15(b)

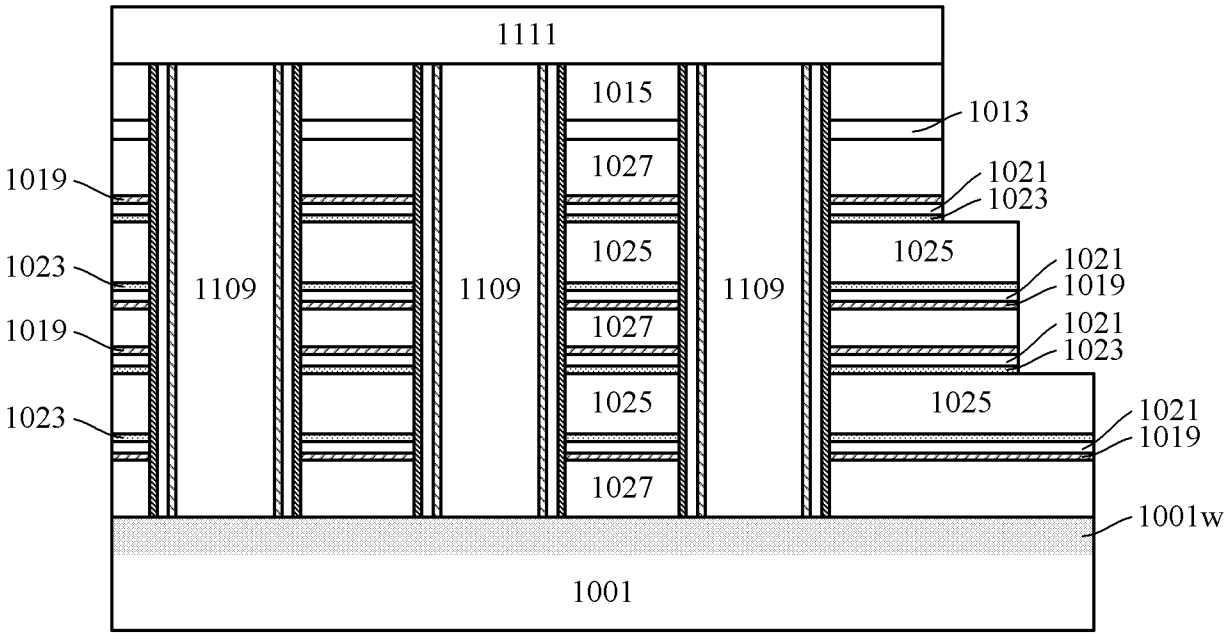

1111
1015
1013
1027
1021
1023
1019
1025
1109
1001w
1001

图16(a)

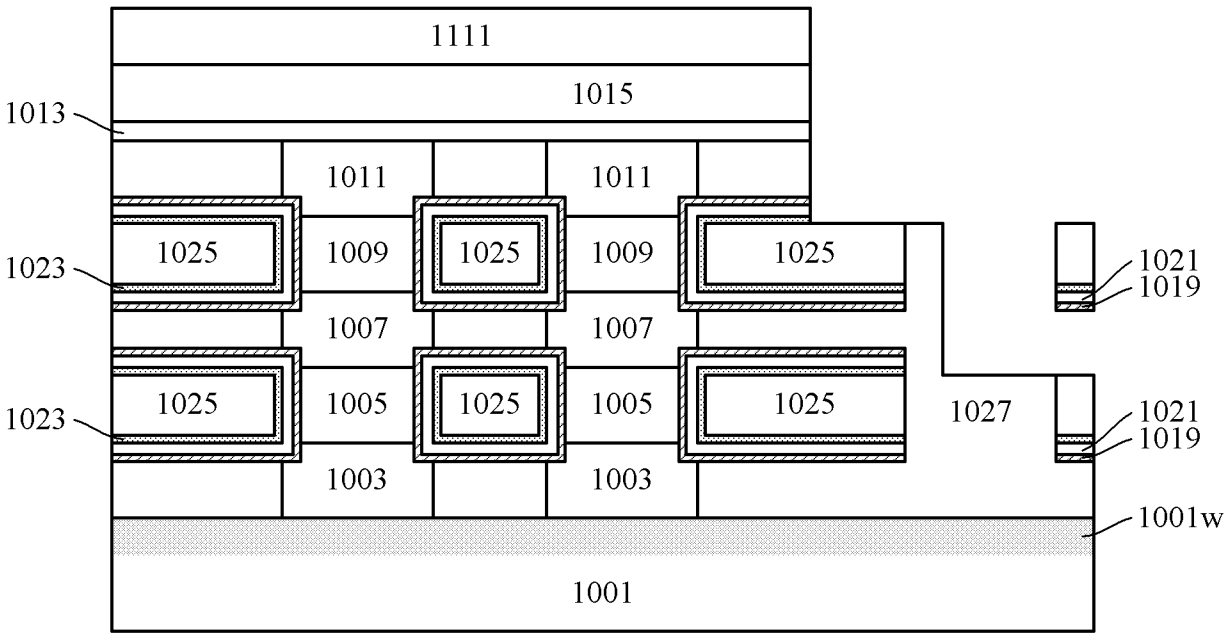

1111
1015
1013
1011
1009
1007
1005
1003
1025
1023
1027
1021
1019
1001w
1001

图16(b)

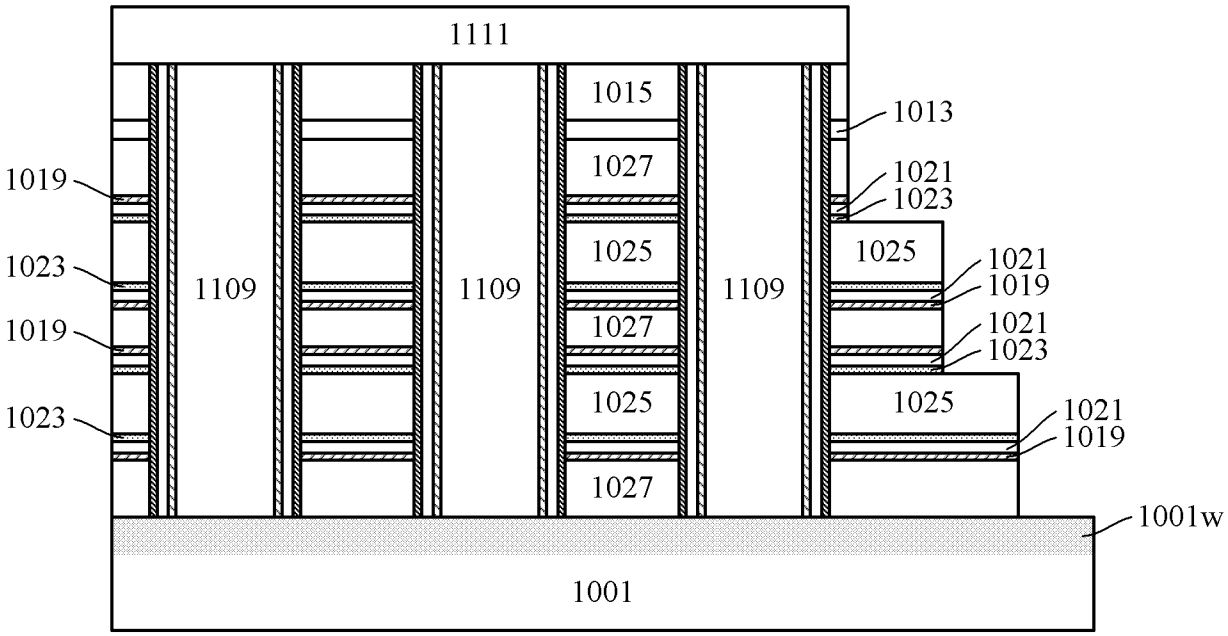

1111
1015
1013
1027
1021
1023
1019
1025
1109
1001w
1001

图17(a)

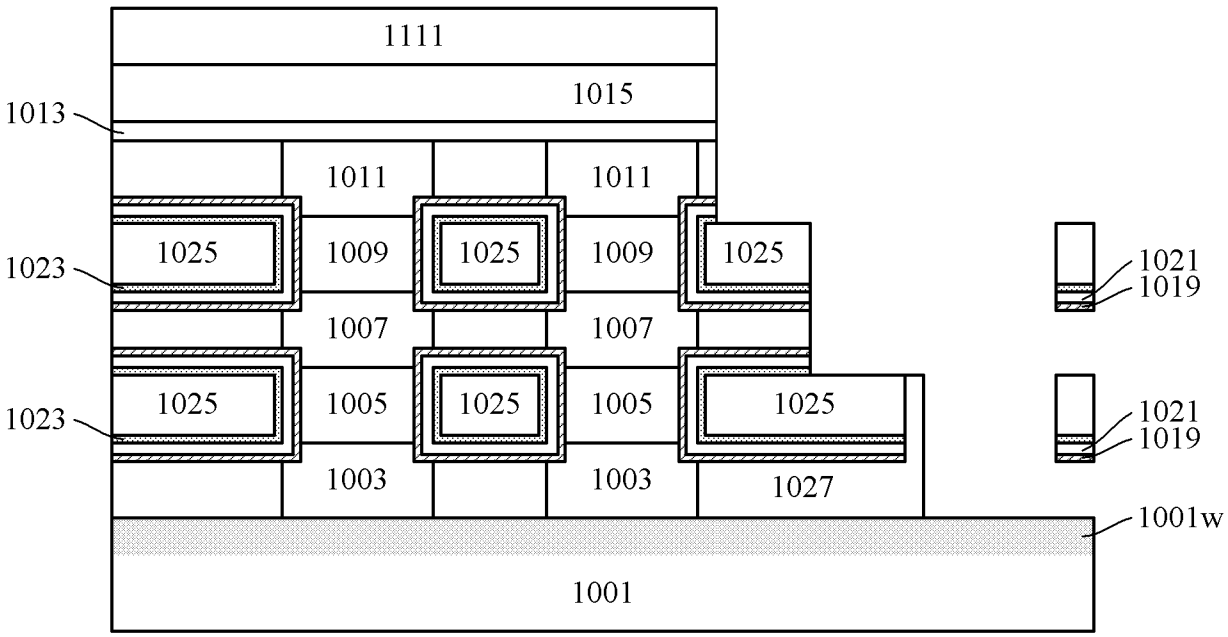

1111
1015
1013
1011
1025
1009
1007
1005
1003
1027
1021
1019
1023
1001w
1001

图17(b)

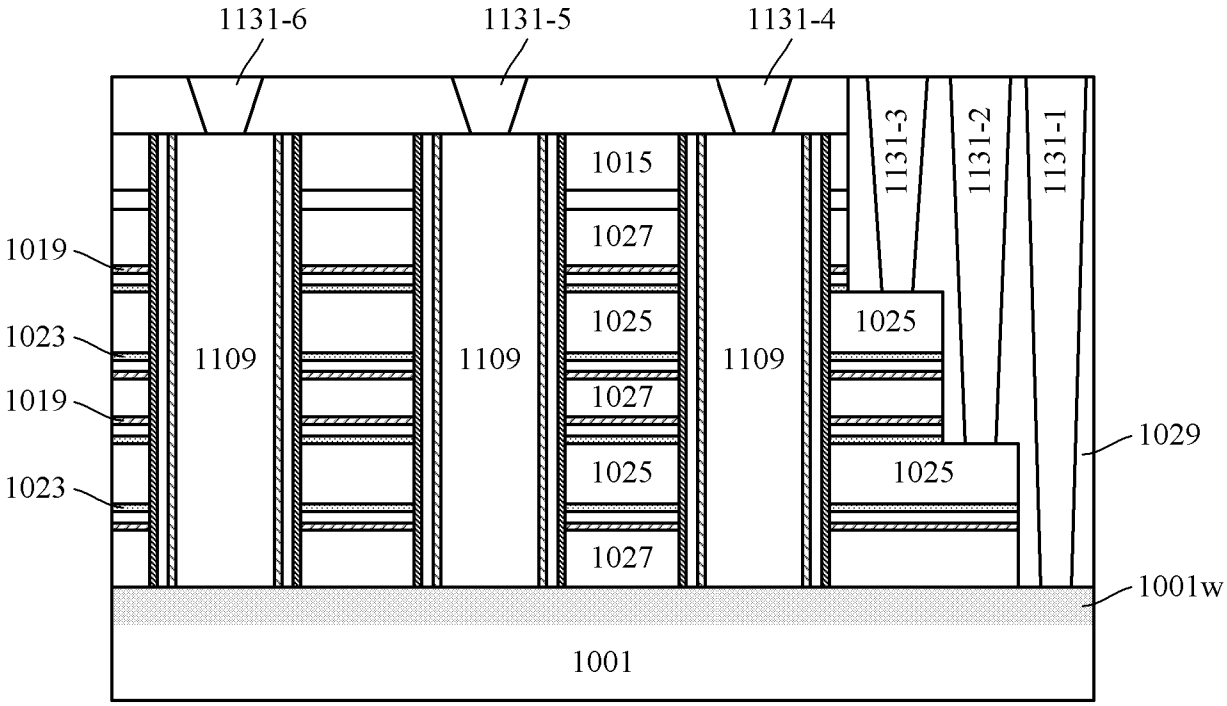

1131-6
1131-5
1131-4
1131-3
1131-2
1131-1
1015
1027
1025
1019
1023
1109
1029
1001w
1001

图18(a)

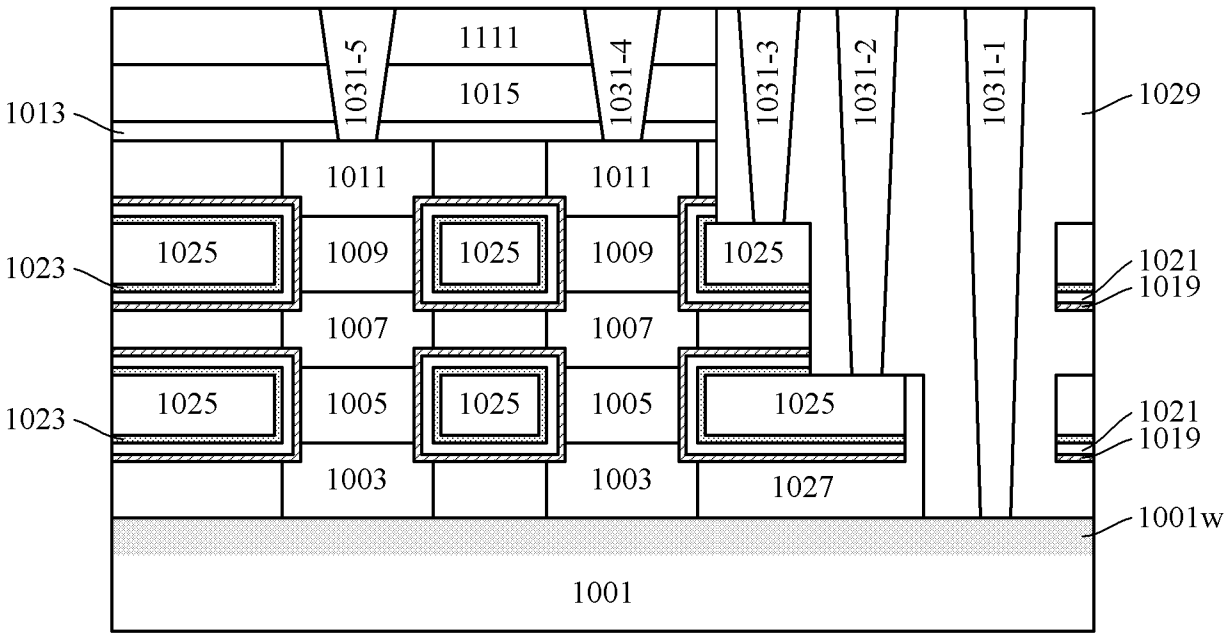

1031-5
1111
1031-4
1031-3
1031-2
1031-1
1015
1013
1029
1011
1025
1009
1007
1005
1003
1023
1021
1019
1027
1001w
1001

图18(b)

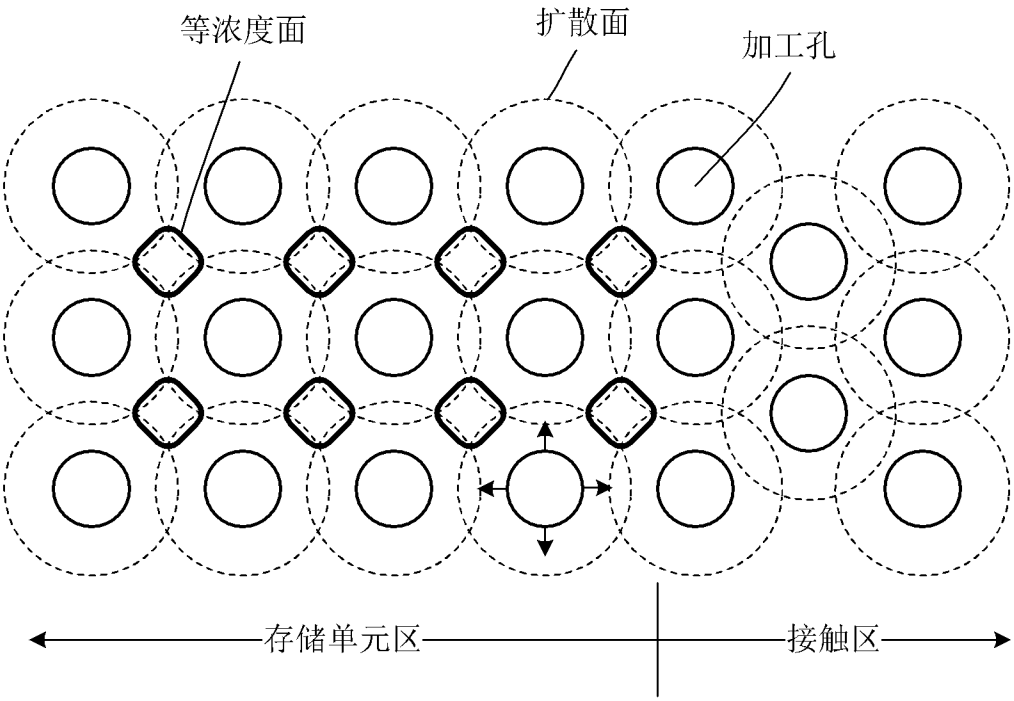


图19(a)

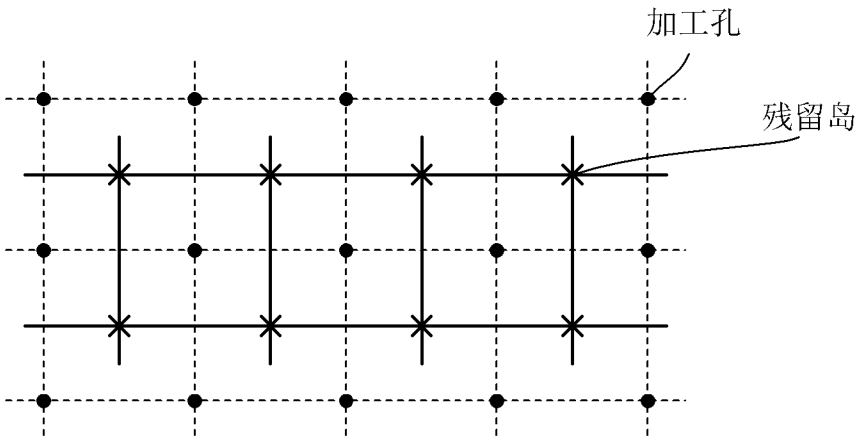


图19(b)

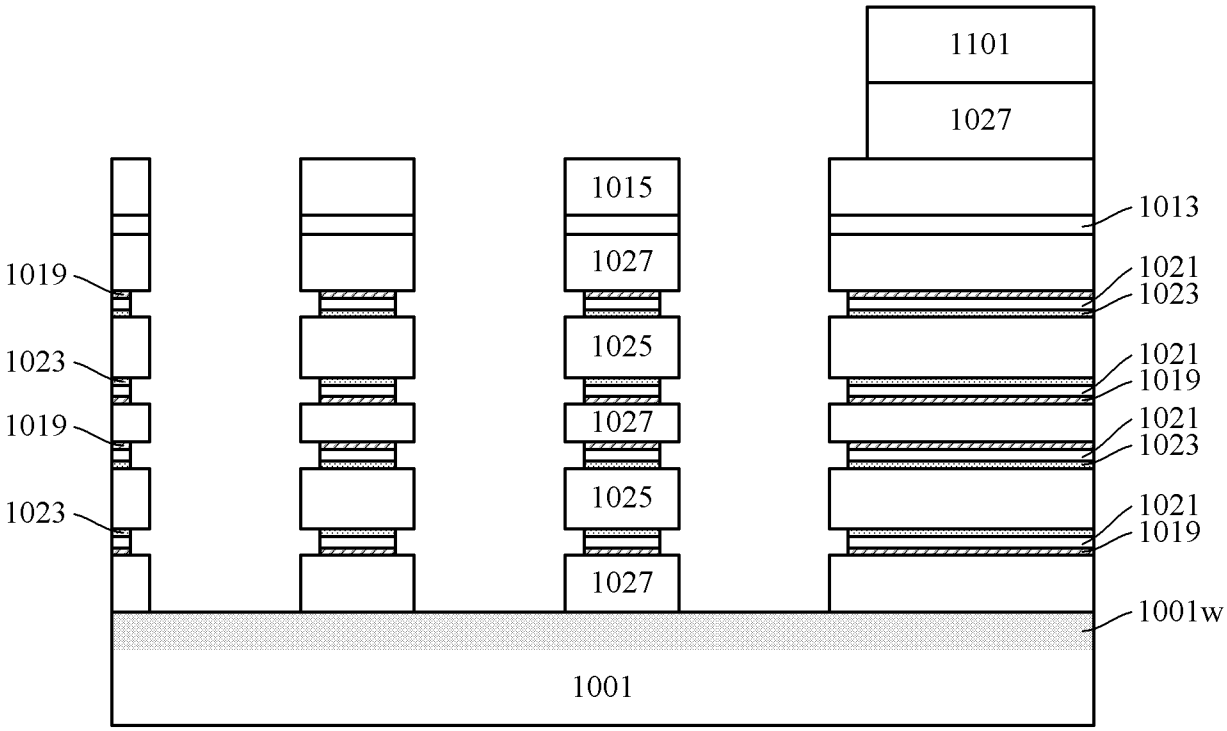

1101
1027
1015
1027
1025
1027
1025
1027
1019
1023
1019
1023
1013
1021
1023
1021
1019
1021
1023
1021
1019
1001w
1001

图20(a)

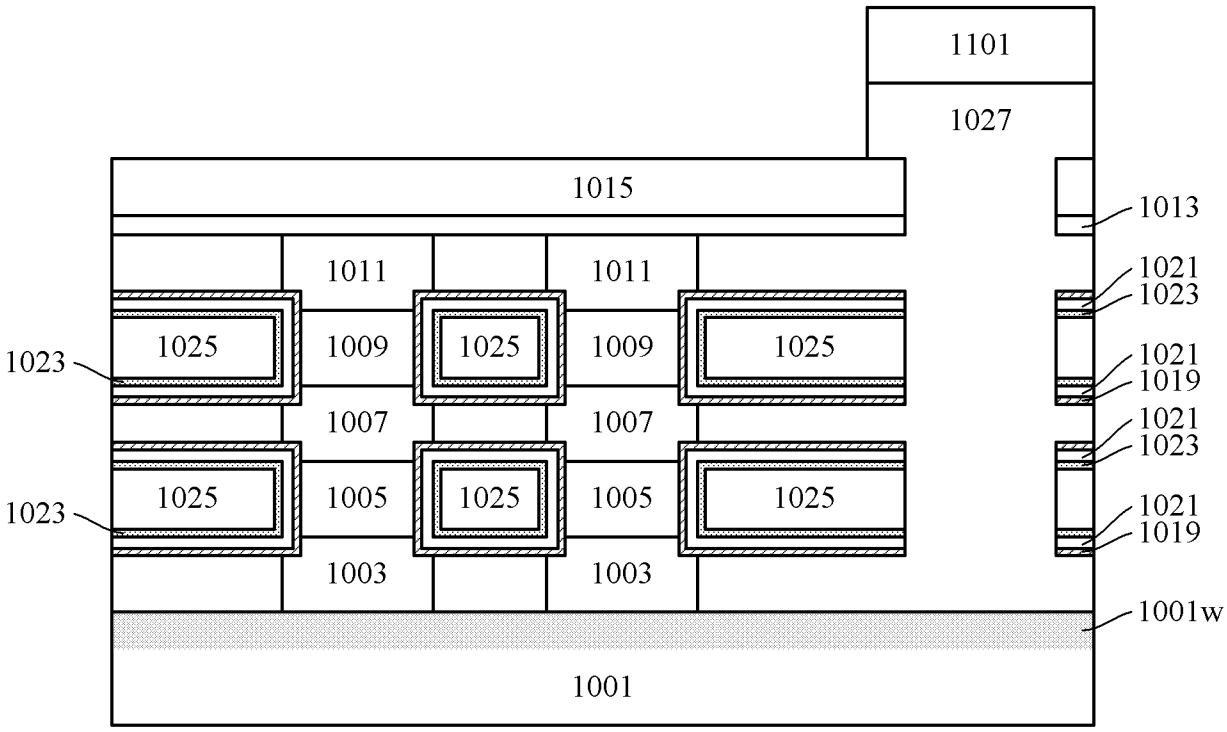

1101
1027
1015
1011
1011
1025
1009
1025
1009
1025
1007
1007
1025
1005
1025
1005
1025
1003
1003
1023
1023
1013
1021
1023
1021
1019
1021
1023
1021
1019
1001w
1001

图20(b)

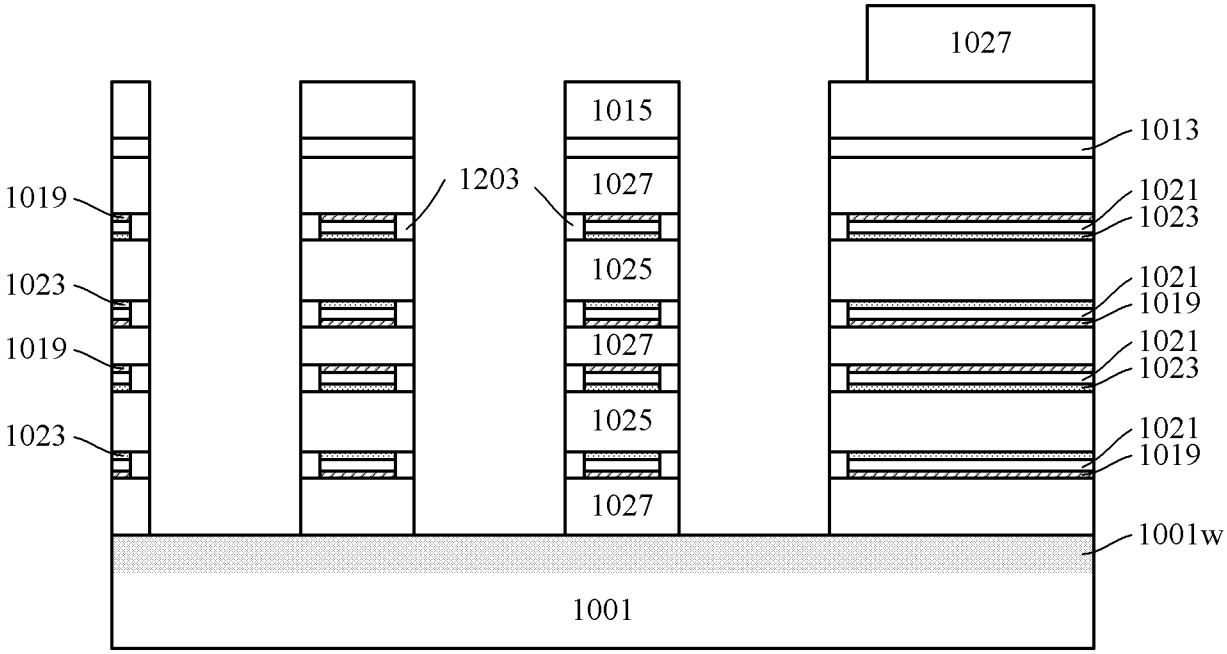

1027
1015
1013
1203
1027
1019
1021
1023
1025
1021
1023
1019
1027
1021
1019
1023
1025
1021
1023
1019
1027
1001w
1001

图21

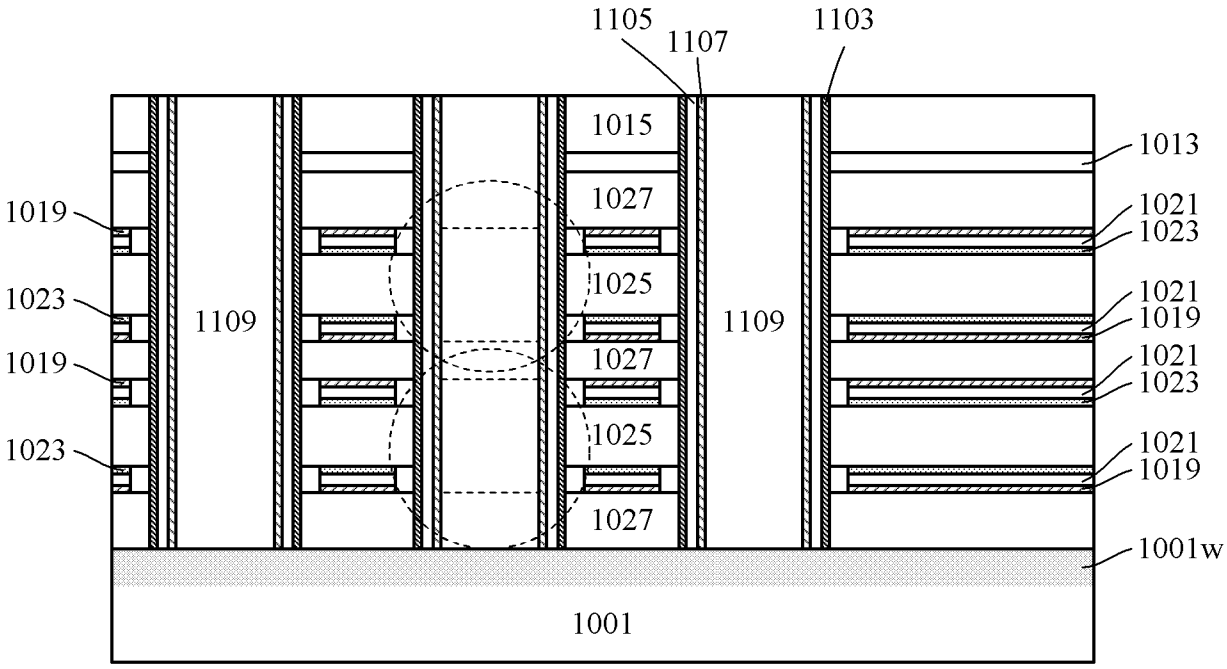

1105
1107
1103
1015
1013
1027
1019
1021
1023
1025
1109
1109
1021
1023
1019
1027
1021
1019
1023
1025
1021
1023
1019
1027
1001w
1001

图22

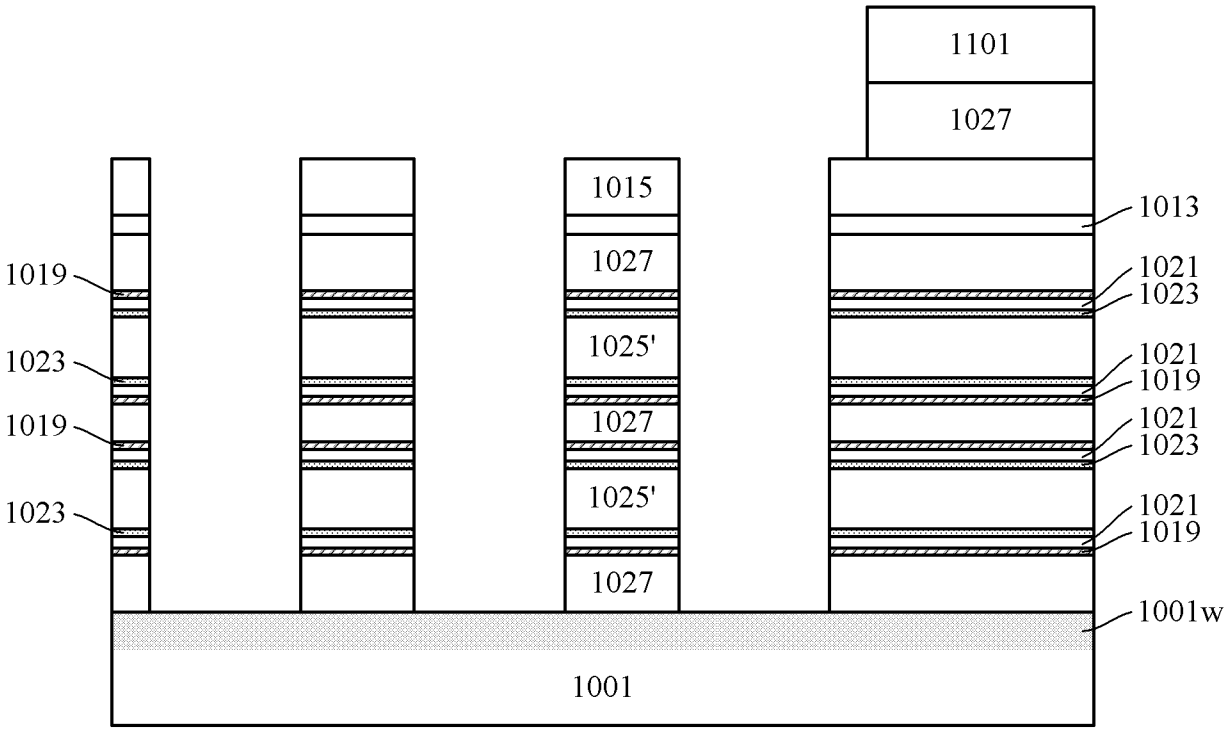

1101
1027
1015
1027
1025'
1027
1025'
1027
1013
1021
1023
1021
1019
1021
1023
1021
1019
1019
1023
1023
1001w
1001

图23(a)

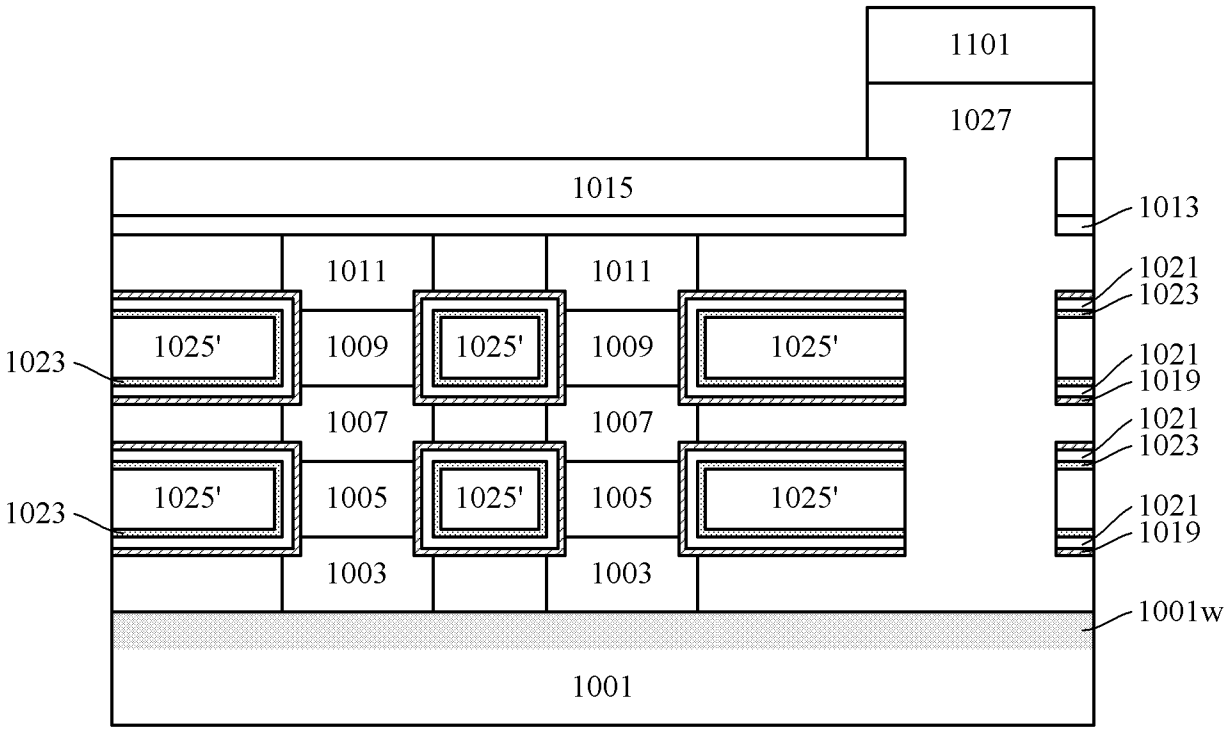

1101
1027
1015
1013
1011
1011
1021
1023
1025'
1009
1025'
1009
1025'
1021
1019
1023
1007
1007
1021
1023
1025'
1005
1025'
1005
1025'
1021
1019
1023
1003
1003
1001w
1001

图23(b)

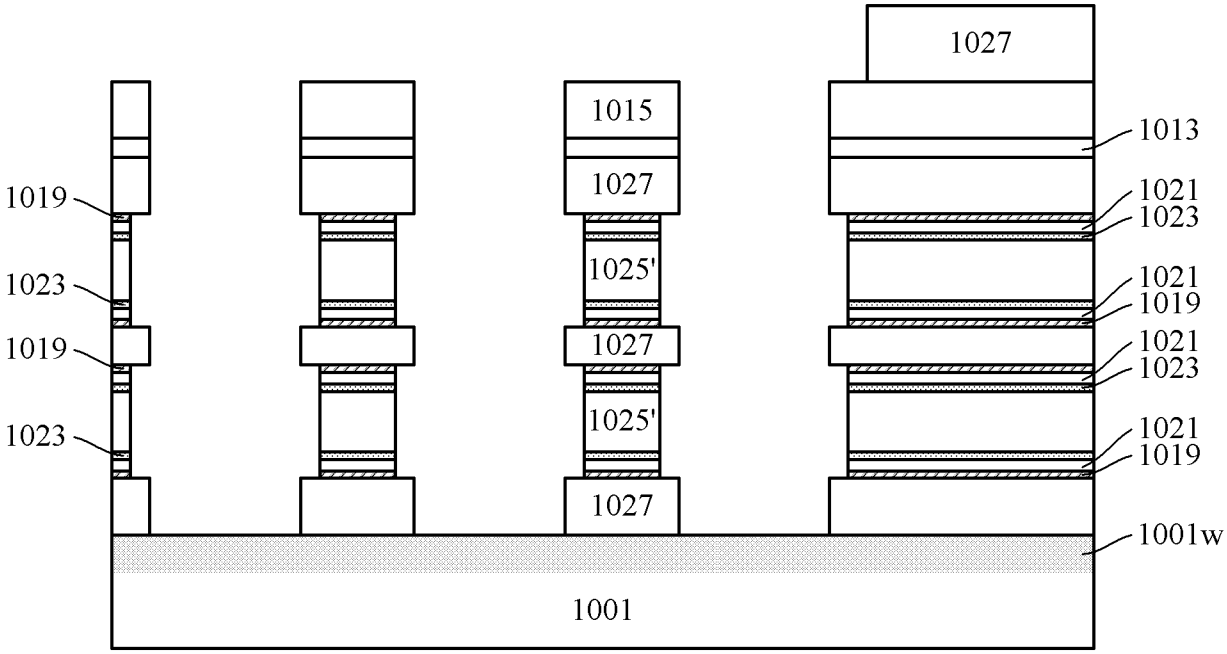

1027
1015
1013
1027
1019
1021
1023
1025'
1021
1023
1019
1027
1021
1019
1023
1025'
1021
1019
1027
1001w
1001

图24(a)

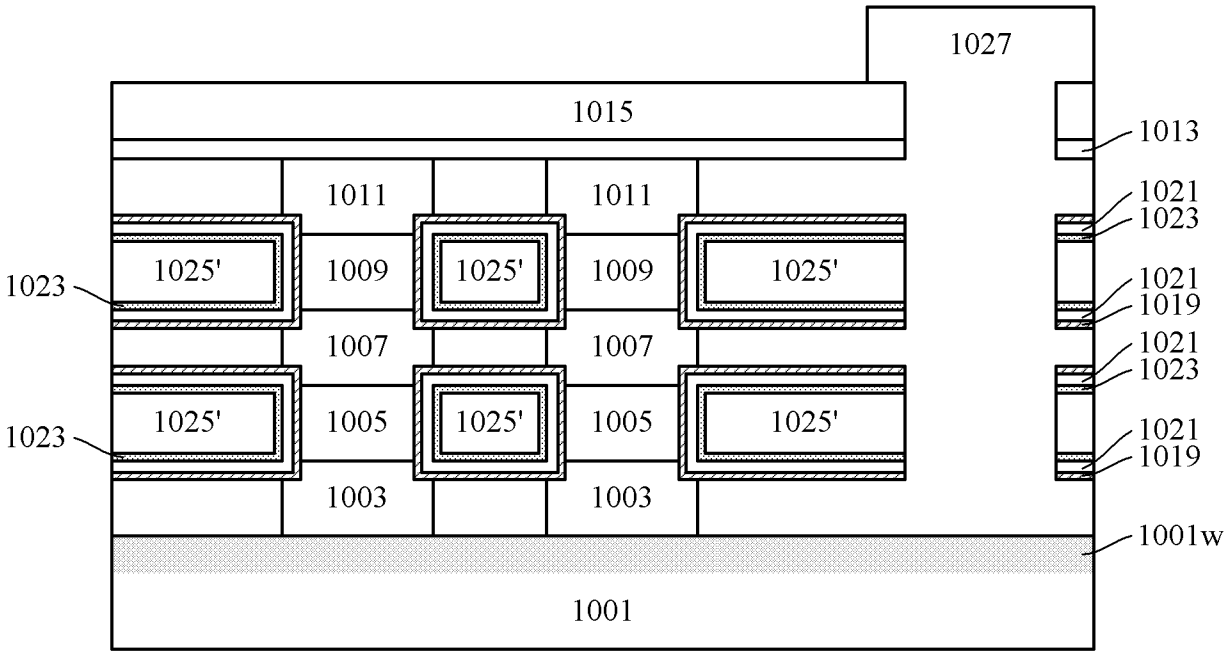

1027
1015
1013
1011
1011
1021
1023
1025'
1009
1025'
1009
1025'
1023
1021
1019
1007
1007
1021
1023
1025'
1005
1025'
1005
1025'
1023
1021
1019
1003
1003
1001w
1001

图24(b)

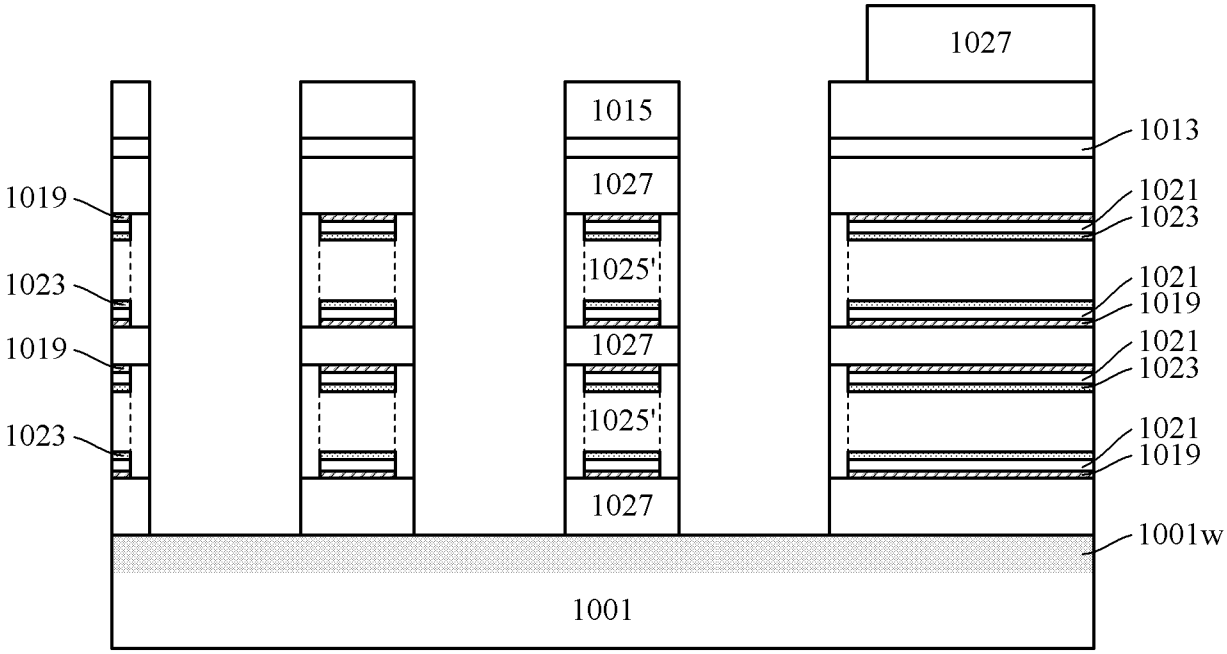

1027
1015
1013
1019
1027
1021
1023
1025'
1023
1021
1019
1019
1027
1021
1023
1025'
1023
1021
1019
1027
1001w
1001

图25(a)

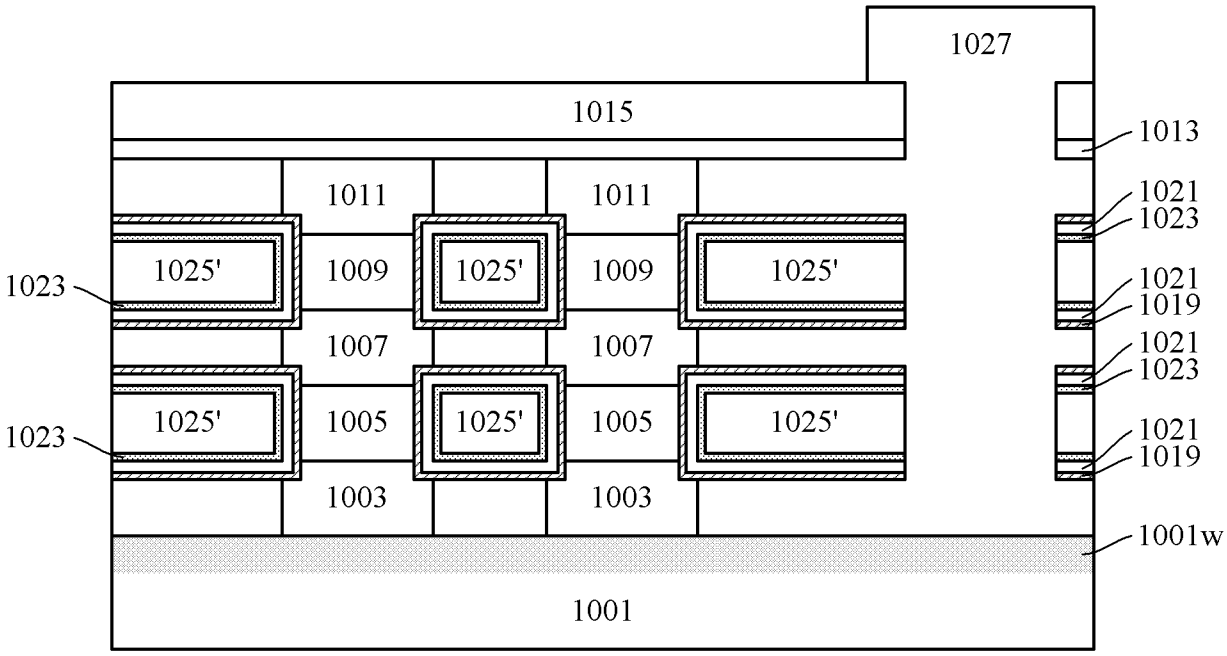

1027
1015
1013
1011
1011
1021
1023
1025'
1009
1025'
1009
1025'
1023
1021
1019
1007
1007
1021
1023
1025'
1005
1025'
1005
1025'
1023
1021
1019
1003
1003
1001w
1001

图25(b)

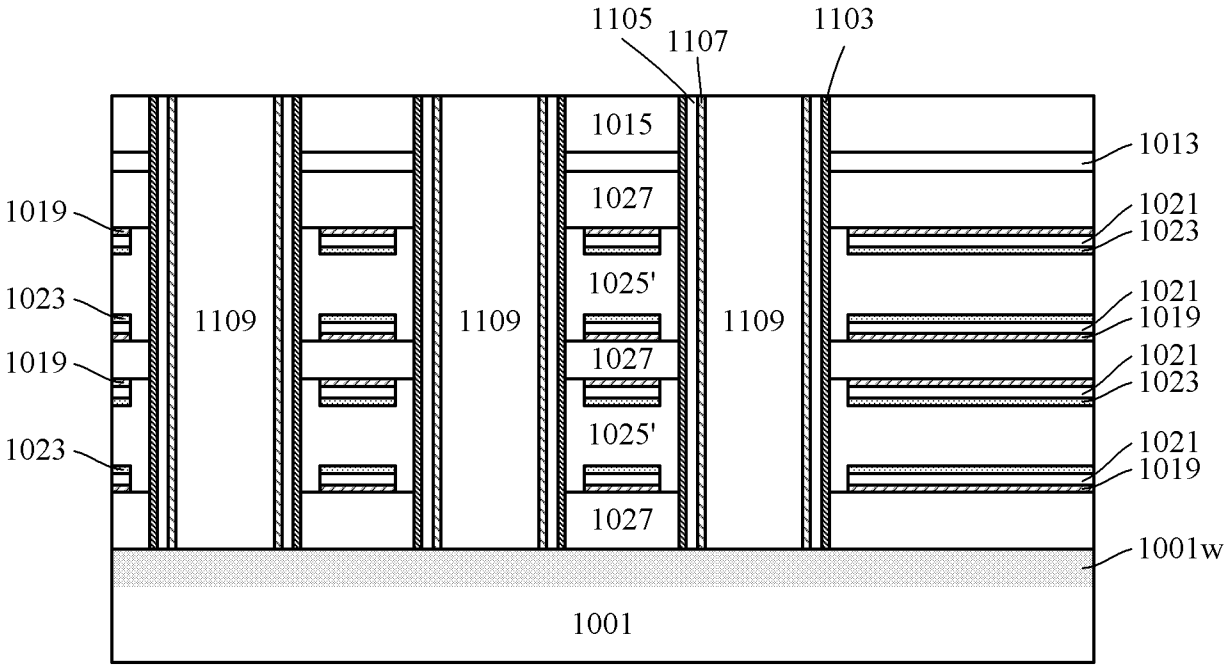

1105
1107
1103
1015
1013
1027
1021
1023
1019
1025'
1109
1001w
1001

图26(a)

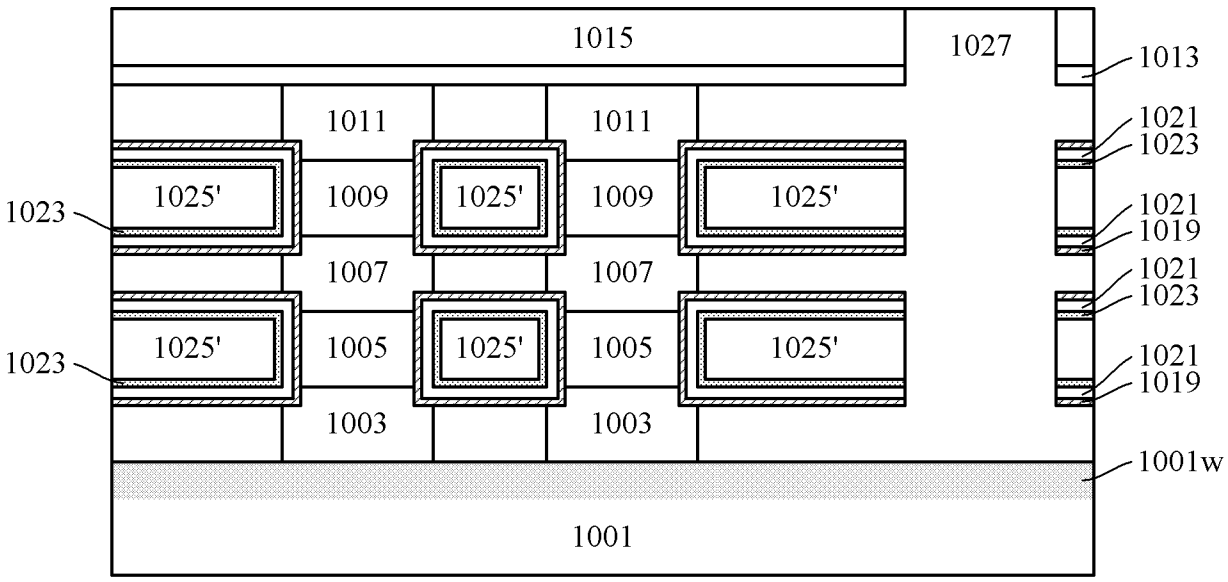

1015
1027
1013
1011
1021
1023
1025'
1009
1007
1005
1003
1019
1001w
1001

图26(b)

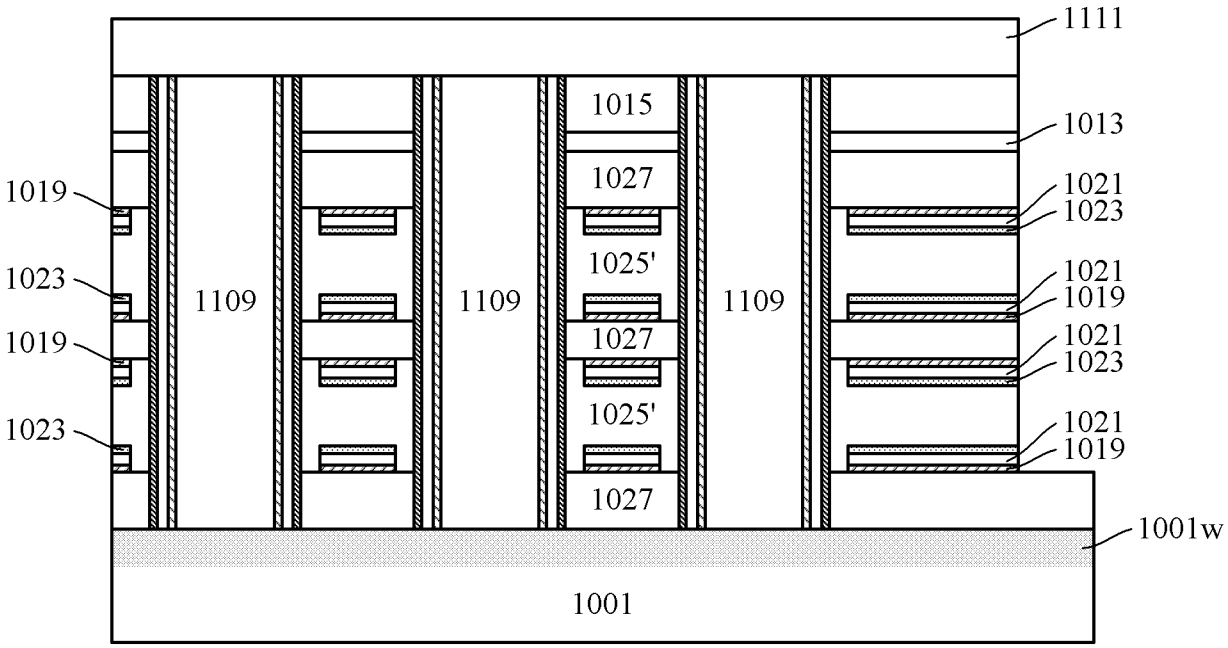

1111
1015
1013
1027
1021
1023
1025'
1021
1019
1027
1021
1023
1025'
1021
1019
1027
1001w
1001
1019
1023
1019
1023
1109
1109
1109

图27(a)

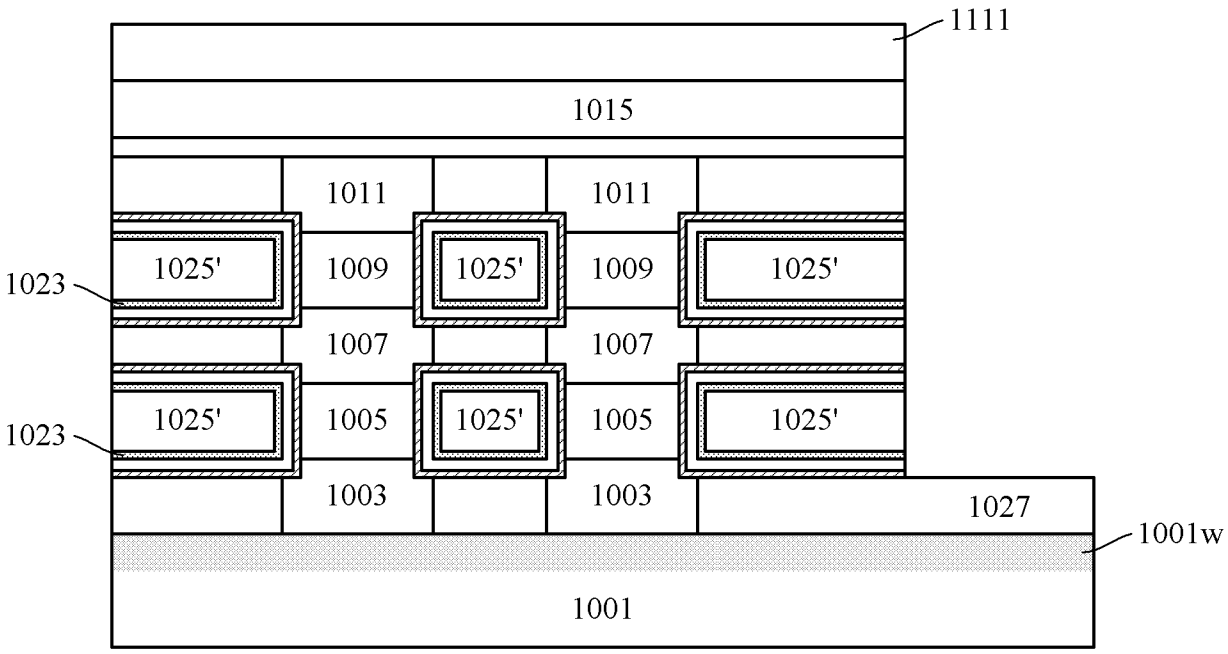

1111
1015
1011
1011
1025'
1009
1025'
1009
1025'
1007
1007
1025'
1005
1025'
1005
1025'
1003
1003
1027
1001w
1001
1023
1023

图27(b)

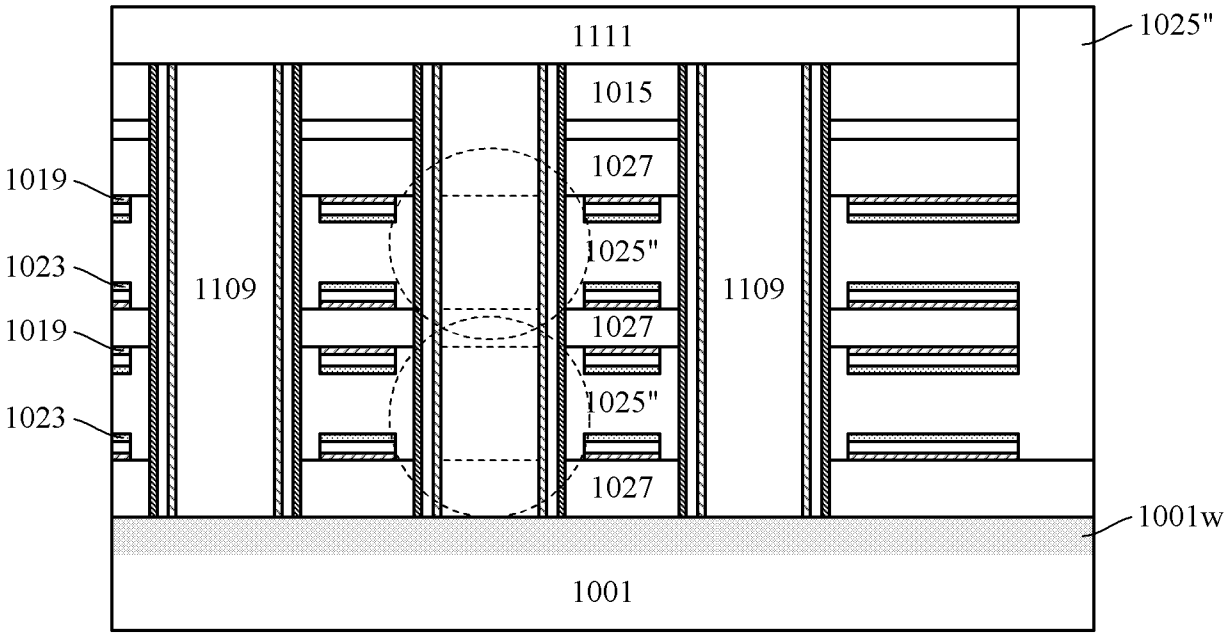

1111
1025"
1015
1027
1019
1025"
1023
1109
1109
1019
1027
1025"
1023
1027
1001w
1001

图28(a)

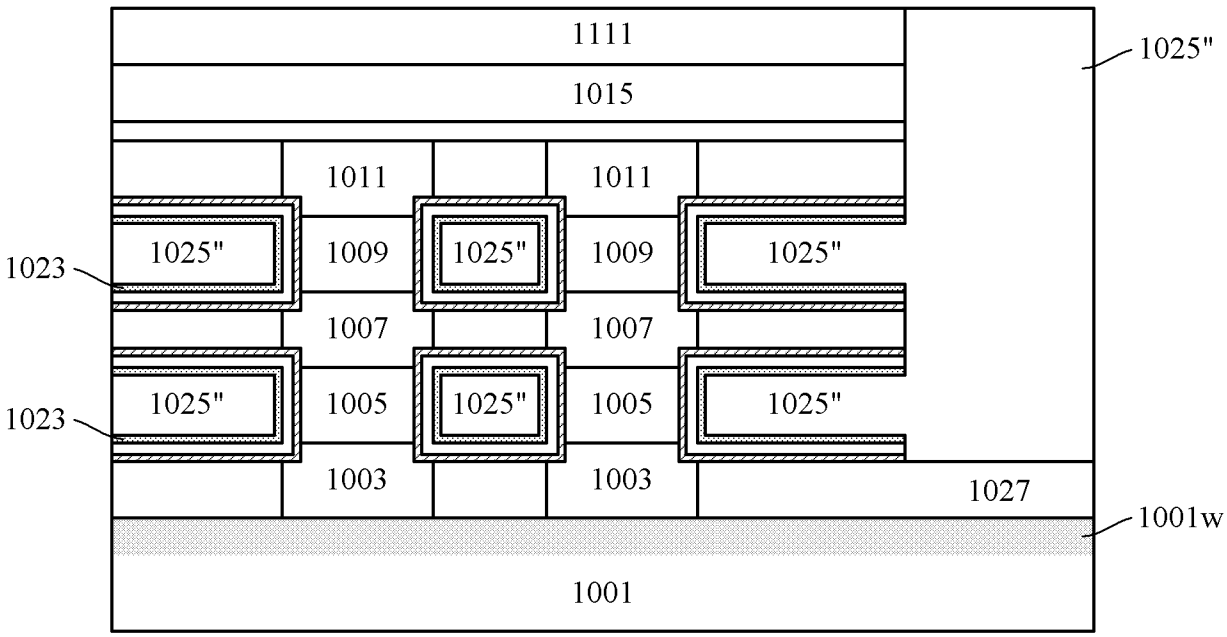

1111
1025"
1015
1011
1011
1025"
1009
1025"
1009
1025"
1023
1007
1007
1025"
1005
1025"
1005
1025"
1023
1003
1003
1027
1001w
1001

图28(b)

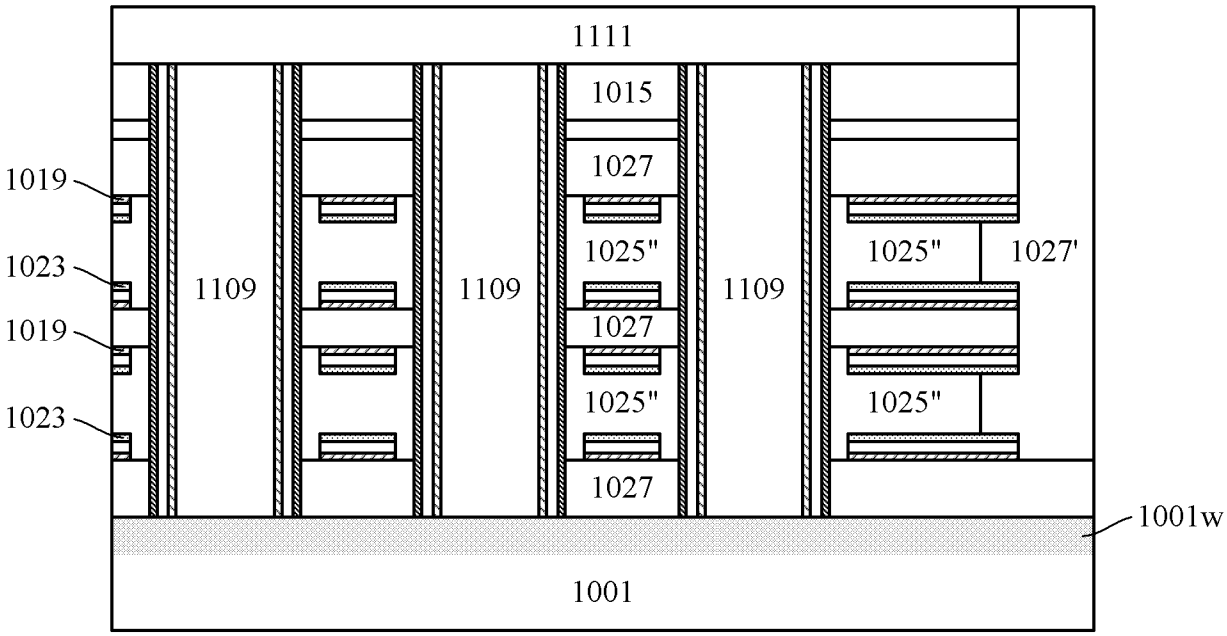

1111
1015
1027
1019
1025"
1025"
1027'
1023
1109
1109
1109
1019
1027
1025"
1025"
1023
1027
1001w
1001

图29(a)

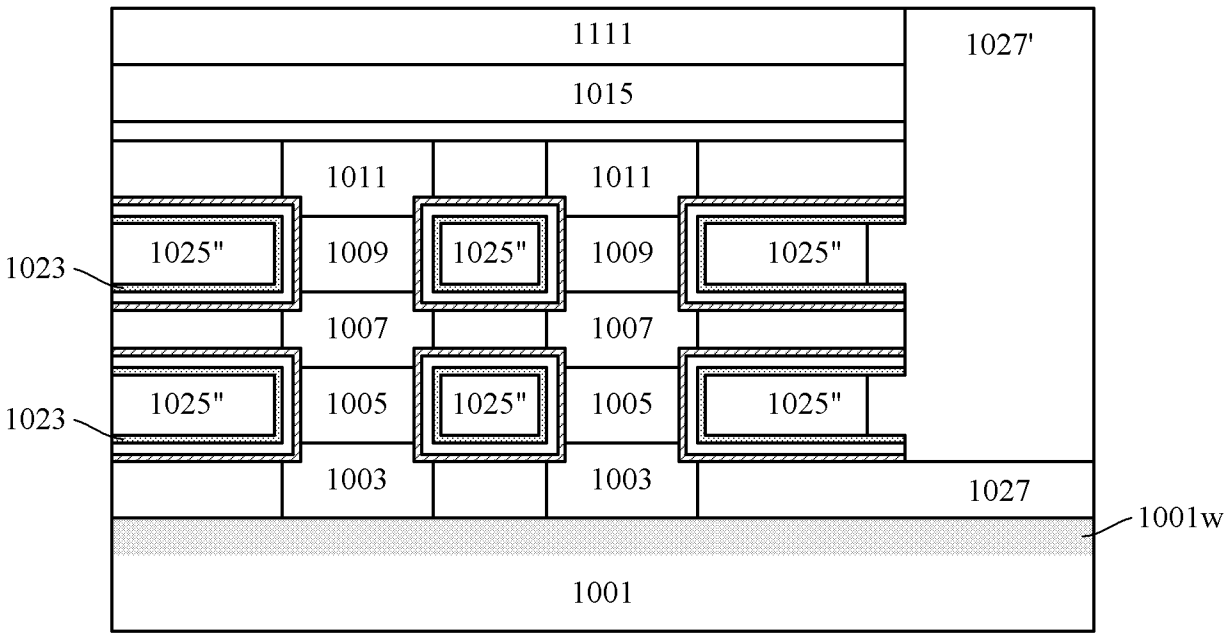

1111
1027'
1015
1011
1011
1025"
1009
1025"
1009
1025"
1023
1007
1007
1025"
1005
1025"
1005
1025"
1023
1003
1003
1027
1001w
1001

图29(b)

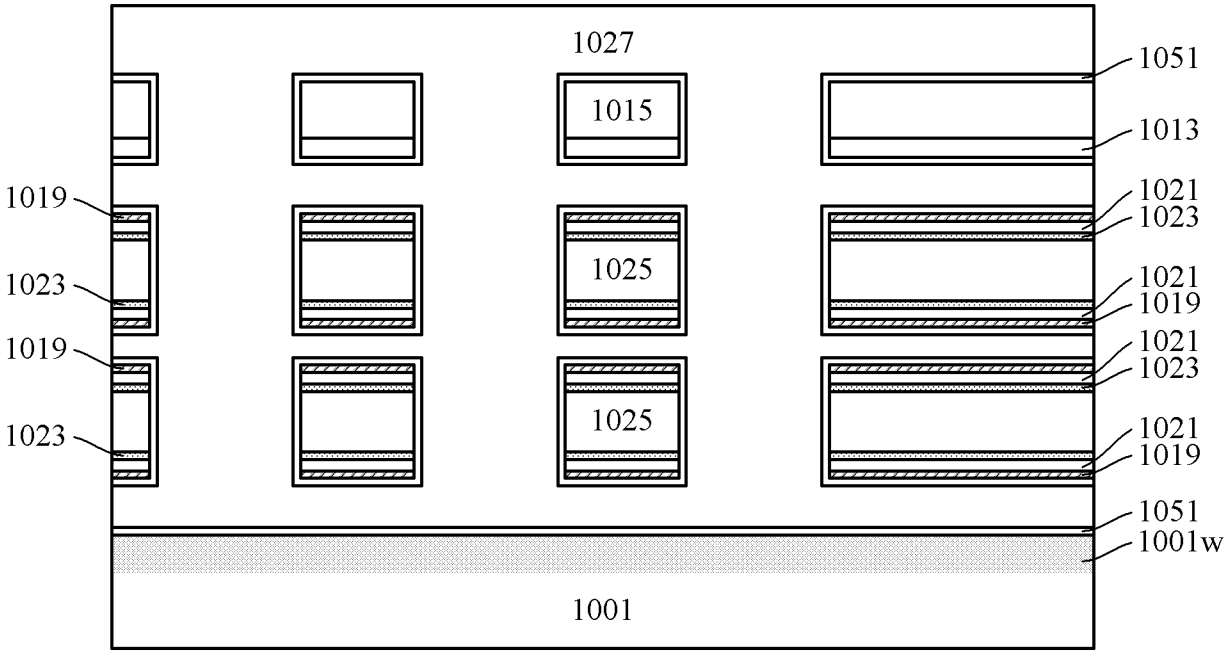

1027
1051
1015
1013
1019
1021
1023
1025
1021
1023
1019
1021
1019
1023
1025
1021
1023
1021
1019
1051
1001w
1001

图30(a)

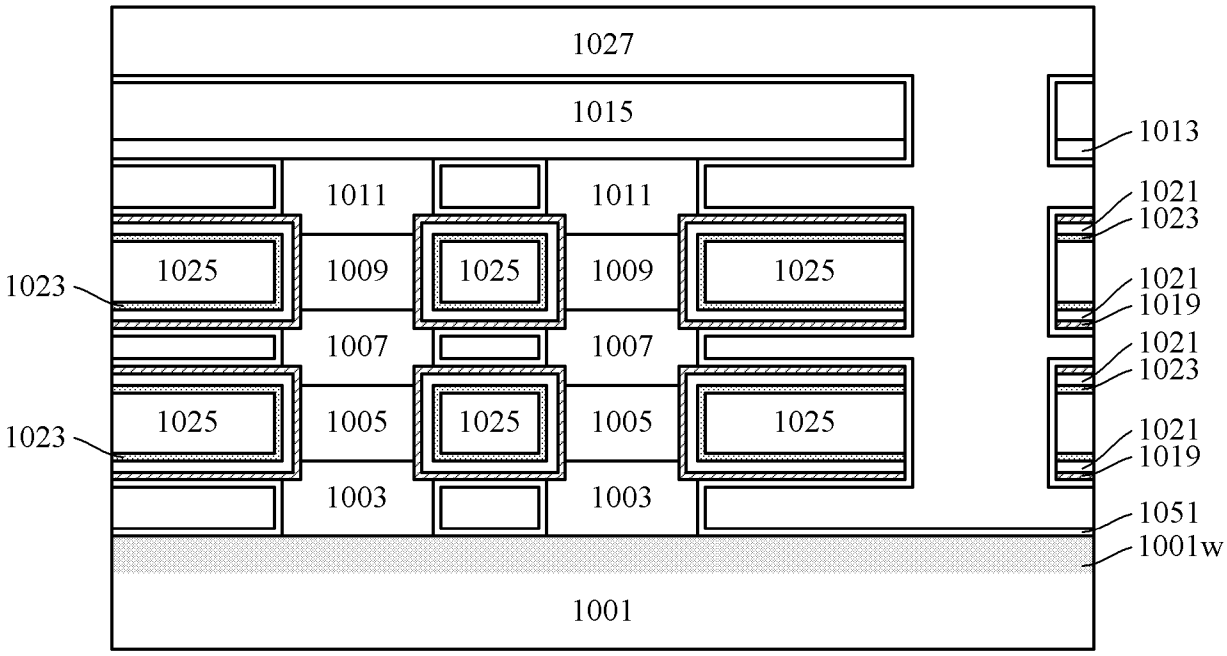

1027
1015
1013
1011
1011
1021
1023
1025
1009
1025
1009
1025
1023
1021
1019
1007
1007
1021
1023
1025
1005
1025
1005
1025
1023
1021
1019
1003
1003
1051
1001w
1001

图30(b)

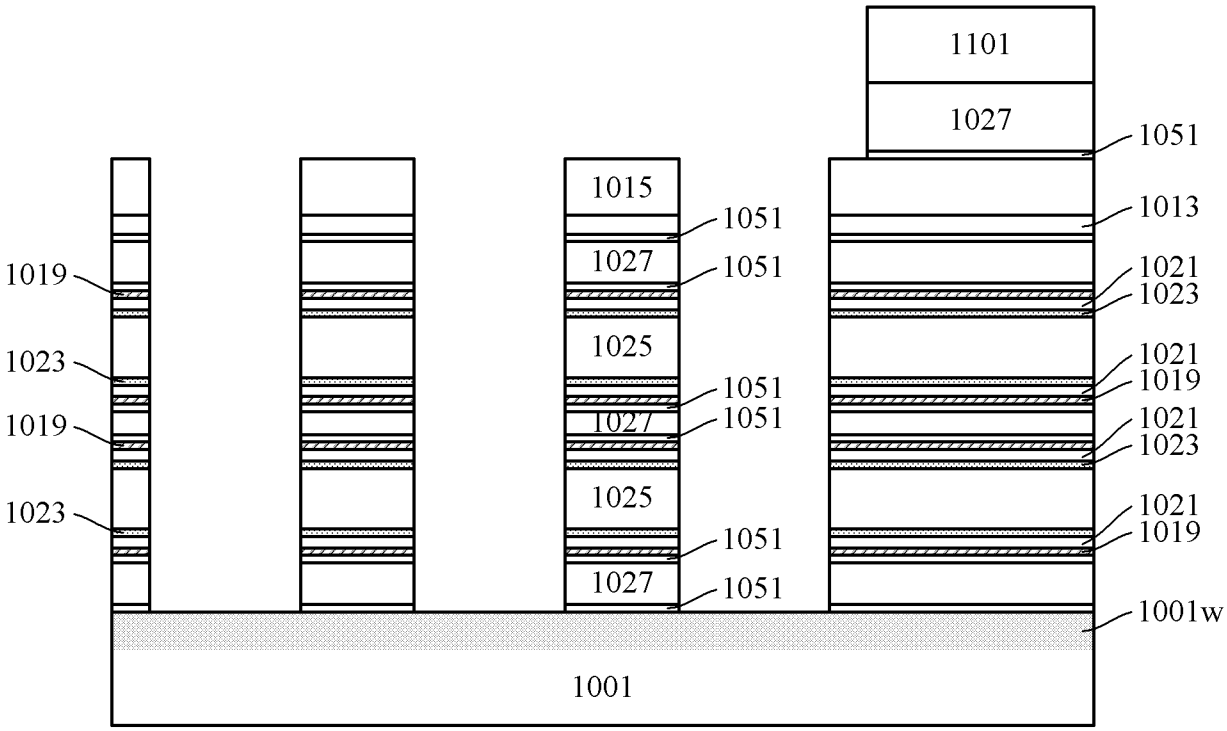

1101
1027
1051
1015
1051
1013
1027
1051
1021
1023
1019
1025
1021
1023
1051
1019
1027
1051
1021
1019
1023
1025
1021
1023
1051
1019
1027
1051
1001w
1001

图31(a)

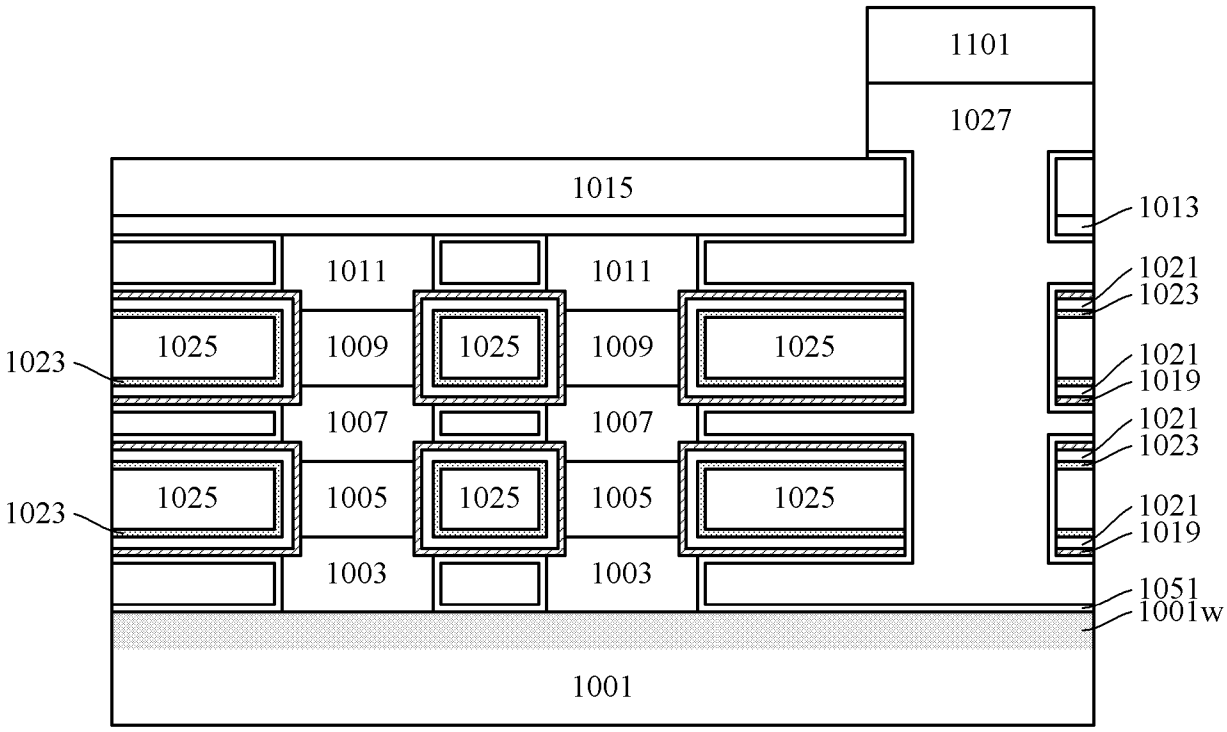

1101
1027
1015
1013
1011
1011
1021
1023
1025
1009
1025
1009
1025
1023
1021
1019
1007
1007
1021
1023
1025
1005
1025
1005
1025
1023
1021
1019
1003
1003
1051
1001w
1001

图31(b)

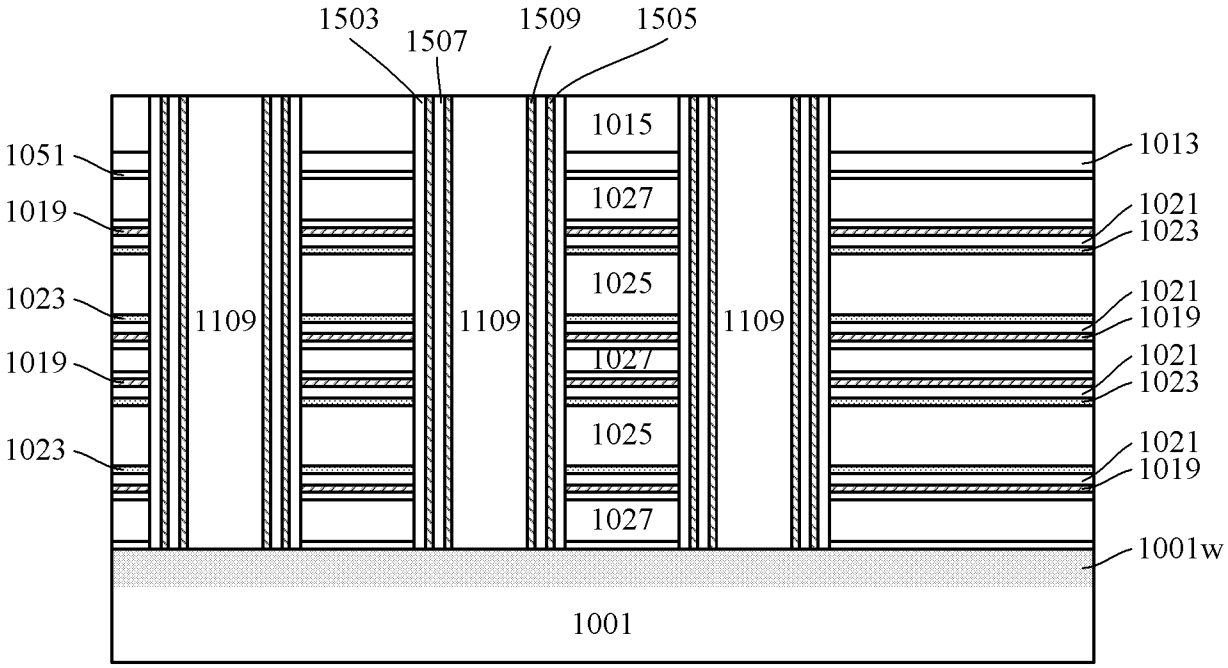

1503
1507
1509
1505
1015
1027
1025
1027
1025
1027
1051
1019
1023
1019
1023
1109
1109
1109
1013
1021
1023
1021
1019
1021
1023
1021
1019
1001w
1001

图32(a)

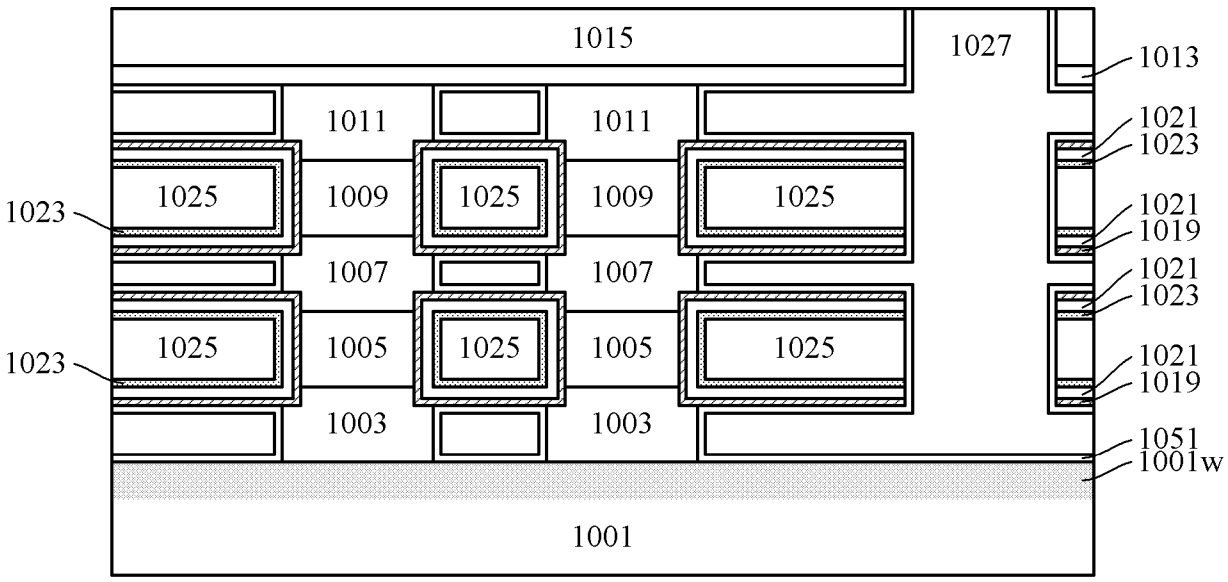

1015
1027
1013
1011
1011
1021
1023
1025
1009
1025
1009
1025
1023
1021
1019
1007
1007
1021
1023
1025
1005
1025
1005
1025
1023
1021
1019
1003
1003
1051
1001w
1001

图32(b)

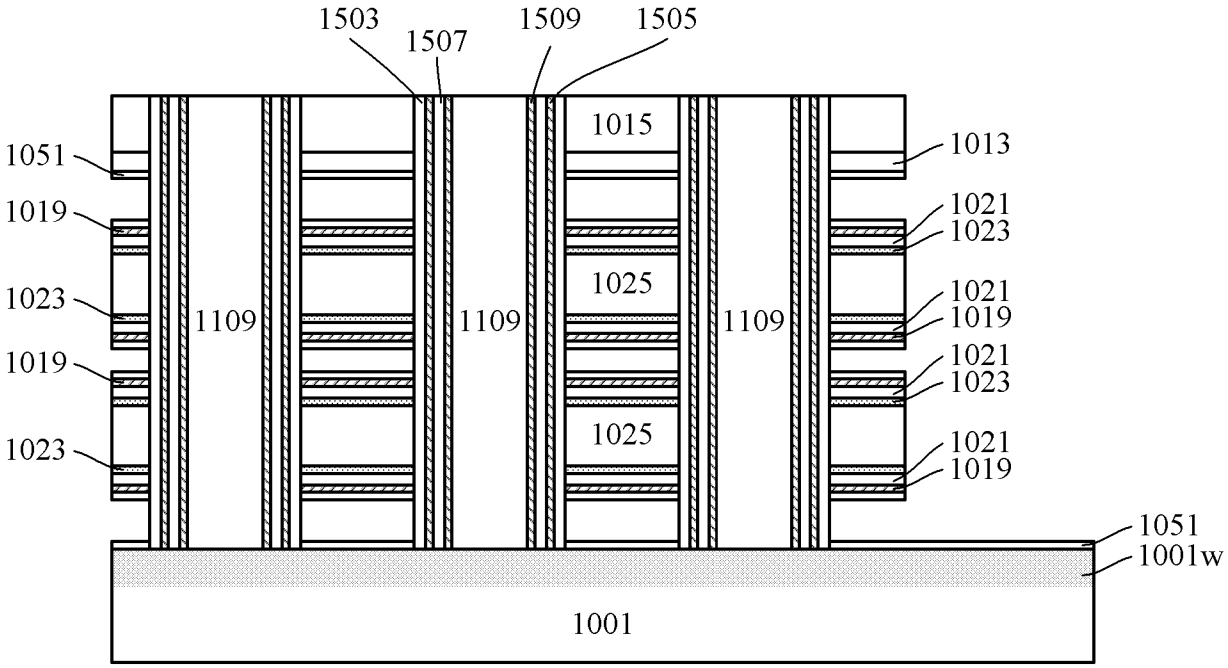

1503
1507
1509
1505
1015
1013
1051
1019
1021
1023
1025
1023
1109
1109
1109
1021
1019
1019
1021
1023
1023
1025
1021
1019
1051
1001w
1001

图33(a)

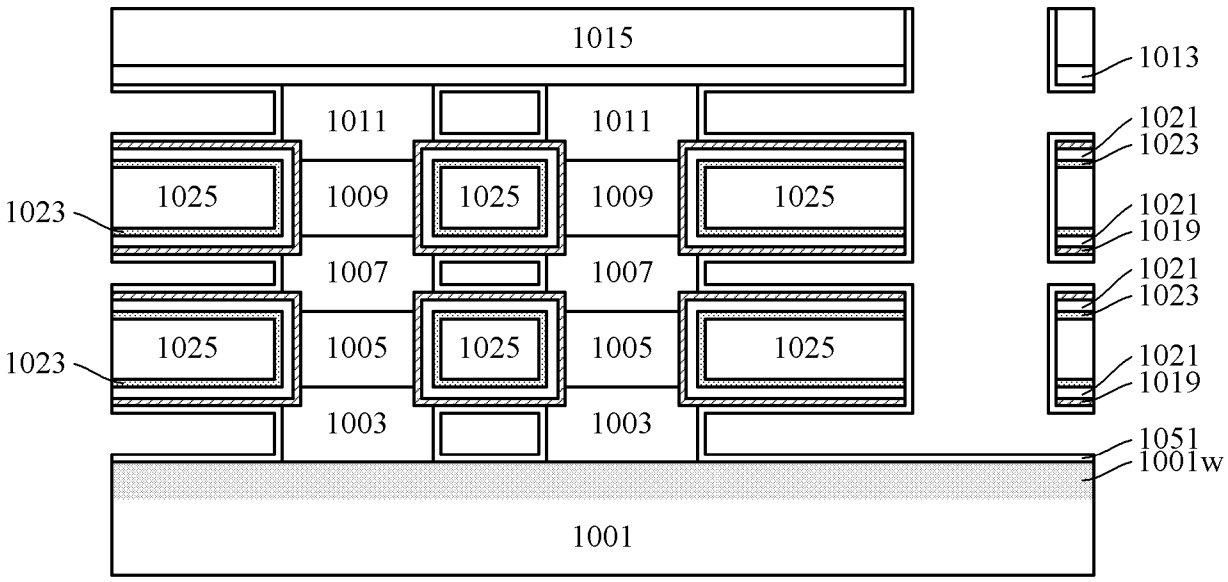

1015
1013
1011
1011
1021
1023
1025
1009
1025
1009
1025
1023
1021
1019
1007
1007
1021
1023
1025
1005
1025
1005
1025
1023
1021
1019
1003
1003
1051
1001w
1001

图33(b)

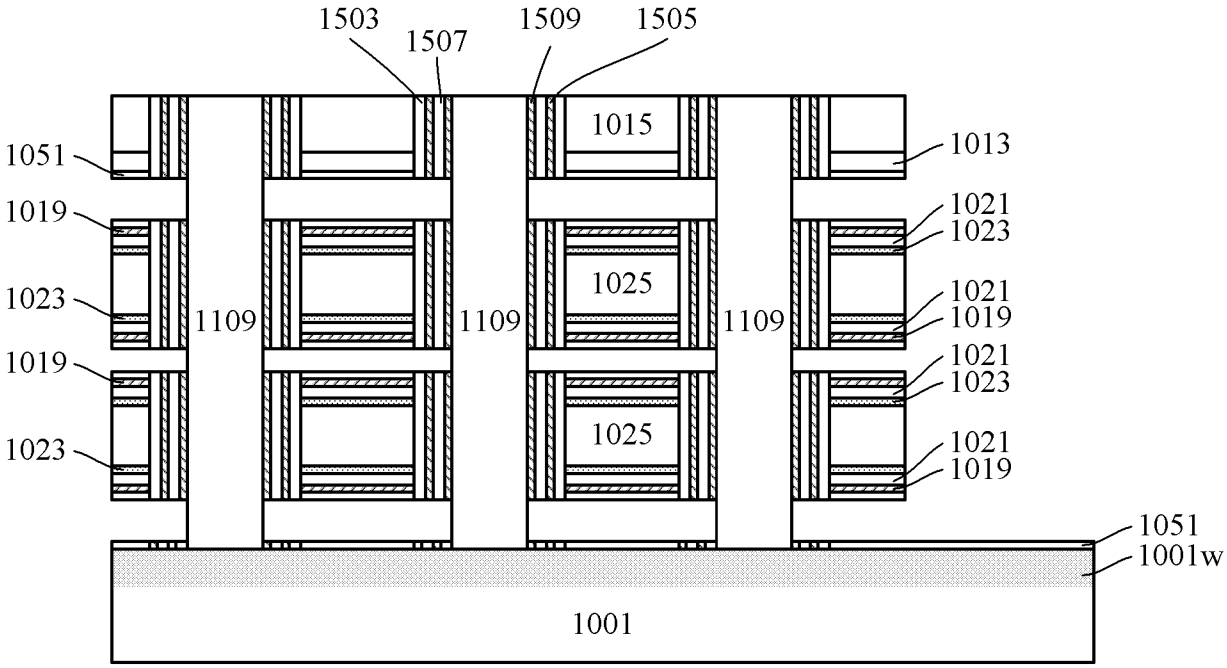

1503
1507
1509
1505
1015
1013
1051
1019
1021
1023
1025
1023
1109
1109
1109
1021
1019
1019
1021
1023
1025
1023
1021
1019
1051
1001w
1001

图34

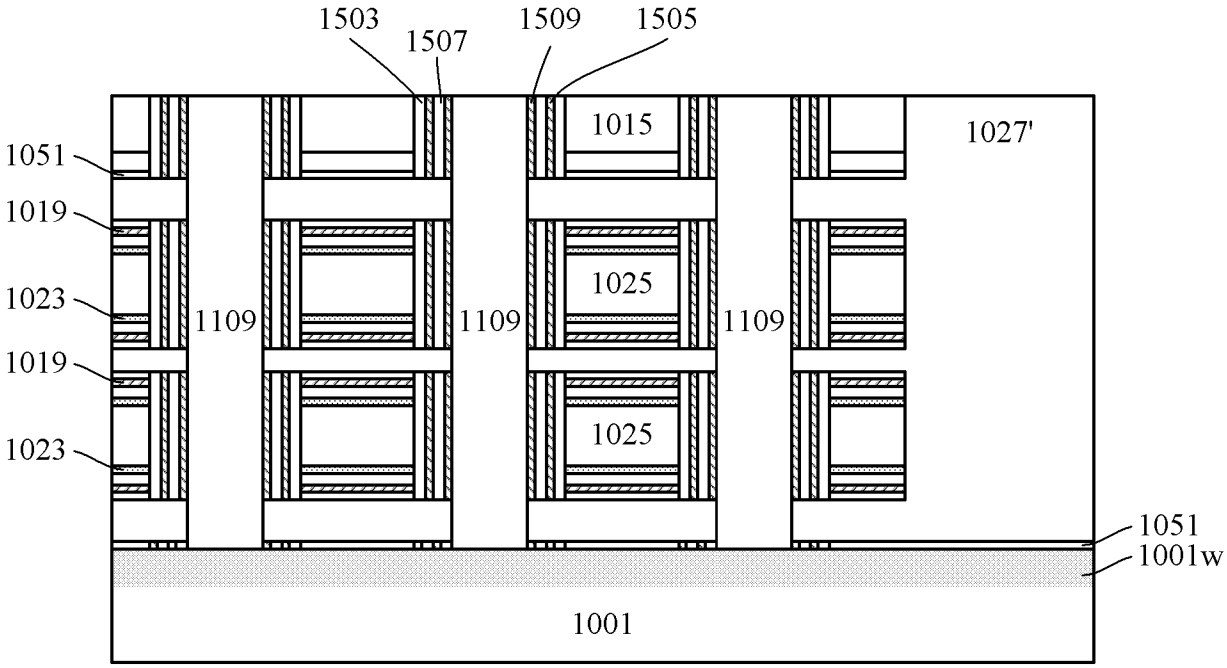

1503
1507
1509
1505
1015
1027'
1051
1019
1023
1025
1109
1109
1109
1019
1023
1025
1051
1001w
1001

图35(a)

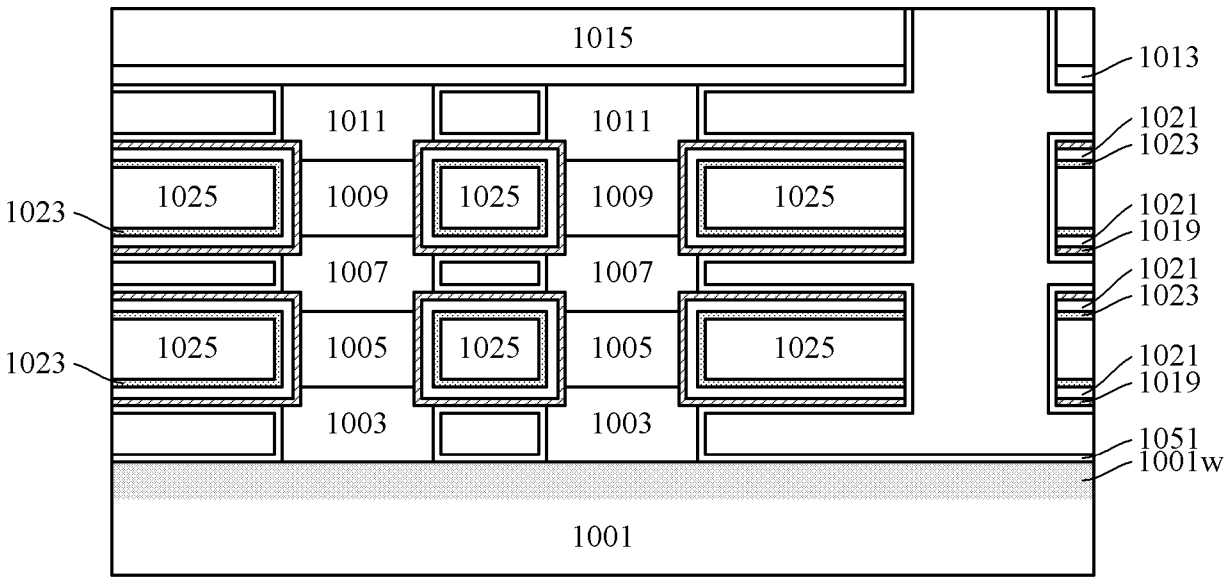

1015
1013
1011
1011
1021
1023
1025
1009
1025
1009
1025
1023
1021
1019
1007
1007
1021
1023
1025
1005
1025
1005
1025
1023
1021
1019
1003
1003
1051
1001w
1001

图35(b)

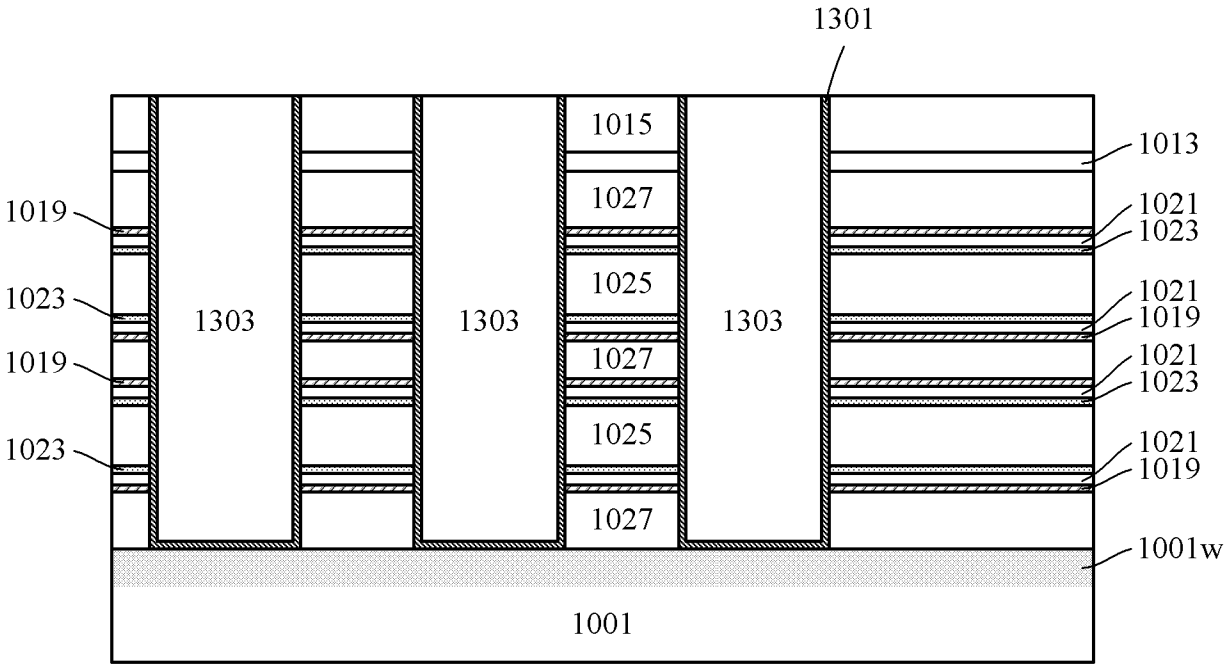

1301
1015
1013
1027
1019
1021
1023
1025
1023
1303
1303
1303
1021
1019
1019
1027
1021
1023
1025
1023
1021
1019
1027
1001w
1001

图36(a)

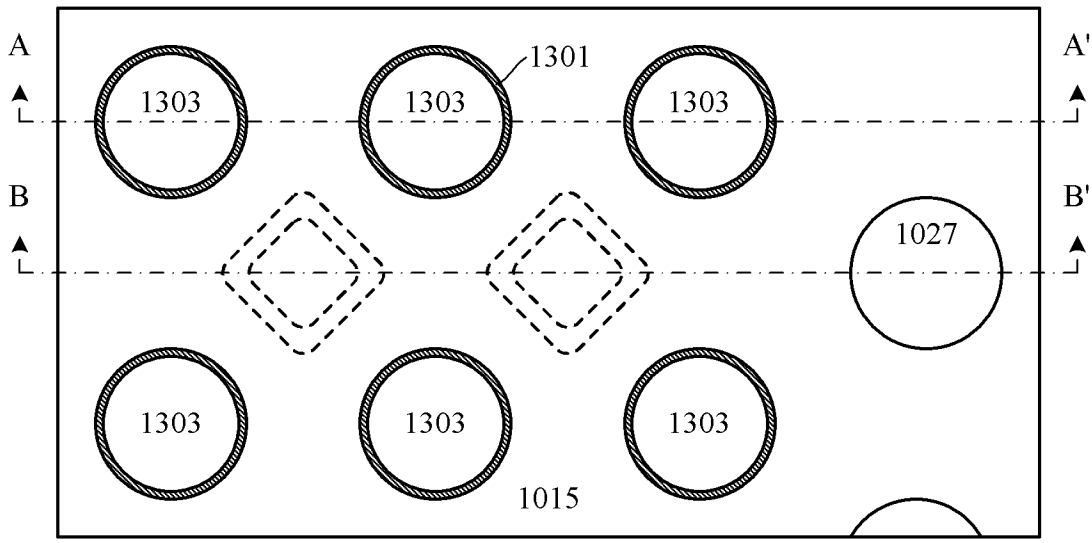

A
A'
1301
1303
1303
1303
B
B'
1027
1303
1303
1303
1015

图36(b)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/095189

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/115 (2017.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27, H01L 21

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNKI; CNABS; SIPOABS; DWPI: 第二, 施加, 应力, 柱形, 柱状, 三维, 存储, 沟道, 第一, three-dimensional, memory, apply, columnar, first, second, channel, stress, 3D

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106298679 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 04 January 2017 (04.01.2017), claims 1-41, and description, paragraphs 0016-0115	1-48
A	CN 104078466 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 01 October 2014 (01.10.2014), entire document	1-48
A	CN 104157654 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 19 November 2014 (19.11.2014), entire document	1-48

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 October 2017	08 November 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHAO, Ying Telephone No. (86-10) 62089521

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/095189

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106298679 A	04 January 2017	None	
CN 104078466 A	01 October 2014	WO 2014153798 A1	02 October 2014
		CN 104078466 B	08 February 2017
		US 2015171096 A1	18 June 2015
		US 9287281 B2	15 March 2016
CN 104157654 A	19 November 2014	US 2017236836 A1	17 August 2017
		CN 104157654 B	06 June 2017
		WO 2016023260 A1	18 February 2016

国际检索报告

国际申请号
PCT/CN2017/095189

A. 主题的分类

H01L 27/115(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L27，H01L21

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNTXT;CNKI;CNABS;SIPOABS;DWPI:第二，施加，应力，柱形，柱状，三维，存储，沟道，第一，three-dimensional, memory,apply,columnar,first,second,channel,stress,3D

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 106298679 A（中国科学院微电子研究所）2017年 1月 4日（2017-01-04） 权利要求1-41，说明书第0016-0115段	1-48
A	CN 104078466 A（中国科学院微电子研究所）2014年 10月 1日（2014-10-01） 全文	1-48
A	CN 104157654 A（中国科学院微电子研究所）2014年 11月 19日（2014-11-19） 全文	1-48

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 10月 29日	2017年 11月 8日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	赵颖
传真号 (86-10)62019451	电话号码 (86-10)62089521

表 PCT/ISA/210（第2页）（2009年7月）

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/095189

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	106298679	A	2017年 1月 4日	无			
CN	104078466	A	2014年 10月 1日	WO	2014153798	A1	2014年 10月 2日
				CN	104078466	B	2017年 2月 8日
				US	2015171096	A1	2015年 6月 18日
				US	9287281	B2	2016年 3月 15日
CN	104157654	A	2014年 11月 19日	US	2017236836	A1	2017年 8月 17日
				CN	104157654	B	2017年 6月 6日
				WO	2016023260	A1	2016年 2月 18日