



(12) 发明专利

(10) 授权公告号 CN 109643715 B

(45) 授权公告日 2023.05.12

(21) 申请号 201780051097.0

(22) 申请日 2017.07.19

(65) 同一申请的已公布的文献号
申请公布号 CN 109643715 A

(43) 申请公布日 2019.04.16

(30) 优先权数据
62/363,973 2016.07.19 US
62/372,106 2016.08.08 US
62/373,164 2016.08.10 US

(85) PCT国际申请进入国家阶段日
2019.02.20

(86) PCT国际申请的申请数据
PCT/US2017/042802 2017.07.19

(87) PCT国际申请的公布数据
W02018/017677 EN 2018.01.25

(73) 专利权人 东京毅力科创株式会社
地址 日本东京都

(72) 发明人 杰弗里·史密斯 安东·德维利耶

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227
专利代理师 杨铁成 杜诚

(51) Int.Cl.
H10B 10/00 (2023.01)
G11C 17/14 (2006.01)
G11C 11/34 (2006.01)
H01L 27/088 (2006.01)
H01L 27/10 (2006.01)
H01L 27/105 (2023.01)

(56) 对比文件
CN 103730502 A, 2014.04.16
US 2011057251 A1, 2011.03.10
US 2006028861 A1, 2006.02.09
CN 102623322 A, 2012.08.01

审查员 袁芳

权利要求书3页 说明书12页 附图12页

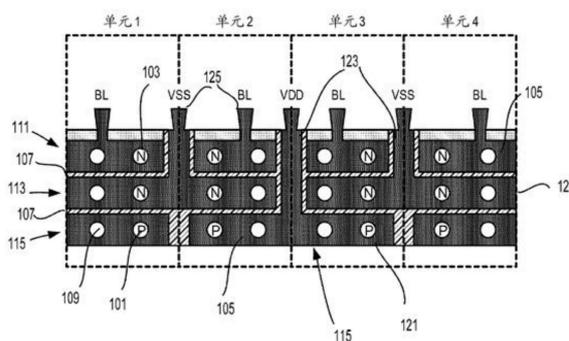
(54) 发明名称

三维半导体装置及其制造方法

(57) 摘要

一种三维(3-D)集成电路(IC),包括具有基板表面的基板。第一半导体装置具有第一电接点并且在第一平面上形成于所述表面的第一区域中,所述第一平面基本上平行于所述基板表面。第二半导体装置在第二平面上形成于所述表面的第二区域中,所述第二平面基本上平行于所述表面并且在基本上垂直于所述基板表面的方向上与所述第一平面垂直地间隔开。第一电极结构包括:相对的顶面和底面,所述顶面和所述底面基本上平行于所述基板表面;侧壁,所述侧壁连接所述顶面和所述底面使得所述电极结构形成三维电极空间。导电填充材料提供在所述电极空间中,并且电介质层将所述导电填充材料电分离成电连接到所述第一半导体装置的所述第一接点的第一电极和电连接到所述第二半导体装置并且与所述第一电

极电绝缘的第二电极。第一电路端子从所述电极结构的所述顶面或所述底面垂直地延伸并且电连接到所述第一电极。



1. 一种三维(3-D)集成电路(IC),所述3-D集成电路包括:

基板,所述基板具有基板表面;

第一半导体装置,所述第一半导体装置包括第一电接点并且在第一平面上形成于所述表面的第一区域中,所述第一平面基本上平行于所述基板表面;

第二半导体装置,所述第二半导体装置包括第二电接点并且在第二平面上形成于所述表面的第二区域中,所述第二平面基本上平行于所述表面并且在基本上垂直于所述基板表面的方向上与所述第一平面垂直地间隔开;以及

第一电极结构,所述第一电极结构包括:

相对的顶面和底面,所述顶面和所述底面基本上平行于所述基板表面,

侧壁,所述侧壁连接所述顶面和所述底面,使得所述电极结构形成三维电极空间,

导电填充材料,所述导电填充材料提供在所述电极空间中,

电介质层,所述电介质层将所述导电填充材料电分离成电连接到所述第一半导体装置的所述第一电接点的第一电极和电连接到所述第二半导体装置并且与所述第一电极电绝缘的第二电极;以及

第一电路端子,所述第一电路端子从所述电极结构的所述顶面或所述底面垂直地延伸并且电连接到所述第一电极。

2. 如权利要求1所述的3-D IC,其中所述第一半导体装置和所述第二半导体装置分别包括第一场效应晶体管(FET)和第二FET,所述3-D IC还包括第三FET,所述第三FET具有第三电接点并且在第三平面上形成于所述表面的第三区域中,所述第三平面基本上平行于所述表面并且与所述第一平面和所述第二平面垂直地间隔开。

3. 如权利要求2所述的3-D IC,其中每个FET包括在沿着所述基板表面的方向上延伸的栅极区以及设置于所述栅极区的相对端处的一对源极-漏极区,相应FET的所述栅极区和所述源极-漏极区彼此垂直地对准以形成第一堆叠FET结构。

4. 如权利要求3所述的3-D IC,其中:

所述电极结构还包括另一个电介质层,所述另一个电介质层将所述导电填充材料电分离成第三电极,所述第三电极电连接到所述第三FET的所述第三电接点并且与所述第一电极和所述第二电极电绝缘,并且

所述3-D IC还包括第二电路端子和第三电路端子,所述第二电路端子和所述第三电路端子各自从所述电极结构的所述顶面或所述底面垂直地延伸并且分别电连接到所述第二电极和所述第三电极。

5. 如权利要求4所述的3-D IC,所述3-D IC还包括:

第二堆叠FET结构,所述第二堆叠FET结构包括与所述第一堆叠FET结构的所述第一FET、所述第二FET和所述第三FET相同地配置的第四FET、第五FET和第六FET;以及

第二电极结构,所述第二电极结构包括与所述第一电极结构的所述第一电极、所述第二电极和所述第三电极相同地配置并且耦接到所述第二堆叠FET结构的第四、第五和第六电极,其中所述第一堆叠FET结构和所述第二堆叠FET结构经由所述第一电极结构和所述第二电极结构而电连接以形成六晶体管SRAM存储器单元。

6. 如权利要求5所述的3-D IC,

其中所述第一电极结构的所述第一电路端子、所述第二电路端子和所述第三电路端子

提供所述SRAM单元的VDD电源端子、VSS电源端子和位端子,并且

所述第二电极结构的至少一个端子提供所述SRAM单元的位非端子。

7.如权利要求4所述的3-DIC,所述3-DIC还包括:

第二堆叠FET结构,所述第二堆叠FET结构包括与所述第一堆叠FET结构的所述第一FET、所述第二FET和所述第三FET相同地配置的第四FET、第五FET和第六FET;以及

第二电极结构,所述第二电极结构包括与所述第一电极结构的所述第一电极、所述第二电极和所述第三电极相同地配置并且耦接到所述第二堆叠FET结构的第四电极、第五电极和第六电极,其中所述第一堆叠FET结构和所述第二堆叠FET结构相邻地位于所述基板上并且形成不同SRAM单元的部分。

8.如权利要求6所述的3-D IC,其中所述FET中的每一者是鳍式FET、多栅极FET或单纳米丝FET。

9.如权利要求7所述的3-DIC,其中所述FET中的每一者是单纳米丝FET。

10.一种半导体装置,所述半导体装置包括:

第一纳米丝层;

第二纳米丝层,所述第二纳米丝层位于所述第一纳米丝层上方;

第三纳米丝层,所述第三纳米丝层位于所述第二纳米丝层上方,其中所述第一纳米丝层、所述第二纳米丝层和所述第三纳米丝层包括位于半导体装置的源极-漏极区内的纳米丝部分;

第一电极,所述第一电极连接所述第一纳米丝层并且穿过所述源极-漏极区布线到所述源极-漏极区上方的第一位置;

第二电极,所述第二电极连接所述第二纳米丝层并且穿过所述源极-漏极区布线到所述源极-漏极区上方的第二位置;

第三电极,所述第三电极连接所述第三纳米丝层并且穿过所述源极-漏极区布线到所述源极-漏极区上方的第三位置;

其中所述第一电极是阶梯形的,其中所述第二电极的一部分位于所述第一电极的水平表面上方。

11.如权利要求10所述的半导体装置,其中纳米丝包括相互交叠的互补半导体材料。

12.一种形成半导体装置的方法,所述方法包括:

提供限定初始连接区域的基板,所述基板具有位于所述初始连接区域内的至少三个纳米丝,所述纳米丝暴露,所述纳米丝具有在水平方向上延伸的纵轴,所述纳米丝位于垂直堆叠中并且彼此间隔开,所述纳米丝包括第一纳米丝、第二纳米丝和第三纳米丝,所述第二纳米丝位于所述第一纳米丝上方,并且所述第三纳米丝位于所述第二纳米丝上方;

形成第一电极,所述第一电极覆盖并包围所述第一纳米丝并且垂直地延伸到所述初始连接区域的顶部,所述第一电极具有阶梯形截面;

形成第二电极,所述第二电极覆盖并包围所述第二纳米丝并且垂直地延伸到所述初始连接区域的顶部;以及

形成第三电极,所述第三电极覆盖并包围所述第三纳米丝并且垂直地延伸到所述初始连接区域的顶部。

13.如权利要求12所述的方法,其中所述第一电极、所述第二电极和所述第三电极彼此

电绝缘。

14. 如权利要求12所述的方法,所述方法还包括通过选择性地沉积电介质而使每个电极电绝缘,所述电介质选择性地粘附到给定电极的材料,而不粘附到纳米丝材料。

15. 如权利要求12所述的方法,其中所述初始连接区域是晶体管装置的源极-漏极条。

16. 如权利要求12所述的方法,其中所述初始连接区域是晶体管装置的栅极区域。

17. 如权利要求12所述的方法,其中一些单元的线共用同一个电极。

18. 如权利要求12所述的方法,其中阶梯形电极位于对应单元内或S/D条内。

19. 如权利要求12所述的方法,所述方法使用选择性沉积来在S/D区内在电极之间形成隔离屏障。

20. 如权利要求12所述的方法,其中凹陷蚀刻是各向同性的。

三维半导体装置及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请是基于以下各案并要求以下各案的优先权利益：2016年7月19日提交的第62/363,973号美国临时申请和2016年8月8日提交的第62/372,106号美国临时申请以及2016年8月10日提交的第62/373,164号美国临时申请。这些申请中的每一者的整体内容以引用方式并入本文中。

技术领域

[0003] 本发明涉及半导体装置以及制造半导体装置(诸如集成电路)的方法,并且涉及制造用于集成电路的晶体管和晶体管部件。

背景技术

[0004] 在半导体装置的制造(尤其是在微观尺度上)中,执行各种制造工艺,诸如薄膜形成沉积、蚀刻掩膜产生、图案化、材料蚀刻和移除以及掺杂处理。重复地执行这些工艺以在基板上形成所要的半导体装置元件。在历史上,通过微制造,已在一个平面中产生晶体管,其中接线/金属化形成在有源装置平面上方,并且所述晶体管因此已被表征为二维(2D)电路或2D制造。缩放效应已使2D电路中每单位面积的晶体管数目大幅增加,但缩放效应又面临更大的挑战,因为缩放进入了单位数纳米半导体装置制造节点。半导体装置制造商已表达了对三维(3D)半导体电路的需要,在所述三维半导体电路中,晶体管相互堆叠。

发明内容

[0005] 因此,本公开的一个目标是促进3D半导体电路的制造。

[0006] 本公开的这个目标和其它目标可以通过三维(3-D)集成电路(IC)来提供,所述三维集成电路包括具有基板表面的基板。第一半导体装置具有第一电接点并且在第一平面上形成于所述表面的第一区域中,所述第一平面基本上平行于所述基板表面。包括第二电接点的第二半导体装置在第二平面上形成于所述表面的第二区域中,所述第二平面基本上平行于所述表面并且在基本上垂直于所述基板表面的方向上与所述第一平面垂直地间隔开。第一电极结构包括:相对的顶面和底面,所述顶面和所述底面基本上平行于所述基板表面;侧壁,所述侧壁连接所述顶面和所述底面,使得所述电极结构形成三维电极空间。导电填充材料提供在所述电极空间中,并且电介质层将所述导电填充材料电分离成电连接到所述第一半导体装置的所述第一接点的第一电极和电连接到所述第二半导体装置并且与所述第一电极电绝缘的第二电极。第一电路端子从所述电极结构的所述顶面或所述底面垂直地延伸并且电连接到所述第一电极。

[0007] 根据另一个方面,一种半导体装置包括:基板;栅极,所述栅极形成于所述基板上;源极-漏极区,所述源极-漏极区包括彼此间隔开的垂直地堆叠的纳米丝;以及阶梯形接触结构,所述阶梯形接触结构形成于所述源极-漏极区内,所述阶梯形接触结构将每个纳米丝电连接到所述源极-漏极区上方的位置。这个方面可以提供的好处是所述垂直堆叠中的每

个纳米丝可以在所述装置中独立地向上连接。

[0008] 根据另一个方面,一种半导体装置包括源极-漏极区,所述源极-漏极区包括垂直地堆叠的纳米丝,所述纳米丝彼此垂直地间隔开,使得在给定堆叠中有至少两个纳米丝。阶梯形接触结构形成于所述源极-漏极区内,所述阶梯形接触结构将每个纳米丝电连接到所述源极-漏极区上方的位置,所述阶梯形接触结构包括垂直地叠置的电极。

[0009] 根据另一个方面,一种半导体装置包括:第一纳米丝层;第二纳米丝层,所述第二纳米丝层位于所述第一纳米丝层上方;以及第三纳米丝层,所述第三纳米丝层位于所述第二纳米丝层上方。所述第一纳米丝层、所述第二纳米丝层和所述第三纳米丝层全都位于半导体装置的源极-漏极区内。阶梯形接触结构位于所述源极-漏极区内并且被配置成将每个纳米丝层电耦接到所述源极-漏极区上方的位置。所述结构允许nfet直接在pfet上方,或反之亦然。

[0010] 根据另一个方面,一种半导体装置包括:第一纳米丝层;第二纳米丝层,所述第二纳米丝层位于所述第一纳米丝层上方;以及第三纳米丝层,所述第三纳米丝层位于所述第二纳米丝层上方。所述第一纳米丝层、所述第二纳米丝层和所述第三纳米丝层包括位于半导体装置的源极-漏极区内的纳米丝部分。第一电极,所述第一电极连接所述第一纳米丝层并且穿过所述源极-漏极区布线到所述源极-漏极区上方的第一位置;第二电极,所述第二电极连接所述第二纳米丝层并且穿过所述源极-漏极区布线到所述源极-漏极区上方的第二位置;以及第三电极,所述第三电极连接所述第三纳米丝层并且穿过所述源极-漏极区选路到所述源极-漏极区上方的第三位置。所述第一接触结构是阶梯形的,其中第二接触结构的一部分位于下伏电极结构的水平表面上方。

[0011] 本公开的另一个方面包括一种形成半导体装置的方法,所述方法包括形成具有垂直的纳米丝堆叠的源极-漏极区,所述纳米丝堆叠包括具有水平地定向的纵轴的至少三个纳米丝,并且其中所述纳米丝彼此间隔开。执行一种工艺程序,所述工艺程序包括:在所述源极-漏极区中沉积金属;使金属凹陷到特定的纳米丝层级;在所述源极-漏极区内形成垂直互连;以及在金属上选择性地沉积屏障材料,而不在未被覆盖的纳米丝上沉积屏障材料,使得在所述源极-漏极区内形成到所述源极-漏极区上方的点的接触结构。重复所述工艺程序,直到形成具有阶梯形截面和支撑其它电极的水平阶梯的多个电极为止。

[0012] 另一个方面包括一种形成半导体装置的方法,所述方法包括提供限定初始连接区域的基板,所述基板具有位于所述初始连接区域内的至少三个纳米丝,所述纳米丝未被覆盖,所述纳米丝具有在水平方向上延伸的纵轴,所述纳米丝位于垂直堆叠中并且彼此间隔开,所述纳米丝包括第一纳米丝、第二纳米丝和第三纳米丝,所述第二纳米丝位于所述第一纳米丝上方,并且所述第三纳米丝位于所述第二纳米丝上方。形成第一电极,所述第一电极覆盖所述第一纳米丝并且垂直地延伸到所述初始连接区域的顶部,所述第一电极具有阶梯形截面,形成第二电极,所述第二电极覆盖所述第二纳米丝并且垂直地延伸到所述初始连接区域的顶部,并且形成第三电极,所述第三电极覆盖所述第三纳米丝并且垂直地延伸到所述初始连接区域的顶部。

[0013] 另一个方面是一种形成半导体装置的方法,所述方法包括:用第一电极填充连接区,所述连接区具有垂直地对准的纳米丝,所述纳米丝彼此垂直地分离,使得在给定纳米丝堆叠中有至少三个纳米丝;使所述金属凹陷,直到所述第一电极仅覆盖第一纳米丝为止,所

述第一纳米丝位于所述给定堆叠的底部处；以及形成所述第一电极的垂直线，所述垂直线连接到凹陷的金属，使得组合的电极结构具有阶梯形截面。在未被覆盖的金属表面上形成屏障层，而不在未被覆盖的纳米丝表面上沉积所述屏障层。

[0014] 另一个方面包括一种形成半导体装置的方法，所述方法包括形成场效应晶体管，所述场效应晶体管包括具有至少两层纳米丝的垂直堆叠的互补纳米丝，并且所述场效应晶体管具有连接到所述纳米丝的阶梯形接触结构。所述阶梯形接触结构的电极是通过以下步骤来形成：使所沉积的金属均一地凹陷以形成水平金属表面；使用基于掩膜的金属沉积来形成垂直定向的金属支脚，所述金属支脚连接到所述水平金属表面；以及通过选择性沉积来在未被覆盖的金属表面上形成电介质屏障层，所述选择性沉积在所述未被覆盖的金属表面上选择性地沉积所述电介质屏障层，而不在纳米丝材料上沉积所述电介质屏障层。

[0015] 当然，如本文中描述的不同步骤的讨论次序是为了清楚起见而呈现。一般来说，这些步骤可以按任何合适的次序执行。另外，虽然可以在本公开的不同地方讨论本文中的不同特征、技术、配置等中的每一者，但是希望所述概念中的每一者可以彼此独立地或彼此结合地执行。因此，可以用许多不同方式来体现和看待本发明。

[0016] 应指出，本概述部分并未详述本公开或要求保护的发明的每个实施方案和/或稍新颖方面。而是，本概述仅提供对优于常规技术的不同实施方案和对应的新颖点的初步讨论。为了获得本发明和实施方案的额外细节和/或可能观点，将读者引导到如下文进一步讨论的本公开的详细描述部分和对应图式。

附图说明

[0017] 图1是根据本公开的实施方案的堆叠互补FET装置的截面的示意图。

[0018] 图2是根据本公开的实施方案的用于形成3D SRAM的示例性起始结构的截面透视图。

[0019] 图3是根据本公开的实施方案的绘示隔离步骤的结构示意图。

[0020] 图4示出根据本公开的实施方案的隔离沟槽内的选择性填充材料。

[0021] 图5示出根据本公开的实施方案的在S/D条中提供S/D金属填料之后的结构。

[0022] 图6示出根据本公开的实施方案的在限定下部电极的蚀刻之后的示例性结构。

[0023] 图7示出根据本公开的实施方案的在下部沟道金属上方形成的选择性地沉积的电介质层。

[0024] 图8绘示根据本公开的实施方案的用于形成第二隔离沟槽的方法。

[0025] 图9示出根据本公开的实施方案的用于形成下部电极的向上接触部分的方法。

[0026] 图10示出根据本公开的实施方案的绘示下部电极的隔离的结构。

[0027] 图11示出根据所公开的实施方案的由这种方法产生的结构。

[0028] 图12示出根据所公开的实施方案的由这种方法产生的示例性结构。

具体实施方式

[0029] 本文中的技术涉及3D集成电路的制造，其中电路装置相对于基板的平面表面垂直地布置。根据所公开的实施方案，垂直地布置的电路装置可以具有形成于与相应装置基本上相同的平面中的电极，使得垂直地布置的装置的电极可以堆叠或叠置以占据相同的平面

面积。这可以显著地改进集成电路的面积缩放能力。本文中公开的技术适用于有源电路装置(诸如晶体管)、无源电路装置(诸如电阻器、电容器、电感器等)或此类装置的组合堆叠成3D集成电路。晶体管可以是使用(例如)鳍式和/或多栅极配置的场效应晶体管(FET)装置。

[0030] 本公开的方面涉及使用结合FET(场效应晶体管)中的纳米丝或纳米片或经由堆叠互补FET装置的全环栅加工的装置制造。全环栅(GAA)识别一种FET装置,在所述FET装置中,金属栅极完全包裹硅或硅/锗丝。GAA是鳍式FET的三栅极工艺的进一步扩展,其中栅极包裹硅或硅/锗丝。就鳍式FET来说,栅极包裹鳍的四个侧中的三个,而就GAAFET装置来说,栅极包裹所有沟道(例如,无论是具有离散侧还是圆形壁)。GAAFET装置的一种类型是纳米丝FET。

[0031] 全环栅或纳米丝FET的一个好处是其可以用于形成互补装置,因为NFET和PFET装置(和丝)可以相互堆叠以便提供逻辑装置的显著面积缩放。常规电路装置可以经过设计,使得所有NFET丝位于所述装置的一端处,并且所有PFET丝位于所述装置的相对端处。在3D互补FET装置中,NFET丝和PFET丝可以彼此直接堆叠。举例来说,具有多个NFET纳米丝(布置在垂直或水平堆叠中)的多栅极NFET装置可以堆叠在多栅极PFET装置的顶部上。类似地,由单个纳米丝组成的NFET可以垂直地堆叠在单纳米丝PFET装置的顶部上。此堆叠实现了一种电路,在所述电路中,每个纳米丝能够直接接近所述电路装置的特定端子。举例来说,3-D SRAM可以包括可以接近SRAM(静态随机存取存储器)装置中的位线接点的上部纳米丝,下部NFET丝可以独立地接触VSS(负电源电压),底部PFET丝可以独立地接触VDD(正电源电压)等等。每个丝独立地接触所述装置的特定端子的能力提供显著面积缩放的好处。当FET装置(诸如纳米丝)相互互补地堆叠(将NFET丝与PFET丝混合)时,每个装置需要在S/D(源极-漏极)条内的单独电极,所述电极通过电介质膜分隔以防止电极之间的电容充电。

[0032] 互补FET结构的一个挑战是实现到S/D条内的单独电极的连接所需的MOL(中间工艺)互连和BEOL(后段工艺)金属化层的复杂性。对于仅有相互互补地堆叠的PFET丝和NFET丝的简单SRAM,中间工艺(MOL)和后段工艺(BEOL)金属变成相当拥塞。

[0033] 举例来说,第一通孔层级(V-1)和第一金属层(M0)可以用于限定SRAM反相器的交叉耦合并且提供用于向上通到M1的字线(WL)连接的底座以及提供向上通到M2的SRAM的VDD、VSS、位线(BL)和BLB接点。在这个实例中,M0处的图案密度相当复杂并且需要增大SRAM单元的大小以便适合用于分别向上通到M1和M2的WL和VDD/VSS接点的交叉耦合局部互连和底座的组合。

[0034] 在从BEOL金属向下连接到单独的S/D条电极时,接点可以通过将接点图案化到必要的电极中并且包裹具有一定厚度的内间隔件来完成,所述厚度由防止电极之间的电容充电所需的电介质设定。举例来说,随着堆叠侧向纳米丝的数目增加,向下连接到必要的S/D条电极的接点的数目也将增加。对于2堆叠丝配置,在MOL和BEOL中拥塞增加的情况下,可以完成制作向下通到下部电极的接点的此类工艺。对于3堆叠丝工艺和上述情况,需要另一种解决方案来防止进一步拥塞和/或为了补偿而增大所述装置的面积缩放。

[0035] 本文中的技术包括对S/D条电极结构化,使得这些电极可以单独地接触结合了自对准能力的BEOL金属化层,以实现与互补地堆叠NFET丝和PFET丝相关联的显著面积缩放的好处。技术包括将“楼梯状”或阶梯形源极-漏极电极叠置。可以进行可重复工艺以在S/D电极中形成渐增的“阶梯状”级数,其中每个阶梯产生向上延伸到MOL和BEOL金属的自对准接

点。

[0036] 这种装置配置和方法使得每个纳米丝装置能够具有到所述装置中的任何端子的单独连接并且因此将大部分的MOL和BEOL接线复杂性降低到更简单的布局,在所述布局中经由S/D条完成丝分隔和/或在S/D条内完成丝分隔。图1是根据本公开的实施方案的堆叠互补FET装置的截面的示意图。在图1的特定实例中,示出四个SRAM存储器单元的阵列的截面。在图1中,圆圈示出纳米丝截面,其中PFET丝101示出于圈起的“P”中,并且NFET丝103示出于圈起的“N”中。所述纳米丝被S/D金属填充材料105环绕,所述S/D金属填充材料形成阶梯形电极。有角度的阴影线107指示电介质膜,所述电介质膜在每个电极形成时以楼梯形式选择性地沉积在电极的每个阶梯上而不沉积在未被覆盖/暴露的纳米丝上,从而具有如下文进一步讨论的阶梯形截面剖面。未标示的纳米丝109在以截面示出的单元的部分中不提供有源晶体管,但是紧跟在丝109后面或在丝109正前方的纳米丝堆叠(即,在其它截面中)可以用作同一个单元或不同单元的有源晶体管。因此,未标示的纳米丝109可以被视为占位器。在最低层级上的未标示纳米丝109也将是PFET丝,而在中间层级上的未标示丝109将是NFET丝。在纳米丝延伸穿过基板时,所述纳米丝可以在存储器单元的一些S/D区中用作有源FET装置,而在其它S/D区中不用作FET装置,这取决于给定装置的设计。在一些实施方案中,未标示丝109可以用于将有源晶体管彼此电耦接或耦接到其它电部件。使用未标示纳米丝将六晶体管SRAM电路的反相器交叉耦合的实例描述于美国临时申请no. 62/372,106中,所述申请以引用方式并入本文中。

[0037] 楼梯结构已用于3D NAND装置,其中控制栅极形成于FET阵列内,并且楼梯电极结构在所述阵列外部建立以便接触每个控制栅极。3D NAND的情况要求楼梯结构在紧邻的阵列外部并且需要大量的区域来将楼梯结构安放在芯片上。然而,就本文中的技术来说,将阶梯形接线叠置并且在S/D区内(或在栅极区内)形成,所述S/D区实际上是3D逻辑阵列的部分。就这种布置来说,与常规装置相比,在本公开的装置中,很少有或没有与建立楼梯相关联的面积缩放损失。

[0038] 因此,所公开的技术包括在逻辑装置内的源极/漏极(S/D)条内形成多个电极,其中所述多个电极是阶梯形的并且在所述S/D条内彼此堆叠以使得能够接触堆叠纳米丝流中的单独的丝。这个结构有效地实现在单个S/D条的区域内具有多个S/D条的装置,因为每个电极在物理上和电学上彼此分开。因此,丝可以彼此互补地堆叠,并且每个丝可以单独地连接到所述装置内的唯一端子电路。这种配置使得NFET丝能够堆叠在PFET丝顶上(垂直地堆叠),如与使NFET和PFET丝或鳍片在所述装置的任一端上在物理上分开的常规布置相反。将NFET丝和PFET丝堆叠实现了给定装置的显著面积缩放。这个结构可以被视为NFET丝交叠在PFET丝顶上。

[0039] 如上文所讨论,对于NFET丝堆叠在PFET丝顶上的快速执行SRAM的情况,可以形成包括三个单独的电极的S/D条。返回图1,例如,底部电极115用于与PFET 101的VDD接触,中间电极113用于与中间NFET 103的VSS接触,并且一个电极用于与上部NFET 103的BL(或BLB)接触。可以在图1中看到阶梯形图案,其中可以产生由具有突出的向上接触延伸部的分开的电极组成的重复图案并且所述重复图案彼此交叠,其中每个阶梯围起待接触的相应的丝。

[0040] 在简化的工艺流程中,首先形成阶梯形的最低/第一/底部电极115,并且随后在金

属电极115顶上选择性地沉积电介质屏障107。对每个额外的丝重复这个过程,使得第二阶梯形丝(“阶梯”)113搁置在第一阶梯115上,第三阶梯形丝可以搁置在第二阶梯113上,等等。重复所述过程多达所设计或指定的次数,以便容纳连接到所述装置内的单独端子的所有丝。在图1的实例中,最后的丝电极111可以体现为沉积在剩余(即,最后形成的)阶梯/搁架上的金属塞。

[0041] 如图1中所见,每个“阶梯”包含所要的导电丝或线121以及借助于接点125将电极连接到上部金属化层的延伸部123(垂直部件),所述接点可以连接到金属延长部。在图2至图12中示出并且在下文详细地讨论用于针对快速执行的互补FET SRAM的示例性情况产生此类结构的方法。

[0042] 本文中的技术的好处包括通过使得NFET丝和PFET丝能够在互补FET装置中彼此堆叠来实现的显著面积缩放。代替必须使多个S/D条作为跨越所述单元的单条而延伸,每个装置的S/D条全都可以是在共同的S/D条结构内被垂直地容纳并且彼此绝缘。本文中的结构使得能够在单元之间更容易地共用电极。如图1中所见,对于SRAM的情况,这使得能够在一种方法中从东到西(即,与纳米丝的长度方向交叉的方向)共用VDD和VSS,在所述方法中,单个接点125可以连接两个相邻的SRAM单元(例如,VSS接触共同的单元1和单元2)。通常,这通过使M0层级处的每个存取点具有接点并且向上馈入M1层级处的共同连接来完成。然而,就本文中的技术来说,仅需要单个接点。对于需要三个以上电极的实施方案,可以通过制作向下通到内埋轨条的连接来调整关于从楼梯形S/D条的金属延伸区中的接点到底部电极的电阻率的任何问题。就内埋轨条概念来说,电力轨条被图案化并且在有源装置下面金属化并且嵌入在S/D条和金属栅极下方的STI氧化物中或嵌入在STI氧化物和块状硅内,在所述STI氧化物与块状硅之间图案化初始鳍式结构。所述内埋轨条在后段工艺(BEOL)中为缩放的逻辑装置提供进一步的拥塞缓解,对于内埋电力轨条的情况,所述缩放的逻辑装置现在仅需要支持对线进行布线。通过在互补FET装置中埋入电力轨条,到Vdd和Vss的连接仅需要向下延伸以分接内埋电力轨条;对于SRAM的情况,这使得S/D条中的最上部电极仅需要到BEOL金属层的向上连接。堆叠电极的设计使得此实现方式明显更易于制造。

[0043] 在互补FET装置中,NFET丝和PFET丝彼此堆叠以便提供面积缩放好处。如上文所指出,在常规FET装置中,NFET丝和PFET丝位于单元的相对端上。对于SRAM的情况中的逻辑装置,这种放置实际上会使装置所需的面积加倍。存在各种不同类型和配置的FET装置。为了便于描述本文中的实施方案,描述将主要集中于互补FET快速执行SRAM,在所述互补FET快速执行SRAM中,使用PFET丝上叠置了NFET丝又叠置了NFET丝的结构来对给定装置进行面积缩放。应指出,本文中的技术可容易地应用于任何3D逻辑装置。还应指出,电极的侧向堆叠可以按任何次序进行以满足最佳的布线;即,PFET电极和丝可以堆叠在NFET电极和丝顶上,如果这使得对随机逻辑单元更容易进行BEOL布线的话。

[0044] 图2至图12是用于示出根据所公开的实施方案的用于形成3D SRAM的一个示例性方法的截面透视图。图2至图12提供被制作以示出用于形成楼梯状或阶梯形源极/漏极(S/D)的示例性工艺流程和技术的3D SRAM结构,所述楼梯状或阶梯形源极/漏极可以实现存在于堆叠互补FET结构中的单独的丝中的局部互连。此示例性流程的起始点是在栅极金属化已完成之后,并且现在要产生S/D条的金属化。在加工过程中的此点,已在S/D条区内切割硅或硅-锗(SiGe)纳米丝,并且所述纳米丝凹陷到栅极隔离件中,并且已从暴露的纳米丝的末

端生长S/D外延掺杂SiGe或Si。用于在3D FET电路中形成源极和漏极区的实例描述于美国临时申请no.62/373,164中,所述申请以引用方式并入本文中。因此,S/D条在这个起始步骤中基本上被栅极间隔件材料包绕,在所述栅极间隔件材料中已生长Si和/或SiGe epi。栅极间隔件材料可以是SiO₂、SiN、SiOCN或使栅极与S/D条绝缘的任何其它合适材料。可以通过ALD在S/D条内沉积金属(诸如钛)的薄层以便制作MIS(金属-绝缘体半导体)接点,之后进行电介质衬里沉积,诸如TiN。在加工过程中的此点,可以用电介质(诸如SiO₂)来填充S/D条的其余部分。

[0045] 图2是根据所公开的实施方案的用于形成3D SRAM的示例性起始结构的截面透视图。结构200包括基板201,在所述基板上形成多个SRAM单元。所述基板可以由(例如)半导体材料(诸如Si或SiGe)形成的单片基板。示意性地示出浅沟槽隔离区(STI)250。点线203勾划出每个SRAM单元的“边界”,所述SRAM单元包括以截面示出的三个纳米丝以及在与所示截面不同的截面处(在所示截面后面或前面)的另一个堆叠结构中提供的三个纳米丝。因此,沿着4个SRAM单元区203的阵列示出截面,所述SRAM单元区中的每一者包括六个纳米丝FET装置。

[0046] 如图2中所见,结构200包括在栅极区207的相对侧上具有栅极间隔件(低k间隔件)209的栅极区207。栅极间隔件209将包绕有待形成的S/D条。在这个工艺流程中,SiO₂沉积物可以填充源极/漏极条区以便进一步加工。在图2中,示出SiO₂填料220,但是提供贯穿S/D epi区211、213、215截取的截面以强调丝(即,源极/漏极epi)存在的位置。栅极区207a和207b绘示在不同截面处的类似结构以提供SRAM单元的部分。

[0047] 每个单元203包括堆叠纳米丝结构205,所述堆叠纳米丝结构包括三个垂直堆叠的侧向纳米丝。堆叠纳米丝结构205可以由(例如)Si和SiGe材料的交替层的鳍形成;此原始鳍式结构在图2中以假想线示出以供参考。在图2的实例中,每个丝堆叠205包括作为顶部丝的NFET丝211,所述NFET丝将连接到SRAM的BL线和WL线。另一个NFET丝213(中间)将连接到SRAM的VSS,并且PFET丝215(底部)将连接到SRAM的VDD。与上文的图1不同,在图2至图12中不示出未标示或“占位器”纳米丝。然而,将理解,每个单元的额外的有源纳米丝(在所示纳米丝的后面或前面)可以提供于占位器位置205'。因此,在一个实施方案中,单元区203的平面视图包括与提供在占位器位置205后面的三个纳米丝的另一个堆叠成对角线关系定位的三个纳米丝的堆叠205。

[0048] 在图2至图12的实例中,栅极区中的纳米丝由硅组成(但本文中的技术适用于SiGe丝或其它类型的半导体丝)。因而,线堆叠205的底部上的PFET 215丝具有从硅丝的末端延伸的掺硼(掺B)SiGe源极-漏极外延生长(“epi”),所述硅丝穿过栅极间隔件209突出。NFET丝211和213各自具有从硅丝的末端延伸的掺磷(掺P)硅源极-漏极epi。在描述图2至图12的过程中,掺杂SiGe epi源极/漏极区被视为硅纳米丝的部分。

[0049] 每个单元区203可以彼此隔离。图3是根据本公开的实施方案的绘示单元隔离步骤的结构300的示意图。此类单元隔离可以通过在所述装置上方形成经图案化的硬掩膜301来执行,所述硬掩膜限定一连串沟槽或开口303以用于将隔离沟槽305蚀刻到S/D条内的SiO₂填充材料220中。沟槽305使衬里307露出,所述衬里部分向上延伸远离栅极间隔件壁209。所述衬里可以由Ti/TiN层或任何其它合适材料形成。隔离沟槽305的给定大小可以被设为等于对应接点所需要的大小,所述接点将最终进行从BEOL金属金属向下到与各种纳米线“层级”

中的每一者连接的电极的连接。如下文讨论,此隔离沟槽305可以借助于移除隔离材料并且用S/D条金属来替代而变成从BEOL到电极“底层”的直接接点。

[0050] 在SRAM阵列内敞开隔离沟槽305之后,用选择性填充材料401来填充所述隔离沟槽,所述选择性填充材料对S/D条内的其它材料具有选择性。图4示出根据本公开的实施方案的在隔离沟槽内的选择性填充材料。如所见,结构400包括填充材料401,所述填充材料对SiO₂ 220、栅极间隔件材料209和通常在栅极区207中的栅极上方形成的电介质盖层材料具有选择性,所述电介质盖层材料可以是(例如)SiN。在图2至图12的实例中,使用掺碳填充材料作为填充材料401,所述填充材料可以填入所述开口并且随后在所述过程的后面容易地剥除。用于在以截面示出的S/D条后面形成的S/D条区的栅极区209'、SiO₂填料220'和填料401'。Ti/TiN衬里被图4中的填料220覆盖。

[0051] 可以通过各向同性蚀刻工艺(诸如气相蚀刻工艺)来选择性地移除SiO₂ 220。可以使用(例如)由Tokyo Electron, Ltd. 制造的CERTAS工具来执行这个工艺。此类蚀刻应能够包裹S/D条内的丝211、213、215的突出的S/D epi并且对其它材料具有非常高的选择性(诸如100:1蚀刻选择性或更大),使得蚀刻SiO₂ 220,但不蚀刻栅极间隔件材料、覆盖S/D epi材料的ALD Ti/TiN衬里以及已填充在沟槽305内的填充材料401(例如,掺碳)。因此,对SiO₂填料220的选择性蚀刻将导致暴露栅极间隔件侧壁209上和突出的纳米丝211、213和215上的Ti/TiN衬里307。应指出,常规的基于等离子体的各向同性蚀刻可能不足以完全围绕纳米丝211、213、215进行蚀刻,因为基于等离子体的蚀刻仍存在一些方向性并且选择性通常也不足够。因此,完全各向异性蚀刻,诸如气相化学氧化物移除,可能是有好处的。

[0052] 随后用S/D金属填充敞开的S/D条(移除了SiO₂ 220)。图5示出根据本公开的实施方案的在S/D条中提供了S/D金属填料之后的结构。可以通过用金属501填充S/D条来形成结构500,随后对所述金属进行研磨以使金属填料501与存在于金属栅极区207的表面上方的盖层的表面齐平。因此,金属填料501可以具有被磨平的覆盖层。如图5中所见,金属填料501替代图1至图4中的SiO₂填料220。金属填料501'也示出在另一个S/D条区上。金属填料501可以是钴、钨或任何合适的导电材料。在图2至图12的实例中,使用钴。

[0053] 一旦填充了S/D金属,便可以通过对S/D条金属的各向同性蚀刻来限定下部“底层”电极或下层沟道。图6示出根据本公开的实施方案的在限定下部电极的蚀刻之后的示例性结构。结构600包括由先前沉积的金属501形成的下部电极部分601。如所见,金属填料501的蚀刻将终止于底部PFET 215S/D epi与中间NFET S/D epi 213的层级之间。因此,第一层级中的纳米丝(例如,215)被金属501覆盖,而所述堆叠中在第一层级上方的纳米丝(例如,211、213)未被覆盖。如图6的截面图中所见,填料401从栅极间隔件209以及设置于上的衬里307突出。

[0054] S/D金属501的各向同性蚀刻(像上文讨论的SiO₂ 220移除蚀刻)应对所有其它暴露的材料(诸如Ti/TiN衬里、栅极间隔件209、填料401等)具有选择性。在(例如)在钴与原子层沉积(ALD) Ti之间存在选择性限制的情况下,则可以在S/D条敞开之前在Ti与S/D epi材料(SiGe/Si)之间进行退火之后任选地移除ALD Ti膜。Ti可以(1)仅选择性地沉积到S/D epi的表面并且不需要从所述装置的非epi区域的任何后续移除;或(2)在沉积简单的ALD Ti膜时,将在S/D epi的表面上形成TiSi,并且所述装置的其余部分将被覆盖在ALD Ti中,可以选择性地移除对TiSi有选择性的ALD Ti。这两种工艺应被视为“已知技术”。如所见,底部或

“底层”电极501(所述电极将形成VDD接点)从设置于栅极间隔件209上的Ti/TiN衬里307突出。

[0055] 通过诸如TEL CERTAS系统等设备来执行此类金属各向同性凹陷蚀刻可能是有好处的,因为气相蚀刻可以是循环工艺。因而,每个蚀刻循环将导致固定量的金属凹陷。还可以调整每循环的此凹陷量,使得可以通过在给定凹陷蚀刻中使用的循环数目来简单地实现凹陷的自对准。由于金属最初是通过CMP进行加工并停在金属栅极区207的电介质盖层的表面处,因此这呈现有效的“零点”,对于所述零点,循环凹陷蚀刻工艺可以在所讨论的示例性流程中在z高度定向上貌似实现自对准。图6示出金属填料501已凹陷以产生占据第一纳米丝层的金属沟道601或金属部件。

[0056] 就通过各向同性凹陷蚀刻工艺限定的下部“底层”电极来说,随后将下部沟道与上部沟道隔离。通过选择性沉积工艺来完成这个隔离过程。选择性沉积是与选择性蚀刻类似的沉积工艺。图7示出根据本公开的实施方案的在下部沟道金属上方形成的选择性地沉积的材料。通过选择性沉积,一种材料沉积在某一(某些)材料上或在某一(某些)上生长,而不沉积在其它的或其余的材料上。如图7中所见,材料701选择性地沉积在电极部分601上。举例来说,氧化铝(A1O)和A1O/SiO可以选择性地沉积在钴(Co)/CoAl的顶部上方,并且不沉积在图2至图12中的示例性流程的S/D条中的其它敞开材料(TiN衬里、掺碳沟槽填料、SiN盖层等)中的任一者上。此类沉积是有好处的,因为希望避免电介质材料沉积在堆叠205的未被覆盖的纳米丝上。因此,将此沉积材料选择性地沉积在突出的S/D epi 213下面可以在底部S/D金属“底层”上方制出连续的膜。

[0057] 此流程中选择性沉积工艺的替代方案是在S/D条内全部沉积电介质,之后进行CMP,并且之后进行选择性蚀刻凹陷。这个工艺比使S/D条金属501凹陷以形成下部底层沟道601的前一个步骤更具挑战性,因为前一个步骤的停止的边缘布置简单地在两个S/D条epis (213与215)之间,所述两个S/D条epis通常彼此间隔开30nm至40nm。使用此类凹陷蚀刻(代替选择性沉积)可能是具有挑战性的,因为所述凹陷需要精确地停止以形成必需的电介质厚度,所述电介质厚度是约5nm。因此,选择性沉积可以是优选的选择,因为通过固定的沉积工艺来控制电介质膜的厚度,对最终膜厚度均一性(以及因此电容)具有更好的容忍度。此外,选择性沉积大体上具有较少的工艺步骤并且可以避免非所要的CMP和具有挑战性的凹陷蚀刻工艺。

[0058] 随后用SiO₂ 220或对底部电介质衬里701(例如,A1O)和覆盖S/D条的壁的TiN衬里307有选择性的某其它类型的膜来填充S/D条。一旦沉积了SiO₂ 220,则可以对SiO₂ 220进行CMP研磨直到到达栅极区207中的金属栅极电介质的顶部,并且提供底层,对于所述底层,可以图案化第二隔离沟槽。图8绘示根据本公开的实施方案的用于形成第二隔离沟槽的方法。如所见,结构800包括在S/D条中的SiO₂ 220。同样地,可以使用常规的光刻图案化工艺来产生经图案化的蚀刻掩膜以产生穿过填充材料220向到底层电极的开口。如图8中所见,已形成的蚀刻掩膜801提供在基板201上并且包括开口803。此第二蚀刻掩膜801用于形成楼梯结构中的下一个“台阶”或“底层”的边界。沟槽805向上开到SiO₂ 220(或S/D条内的其它填充材料)中并且停在底部“底层”金属电极501上方的选择性沉积的电介质膜701的表面处。一旦沟槽到达膜701(在此实例中是A1O)的顶部,则膜701被穿透而露出下面的金属501。为了说明,图8的结构800示出了在蚀刻SiO₂填料220之后的沟槽区805'以及在蚀刻沟槽填料220

和电介质701之后的沟槽805。

[0059] 随后用S/D金属填充向下通到下部层级金属501的敞开的沟槽805。此填充提供所述电极的“向上接触”部分以提供从底部“阶梯”或“底层”电极到S/D条的表面的通路,其中可以实现与中间工艺(MOL)或BEOL金属的连接,并且此填充还提供一个边缘,对于所述边缘,可以执行额外的选择性沉积工艺以进一步隔离底部电极并且向上延伸“接触”MOL/BEOL模块。图9示出根据本公开的实施方案的用于形成下部电极的向上接触部分的方法。结构900包括沉积在敞开的沟槽805中的金属901,并且随后可以使用CMP步骤来将S/D金属901带回到金属栅极207上方的电介质盖层的高度。在CMP工艺中,在CMP将在金属栅极207上方的SiN盖层上终止时,还可以移除SiO硬掩膜(其可以用作从光刻沟槽到S/D SiO的转印层)。因此,到底部纳米丝的第一电极915具有水平部件903(“丝”或“线”)或构件和垂直部件905或构件(“接点”)。总起来说,如图9中所示,此电极915具有阶梯形剖面。

[0060] 在下部电极金属完成之后,可以完全地隔离电极915。随后可以移除SiO 220,也是通过各向同性选择性蚀刻工艺(例如,气相蚀刻)。可以通过原子层蚀刻(ALE)或等离子体蚀刻来任选地移除选择性地沉积在底部金属电极501部分上方的暴露的AlO电介质膜701,或者可以保留所述电介质膜。在此示例性流程中,为简单起见,移除在底部Co和Co/Al底部电极金属501上方的AlO电介质膜701。

[0061] 现在可以移除第一次形成的沟槽305中的填充材料401以露出在底部沟道中的最下“底层”或“阶梯”的底部处的间隙1001(参见图10)。一旦S/D金属501完全暴露,则可以在S/D金属501顶上进行电介质的另一个选择性沉积工艺以隔离底部电极915。图10示出根据本公开的实施方案的绘示下部电极的隔离的结构。如所见,结构1000包括电介质材料的选择性沉积1003以将包括丝部分903和“向上接触”结构905的下部电极915与所述电极结构中的其它“底层”或“阶梯”隔离。

[0062] 可以以与底部沟道电极915类似类型的方式来对后续的金属连接器或“阶梯”或沟道底层图案化并且在需要时对一定数目的所需的单独沟道重复所述过程。举例来说,后续的工艺步骤包括将S/D金属沉积到S/D条中,之后是选择性金属凹陷以限定下一个电极/金属丝的高度。这个操作之后是将电介质膜或屏障层选择性地沉积在第二S/D金属沟道上方。剩余的空间同样可以用SiO填充,并且可以形成并图案化(诸如通过凹槽)第三蚀刻掩膜以限定当前的电极/金属丝的“向上接点”。可以敞开第二电极的顶部处的电介质以露出S/D金属以将水平搁架或阶梯与垂直连接器电连接。再次使用选择性沉积来在S/D电极的第二层级或底层与下一个(第三)层级或底层之间形成电介质屏障。

[0063] 图11示出根据所公开的实施方案的在形成第二电极之后的示例性结构。如所见,中间电极1113形成于下部电极915上并且通过电介质1003与之隔离。与下部电极915一样,中间电极1113包括丝部分1103和向上接点部分1105。在中间电极1113上方设置额外电介质1115。在此阶段,Ti/TiN材料307在顶部电极的区中暴露。一旦电介质(诸如AlO)选择性地沉积在中间S/D金属沟道上方完成,则第二金属线为下一个层级的金属电极提供底层。

[0064] 然而,可以对在给定装置或基板中存在的许多层级的堆叠纳米丝继续此电极产生技术。可以通过用金属填入在中间电极上方敞开的区域中并且对其磨平使之与金属栅极上方的电介质的表面齐平来简单地限定最后的或最上部的电极(在这个实例中是第三电极)。因此,最后的电极可以具有塞子而非阶梯的外形,所述阶梯具有水平搁架和垂直部件。图12

示出根据所公开的实施方案的由这种方法产生的示例性结构。如所见,结构1200包括通过电介质结构1201与中间电极1113和下部电极915隔离的电极塞1211。

[0065] 因此,中间或第二电极1113与底部电极915和顶部电极1211在电学上并且在物理上隔离,并且每个S/D电极可以通过嵌入于电极结构中的已形成的“向上接点”结构来连接到MOL和BEOL金属层。这提供了用于使每个纳米丝连接到所述装置的任何端子的机制,尽管所有纳米丝在物理上相互交叠(垂直地对准)。因此通过可以被描述为拼凑在一起的电极的楼梯状S/D条/区或阶梯形堆叠的结构来独立地完成到每个丝的通路。对于此实例,仅三个侧向纳米丝彼此堆叠。为了连接到更多纳米丝,或纳米丝层,对给定设计中存在的那样多的堆叠丝重复这种方法。一旦需要形成最后的电极,则用金属填充S/D条以完成S/D条电极便足够。

[0066] 可以调整在S/D金属上方的选择性地沉积的电介质膜1003和1115的大小以便提供一定的沟槽选择性,在制作到如图12中所示的S/D条电极内的单独沟道的接点时,所述蚀刻选择性实现自对准。

[0067] 本文中的技术因此可以用于形成MOL和BEOL金属化层并且转移到前段工艺(FEOL)中的S/D区/条内,其中有足够的空间来适应拥塞。具有呈楼梯形式的相互交叠的电极堆叠提供了一种配置,所述配置实现了真正的3D逻辑装置和互补FET 3D逻辑,其中NFET丝和PFET丝彼此堆叠以便实现此类装置的显著面积缩放的好处,因为所述装置允许装置彼此堆叠。

[0068] 因此,可以为三维装置制造执行循环工艺。在常规单元中,P-MOS区和N-MOS区占据在芯片的不同侧上的大量的基板空间。就本文中的技术来说,纳米丝基本上彼此交叠。代替制作较大芯片,单元向上生长,使芯片变高。因此,本文中的技术提供显著面积缩放。

[0069] 就向上生长芯片来说,存在金属化挑战。常规的建议是从单元或芯片的侧接近纳米丝,但这基本上使单元水平地生长并且失去面积缩放的好处。就本文中的技术来说,所有的初始金属接点都是在S/D区内形成并且垂直地布线。一些常规NAND芯片利用楼梯接点配置,但这基本上是水平地延伸的单个楼梯,然而,因为形成多个阶梯,因此增加芯片的大小。然而,就本文中的技术来说,楼梯状段或阶梯形段彼此交叠形成,几乎与方块游戏相当,使得在单元的源极-漏极区内形成初始金属布线,由此实现水平空间节省。

[0070] 本文中的技术可以用于具有纳米丝的两个层级的装置,但是本文中的技术在有纳米丝的三个或更多个层级/层要连接时变成明显更有用。通过执行若干沉积,完全各向同性凹槽蚀刻和选择性沉积,可以形成阶梯形接线配置。

[0071] 在一些实施方案中,相邻的单元可以共用连接。举例来说,可以共用电源接点和漏极接点,并且因此到每个单元的单独的位仍将是独立的金属线。此类技术提供进一步缩放的好处,因为不需要那么多金属线。对于一些类型的装置,诸如SRAM,共用连接非常有好处。通过能够共用接点,相对于单独(未共用)接点所需的单元大小,单元大小可以减半。通过使区相互交叠,芯片大小可以减小50%,并且随后通过共用接点又可以减小约50%。因此,本文中的技术可以在装置密度相同的情况下使芯片大小减小75%。通过示例性好处,就本文中的技术来说,9个SRAM单元可以安放在4个DRAM单元所需的区域内。

[0072] 还应指出,本文中的技术也可以同等地应用于栅极配置。因此,也可以执行栅极内的选择性沉积工艺。结果是形成到相邻的或单独的位线的线接点的能力。

[0073] 在下文的权利要求中,附属项限制中的任一者可以取决于独立项中的任一者。

[0074] 在前文的描述中,已陈述了具体细节,诸如加工系统的特定几何形状以及本文中使用的各种部件和方法的描述。然而,应理解,本文中的技术可以在偏离这些具体细节的其它实施方案中实践,并且此类细节是用于阐释而非限制。已参看附图来描述了本文中公开的实施方案。类似地,为了阐释,已陈述特定数目、材料和配置以便提供透彻理解。不过,可以在无此类具体细节的情况下实践实施方案。具有基本上相同的功能构造的部件用相同的元件符号表示,并且因此可以省去任何多余的描述。

[0075] 已将各种技术描述为多个离散操作以帮助理解各种实施方案。描述次序不应被理解为暗示这些操作需要是次序相关的。实际上,不需要按呈现的次序来执行这些操作。可以按与所描述的实施方案不同的次序来执行所描述的操作。可以执行各种额外的操作和/或在额外的实施方案中可以省去所描述的操作。

[0076] “基板”如本文中使用时一般是指根据本发明进行加工的物体。所述基板可以包括装置(特别是半导体或其它电子装置)的任何材料部分或结构,并且可以(例如)是基本基板结构(诸如半导体晶片、光罩)或在基本基板结构上或上覆基本基板结构的层(诸如薄膜)。因此,基板不限于任何特定的基本结构、下伏层或上覆层、经图案化或未图案化,而是预期包括任何此类层或基本结构以及层和/或基本结构的任何组合。所述描述可以参考特定类型的基板,但这仅是为了说明。

[0077] 本领域技术人员还将理解,可以对上文阐释的技术的操作进行许多改变,同时仍实现本发明的相同目标。此类改变意欲被本公开的范围所涵盖。因而,本发明的实施方案的前文描述不意欲为限制性的。而是,对本发明的实施方案的任何限制呈现在以下权利要求中。

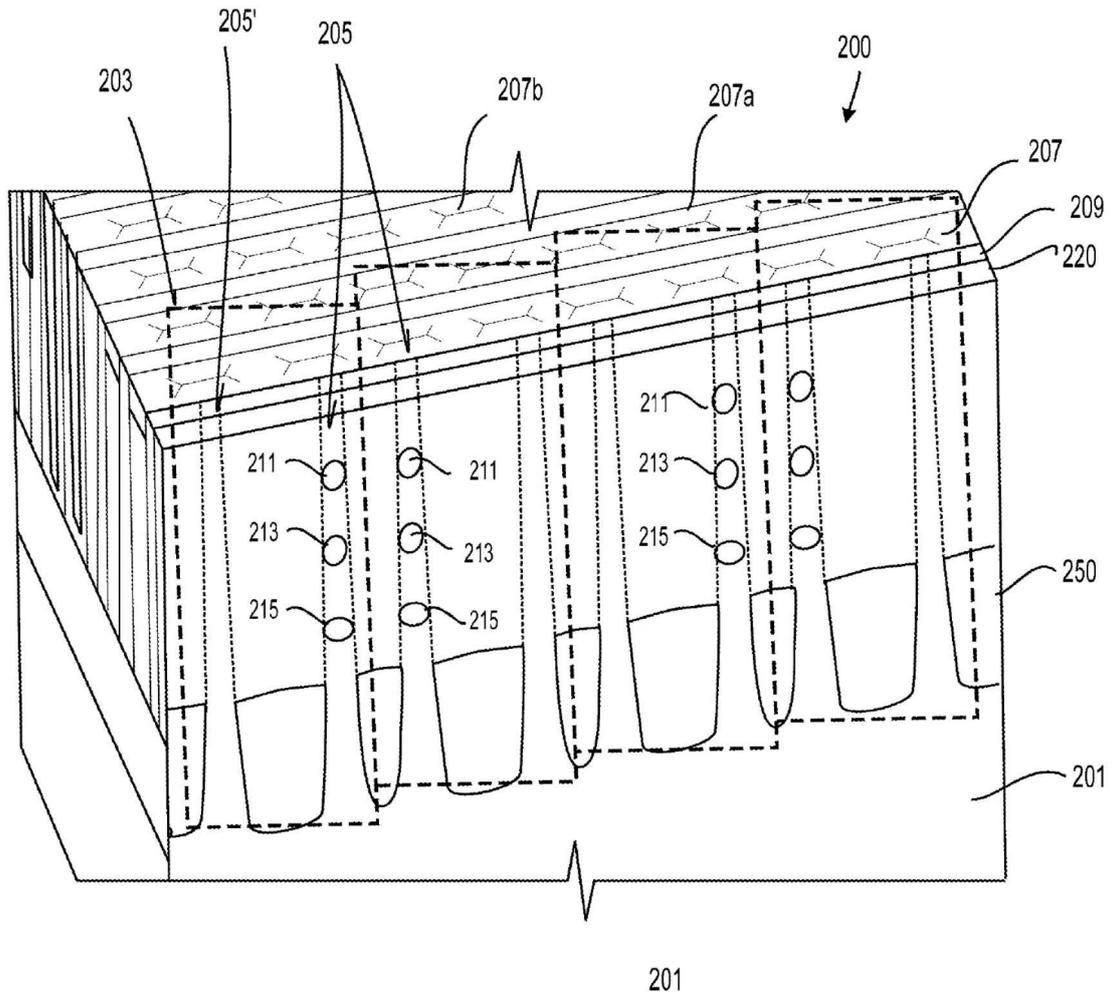


图2

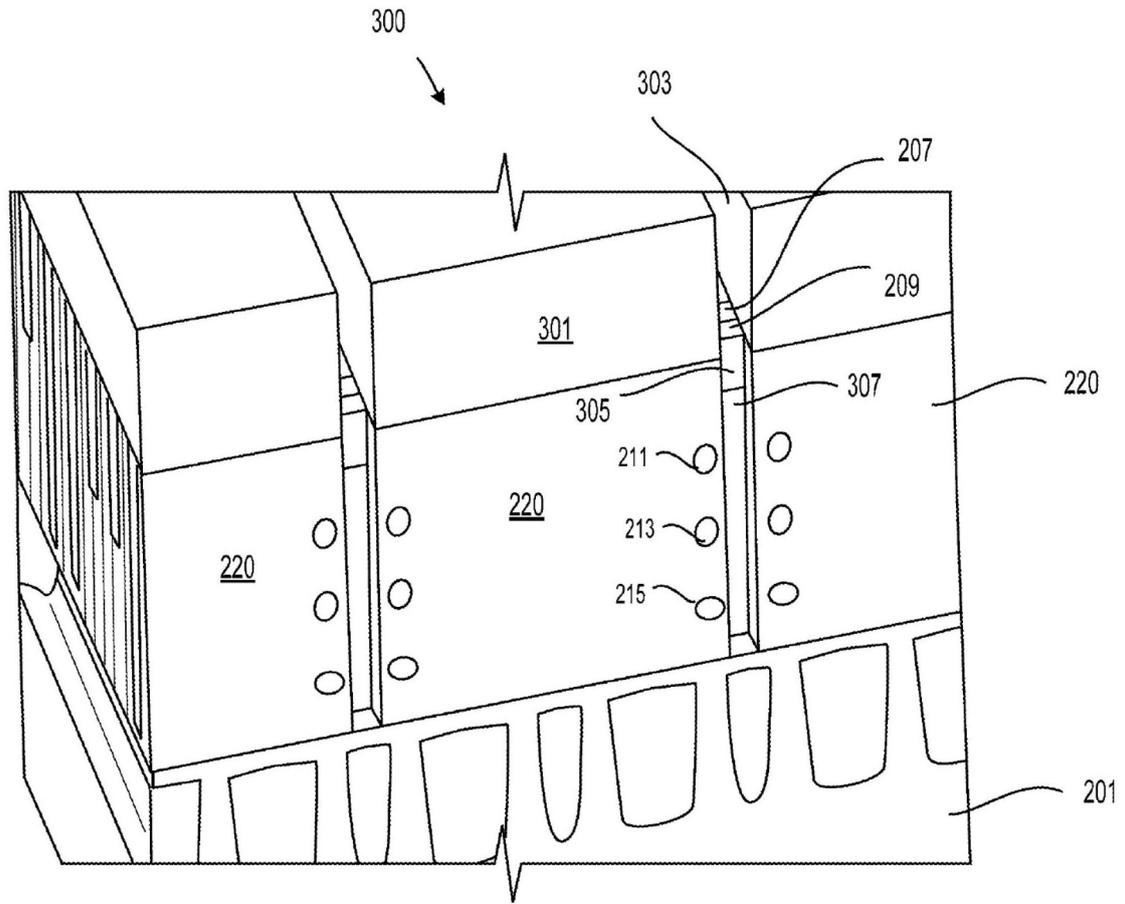


图3

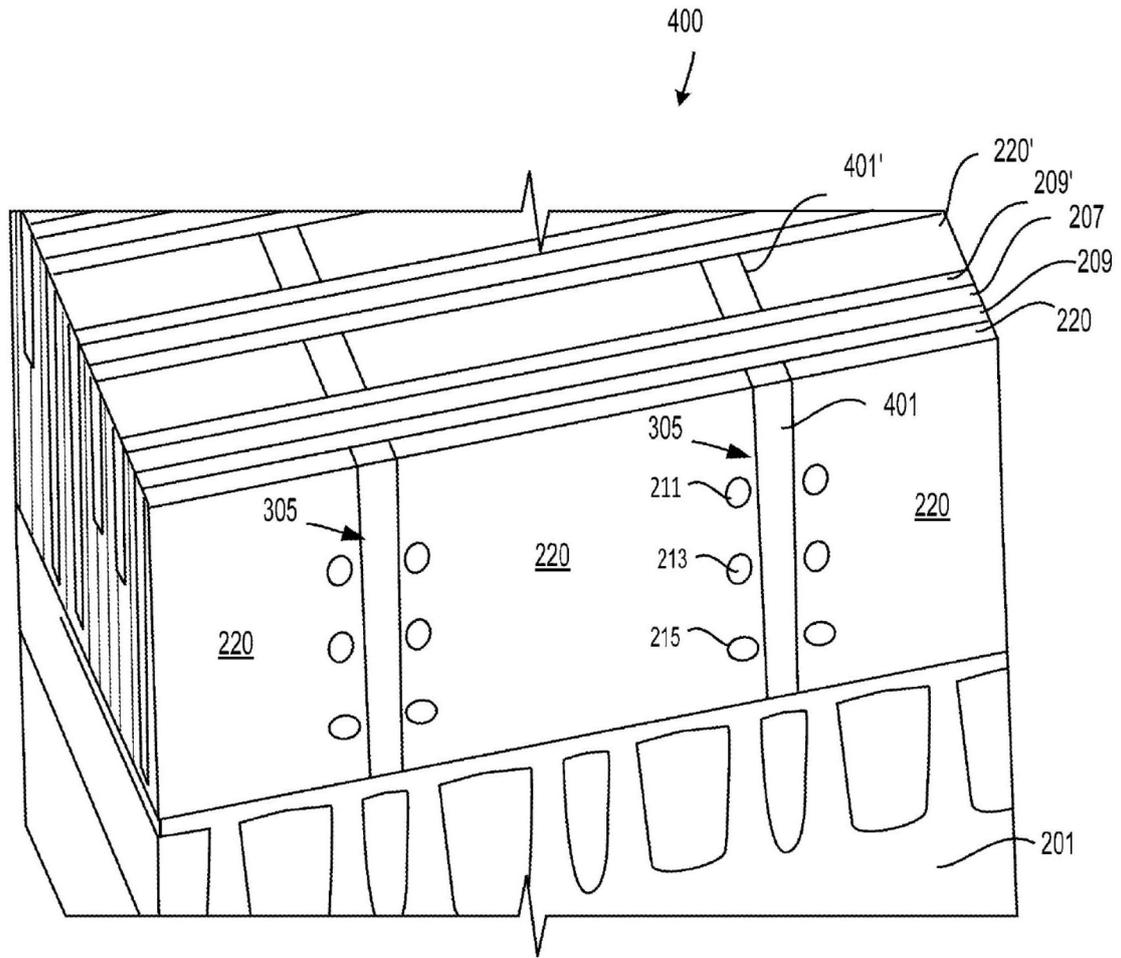


图4

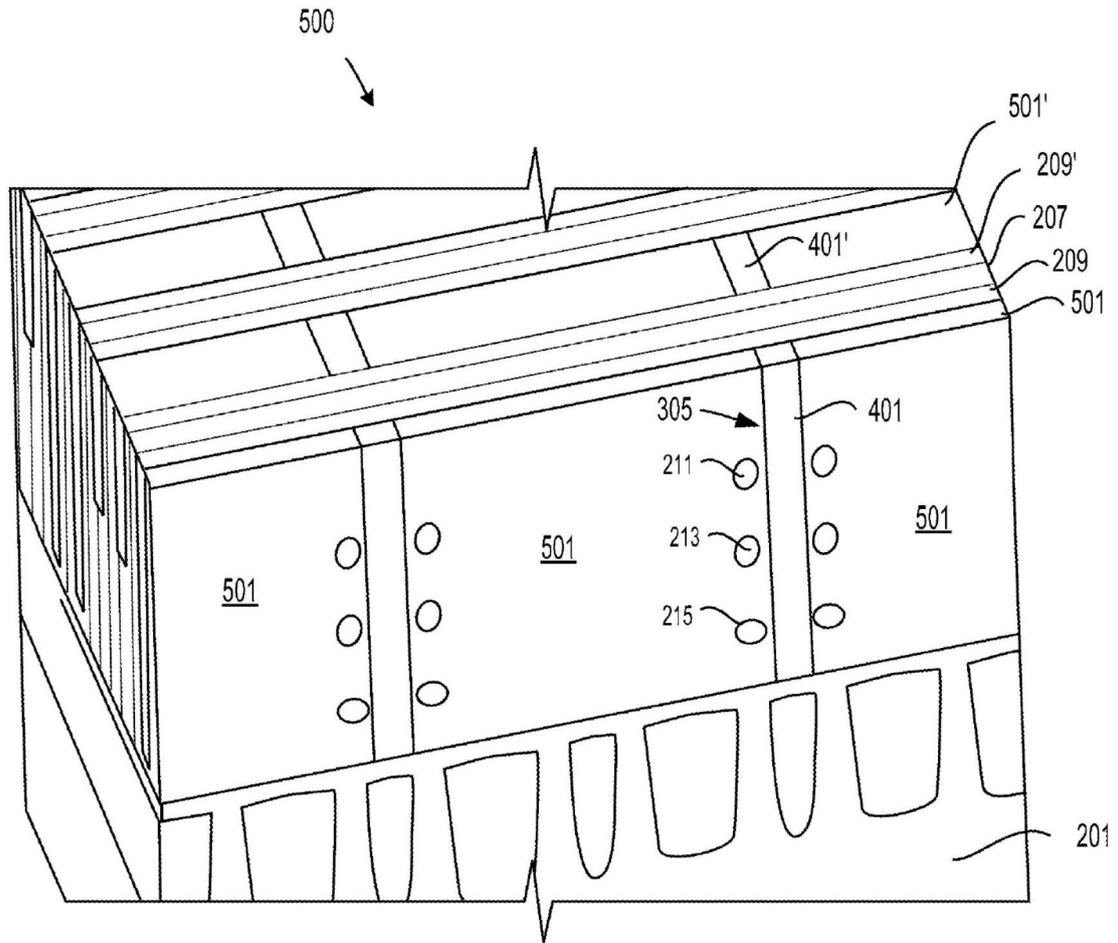


图5

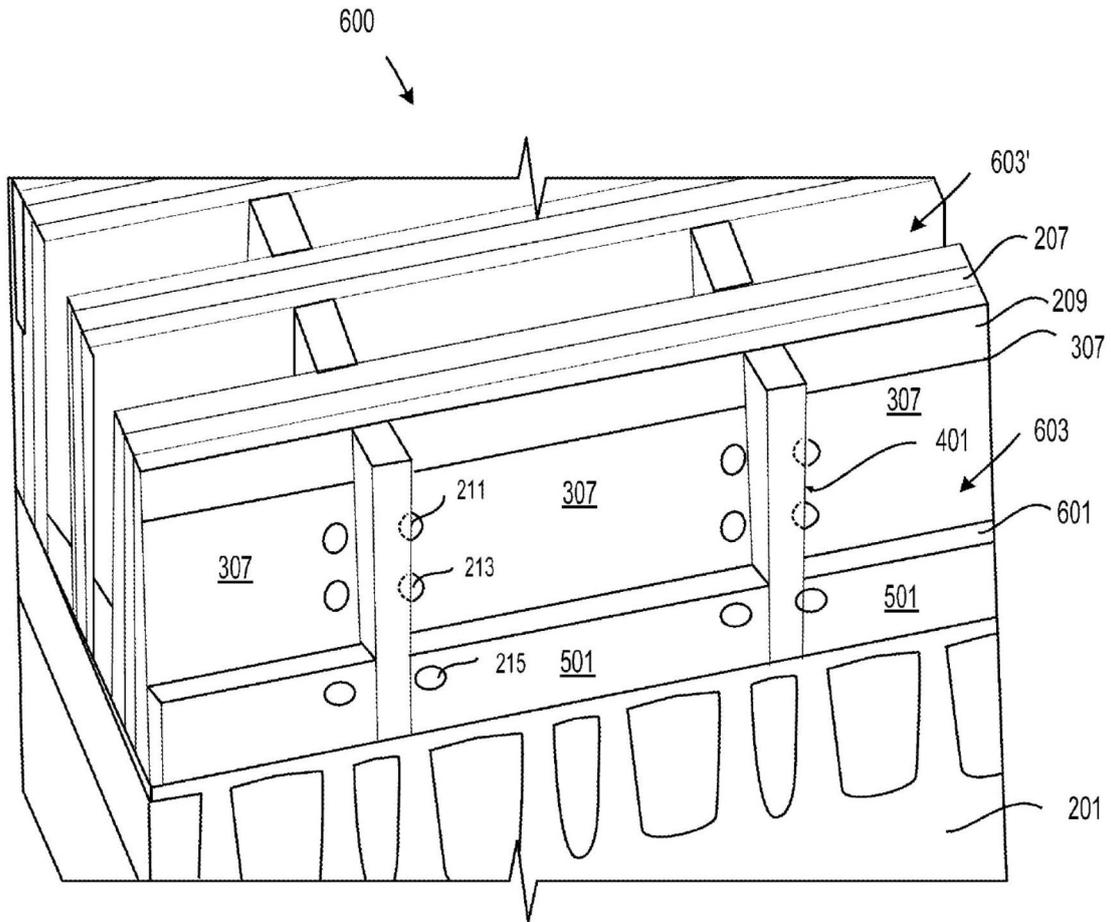


图6

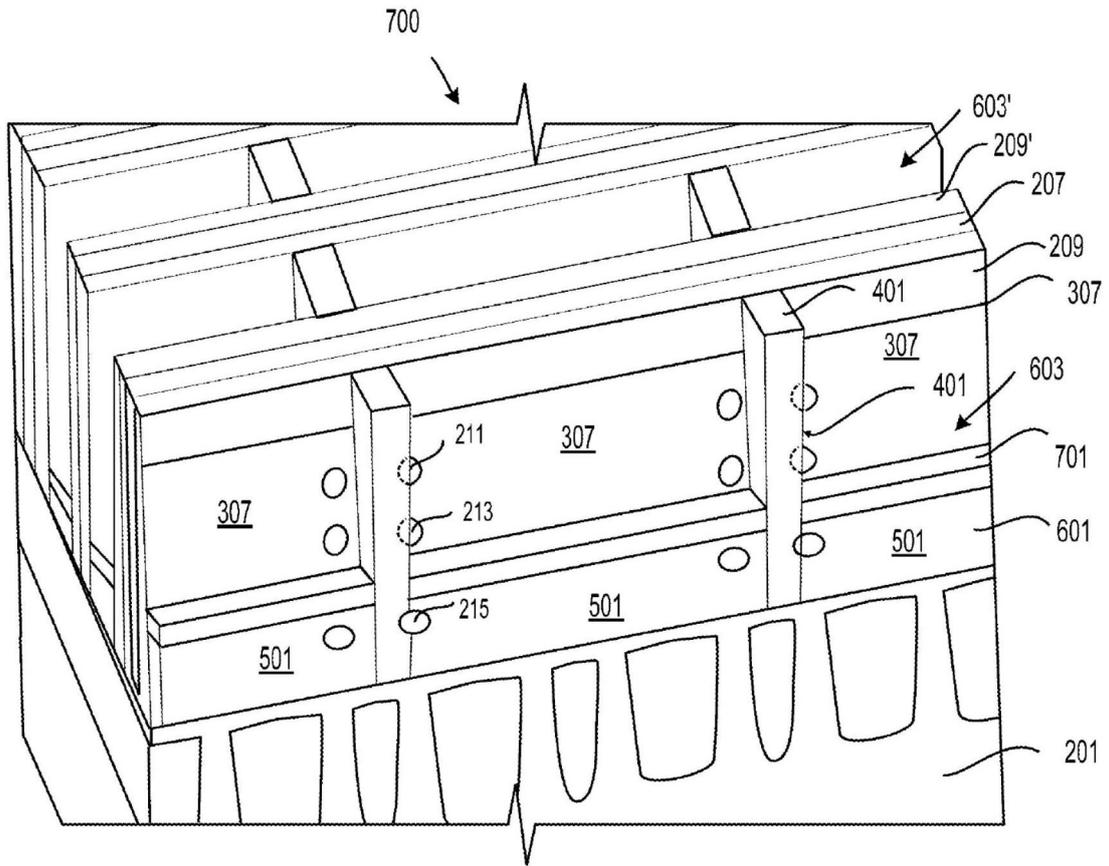


图7

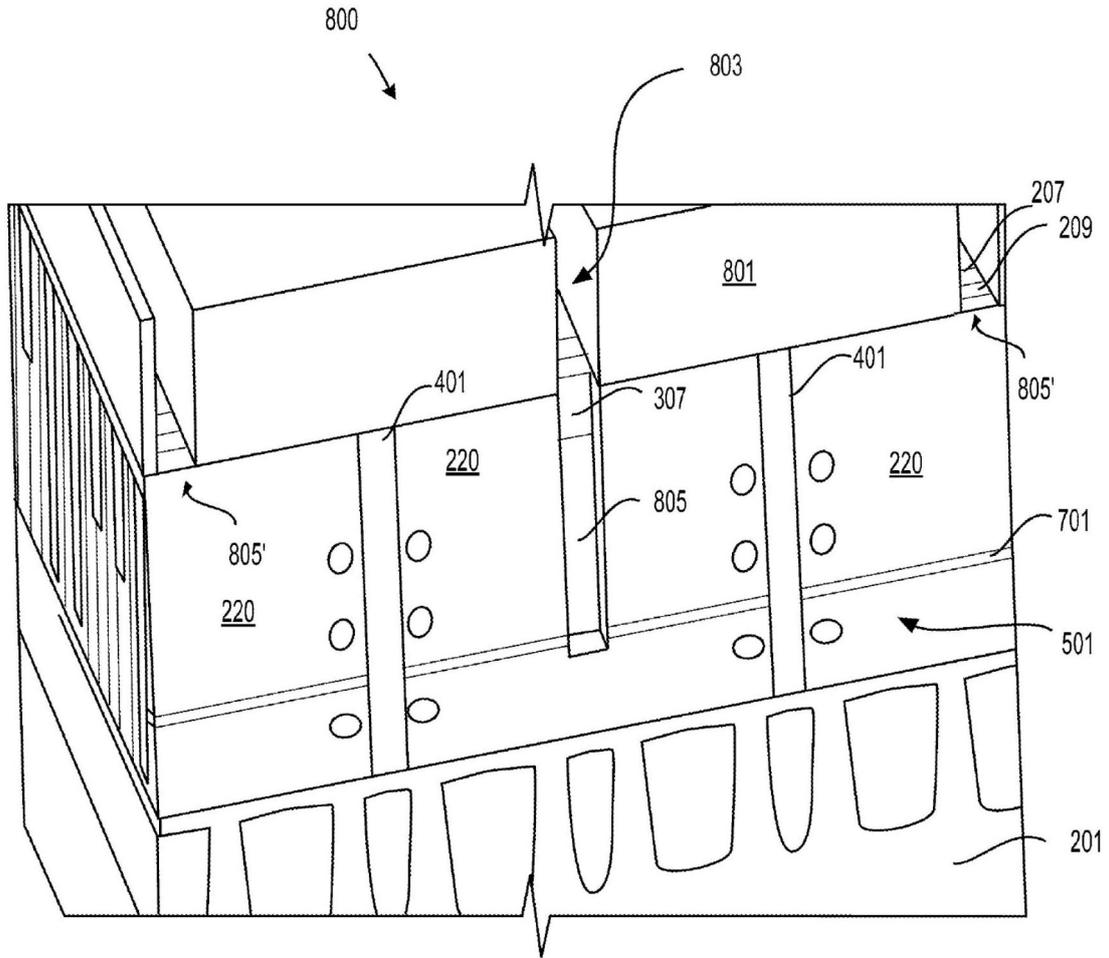


图8

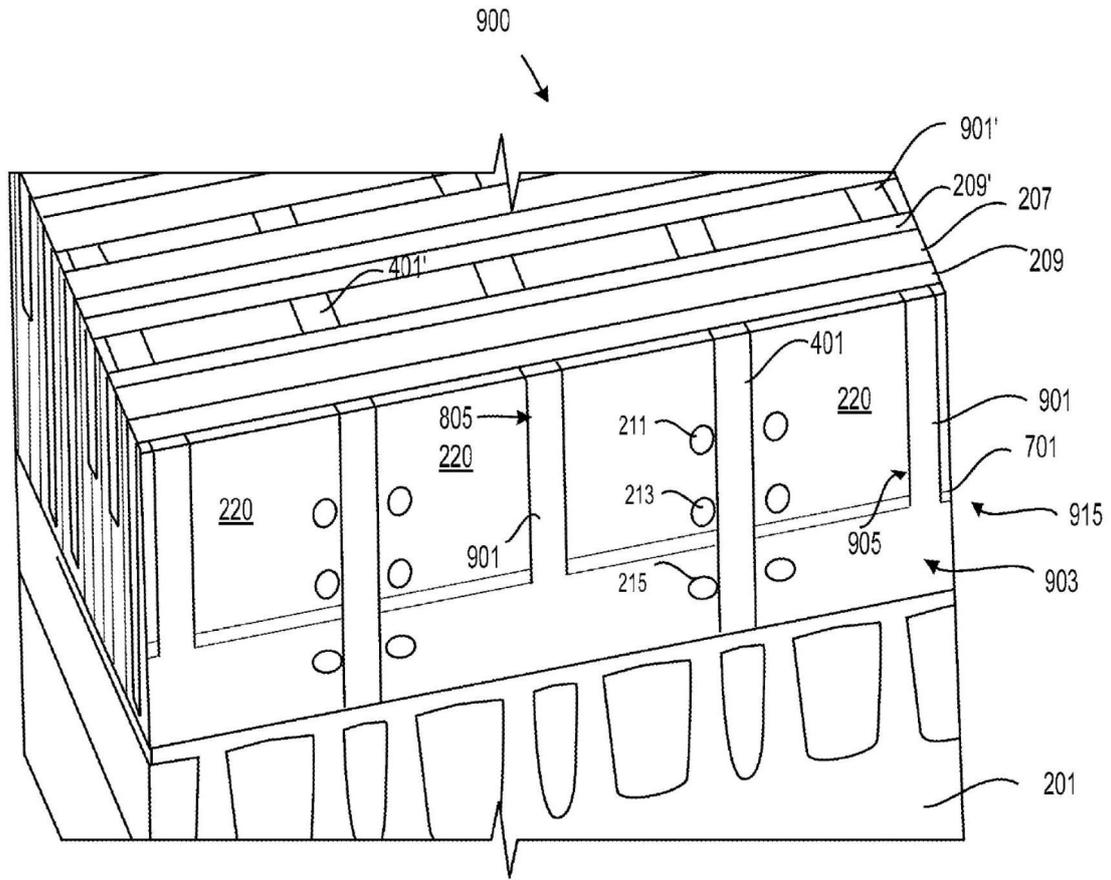


图9

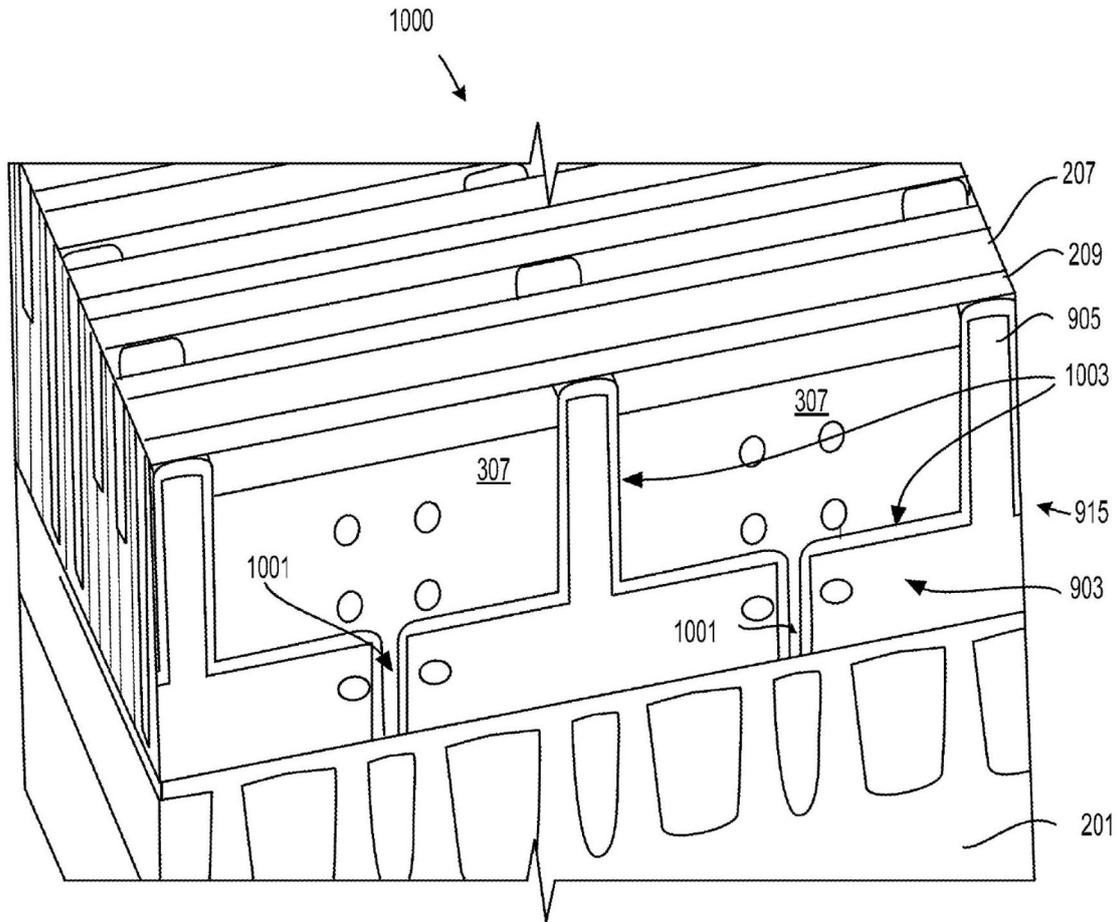


图10

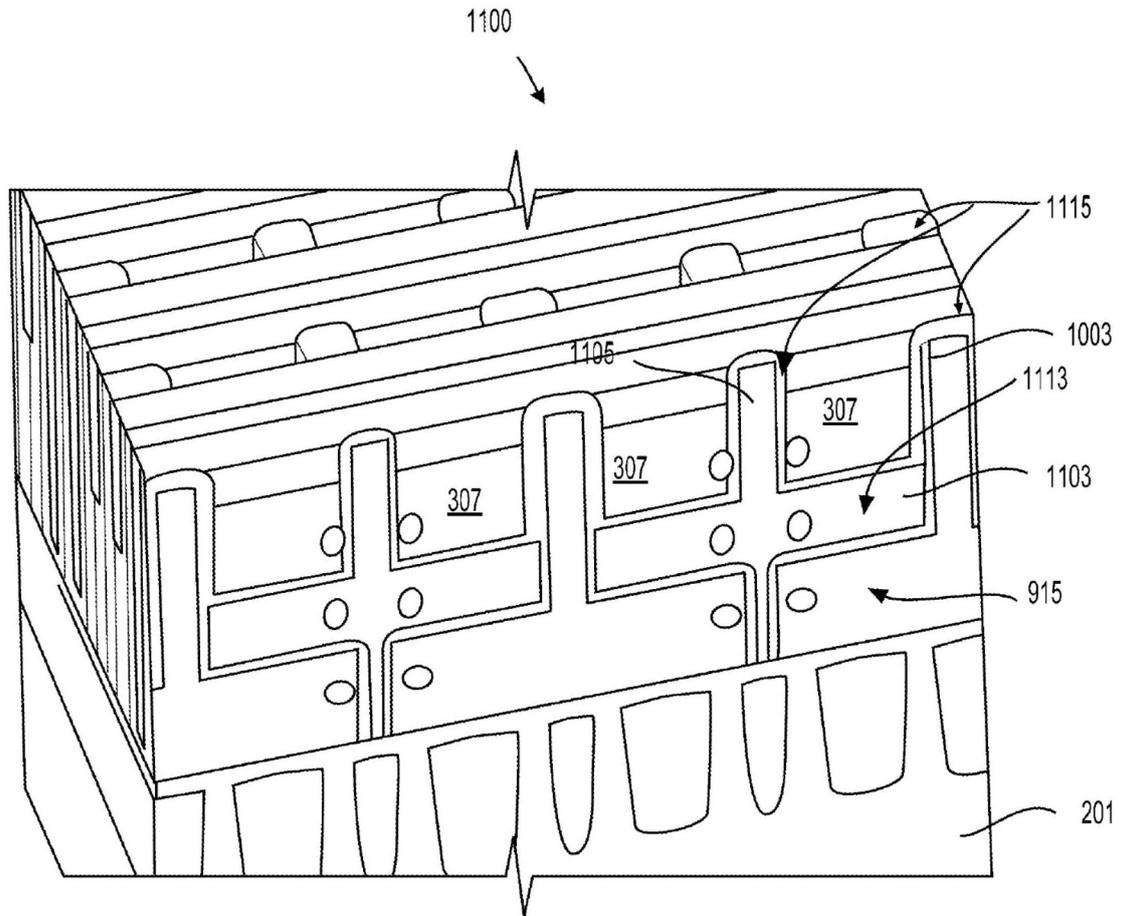


图11

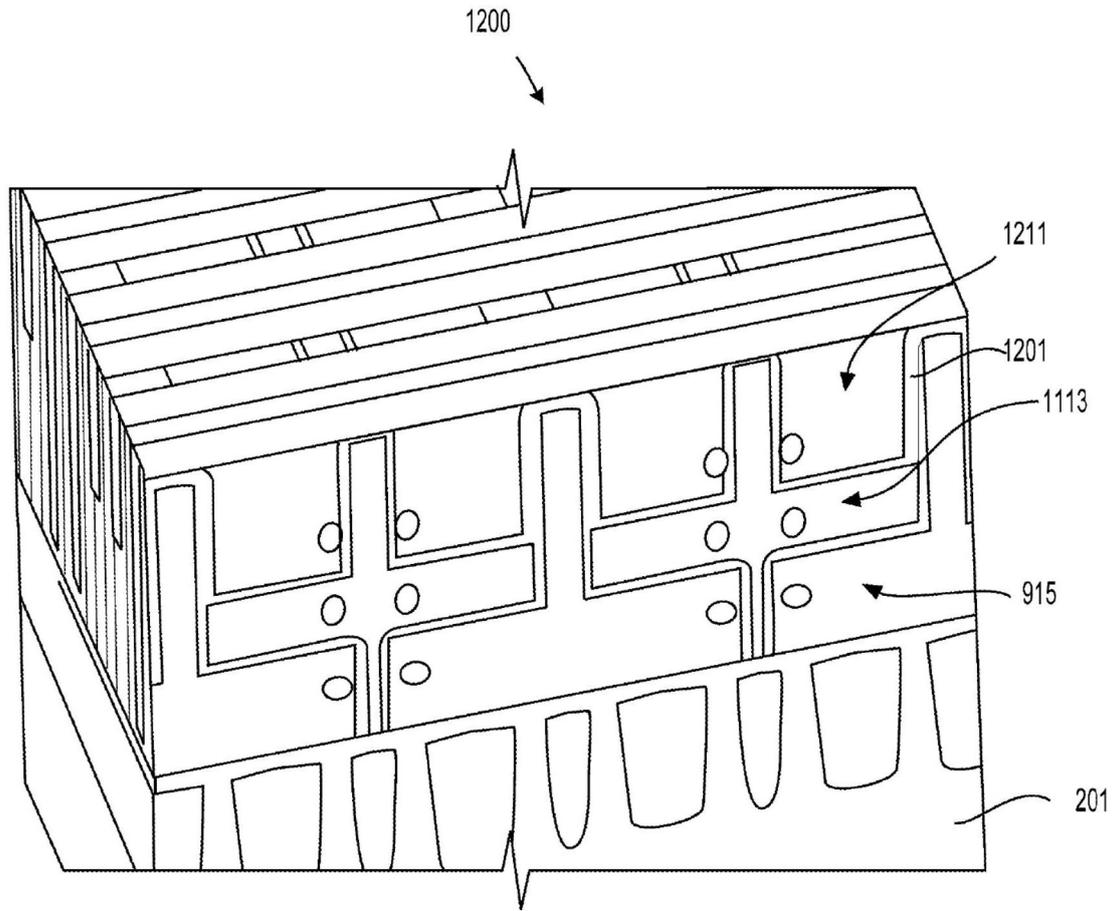


图12