



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁵ : H04M 17/02, 1/00, 19/08	A1	(11) Numéro de publication internationale: WO 93/18608 (43) Date de publication internationale: 16 septembre 1993 (16.09.93)
(21) Numéro de la demande internationale: PCT/CH93/00064 (22) Date de dépôt international: 10 mars 1993 (10.03.93) (30) Données relatives à la priorité: 805/92-8 12 mars 1992 (12.03.92) CH (71) Déposant (pour tous les Etats désignés sauf US): LANDIS & GYR BUSINESS SUPPORT AG [CH/CH]; CH-6301 Zug (CH). (72) Inventeurs; et (75) Inventeurs/Déposants (US seulement) : WENGER, Joel [CH/CH]; 124, chemin de la Montagne, CH-1224 Chêne-Bougeries (CH). BROCCARD, Philippe [CH/CH]; 16, avenue Jules-Crosnier, CH-1206 Genève (CH).		(74) Mandataire: BARO, Alain; Katzarov S.A., 19, rue des Epinettes, CH-1227 Genève (CH). (81) Etats désignés: FI, KR, NO, US, brevet européen (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Publiée <i>Avec rapport de recherche internationale.</i>
(54) Title: PUBLIC TELEPHONE POWER CONSUMPTION REDUCING METHOD AND DEVICE (54) Titre: PROCÉDE ET DISPOSITIF PERMETTANT LA REDUCTION DE CONSOMMATION DE PUISSANCE DANS UN TELEPHONE PUBLIQUE 		
(57) Abstract The power consumption of an inoperative telephone booth is reduced by a clock manager (2) which varies the frequency of pulses sent to a microprocessor (4) to operate same. (57) Abrégé La consommation électrique d'une cabine téléphonique est réduite au repos par un gestionnaire d'horloge (2) faisant varier la fréquence des impulsions envoyées au microprocesseur (4) pour son fonctionnement.		

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AT	Autriche	FR	France	MR	Mauritanie
AU	Australie	GA	Gabon	MW	Malawi
BB	Barbade	GB	Royaume-Uni	NL	Pays-Bas
BE	Belgique	GN	Guinée	NO	Norvège
BF	Burkina Faso	GR	Grèce	NZ	Nouvelle-Zélande
BG	Bulgarie	HU	Hongrie	PL	Pologne
BJ	Bénin	IE	Irlande	PT	Portugal
BR	Brésil	IT	Italie	RO	Roumanie
CA	Canada	JP	Japon	RU	Fédération de Russie
CF	République Centrafricaine	KP	République populaire démocratique de Corée	SD	Soudan
CG	Congo	KR	République de Corée	SE	Suède
CH	Suisse	KZ	Kazakhstan	SK	République slovaque
CI	Côte d'Ivoire	LI	Liechtenstein	SN	Sénégal
CM	Cameroun	LK	Sri Lanka	SU	Union soviétique
CS	Tchécoslovaquie	LU	Luxembourg	TD	Tchad
CZ	République tchèque	MC	Monaco	TG	Togo
DE	Allemagne	MG	Madagascar	UA	Ukraine
DK	Danemark	ML	Mali	US	Etats-Unis d'Amérique
ES	Espagne	MN	Mongolie	VN	Viet Nam
FI	Finlande				

PROCEDE ET DISPOSITIF PERMETTANT LA REDUCTION DE CONSOMMATION DE PUISSANCE
DANS UN TELEPHONE PUBLIC.

La présente invention concerne le domaine des appareils électriques comprenant des microprocesseurs, et en particulier un procédé et un dispositif réduisant leur consommation moyenne d'énergie électrique.

Pour certains appareils électriques, la nécessité de limiter la consommation d'énergie électrique à une valeur minimale est très importante. Ceci est particulièrement vrai pour les stations téléphoniques publiques. En effet, celles-ci sont généralement alimentées par la ligne téléphonique et l'énergie électrique autorisée qu'on peut prélever pour le fonctionnement est très limitée.

Le problème devient plus délicat au fur et à mesure que les stations téléphoniques publiques deviennent de plus en plus perfectionnées.

Le document EP - 0 275 566 décrit un procédé pour réduire la consommation électrique d'une station téléphonique publique, dans laquelle l'installation de commande comprend un microprocesseur. Dans ce procédé, la fréquence du cycle de base du système, commandée extérieurement, se trouve coupée par le microprocesseur au moyen d'un signal de coupure généré intérieurement à un instant donné, et rétablie à un moment ultérieur au moyen d'un signal de rétablissement généré extérieurement, le signal de rétablissement étant dérivé d'une horloge de commande dont la fréquence est faible en comparaison de la fréquence du cycle de base du système. Ce procédé présente les inconvénients suivants:

- le système ne fonctionne qu'à une seule fréquence, celle de l'horloge système (Systemtakt). L'horloge de commande (Steuertakt) ne fait qu'enclencher ou déclencher l'horloge du système. Pendant le temps qui sépare un tel déclenchement de l'enclenchement suivant, le microprocesseur est paralysé et n'est pas en mesure de reconnaître des interrupts ou conditions externes qui devraient normalement le faire réagir;
- le microprocesseur ne peut pas gérer le temps, car l'horloge système est interrompue de façon intermittente;
- on voit facilement que l'économie d'énergie réalisable ne peut pas dépasser 50 % dans le meilleur des cas.

Le document EP - 0 391 543 décrit une horloge de microprocesseur pour station téléphonique publique, dans laquelle un périphérique de microprocesseur envoie un interrupt simultanément à l'accélération du signal d'horloge lorsqu'un paquet de données est reçu du central téléphonique. L'interrupt est traité avec l'aide du signal accéléré d'horloge pour réduire le temps de réponse du système, ce qui permet de réduire la fréquence normale d'horloge pour économiser de l'énergie.

Ce procédé présente l'inconvénient de se reposer excessivement sur le périphérique du microprocesseur.

Dans ce document, on suppose que le microprocesseur est le principal consommateur d'énergie et on se contente de réduire sa consommation, sans s'attaquer à celle du périphérique, qui peut être également importante. La consommation globale de l'appareil n'est donc pas suffisamment réduite.

Des procédés sont connus, par exemple du brevet Européen N° 0 155 126, dans lesquels un oscillateur fournit des impulsions d'horloge nécessaires au fonctionnement du microprocesseur, et où un événement extérieur attendu, ou interrupt, comme par exemple l'entrée d'une pièce de monnaie dans la fente appropriée d'un appareil téléphonique public, provoque le passage d'un sous-ensemble de l'appareil, à savoir le système de reconnaissance et d'évaluation de pièces, de l'état de veille à l'état actif.

Cependant, dans ces procédés, le contrôle de la consommation électrique du microprocesseur reste rudimentaire. Pendant l'état de veille, le microprocesseur reste alimenté à la fréquence normale, ce qui induit une consommation encore relativement élevée d'énergie électrique.

L'invention qui va être décrite permet d'abaisser encore plus et de façon très appréciable la consommation d'énergie électrique pour les stations téléphoniques automatiques équipées d'un dispositif tel que décrit dans le préambule de la revendication 1, par les moyens décrits dans la partie caractérisante de cette même revendication.

La solution proposée ici est basée sur le fait que les microprocesseurs consomment surtout de l'énergie électrique lors de la commutation des impulsions d'horloge utilisées pour les faire fonctionner. Donc si pendant les périodes d'inactivité d'un microprocesseur on

abaisse sa fréquence d'horloge, on diminue alors automatiquement sa consommation d'énergie électrique.

L'oscillateur principal, aux fréquences usuelles de 4 MHz, présentant une consommation non négligeable (environ 1 mA), l'invention prévoit de façon générale un système d'oscillateurs placés en amont du gestionnaire d'horloge, l'ensemble étant susceptible de faire varier la fréquence d'horloge parvenant au microprocesseur.

Le principe consiste à confier la veille et le rythme de commutation entre fréquence normale et fréquence secondaire à un gestionnaire d'horloge comprenant une base de temps fixe, de fréquence encore bien inférieure à la fréquence secondaire choisie pour l'état de veille du microprocesseur. La fréquence de cette base de temps fixe est dépendante de la fréquence secondaire. Si la fréquence normale de fonctionnement du microprocesseur est de 4 MHz, la fréquence secondaire caractéristique de l'état de veille est par exemple de 250 KHz, et la fréquence de la base de temps fixe est par exemple de 50 Hz.

Une première ligne relie le gestionnaire au microprocesseur et permet d'envoyer les impulsions de base de temps fixe.

Chaque fois qu'une impulsion, correspondant à la fréquence de la base de temps fixe, est envoyée via une deuxième ligne par le gestionnaire d'horloge au microprocesseur, celui-ci passe à l'état actif et effectue un certain nombre de contrôles de l'état des périphériques (clavier, contact de combiné, etc). Lorsque le microprocesseur a terminé ces contrôles, il ordonne le cas échéant au gestionnaire, par une troisième ligne, de repasser à l'état inactif.

Le passage à l'état actif peut aussi être déterminé par l'arrivée d'un interrupt qui est lui-même la conséquence d'un événement extérieur: arrivée d'une impulsion de taxe depuis le central, entrée d'une pièce dans une fente, surveillance des tensions d'alimentation, etc.

L'ordre communiqué au gestionnaire par le microprocesseur dépend de l'activité de ce microprocesseur. Il peut décider de commuter ou de rester sur la fréquence normale si le besoin s'en fait sentir (par exemple chronométrage d'une période telle que la durée correspondant à une taxe). Lorsque les contrôles ont déterminé l'absence de chronométrage, le microprocesseur ordonne au gestionnaire de passer à l'état de veille.

Dans une forme particulière de réalisation de l'invention, le gestionnaire fait varier la fréquence d'horloge de manière discontinue, entre des valeurs discrètes. Cette réalisation est différente d'une réalisation dans laquelle toutes les valeurs de fréquences comprises entre un minimum et un maximum peuvent a priori être choisies.

Dans une forme particulière de réalisation de l'invention, la fréquence ne peut prendre que deux valeurs: la valeur de la fréquence normale du cycle de base du microprocesseur, dite fréquence normale, et une valeur plus faible, dite fréquence secondaire, choisie pour faire baisser la consommation électrique du microprocesseur lorsque les conditions font qu'il peut se mettre à l'état inactif.

Dans une forme de réalisation particulière de l'invention, le système d'oscillateurs est constitué d'un oscillateur unique, délivrant la fréquence normale, et le gestionnaire consiste en un diviseur de fréquence.

Dans une autre forme de réalisation de l'invention, le système d'oscillateurs est constitué de deux oscillateurs, l'un, dit oscillateur principal, délivrant la fréquence normale, et l'autre, dit oscillateur secondaire, délivrant la fréquence secondaire. Le gestionnaire coupe l'alimentation de l'oscillateur principal lorsque l'oscillateur secondaire, générant la fréquence secondaire de valeur inférieure à la fréquence normale, est sélectionné par le gestionnaire. Les seuls signaux subsistant sur la deuxième ligne sont ceux générés par l'oscillateur secondaire.

Dans une forme particulière de réalisation de l'invention, la fréquence normale est de 4 MHz et la fréquence secondaire de 250 KHz. Dans le cas d'un diviseur de fréquence, cette fréquence secondaire n'est autre que la fréquence normale divisée par 16 par le gestionnaire.

D'autres avantages de l'invention apparaîtront ci-après dans la description détaillée d'une forme de réalisation de l'invention, par référence au dessin annexé, constitué des figures 1 à 4 où:

- la figure 1 représente un diagramme-bloc montrant schématiquement le fonctionnement du procédé faisant appel à un diviseur de fréquence;
- la figure 1a représente le même diagramme-bloc dans le cas d'un système d'oscillateurs comprenant deux oscillateurs;
- la figure 2 représente un organigramme du processus d'action du gestionnaire d'horloge 2;
- la figure 3 représente un schéma bloc du gestionnaire d'horloge 2 de la figure 1, dans le cas d'un oscillateur unique avec division de fréquence;
- la figure 4 représente schématiquement l'implantation des circuits logiques 5 de la figure 1, ainsi que de

l'unité centrale du microprocesseur 4 et des bus reliant physiquement ces éléments.

Dans la figure 1,

- le rectangle 1 représente l'oscillateur;
- le rectangle 2 représente le gestionnaire d'horloge;
- le rectangle 4 représente le microprocesseur;
- le rectangle 5 représente l'ensemble des circuits pilotés par le microprocesseur 4 lorsqu'il est actif.

Une première ligne 3 relie la base de temps fixe, contenue dans le gestionnaire 2, au microprocesseur 4. Elle véhicule du gestionnaire 2 vers le microprocesseur 4 les signaux de la base de temps fixe, dont la fréquence est dépendante de la fréquence secondaire par un diviseur de fréquence qui divise cette fréquence par la valeur P (figure 3). Cette fréquence de la base de temps fixe est choisie beaucoup plus basse que la valeur minimale d'une fréquence d'horloge, véhiculée sur une deuxième ligne 6 entre le gestionnaire 2 et le microprocesseur 4. Cette fréquence d'horloge est déterminée à la fois par le gestionnaire 2 et par le microprocesseur 4, de la façon suivante:

- le microprocesseur 4 effectue un ensemble de contrôles à chaque réception d'une impulsion de la base de temps fixe par la première ligne 3. A l'issue de cet ensemble de contrôles, un ordre est généré par le microprocesseur 4 à destination du gestionnaire 2 et est véhiculé par une troisième ligne 7, munie sur la figure 1 d'une flèche allant vers la gauche;
- cet ordre est interprété par le gestionnaire 2 qui fait varier en conséquence la fréquence d'horloge des impulsions d'horloge véhiculées vers le microprocesseur 4 via la deuxième ligne 6.

L'optimisation de la fréquence d'horloge par interaction constante entre le gestionnaire 2 et le microprocesseur 4 permet à son tour de réduire au minimum la consommation d'énergie du microprocesseur 4, et donc de la station.

Les circuits 5 pilotés par le microprocesseur 4 quand il est à l'état actif, sont reliés à celui-ci par un bus d'adresse 15, connu en soi.

Le retour à la fréquence normale des impulsions d'horloge, pour que le microprocesseur 4 puisse reprendre son activité normale, c'est-à-dire effectuer des gestions de temps de programme, se fait:

- soit grâce à la base de temps dont les signaux sont transmis par la première ligne 3 au microprocesseur 4, qui périodiquement commande ainsi par la troisième ligne 7 au gestionnaire 2 de revenir sur la fréquence normale des impulsions d'horloge,
- soit automatiquement, et de manière connue, à la détection de n'importe quel interrupt, c'est-à-dire par exemple un signal de taxe, l'introduction d'une pièce dans l'automate, le fait de presser une touche du clavier, le fait de décrocher ou de raccrocher le combiné, grâce à une commande quelconque non représentée sur la figure 1. Le gestionnaire 2 reçoit les adresses A0 à A15 du bus d'adresse 15 (figure 3) du microprocesseur 4, ce qui lui permet de détecter automatiquement grâce au comparateur 12, les interrupts, et de commuter sur la fréquence normale dès la reconnaissance de ceux-ci, sans l'aide de la troisième ligne 7. On a de ce fait une réaction du microprocesseur 4 aux interrupts à la fréquence normale, ce qui fait que les performances ne sont pas diminuées. Pendant l'intervalle correspondant au reste des 20 ms dans le cas où la fréquence de la base de temps fixe est de 50 Hz, le microprocesseur travaille à la fréquence secondaire réduite.

La figure 1a représente un diagramme-bloc pour la forme de réalisation de l'invention faisant appel à un système d'oscillateurs comprenant deux oscillateurs:

- un oscillateur principal 1, délivrant une fréquence haute dite normale;
- un oscillateur secondaire 1', délivrant une fréquence basse dite secondaire.

Lorsque les conditions prévalant dans la station autorisent la mise à l'état inactif du microprocesseur 4, celui-ci communique au gestionnaire 2, par la troisième ligne 7, l'ordre de mise en état inactif. Celui-ci envoie par la ligne 8, qui n'apparaît que dans cette forme de réalisation de l'invention représentée par la figure 1a, un ordre de déclenchement à l'oscillateur principal 1. Celui-ci est alors coupé, et les seules impulsions parvenant au gestionnaire sont les impulsions de fréquence secondaire, transmises au microprocesseur par la deuxième ligne 6, ainsi que les impulsions de la base de temps fixe, transmises au microprocesseur 4 par la première ligne 3.

La figure 2 représente un organigramme détaillant le processus selon lequel le gestionnaire 2 passe à la fréquence normale suite à un interrupt, puis tente ensuite de repasser à la fréquence secondaire générant des économies d'énergie électrique.

Cet organigramme, qui doit être lu de haut en bas, comprend les étapes suivantes:

- l'étape A désigne un état d'attente du microprocesseur 4, que la fréquence soit normale ou secondaire.
- l'étape B désigne l'apparition d'un interrupt externe, de type aléatoire.
- l'étape C, qui est une alternative à l'étape B ayant le même résultat, à savoir le passage en fréquence normale, désigne une action logicielle interne au gestionnaire 2, c'est-à-dire un interrupt interne, provoqué soit par la

base de temps fixe du gestionnaire, soit par le boucllement de sous-cycles du microprocesseur, appelés communément timers.

Dans ces deux cas, le passage à la fréquence normale se fait automatiquement par le gestionnaire 2, par la reconnaissance d'un interrupt soit externe, soit interne.

- l'étape D désigne le passage ou le maintien en fréquence normale.

- l'étape E désigne un état dans lequel le microprocesseur 4 effectue au moins un cycle de contrôles. Ce cycle ne peut s'effectuer dans de bonnes conditions que si la fréquence est normale. Il peut comporter la mise en marche de timers du microprocesseur 4, qui doivent impérativement être exécutés à la fréquence normale jusqu'à leurs échéances respectives pour que la suite des opérations s'effectue correctement.

- l'étape F représente, après un cycle de travail du microprocesseur 4, une routine interne du microprocesseur 4 qui teste l'arrivée ou non à échéance des divers timers.

- l'étape G représente le chemin que prend le processus en cas de résultat positif du test précédent: tous les timers étant arrivés à échéance, le microprocesseur 4 peut passer à l'état inactif et la fréquence d'horloge à la fréquence secondaire. Ce passage à la fréquence secondaire se fait par l'envoi d'une commande au circuit intégré spécifique d'une application, communément appelé ASIC, dont fait partie intégrante, dans le but de réduire le nombre de circuits intégrés, le gestionnaire 2.

- l'étape H représente le chemin que prend le processus en cas de résultat négatif du test de l'étape F: l'un au moins des timers n'est pas arrivé à échéance, on ne peut pas faire passer le microprocesseur 4 à l'état inactif, donc il faut maintenir la fréquence normale.

- lorsque les étapes G ou H sont effectuées, le processus reprend à l'étape A.

La figure 3 représente un schéma bloc du gestionnaire d'horloge 2 incorporant un diviseur de fréquence dans le cas d'un oscillateur unique. Ce gestionnaire 2 fait partie du circuit intégré spécifique d'une application dit ASIC. L'oscillateur 1 est relié au gestionnaire 2 par le point CKIN, et délivre une fréquence fixe de 4 MHz dans le présent exemple. Le microprocesseur 4 est relié au gestionnaire 2 par la deuxième ligne 6 qui aboutit au point CKOUT. Entre ces deux points, le gestionnaire comporte, dans cette forme de réalisation de l'invention, un diviseur 11 de la fréquence par une puissance N de 2, N pouvant éventuellement varier. La valeur maximale de N est déterminée par la fréquence minimale où le microprocesseur 4 peut fonctionner normalement.

La sélection entre les deux fréquences se fait soit par la troisième ligne 7 (véhiculant la commande appelée ci-après SPEED) soit par la reconnaissance d'un interrupt grâce à un comparateur 12 connecté sur les adresses A0 à A15 du bus d'adresse 15. La référence 13 représente une fonction OU, constituée d'une part d'un flip-flop de type D qui mémorise l'état du comparateur 12 (arrivée d'un interrupt) en synchronisme avec l'exécution des ordres internes du microprocesseur 4, et d'autre part la commande spécifique du microprocesseur 4 (ligne 7), ces deux conditions déterminant la position du commutateur 14, et de ce fait la fréquence véhiculée par la ligne 6.

La fonction OU opère de la façon détaillée dans le paragraphe ci-après, dans lequel 1 désigne l'état positif et 0 l'état négatif:

- si le bus d'adresse 15 est à 1 et SPEED également à 1, le résultat est aussi à 1;
- si le bus d'adresse 15 est à 1 et SPEED est à 0, le résultat est à 1;
- si le bus d'adresse 15 est à 0 et SPEED est à 1, le résultat est à 1;

- si le bus d'adresse 15 est à 0 et SPEED est à 0, le résultat est à 0.

La reconnaissance d'un interrupt par le comparateur 12 permet de passer à la fréquence normale quel que soit l'état de la commande SPEED arrivant par la troisième ligne 7. Le résultat de cette reconnaissance arrive sur le commutateur 14 et détermine directement la fréquence de la deuxième ligne 6 allant au microprocesseur 4.

Dans l'exemple choisi, relatif à une réalisation faisant appel à un diviseur de fréquence, la fréquence de la base de temps fixe est de 20 millisecondes. Cette base de temps fixe fait aussi partie du circuit intégré spécifique d'une application dit ASIC représenté à la figure 3. Elle comprend notamment deux diviseurs en cascade, l'un divisant par 4000, et l'autre par un entier P variant de 1 à 128. Dans l'exemple représenté, on choisit une fréquence normale d'oscillateur égale à 4 MHz et N égal à 20. On obtiendra alors un signal de base de temps fixe tous les 20 ms, c'est-à-dire une fréquence égale à 50 Hz.

Cette valeur a l'avantage de permettre d'utiliser les impulsions d'horloge pour générer les signaux émis depuis le clavier numérique de la station, lorsque celle-ci appelle un numéro de téléphone formé par l'utilisateur sur le clavier. Les signaux de clavier se font à une fréquence pouvant varier, dans la plupart des pays, entre une valeur haute "HIGH", correspondant à une période de 40 ms, et une valeur basse "LOW", correspondant à une période de 60 ms. Cependant, en France l'utilisation d'une base de temps de 16,6 ms est requise pour former un numéro d'appel. C'est la raison de la présence d'un diviseur par P. La valeur de P fait l'objet d'un réglage avant la livraison de la station. Par ailleurs, 20 ms est le maximum autorisé pour éviter que le système de

détection des pièces introduites dans la fente de paiement de la station ne perde des pièces entrées immédiatement à la suite les unes des autres.

Le choix de la fréquence de 250 KHz est lié aux caractéristiques du microprocesseur 4 utilisé. C'est la fréquence minimale permettant un fonctionnement sans risque.

La ligne téléphonique délivre environ 150 mW. Plus les fréquences utilisées sont basses, ou à l'inverse les périodes élevées, plus la partie intelligente de la station est économe en énergie et plus il reste d'énergie stockable en vue, par exemple, d'actionner les aimants du sélecteur de pièces.

La figure 4 montre schématiquement, sur la plaque logique de la station, l'implantation des circuits logiques 5 de la figure 1, avec la connexion des différents composants au moyen du bus d'adresse 15, représenté par des flèches larges, dans le présent exemple de réalisation. Il va de soi que les flèches maigres peuvent aussi comprendre plusieurs conducteurs, ou plus généralement plusieurs moyens de transmission de signaux, par exemple par multiplexage.

Le bus d'adresse 15 relie le modem, signifiant modulateur-démodulateur, le RTC, signifiant Real Time Clock, l'émetteur-récepteur DTMF, signifiant Dual Tone Multi Frequency, le CPU, signifiant Central Processing Unit, la mémoire M et l'interface I2C. Le bus d'adresse 15, ou voie de circulation, comprend des adresses de poids fort A8 à A15 et des adresses de poids faibles A0 à A7 issues d'un démultiplexeur (non représenté). A chaque type d'interrupt correspond une adresse, ce qui permet notamment au gestionnaire 2, lorsqu'une adresse

correspondant à un interrupt apparaît sur le bus d'adresse 15, de passer en fréquence normale.

Pour un microprocesseur 4 consommant en moyenne 3 mA avec des impulsions d'horloge de 4 MHz, on verra cette intensité tomber à des valeurs entre 0,5 et 1 mA avec une fréquence réduite à 250 KHz.

Sur les 20 ms séparant deux signaux de base de temps fixe, 5 ms verront une consommation de 3 mA tandis que les 15 autres ms verront une consommation de 0,5 mA. Ceci donne une consommation moyenne de 1,12 mA donc un rapport de 0.37. Ceci représente une économie de 63 %; en valeur moyenne, cette économie peut varier de 40 à 65 %.

Une réduction supplémentaire de la fréquence à 10 KHz ou même moins a pour effet une réduction correspondante de l'énergie électrique consommée par le microprocesseur 4.

REVENDICATIONS

1. Procédé réduisant la consommation d'énergie électrique moyenne d'une station téléphonique publique équipée d'un dispositif comprenant:

- un microprocesseur (4), lequel microprocesseur (4) est susceptible de passer temporairement à un état inactif économe en énergie;
- un système d'oscillateurs (1, 1') fournissant des impulsions d'horloge nécessaires au fonctionnement du microprocesseur (4),
- des moyens de faire varier la fréquence d'horloge arrivant au microprocesseur (4),

caractérisé en ce que ces moyens (2) consistent en un gestionnaire d'horloge (2) placé entre le système d'oscillateurs (1, 1') et le microprocesseur (4), et comprenant :

- une base de temps fixe fournissant au microprocesseur (4) par une première ligne (3) des signaux de base de temps fixe,
- une deuxième ligne (6) pour transmettre au microprocesseur (4) les impulsions d'horloge,
- des moyens pour interpréter un ordre du microprocesseur (4) au gestionnaire (2) pour faire passer le système de l'état actif à l'état inactif ou réciproquement, cet ordre étant généré par le programme exécuté par le microprocesseur (4) et transmis au gestionnaire par une troisième ligne (7).

2. Procédé selon revendication 1, caractérisé en ce que le gestionnaire (2) fait varier la fréquence d'horloge de façon discontinue.

3. Procédé selon revendication 2, caractérisé en ce que la fréquence d'horloge varie entre une fréquence haute et une fréquence inférieure.

4. Procédé selon revendications 2 à 3, caractérisé en ce que le système d'oscillateurs est constitué par un oscillateur unique et en ce que le gestionnaire (2) comprend un diviseur de fréquence.

5. Procédé selon revendication 3, caractérisé en ce que le système d'oscillateurs comprend deux oscillateurs, l'un (1) dit oscillateur principal délivrant la fréquence haute dite fréquence normale, l'autre (1') dit oscillateur secondaire délivrant la fréquence inférieure dite fréquence secondaire, et en ce que le gestionnaire (2) comprend des moyens pour déclencher l'oscillateur principal (1) lorsque la fréquence secondaire est suffisante pour l'état de veille, et pour le réenclencher lorsque la fréquence normale est nécessaire pour le travail du microprocesseur (4).

6. Procédé selon revendication 4 ou 5, caractérisé en ce que la fréquence normale est de 4 MHz, la fréquence secondaire de 250 KHz et la fréquence de la base de temps fixe de 50 Hz.

7. Dispositif pour réduire la consommation d'énergie électrique moyenne d'une station téléphonique publique, comprenant:

- un microprocesseur (4), lequel microprocesseur (4) est susceptible de passer temporairement à un état inactif économe en énergie;

- un système d'oscillateurs (1, 1') fournissant des impulsions d'horloge nécessaires au fonctionnement du microprocesseur (4),
- des moyens de faire varier la fréquence d'horloge arrivant au microprocesseur (4),

caractérisé en ce que ces moyens (2) consistent en un gestionnaire d'horloge (2) placé entre le système d'oscillateurs (1, 1') et le microprocesseur (4), et comprenant :

- une base de temps fixe fournissant au microprocesseur (4) par une première ligne (3) des signaux de base de temps fixe,
- une deuxième ligne (6) pour transmettre au microprocesseur (4) les impulsions d'horloge,
- des moyens pour interpréter un ordre du microprocesseur (4) au gestionnaire (2) pour faire passer le système de l'état actif à l'état inactif ou réciproquement, cet ordre étant généré par le programme exécuté par le microprocesseur (4) et transmis au gestionnaire par une troisième ligne (7).

8. Dispositif selon revendication 7, caractérisé en ce que le gestionnaire (2) fait varier la fréquence d'horloge de façon discontinue.

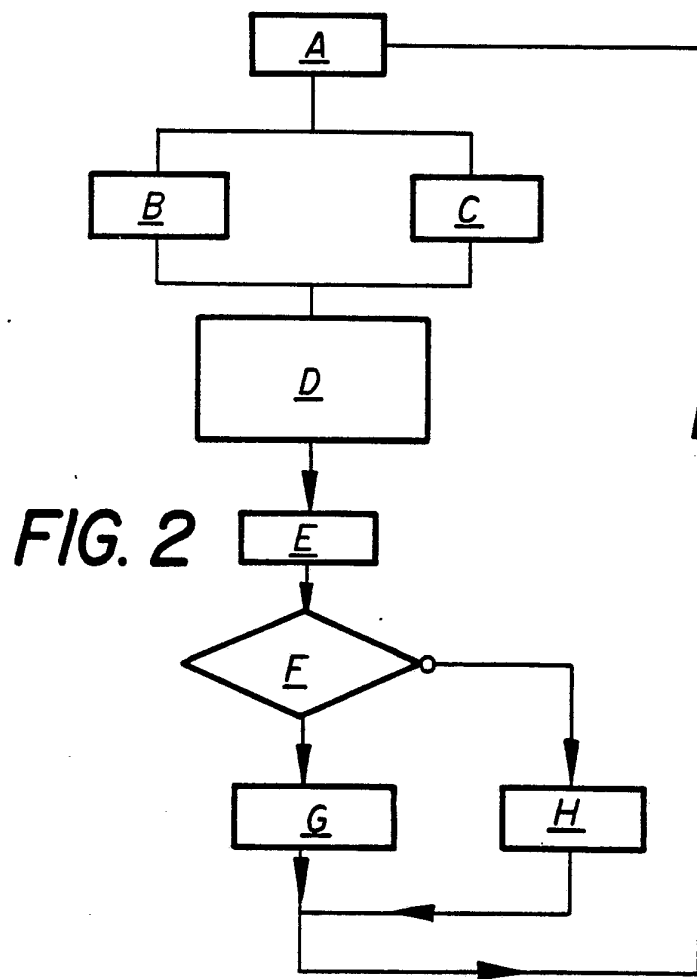
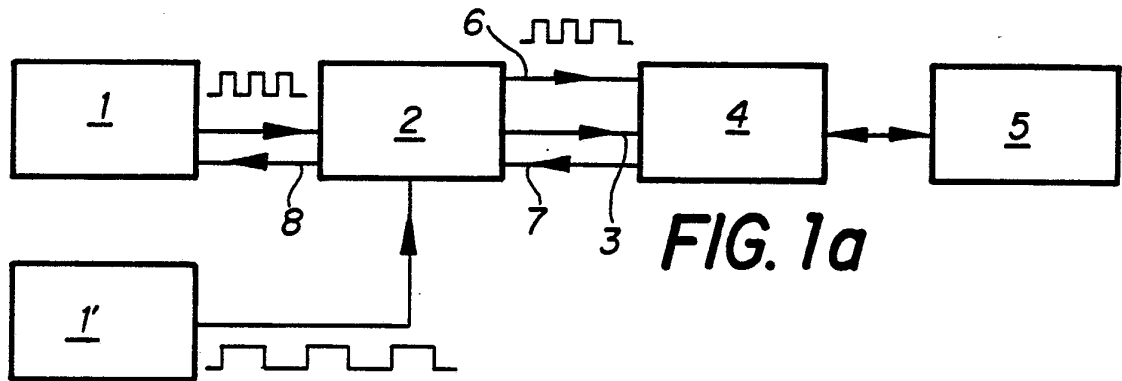
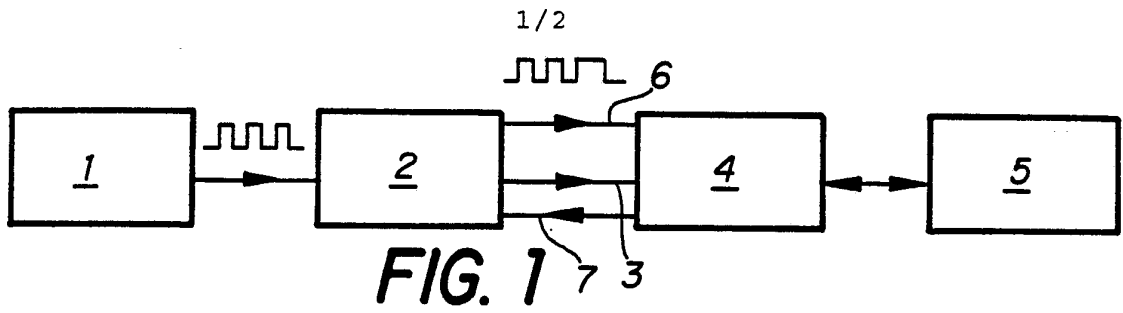
9. Dispositif selon revendication 8, caractérisé en ce que la fréquence d'horloge varie entre une fréquence supérieure et une fréquence inférieure.

10. Dispositif selon revendications 8 à 9, caractérisé en ce que le système d'oscillateurs est constitué par un

oscillateur unique et en que le gestionnaire (2) est un diviseur de fréquence.

11. Dispositif selon revendication 9, caractérisé en ce que le système d'oscillateurs comprend deux oscillateurs, l'un (1) dit oscillateur principal délivrant la fréquence supérieure dite fréquence normale, l'autre (1') dit oscillateur secondaire délivrant la fréquence inférieure dite fréquence secondaire, et en ce que le gestionnaire (2) comprend des moyens pour déclencher l'oscillateur principal (1) lorsque la fréquence secondaire est suffisante pour l'état de veille, et pour le réenclencher lorsque la fréquence normale est nécessaire pour le travail du microprocesseur (4).

12. Dispositif selon revendication 10, caractérisé en ce que la fréquence normale est de 4 MHz, la fréquence secondaire de 250 KHz et la fréquence de la base de temps fixe de 50 Hz.



2/2

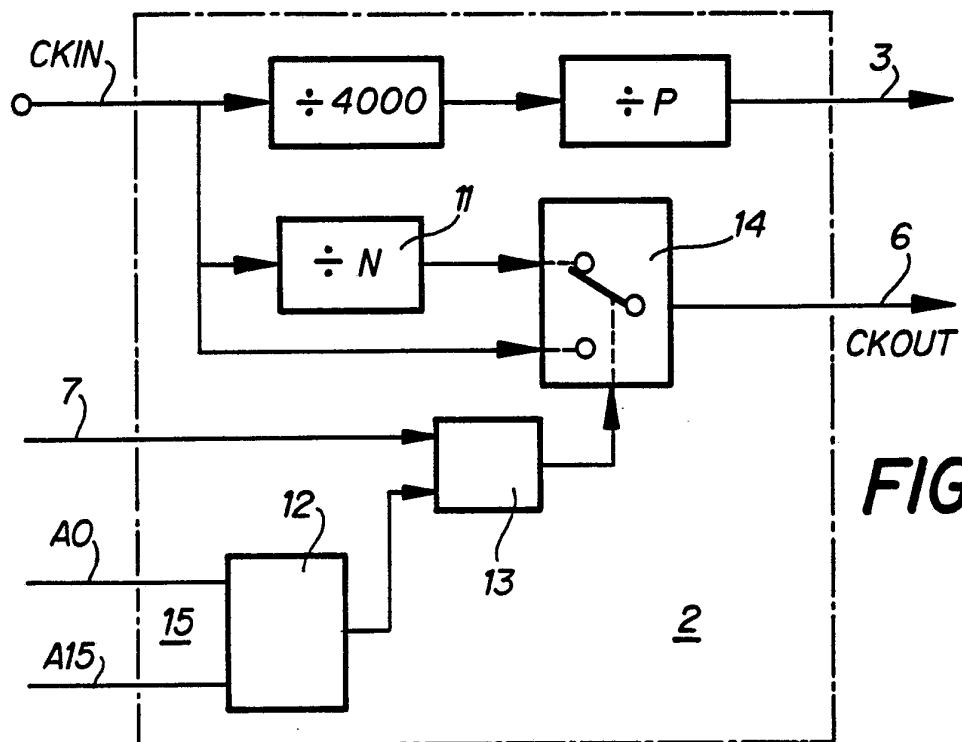


FIG. 3

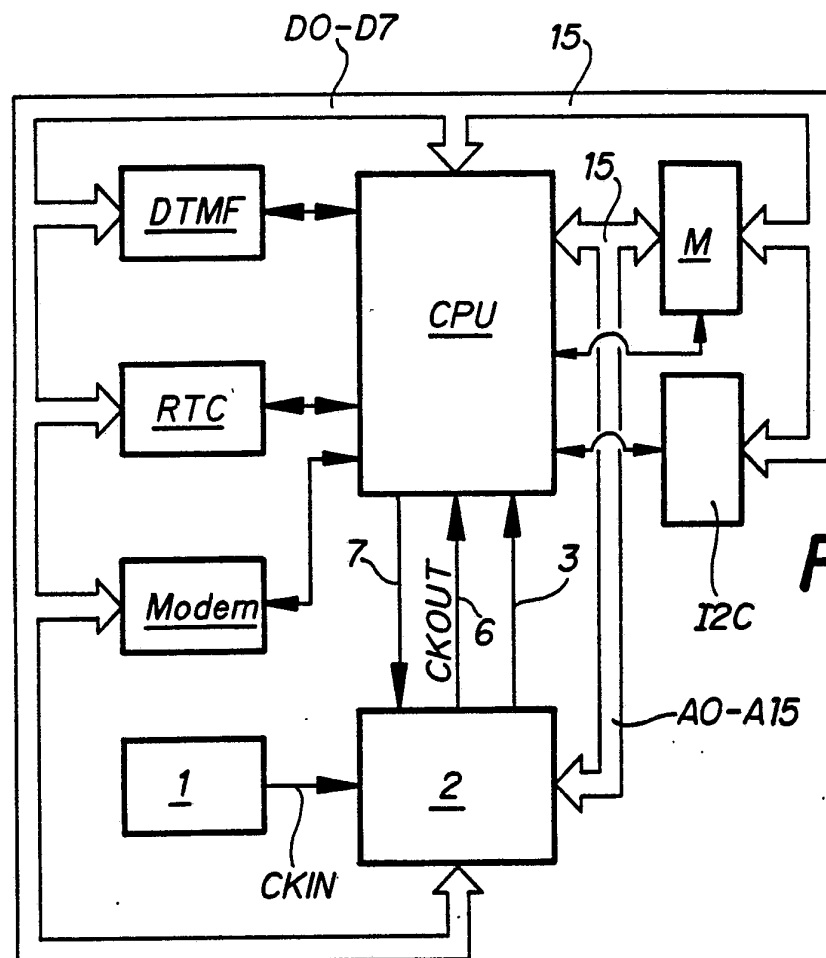


FIG. 4

INTERNATIONAL SEARCH REPORT

 International application No.
 PCT/CH 93/00064

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. 5 H04M17/02; H04M1/00; H04M19/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. 5 H04M ; H04Q

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP, A, 0 343 528 (FUJITSU LIMITED) 29 November 1989	1-4, 7-10
A	see abstract; claims 1-6; figure 5	5, 6, 11, 12
Y	----- PATENT ABSTRACTS OF JAPAN Vol. 009, No. 061 (E-303) 19 March 1985 & JP, A, 59 200 537 (NIPPON DENSHIN DENWA KOSHA) 13 November 1984	1-4, 7-10
A	see abstract	5, 6, 11, 12
A	----- PATENT ABSTRACTS OF JAPAN Vol. 013, No. 359 (E-804) 10 August 1989 & JP, A, 11 19 155 (HITACHI TEREKOMU TECHNOL. KK) 11 May 1989 see abstract	1-12
	----- -/-	

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 May 1993 (17.05.93)

Date of mailing of the international search report

04 June 1993 (04.06.93)

Name and mailing address of the ISA/

European Patent Office

Facsimile No.

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CH 93/00064

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP, A, 0 349 302 (MARS INCORPORATED) 3 January 1990 see abstract ---	
A	PATENT ABSTRACTS OF JAPAN Vol. 015, No. 295 (E-1094) 26 July 1991 & JP, A, 31 04 360 (TAMURA ELECTRIC WORKS LTD) 1 May 1991 see abstract -----	

**ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO.**

CH 9300064
SA 70699

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

17/05/93

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0343528	29-11-89	JP-A- 1293742	27-11-89
		US-A- 5058203	15-10-91

EP-A-0349302	03-01-90	US-A- 4979208	18-12-90
		AU-A- 3862889	23-01-90
		JP-T- 3501796	18-04-91
		WO-A- 9000333	11-01-90

RAPPORT DE RECHERCHE INTERNATIONALE

PCT/CH 93/00064

Demande Internationale No

I. CLASSEMENT DE L'INVENTION (si plusieurs symboles de classification sont applicables, les indiquer tous) ⁷		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB CIB 5 H04M17/02; H04M1/00; H04M19/08		
II. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée ⁸		
Système de classification	Symboles de classification	
CIB 5	H04M ; H04Q	
Documentation consultée autre que la documentation minimale dans la mesure où de tels documents font partie des domaines sur lesquels la recherche a porté ⁹		
III. DOCUMENTS CONSIDERES COMME PERTINENTS ¹⁰		
Catégorie ^o	Identification des documents cités, avec indication, si nécessaire, ¹² des passages pertinents ¹³	No. des revendications visées ¹⁴
Y	EP,A,0 343 528 (FUJITSU LIMITED) 29 Novembre 1989	1-4,7-10
A	voir abrégé; revendications 1-6; figure 5	5,6,11, 12
Y	--- PATENT ABSTRACTS OF JAPAN vol. 009, no. 061 (E-303)19 Mars 1985 & JP,A,59 200 537 (NIPPON DENSHIN DENWA KOSHA) 13 Novembre 1984	1-4,7-10
A	voir abrégé	5,6,11, 12
A	--- PATENT ABSTRACTS OF JAPAN vol. 013, no. 359 (E-804)10 Août 1989 & JP,A,11 19 155 (HITACHI TEREKOMU TECHNOL. KK) 11 Mai 1989 voir abrégé	1-12
	--- -/-	
^o Catégories spéciales de documents cités: ¹¹ "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié postérieurement à la date de dépôt international ou à la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier. "Z" document qui fait partie de la même famille de brevets		
IV. CERTIFICATION		
Date à laquelle la recherche internationale a été effectivement achevée 17 MAI 1993	Date d'expédition du présent rapport de recherche internationale 04.06.93	
Administration chargée de la recherche internationale OFFICE EUROPEEN DES BREVETS	Signature du fonctionnaire autorisé MONTALBANO F.M.	

III. DOCUMENTS CONSIDERES COMME PERTINENTS ¹⁴		(SUITE DES RENSEIGNEMENTS INDIQUEES SUR LA DEUXIEME FEUILLE)
Catégorie ^o	Identification des documents cités, ¹⁶ avec indication, si nécessaire des passages pertinents ¹⁷	No. des revendications visées ¹⁸
A	EP,A,0 349 302 (MARS INCORPORATED) 3 Janvier 1990 voir abrégé ----	
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 295 (E-1094)26 Juillet 1991 & JP,A,31 04 360 (TAMURA ELECTRIC WORKS LTD) 1 Mai 1991 voir abrégé -----	

**ANNEXE AU RAPPORT DE RECHERCHE INTERNATIONALE
RELATIF A LA DEMANDE INTERNATIONALE NO.**

CH 9300064
SA 70699

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche internationale visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

17/05/93

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP-A-0343528	29-11-89	JP-A- 1293742	27-11-89
		US-A- 5058203	15-10-91
EP-A-0349302	03-01-90	US-A- 4979208	18-12-90
		AU-A- 3862889	23-01-90
		JP-T- 3501796	18-04-91
		WO-A- 9000333	11-01-90