

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7655828号
(P7655828)

(45)発行日 令和7年4月2日(2025.4.2)

(24)登録日 令和7年3月25日(2025.3.25)

(51)国際特許分類 F I
H 0 2 M 1/08 (2006.01) H 0 2 M 1/08 3 0 1 A
H 0 2 M 1/08 3 4 1 A

請求項の数 12 (全27頁)

(21)出願番号	特願2021-155913(P2021-155913)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22)出願日	令和3年9月24日(2021.9.24)	(74)代理人	100099759 弁理士 青木 篤
(65)公開番号	特開2023-47023(P2023-47023A)	(74)代理人	100123582 弁理士 三橋 真二
(43)公開日	令和5年4月5日(2023.4.5)	(74)代理人	100092624 弁理士 鶴田 準一
審査請求日	令和5年11月8日(2023.11.8)	(74)代理人	100114018 弁理士 南山 知広
		(74)代理人	100153729 弁理士 森本 有一
		(72)発明者	浦壁 隆浩 東京都目黒区大岡山2丁目12番1号 最終頁に続く

(54)【発明の名称】 電力用半導体素子のゲート駆動装置及び電力変換装置

(57)【特許請求の範囲】

【請求項1】

複数個直列に接続された電力用半導体素子のゲート駆動装置であって、
前記電力用半導体素子に対応して設けられ、可変のゲート駆動電圧を出力するゲート駆動電圧可変部であって、出力する前記ゲート駆動電圧の電位を前記電力用半導体素子間の電気的特性の差に応じて可変するゲート駆動電圧可変部と、
前記ゲート駆動電圧可変部から出力された前記ゲート駆動電圧に対応する前記電力用半導体素子の各々のゲート端子に供給するゲート線と、
前記ゲート線の各々を互いに磁気結合する磁気結合部と、
を備え、
第1のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部は、前記第1のゲート閾値電圧より高い第2のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部が出力する前記ゲート駆動電圧の正側電位及び負側電位の各々よりも、低いゲート駆動電圧の正側電位及び負側電位を出力し、
前記ゲート駆動電圧可変部の各々は、前記ゲート駆動電圧の正側電位を出力する正側電位出力部と、前記正側電位出力部に直列に接続され、前記ゲート駆動電圧の負側電位を出力する負側電位出力部と、を有し、
前記ゲート駆動電圧可変部の各々において、前記正側電位出力部と前記負側電位出力部との間の接続点である中間端子における電位と、当該ゲート駆動電圧可変部に対応する前記電力用半導体素子の出力端子における電位と、が同電位である、ゲート駆動装置。

【請求項 2】

前記第 2 のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部が出力する前記正側電位と前記中間端子における電位との電位差は、前記第 1 のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部が出力する前記正側電位と前記中間端子における電位との電位差よりも大きい、請求項 1 に記載のゲート駆動装置。

【請求項 3】

前記ゲート駆動電圧可変部の各々は、前記ゲート駆動電圧の正側電位を出力する正側電位出力部と、前記正側電位出力部に直列に接続され、前記ゲート駆動電圧の負側電位を出力する負側電位出力部と、を有し、

10

前記ゲート駆動電圧可変部の各々において、前記正側電位出力部と前記負側電位出力部との間の接続点である中間端子における電位と、当該ゲート駆動電圧可変部に対応する前記電力用半導体素子の出力端子における電位と、が同電位であり、

前記第 2 のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部の前記中間端子における電位と当該ゲート駆動電圧可変部が出力する前記負側電位との電位差は、前記第 1 のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部の前記中間端子における電位と当該ゲート駆動電圧可変部が出力する前記負側電位との電位差よりも小さい、請求項 1 または 2 に記載のゲート駆動装置。

【請求項 4】

第 1 のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部は、前記第 1 のゲート閾値電圧より低い第 3 のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部が出力する前記ゲート駆動電圧の正側電位及び負側電位の各々よりも、高いゲート駆動電圧の正側電位及び負側電位を出力する、請求項 1 に記載のゲート駆動装置。

20

【請求項 5】

前記ゲート駆動電圧可変部の各々は、前記ゲート駆動電圧の正側電位を出力する正側電位出力部と、前記正側電位出力部に直列に接続され、前記ゲート駆動電圧の負側電位を出力する負側電位出力部と、を有し、

前記ゲート駆動電圧可変部の各々において、前記正側電位出力部と前記負側電位出力部との間の接続点である中間端子における電位と、当該ゲート駆動電圧可変部に対応する前記電力用半導体素子の出力端子における電位と、が同電位であり、

30

前記第 3 のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部が出力する前記正側電位と前記中間端子における電位との電位差は、前記第 1 のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部が出力する前記正側電位と前記中間端子における電位との電位差よりも小さい、請求項 4 に記載のゲート駆動装置。

【請求項 6】

前記ゲート駆動電圧可変部の各々は、前記ゲート駆動電圧の正側電位を出力する正側電位出力部と、前記正側電位出力部に直列に接続され、前記ゲート駆動電圧の負側電位を出力する負側電位出力部と、を有し、

40

前記ゲート駆動電圧可変部の各々において、前記正側電位出力部と前記負側電位出力部との間の接続点である中間端子における電位と、当該ゲート駆動電圧可変部に対応する前記電力用半導体素子の出力端子における電位と、が同電位であり、

前記第 3 のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部の前記中間端子における電位と当該ゲート駆動電圧可変部が出力する前記負側電位との電位差は、前記第 1 のゲート閾値電圧を有する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部の前記中間端子における電位と当該ゲート駆動電圧可変部が出力する前記負側電位との電位差よりも大きい、請求項 4 または 5 に記載のゲート駆動装置。

【請求項 7】

前記電力用半導体素子の各々に対応して設けられる温度センサをさらに備え、

50

前記ゲート駆動電圧可変部の各々は、対応する前記温度センサにより検出された前記電力用半導体素子の温度に応じて、前記ゲート駆動電圧の正側電位及び負側電位を変化させる、請求項 1 ~ 6 のいずれか一項に記載のゲート駆動装置。

【請求項 8】

第 1 の温度を検出した前記温度センサに対応する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部は、前記第 1 の温度より低い第 2 の温度を検出した前記温度センサに対応する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部が出力する前記ゲート駆動電圧の正側電位及び負側電位の各々よりも、低いゲート駆動電圧の正側電位及び負側電位を出力する、請求項 7 に記載のゲート駆動装置。

【請求項 9】

第 1 の温度を検出した前記温度センサに対応する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部は、前記第 1 の温度より高い第 3 の温度を検出した前記温度センサに対応する前記電力用半導体素子に対応する前記ゲート駆動電圧可変部が出力する前記ゲート駆動電圧の正側電位及び負側電位の各々よりも、高いゲート駆動電圧の正側電位及び負側電位を出力する、請求項 7 または 8 に記載のゲート駆動装置。

【請求項 10】

請求項 1 ~ 9 のいずれか一項に記載のゲート駆動装置と、
複数個直列に接続された前記電力用半導体素子が設けられたアームを有し、前記電力用半導体素子のオンオフ動作に応じて電力変換動作を行う電力変換回路部と、
前記電力変換回路部の電力変換動作を制御する電力変換制御部と、
を備える、電力変換装置。

【請求項 11】

前記ゲート駆動電圧可変部の各々は、前記電力変換回路部から出力される電流の値に応じて、前記ゲート駆動電圧の正側電位及び負側電位を変化させる、請求項 10 に記載の電力変換装置。

【請求項 12】

前記ゲート駆動電圧可変部の各々は、前記電力変換制御部が前記電力変換回路部の電力変換動作を制御するために生成する電流指令の値に応じて、前記ゲート駆動電圧の正側電位及び負側電位を変化させる、請求項 10 に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力用半導体素子のゲート駆動装置及び電力変換装置に関する。

【背景技術】

【0002】

複数個直列に接続された電力用半導体素子である半導体スイッチング素子の各々をオンオフするゲート駆動装置として種々のものが提案されている。

【0003】

例えば、複数個直列接続されアームを構成する電圧駆動型半導体素子と、前記各アーム内の複数個の当該電圧駆動型半導体素子各々のゲート端子にゲート信号を供給するゲート駆動回路と、からなる半導体スイッチ回路において、前記ゲート駆動回路と前記各アーム内の各々の電圧駆動型半導体素子のゲート端子とを接続するゲート線を互いに磁気結合させたことを特徴とする直列接続された電圧駆動型半導体素子の制御装置が知られている（例えば、特許文献 1 参照。）。

【0004】

例えば、電力変換装置の各アームに複数個直列接続される電圧駆動型半導体素子をそれぞれオン、オフ駆動するためのゲート駆動装置であって、前記電圧駆動型半導体素子に印加される電圧を検出し過電圧か否かを判断する過電圧判別回路と、電圧駆動型半導体素子のターンオン時に電圧駆動型半導体素子を通常の順バイアス電圧よりも高い電圧でターンオンさせるオーバドライブ回路とを備え、前記各直列接続された電圧駆動型半導体素子の

10

20

30

40

50

ターンオンタイミングの差により、各電圧駆動型半導体素子の印加電圧にアンバランスが発生し、前記過電圧判別回路にて過電圧を検出したときは、前記オーバドライブ回路にて過電圧が印加された電圧駆動型半導体素子を通常の順バイアス電圧よりも高い電圧でターンオンさせることにより、電圧駆動型半導体素子への過電圧印加およびこれにもとづく素子破壊を防止することを特徴とする電圧駆動型半導体素子のゲート駆動装置が知られている（例えば、特許文献2参照。）。

【先行技術文献】

【特許文献】

【0005】

【文献】特許第4396036号公報

10

【文献】特許第4449190号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1（特許第4396036号公報）に記載された発明では、電圧駆動型半導体素子の各々ゲート線を磁気結合させて、電圧駆動型半導体素子がオンまたはオフする際に各ゲート線に流れる電流値が異なれば、その差分に応じてゲート線のインピーダンスを瞬時に変化させることで、各ゲート電流を一致させてスイッチングタイミングのばらつきを抑制させている。しかしながら、特許文献1（特許第4396036号公報）に記載された発明は、電圧駆動型半導体素子の各々のゲート閾値電圧（電圧駆動型半導体素子がオン動作し始めるゲートの電圧）が同一である場合はゲート電圧信号の遅延等によるゲート電圧の時間差を補正しオン動作あるいはオフ動作のスイッチングタイミングを揃える効果はあるものの、ゲート閾値電圧が異なる場合はその効果は小さい。多くの場合、ゲート閾値電圧は電圧駆動型半導体素子によってバラツキがあるので、オン動作及びオフ動作のスイッチングタイミングを揃える効果は乏しく、オン動作時及びオフ動作時における印加電圧の不均衡度が大きくなる。

20

【0007】

例えば、特許文献2（特許第4449190号公報）に記載された発明のように遅くオン動作する素子のゲート電圧を予め高く設定する技術を、特許文献1に記載の発明に適用することで、複数個の電圧駆動型半導体素子の各々のオン動作のスイッチングタイミングを揃えることはできるが、複数個の電力用半導体素子の各々のオフ動作のスイッチングタイミングを揃えることはできない。また、ゲート電圧を高く設定すれば、ゲート電圧信号の遅延により動作が遅い電圧駆動型半導体素子のオン動作を早くすることができ、スイッチングタイミングを揃えることができるが、オフ動作についてはゲート電圧を高くしない場合と比較してその動作が遅れるため、電圧駆動型半導体素子の各々のオフ時のスイッチングタイミングが大きくなり、印加電圧の不均衡度が大きくなってしまふ。

30

【0008】

したがって、複数個直列に接続された電力用半導体素子のゲート駆動装置及びこれを備える電力変換装置においては、ゲート信号の伝達時間や電力用半導体素子の特性にバラツキがあっても、電力用半導体素子の各々のオン動作及びオフ動作についてのスイッチングタイミングを揃え、電力用半導体素子に印加される電圧の不均衡を抑制する技術が望まれている。

40

【課題を解決するための手段】

【0009】

本開示の一態様によれば、複数個直列に接続された電力用半導体素子のゲート駆動装置は、電力用半導体素子に対応して設けられ、可変のゲート駆動電圧を出力するゲート駆動電圧可変部と、ゲート駆動電圧可変部から出力されたゲート駆動電圧に対応する電力用半導体素子の各々のゲート端子に供給するゲート線と、ゲート線の各々を互いに磁気結合する磁気結合部と、を備える。

【0010】

50

ここで、上記ゲート駆動装置において、ゲート駆動電圧可変部は、出力するゲート駆動電圧の電位を電力用半導体素子間の電気的特性の差に応じて可変してもよい。

【0011】

また、上記ゲート駆動装置において、第1のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部は、第1のゲート閾値電圧より高い第2のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部が出力するゲート駆動電圧の正側電位及び負側電位の各々よりも、低いゲート駆動電圧の正側電位及び負側電位を出力してもよい。

【0012】

また、上記ゲート駆動装置において、ゲート駆動電圧可変部の各々は、ゲート駆動電圧の正側電位を出力する正側電位出力部と、正側電位出力部に直列に接続され、ゲート駆動電圧の負側電位を出力する負側電位出力部と、を有し、ゲート駆動電圧可変部の各々において、正側電位出力部と負側電位出力部との間の接続点である中間端子における電位と、当該ゲート駆動電圧可変部に対応する電力用半導体素子の出力端子における電位と、が同電位であり、第2のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部が出力する正側電位と中間端子における電位との電位差は、第1のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部が出力する正側電位と中間端子における電位との電位差よりも大きいものとしてもよい。

10

【0013】

また、上記ゲート駆動装置において、ゲート駆動電圧可変部の各々は、ゲート駆動電圧の正側電位を出力する正側電位出力部と、正側電位出力部に直列に接続され、ゲート駆動電圧の負側電位を出力する負側電位出力部と、を有し、ゲート駆動電圧可変部の各々において、正側電位出力部と負側電位出力部との間の接続点である中間端子における電位と、当該ゲート駆動電圧可変部に対応する電力用半導体素子の出力端子における電位と、が同電位であり、第2のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部の中間端子における電位と当該ゲート駆動電圧可変部が出力する負側電位との電位差は、第1のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部の中間端子における電位と当該ゲート駆動電圧可変部が出力する負側電位との電位差よりも小さいものとしてもよい。

20

【0014】

また、上記ゲート駆動装置において、第1のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部は、第1のゲート閾値電圧より低い第3のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部が出力するゲート駆動電圧の正側電位及び負側電位の各々よりも、高いゲート駆動電圧の正側電位及び負側電位を出力してもよい。

30

【0015】

また、上記ゲート駆動装置において、ゲート駆動電圧可変部の各々は、ゲート駆動電圧の正側電位を出力する正側電位出力部と、正側電位出力部に直列に接続され、ゲート駆動電圧の負側電位を出力する負側電位出力部と、を有し、ゲート駆動電圧可変部の各々において、正側電位出力部と負側電位出力部との間の接続点である中間端子における電位と、当該ゲート駆動電圧可変部に対応する電力用半導体素子の出力端子における電位と、が同電位であり、第3のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部が出力する正側電位と中間端子における電位との電位差は、第1のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部が出力する正側電位と中間端子における電位との電位差よりも小さいものとしてもよい。

40

【0016】

また、上記ゲート駆動装置において、ゲート駆動電圧可変部の各々は、ゲート駆動電圧の正側電位を出力する正側電位出力部と、正側電位出力部に直列に接続され、ゲート駆動電圧の負側電位を出力する負側電位出力部と、を有し、ゲート駆動電圧可変部の各々において、正側電位出力部と負側電位出力部との間の接続点である中間端子における電位と、

50

当該ゲート駆動電圧可変部に対応する電力用半導体素子の出力端子における電位と、が同電位であり、第3のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部の中間端子における電位と当該ゲート駆動電圧可変部が出力する負側電位との電位差は、第1のゲート閾値電圧を有する電力用半導体素子に対応するゲート駆動電圧可変部の中間端子における電位と当該ゲート駆動電圧可変部が出力する負側電位との電位差よりも大きいものとしてもよい。

【0017】

また、上記ゲート駆動装置は、電力用半導体素子の各々に対応して設けられる温度センサをさらに備え、ゲート駆動電圧可変部の各々は、対応する温度センサにより検出された電力用半導体素子の温度に応じて、ゲート駆動電圧の正側電位及び負側電位を変化させてもよい。

10

【0018】

また、上記ゲート駆動装置において、第1の温度を検出した温度センサに対応する電力用半導体素子に対応するゲート駆動電圧可変部から出力されるゲート駆動電圧の正側電位及び負側電位の各々は、第1の温度より低い第2の温度を検出した温度センサに対応する電力用半導体素子に対応するゲート駆動電圧可変部から出力されるゲート駆動電圧の正側電位及び負側電位の各々よりも低いものとしてもよい。

【0019】

また、上記ゲート駆動装置において、第1の温度を検出した温度センサに対応する電力用半導体素子に対応するゲート駆動電圧可変部は、第1の温度より高い第3の温度を検出した温度センサに対応する電力用半導体素子に対応するゲート駆動電圧可変部が出力するゲート駆動電圧の正側電位及び負側電位の各々よりも、高いゲート駆動電圧の正側電位及び負側電位を出力してもよい。

20

【0020】

また、本開示の一態様によれば、電力変換装置は、上記ゲート駆動装置と、複数個直列に接続された電力用半導体素子が設けられたアームを有し、電力用半導体素子のオンオフ動作に応じて電力変換動作を行う電力変換回路部と、電力変換回路部の電力変換動作を制御する電力変換制御部とを備える。

【0021】

ここで、上記電力変換装置において、ゲート駆動電圧可変部の各々は、電力変換回路部から出力される電流の値に応じて、ゲート駆動電圧の正側電位及び負側電位を変化させてもよい。

30

【0022】

また、上記電力変換装置において、ゲート駆動電圧可変部の各々は、電力変換制御部が電力変換回路部のオンオフ動作を制御するために生成する電流指令の値に応じて、ゲート駆動電圧の正側電位及び負側電位を変化させてもよい。

【発明の効果】

【0023】

本開示の一態様によれば、複数個直列に接続された電力用半導体素子のゲート駆動装置及びこれを備える電力変換装置において、ゲート信号の伝達時間や電力用半導体素子の特性にバラツキがあっても、電力用半導体素子の各々のオン動作及びオフ動作についてのスイッチングタイミングを揃え、電力用半導体素子に印加される電圧の不均衡を抑制することができる。

40

【図面の簡単な説明】

【0024】

【図1】本開示の一実施形態によるゲート駆動装置を示す回路図である。

【図2】本開示の一実施形態によるゲート駆動装置におけるゲート駆動電圧可変部の変形例を示す回路図である。

【図3】本開示の一実施形態によるゲート駆動装置における磁気結合部を例示する図である。

50

【図 4】本開示の一実施形態によるゲート駆動装置を備える電力変換装置を示す図である。

【図 5】図 4 に示す電力変換装置内に設けられるアームを示す回路図である。

【図 6】2つの電力用半導体素子の特性が異なる場合におけるゲート電圧の不均衡度の定義を説明する図であって、(A)はオフ動作時のゲート電圧の不均衡度の定義を示し、(B)はオン動作時のゲート電圧の不均衡度の定義を示す。

【図 7】電力用半導体素子の特性にばらつきがある場合において、特許文献 1 (特許第 4396036 号公報)におけるゲート線の磁気結合がある場合及び無い場合の不均衡度についてのシミュレーション結果を例示する図である。

【図 8】電力用半導体素子の特性にばらつきがある場合において、本開示の一実施形態における不均衡度についてのシミュレーション結果を例示する図である。

10

【図 9】本開示の一実施形態による 3 個直列に接続された電力用半導体素子をオンオフ駆動するゲート駆動装置を示す回路図である。

【図 10】本開示の一実施形態の第 1 の変形例によるゲート駆動装置を示す回路図である。

【図 11】電力用半導体素子の特性にばらつきがある場合において、本開示の一実施形態の第 1 の変形例における不均衡度についてのシミュレーション結果を例示する図である。

【図 12】電力用半導体素子の温度とゲート - ソース間電圧とドレイン電流との関係を例示する図である。

【図 13】本開示の一実施形態の第 2 の変形例によるゲート駆動装置を示す回路図である。

【発明を実施するための形態】

【0025】

20

以下図面を参照して、電力用半導体素子のゲート駆動装置及び電力変換装置について説明する。各図面において、同様の部材には同様の参照符号が付けられている。また、理解を容易にするために、これらの図面は縮尺を適宜変更している。図示される形態は実施をするための 1 つの例であり、これらの形態に限定されるものではない。

【0026】

本開示の各実施形態によるゲート駆動装置は、複数個直列に接続された電力用半導体素子をオンオフ駆動する。電力用半導体素子の例としては、MOSFET、IGBT、サイリスタ、GTO、トランジスタなどがある。MOSFETはその端子としてゲート端子、ドレイン端子及びソース端子を有する。IGBTはその端子としてゲート端子、エミッタ端子及びコレクタ端子を有する。トランジスタはその端子としてベース端子、エミッタ端子及びコレクタ端子を有する。サイリスタ及びGTOはその端子としてゲート端子、アノード端子及びカソード端子を有する。以下、一例として、電力用半導体素子がMOSFETで構成される場合について説明するが、IGBT、サイリスタ、GTO、あるいはトランジスタであっても本開示の各実施形態は適用可能である。また電力用半導体素子をIGBTで構成する場合は、「ドレイン」は「コレクタ」に、「ソース」は「エミッタ」にそれぞれ読み替えられて本開示の各実施形態が適用される。また電力用半導体素子をトランジスタで構成する場合は、「ゲート」は「ベース」に、「ドレイン」は「コレクタ」に、「ソース」は「エミッタ」にそれぞれ読み替えられて本開示の各実施形態が適用される。また、電力用半導体素子をサイリスタあるいはGTOで構成する場合は、「ゲート」は「ベース」に、「ドレイン」は「アノード」に、「ソース」は「カソード」にそれぞれ読み替えられて本開示の各実施形態が適用される。また、「電力用半導体素子の出力端子」は、MOSFETの「ソース端子」、IGBT及びトランジスタの「エミッタ端子」、サイリスタ及びGTOの「カソード端子」がそれぞれ対応する。

30

40

【0027】

図 1 は、本開示の一実施形態によるゲート駆動装置を示す回路図である。以降、異なる図面において同じ参照符号が付されたものは同じ機能を有する構成要素であることを意味するものとする。

【0028】

本開示の一実施形態によるゲート駆動装置 1 は、複数個直列に接続された電力用半導体素子をオンオフ駆動するものであるが、ここでは、一例として、2 個直列に接続された電

50

力用半導体素子 Q_A 及び Q_B をオンオフ駆動する例について説明する。

【0029】

電力用半導体素子 Q_A にはダイオード D_A が逆並列に接続される。同様に、電力用半導体素子 Q_B にはダイオード D_B が逆並列に接続される。

【0030】

ゲート駆動装置1は、ゲート駆動電圧可変部11-A及び11-Bと、ゲート線12-A及び12-Bと、磁気結合部13とを備える。

【0031】

ゲート駆動電圧可変部11-Aは電力用半導体素子 Q_A に対応して設けられ、ゲート駆動電圧可変部11-Bは電力用半導体素子 Q_B に対応して設けられる。ゲート駆動電圧可変部11-A及び11-Bのうち的一方または両方は、電力用半導体素子間の電気的特性の差、特にゲート閾値電圧の差に応じて、可変のゲート駆動電圧を出力する。ゲート駆動電圧可変部11-A及びゲート駆動電圧可変部11-Bの詳細については後述する。

10

【0032】

ゲート線12-Aは、ゲート駆動電圧可変部11-Aから出力されたゲート駆動電圧を、対応する電力用半導体素子 Q_A のゲート端子に供給する。ゲート線12-Bは、ゲート駆動電圧可変部11-Bから出力されたゲート駆動電圧を、対応する電力用半導体素子 Q_B のゲート端子に供給する。

【0033】

磁気結合部13は、ゲート線12-Aとゲート線12-Bとを磁気結合する。図3は、本開示の一実施形態によるゲート駆動装置における磁気結合部を例示する図である。磁気結合部13は、磁性体30を有する。磁性体30には、ゲート線12-A及び12-Bが巻き付けられる。例えば、図3に示すようにゲート電流 I_{g1} が流れると、磁性体30に磁束1が発生してゲート線12-Bを横切る。同様に、ゲート電流 I_{g2} が流れると磁性体30に磁束2が発生してゲート線12-Aを横切る。これによってゲート線12-Aとゲート線12-Bが磁気結合される。磁性体30へのゲート線12-Aの巻数 N_1 と磁性体30へのゲート線12-Bの巻数 N_2 を同じとして、ゲート電流 I_{g1} とゲート電流 I_{g2} の等しいときに $|I_{g1}| = |I_{g2}|$ となるようにし、ゲート電流 I_{g1} とゲート電流 I_{g2} とが逆極性のときに I_{g1} と I_{g2} とが逆極性となるようにする。

20

【0034】

例えば電力用半導体素子 Q_A と電力用半導体素子 Q_B とのオフ動作のタイミングが揃わず電力用半導体素子 Q_A が電力用半導体素子 Q_B よりも先にオフ動作をした場合、ゲート電流 I_{g1} がゲート電流 I_{g2} よりも先に流れ出したときに磁束1と磁束2とは等しくはならないため、磁性体30には $|I_{g1} - I_{g2}|$ の磁束が発生し、磁気結合する。このときゲート線12-Aにはインダクタンス L_1 が発生しゲート線12-Bにはインダクタンス L_2 が発生し、これらインダクタンス L_1 及び L_2 は $|I_{g1} - I_{g2}|$ に比例する。ゲート電流 I_{g1} とゲート電流 I_{g2} とのアンバランス分が大きいほど、インダクタンス L_1 と及び L_2 も大きくなる。また、インダクタンス L_1 及び L_2 が増加するほど、ゲート線12-A及び12-Bのインピーダンスが増加するため、ゲート電流 I_{g1} 及び I_{g2} が流れにくくなる。これにより、ゲート電流 I_{g1} とゲート電流 I_{g2} とのアンバランス分に応じてゲート線12-A及び12-Bのインピーダンスが変化し、ゲート電流 I_{g1} とゲート電流 I_{g2} とが一致するように動作させることができる。

30

【0035】

続いて、ゲート駆動電圧可変部11-A及びゲート駆動電圧可変部11-Bの詳細について説明する。

【0036】

ゲート駆動電圧可変部11-A及び11-Bのうち的一方または両方は、可変のゲート駆動電圧を出力する。

【0037】

ゲート駆動電圧可変部11-Aは、ゲート駆動電圧の正側電位 V_{PA} を出力する正側電位

50

出力部 2 1 P - A と、正側電位出力部 2 1 P - A に直列に接続され、ゲート駆動電圧の負側電位 V_{N_A} を出力する負側電位出力部 2 1 N - A と、正側スイッチ 2 3 P - A と、負側スイッチ 2 3 N - A と、を有する。また、ゲート駆動電圧可変部 1 1 - B は、ゲート駆動電圧の正側電位 V_{P_B} を出力する正側電位出力部 2 1 P - B と、正側電位出力部 2 1 P - B に直列に接続され、ゲート駆動電圧の負側電位 V_{N_B} を出力する負側電位出力部 2 1 N - B と、正側スイッチ 2 3 P - B と、負側スイッチ 2 3 N - B と、を有する。

【 0 0 3 8 】

ゲート駆動電圧可変部 1 1 - A 内の正側スイッチ 2 3 P - A とゲート駆動電圧可変部 1 1 - B 内の正側スイッチ 2 3 P - B とは、同期してオン動作及びオフ動作を行い、すなわちこれら正側スイッチ 2 3 P - A 及び 2 3 P - B の間でオンオフのタイミングは一致する。同様に、ゲート駆動電圧可変部 1 1 - A 内の負側スイッチ 2 3 N - A とゲート駆動電圧可変部 1 1 - B 内の負側スイッチ 2 3 N - B とは、同期してオン動作及びオフ動作を行い、すなわちこれら負側スイッチ 2 3 N - A 及び 2 3 N - B の間でオンオフのタイミングは同一である。本開示の一実施形態では、ゲート駆動電圧可変部 1 1 - A 及びゲート駆動電圧可変部 1 1 - B は、以下で説明するように可変のゲート駆動電圧をそれぞれ生成し、そのうえで正側スイッチ 2 3 P - A 及び 2 3 P - B 並びに負側スイッチ 2 3 N - A 及び 2 3 N - B をオン動作及びオフ動作させることで、電力用半導体素子 Q_A 及び Q_B のゲート端子への印加電圧を制御する。

10

【 0 0 3 9 】

ゲート駆動電圧可変部 1 1 - A において、正側電位出力部 2 1 P - A が出力する正側電位 V_{P_A} と負側電位出力部 2 1 N - A が出力する負側電位 V_{N_A} との電位差「 $V_{P_A} - V_{N_A}$ 」が一定となるように制御しつつ、正側電位出力部 2 1 P - A と負側電位出力部 2 1 N - A との間の接続点である中間端子 2 2 - A における電位 V_{R_A} と、ゲート駆動電圧可変部 1 1 - A に対応する電力用半導体素子 Q_A の出力端子であるソース端子における電位 V_{Q_A} と、が同電位となるように制御する。例えば、中間端子 2 2 - A と電力用半導体素子 Q_A のソース端子とを結線することにより $V_{R_A} = V_{Q_A}$ を実現したうえで、正側電位出力部 2 1 P - A が出力する正側電位 V_{P_A} と負側電位出力部 2 1 N - A が出力する負側電位 V_{N_A} との電位差「 $V_{P_A} - V_{N_A}$ 」が一定となるようにしつつ、正側電位出力部 2 1 P - A が出力する正側電位 V_{P_A} と中間端子 2 2 - A における電位 V_{R_A} との電位差「 $V_{P_A} - V_{R_A}$ 」及び中間端子 2 2 - A における電位 V_{R_A} と負側電位出力部 2 1 N - A が出力する負側電位 V_{N_A} との電位差「 $V_{R_A} - V_{N_A}$ 」の一方または両方を可変にする。

20

30

【 0 0 4 0 】

ゲート駆動電圧可変部 1 1 - B において、正側電位出力部 2 1 P - B が出力する正側電位 V_{P_B} と負側電位出力部 2 1 N - B が出力する負側電位 V_{N_B} との電位差「 $V_{P_B} - V_{N_B}$ 」が一定となるように制御しつつ、正側電位出力部 2 1 P - B と負側電位出力部 2 1 N - B との間の接続点である中間端子 2 2 - B における電位 V_{R_B} と、ゲート駆動電圧可変部 1 1 - B に対応する電力用半導体素子 Q_B の出力端子であるソース端子における電位 V_{Q_B} と、が同電位となるように制御する。例えば、中間端子 2 2 - B と電力用半導体素子 Q_B のソース端子とを結線することにより $V_{R_B} = V_{Q_B}$ を実現したうえで、正側電位出力部 2 1 P - B が出力する正側電位 V_{P_B} と負側電位出力部 2 1 N - B が出力する負側電位 V_{N_B} との電位差「 $V_{P_B} - V_{N_B}$ 」が一定となるようにしつつ、正側電位出力部 2 1 P - B が出力する正側電位 V_{P_B} と中間端子 2 2 - B における電位 V_{R_B} との電位差「 $V_{P_B} - V_{R_B}$ 」及び中間端子 2 2 - B における電位 V_{R_B} と負側電位出力部 2 1 N - B が出力する負側電位 V_{N_B} との電位差「 $V_{R_B} - V_{N_B}$ 」の一方または両方を可変にする。

40

【 0 0 4 1 】

また、例えば、電力用半導体素子 Q_A が第 1 のゲート閾値電圧 V_{thA} を有し、電力用半導体素子 Q_B が第 1 のゲート閾値電圧よりも高い第 2 のゲート閾値電圧 V_{thB} を有する場合（すなわち $V_{thA} < V_{thB}$ である場合）は、第 1 のゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部 1 1 - A から出力されるゲート駆動電圧の正側電位 V_{P_A} 及び負側電位 V_{N_A} の各々は、第 2 のゲート駆動電圧 V_{thB} を有する電力用半導

50

体素子 Q_B に対応するゲート駆動電圧可変部11-Bから出力されるゲート駆動電圧の正側電位 V_{PB} 及び負側電位 V_{NB} の各々よりも低くなるようにする。

【0042】

より詳しくは、 $V_{thA} < V_{thB}$ である場合、例えば、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの正側電位出力部21P-Aは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力するゲート駆動電圧の正側電位 V_{PB} よりも低いゲート駆動電圧の正側電位 V_{PA} を出力し、かつ、ゲート駆動電圧可変部11-Aの負側電位出力部21N-Aは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの負側電位出力部21N-Bが出力するゲート駆動電圧の負側電位 V_{NB} よりも、低いゲート駆動電圧の負側電位 V_{NA} を出力する。ここで、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力する正側電位 V_{PB} と中間端子22-Bにおける電位 V_{RB} との電位差「 $V_{PB} - V_{RB}$ 」は、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの正側電位出力部21P-Aが出力する正側電位 V_{PA} と中間端子22-Aにおける電位との電位差「 $V_{PA} - V_{RA}$ 」よりも大きくなるようにする。さらに/あるいは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの中間端子22-Bにおける電位 V_{RB} とゲート駆動電圧可変部11-Bの負側電位出力部21N-Bが出力する負側電位 V_{NB} との電位差「 $V_{RB} - V_{NB}$ 」は、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの中間端子22-Aにおける電位 V_{RA} とゲート駆動電圧可変部11-Aの負側電位出力部21N-Aが出力する負側電位 V_{NA} との電位差「 $V_{RA} - V_{NA}$ 」よりも小さくなるようにする。

10

20

【0043】

また、例えば、電力用半導体素子 Q_A が第1のゲート閾値電圧 V_{thA} を有し、電力用半導体素子 Q_B が第1のゲート閾値電圧よりも低い第3のゲート閾値電圧 V_{thB} を有する場合(すなわち $V_{thA} > V_{thB}$ である場合)は、第1のゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aから出力されるゲート駆動電圧の正側電位 V_{PA} 及び負側電位 V_{NA} の各々は、第3のゲート駆動電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bから出力されるゲート駆動電圧の正側電位 V_{PB} 及び負側電位 V_{NB} の各々よりも高くなるようにする。

30

【0044】

すなわち、 $V_{thA} > V_{thB}$ である場合、例えば、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの正側電位出力部21P-Aは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力するゲート駆動電圧の正側電位 V_{PB} よりも高いゲート駆動電圧の正側電位 V_{PA} を出力し、かつ、ゲート駆動電圧可変部11-Aの負側電位出力部21N-Aは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの負側電位出力部21N-Bが出力するゲート駆動電圧の負側電位 V_{NB} よりも高いゲート駆動電圧の負側電位 V_{NA} を出力する。ここで、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力する正側電位 V_{PB} と中間端子22-Bにおける電位 V_{RB} との電位差「 $V_{PB} - V_{RB}$ 」は、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの正側電位出力部21P-Aが出力する正側電位 V_{PA} と中間端子22-Aにおける電位 V_{RA} との電位差「 $V_{PA} - V_{RA}$ 」よりも小さくなるようにする。さらに/あるいは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの中間端子22-Bにおける電位 V_{RB} とゲート駆動電圧可変部11-Bの負側電位出力部21N-Bが出力する負側電位 V_{NB} との電位差「 $V_{RB} - V_{NB}$ 」は、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの中間端子22-Aにおける電位 V_{RA} とゲート駆動電圧可変部11-A

40

50

の負側電位出力部 2 1 N - A が出力する負側電位 V_{N_A} との電位差「 $V_{R_A} - V_{N_A}$ 」よりも大きくなるようにする。

【 0 0 4 5 】

このように、ゲート駆動電圧可変部 1 1 - A 及び 1 1 - B のうちの一方または両方は可変のゲート駆動電圧を出力する。なお、ゲート駆動電圧可変部 1 1 - A 及び 1 1 - B の両方が可変のゲート駆動電圧を出力する場合は、変更する電圧幅を小さくすることができ、電力用半導体素子のゲート駆動電圧の正側電位及び負側電位の絶対値が小さくなるため、電力用半導体素子に対する負担を小さくすることができる利点がある。

【 0 0 4 6 】

図 2 は、本開示の一実施形態によるゲート駆動装置におけるゲート駆動電圧可変部の変形例を示す回路図である。図 2 において、電力用半導体素子 Q_A 及び Q_B については図示を省略している。

10

【 0 0 4 7 】

ゲート駆動電圧可変部 1 1 - A は、複数個直列に接続された直流電源 2 1 - A と、切替えスイッチ 2 6 - A とを有する。各直流電源間には中間タップがそれぞれ設けられ、切替えスイッチ 2 6 - A が、中間タップのうちのいずれかと接続されることで、正側電位 V_{P_A} と切替えスイッチ 2 6 - A の電位 V_{R_A} (図 1 の中間端子 2 2 - A における電位 V_{R_A} に相当) との電位差「 $V_{P_A} - V_{R_A}$ 」、及び切替えスイッチ 2 6 - A の電位 V_{R_A} と負側電位 V_{N_A} との電位差「 $V_{R_A} - V_{N_A}$ 」が変化する。

【 0 0 4 8 】

20

同様に、ゲート駆動電圧可変部 1 1 - B は、複数個直列に接続された直流電源 2 1 - B と、切替えスイッチ 2 6 - B とを有する。各直流電源間には中間タップがそれぞれ設けられ、切替えスイッチ 2 6 - B が、中間タップのうちのいずれかと接続されることで、正側電位 V_{P_B} と切替えスイッチ 2 6 - B の電位 V_{R_B} (図 1 の中間端子 2 2 - B における電位 V_{R_B} に相当) との電位差「 $V_{P_B} - V_{R_B}$ 」、及び切替えスイッチ 2 6 - B の電位 V_{R_B} と負側電位 V_{N_B} との電位差「 $V_{R_B} - V_{N_B}$ 」が変化する。

【 0 0 4 9 】

このように、図 2 に示すゲート駆動電圧可変部 1 1 - A 及び 1 1 - B によっても、図 1 と同様の電位 V_{P_A} 、 V_{R_B} 、 V_{N_A} 、 V_{P_B} 、 V_{R_B} 及び V_{N_B} を出力することができる。各ゲート閾値電圧 V_{thA} 及び V_{thB} と電位差「 $V_{P_A} - V_{R_A}$ 」、「 $V_{R_A} - V_{N_A}$ 」、「 $V_{P_B} - V_{R_B}$ 」及び「 $V_{R_B} - V_{N_B}$ 」との関係、各電力用半導体素子 Q_A 及び Q_B のソース端子における電位 V_{Q_A} 及び V_{Q_B} と電位 V_{R_A} 及び V_{R_B} との関係については、図 1 を参照して説明したものと同様のものが成り立つ。

30

【 0 0 5 0 】

上述のゲート駆動装置 1 は、複数個直列に接続された電力用半導体素子が設けられたアームが複数個直列に接続されて構成される電力変換装置においても、電力用半導体素子をオンオフ駆動することができる。

【 0 0 5 1 】

図 4 は、本開示の一実施形態によるゲート駆動装置を備える電力変換装置を示す図である。また、図 5 は、図 4 に示す電力変換装置内に設けられるアームを示す回路図である。ここでは、一例として、2 個直列接続された電力用半導体素子 Q_A 及び Q_B にてアーム 5 0 を構成する例について説明する。

40

【 0 0 5 2 】

本開示の一実施形態による電力変換装置 1 0 0 は、上述のゲート駆動装置 1 と、複数個直列に接続された電力用半導体素子が設けられたアーム 5 0 を有し、電力用半導体素子のオンオフ動作に応じて電力変換動作を行う電力変換回路部 2 と、電力変換回路部 2 の電力変換動作を制御する電力変換制御部 3 と、を備える。

【 0 0 5 3 】

図 5 に示すように、アーム 5 0 は、例えば 2 個直列接続された電力用半導体素子 Q_A 及び Q_B で構成される。電力用半導体素子 Q_A のドレイン端子からは端子 P_1 が引き出され、電

50

力用半導体素子 Q_B のソース端子からは端子 P_2 が引き出されている。電力変換回路部2は、あるアーム50の端子 P_2 が他のアーム50の端子 P_1 に接続され、その接続点は負荷の一方の端子に接続されている。図4に示す例では、2個のアーム50が直列に接続されて1つのレグ60を構成し、2つのレグ60で電力変換回路部2が構成される。

【0054】

直列に接続されたアーム50で構成されるレグ60には、直流電源200が接続される。また、レグ60内の直列に接続されたアーム50の間にある端子 T_1 ともう一方のレグ60内の直列に接続されたアーム50の間にある端子 T_2 との間には、負荷300が接続される。

【0055】

アーム50に対応して、ゲート駆動装置1が設けられる。各アーム50内の電力用半導体素子 Q_A と電力用半導体素子 Q_B は、対応するゲート駆動装置1によってオンオフ駆動される。すなわち、ゲート駆動電圧可変部11-A及びゲート駆動電圧可変部11-Bは、上述したように可変のゲート駆動電圧をそれぞれ生成し、そのうえで各正側スイッチ23P-A及び23P-B並びに各負側スイッチ23N-A及び23N-Bをオン動作及びオフ動作させることで、電力用半導体素子 Q_A 及び Q_B のゲート端子への印加電圧を制御する。

【0056】

電力変換制御部3は、各ゲート駆動装置1内の各正側スイッチ23P-A及び23P-B並びに各負側スイッチ23N-A及び23N-Bのオン動作及びオフ動作を制御する。すなわち、電力変換制御部3は、各ゲート駆動装置1内の各正側スイッチ23P-A及び23P-B並びに各負側スイッチ23N-A及び23N-Bのオン動作及びオフ動作を制御することで、電力用半導体素子 Q_A 及び Q_B のゲート端子への印加電圧を制御し、これにより電力用半導体素子 Q_A 及び Q_B はオン動作及びオフ動作を行う。これにより、電力変換回路部2は、直流電源200から供給される直流電力を所望の電力に変換して負荷300へ供給する電力変換動作を行うことになる。電力変換制御部3は、例えば正側端子 T_1 から負荷300へ流れる電流の検出値 i と制御目標値である電流指令 i^* との偏差がなくなるように、各ゲート駆動装置1内の各正側スイッチ23P-A及び23P-B並びに各負側スイッチ23N-A及び23N-Bのオン動作及びオフ動作を制御するためのゲート指令信号を生成する。

【0057】

電力変換装置100内には演算処理装置(プロセッサ)が設けられる。この演算処理装置は、電力変換制御部3を有する。演算処理装置が有する電力変換制御部3は、例えば、プロセッサ上で実行されるコンピュータプログラムにより実現される機能モジュールである。例えば、電力変換制御部3をコンピュータプログラム形式で構築する場合は、演算処理装置をこのコンピュータプログラムに従って動作させることで、当該機能を実現することができる。電力変換制御部3の処理を実行するためのコンピュータプログラムは、半導体メモリ、磁気記録媒体または光記録媒体といった、コンピュータ読取可能な記録媒体に記録された形で提供されてもよい。またあるいは、電力変換制御部3を、当該機能を実現するコンピュータプログラムを書き込んだ半導体集積回路として実現してもよい。

【0058】

続いて、2つの電力用半導体素子 Q_A 及び Q_B の特性が異なる場合におけるオン動作時及びオフ動作時のゲート電圧の不均衡度について説明する。

【0059】

図6は、2つの電力用半導体素子の特性が異なる場合におけるゲート電圧の不均衡度の定義を説明する図であって、(A)はオフ動作時のゲート電圧の不均衡度の定義を示し、(B)はオン動作時のゲート電圧の不均衡度の定義を示す。一例として、電力用半導体素子 Q_A が第1のゲート閾値電圧 V_{thA} を有し、電力用半導体素子 Q_B が第1のゲート閾値電圧よりも高い第2のゲート閾値電圧 V_{thB} を有する場合(すなわち $V_{thA} < V_{thB}$ である場合)について説明する。

10

20

30

40

50

【 0 0 6 0 】

図 6 (A) に示すように、電力用半導体素子 Q_A 及び Q_B のオフ時における現象として、電力用半導体素子 Q_A のゲート電位を正のある電位から負のある電位にしたときに電力用半導体素子 Q_A のドレイン - ソース間電圧が $0 [V]$ から $V_{dsA} [V]$ になり、電力用半導体素子 Q_B のゲート電位を正のある電位から負のある電位にしたときに電力用半導体素子 Q_B のドレイン - ソース間電圧が $0 [V]$ から $V_{dsB} [V]$ になったとする。このとき、オフ動作時のゲート電圧の不均衡度を $V_{ds_{off}} [%]$ を式 1 のように定義する。

【 0 0 6 1 】

【 数 1 】

$$\Delta V_{ds_{off}} = \frac{|V_{dsB} - V_{dsA}|}{V_{dsB} + V_{dsA}} \quad \dots(1)$$

10

【 0 0 6 2 】

また、図 6 (B) に示すように、電力用半導体素子 Q_A 及び Q_B のゲート電位の負のある電位のときの電力用半導体素子 Q_A 及び Q_B がオフ状態のドレイン - ソース間電圧の平均値を $V_{ds_{ave}} [V]$ とし、電力用半導体素子 Q_A 及び Q_B のゲート電位を負のある電位から正のある電位にして電力用半導体素子 Q_A 及び Q_B のオンした時に発生するいずれか一方の電力用半導体素子のドレイン - ソース間電圧の跳ね上がりである最大上昇電圧と $V_{ds_{ave}} [V]$ との差を $V_p [V]$ としたとき、オン動作時のゲート電圧の不均衡度を $V_{ds_{on}} [%]$ を式 2 のように定義する。

20

【 0 0 6 3 】

【 数 2 】

$$\Delta V_{ds_{on}} = \frac{V_p}{V_{ds_{ave}}} \quad \dots(2)$$

30

【 0 0 6 4 】

図 7 は、電力用半導体素子の特性にばらつきがある場合において、特許文献 1 (特許第 4 3 9 6 0 3 6 号公報) におけるゲート線の磁気結合がある場合及び無い場合の不均衡度についてのシミュレーション結果を例示する図である。

【 0 0 6 5 】

図 7 に示すように、特許文献 1 に記載された発明によれば、電力用半導体素子 Q_A 及び Q_B の特性が異なると ($V_{thA} < V_{thB}$)、ゲート線の磁気結合がある場合及び無い場合のいずれにおいても不均衡度が高くなり、ゲート線の磁気結合があったとしても電力用半導体素子 Q_A と電力用半導体素子 Q_B とでオン動作のタイミング及びオフ動作のタイミングを揃える効果は小さい。

40

【 0 0 6 6 】

図 8 は、電力用半導体素子の特性にばらつきがある場合において、本開示の一実施形態における不均衡度についてのシミュレーション結果を例示する図である。

【 0 0 6 7 】

特性が異なる $3.3 kV$ 耐圧の $SiC - MOSFET$ 電力用半導体素子 Q_A 及び Q_B ($V_{thA} < V_{thB}$) を直列に接続した場合に $3.6 kV$ の電圧を印加したとき $750 A$ の電流が流れたとし、各ゲート信号の遅延は無いものとしてシミュレーションを行った。また、このシミュレーションでは、ゲート駆動電圧可変部 11 - A から出力される正側電位 V_{PA} と負側電位 V_{NA} との差「 $V_{PA} - V_{NA}$ 」を $28 V$ 一定とし、ゲート駆動電圧可変部 11 -

50

Bから出力される正側電位 V_{PB} と負側電位 V_{NB} との差「 $V_{PB} - V_{NB}$ 」を28V一定とし、ゲート駆動電圧可変部11-Bから出力される正側電位 V_{PB} を17V一定とし、負側電位 V_{NB} を-11V一定としている。このような条件の下で、ゲート駆動電圧可変部11-Aにおける正側電位 V_{PA} /負側電位 V_{NA} を「17V/-11V」、「16.75V/-11.25V」、「16.5V/-11.5V」、「16.25V/-11.75V」といったように変化させるシミュレーションを行うと、図8に示すようなオン時及びオフ時の不均衡度が得られた。図8より、電力用半導体素子 Q_A の正側電圧 V_{PA} /負側電圧 V_{NA} を16.5V/-11.5Vと16.25V/-11.75Vとの間に設定すれば、オン時及びオフ時の不均衡度を低くすることができることが分かる。

【0068】

以上の通り、2個直列に接続された電力用半導体素子をオンオフ駆動する例について説明したが、本開示の一実施形態によるゲート駆動装置1は、3個以上直列に接続された電力用半導体素子であってもオンオフ駆動することができる。

【0069】

図9は、本開示の一実施形態による3個直列に接続された電力用半導体素子をオンオフ駆動するゲート駆動装置を示す回路図である。一例として、3個直列に接続された電力用半導体素子 Q_A 、 Q_B 及び Q_C をオンオフ駆動する例について説明する。

【0070】

電力用半導体素子 Q_A にはダイオード D_A が逆並列に接続される。同様に、電力用半導体素子 Q_B にはダイオード D_B が逆並列に接続され、電力用半導体素子 Q_C にはダイオード D_C が逆並列に接続される。

【0071】

ゲート駆動装置1は、ゲート駆動電圧可変部11-A、11-B及び11-Cと、ゲート線12-A、12-B及び12-Cと、磁気結合部13とを備える。

【0072】

ゲート駆動電圧可変部11-Aは電力用半導体素子 Q_A に対応して設けられ、ゲート駆動電圧可変部11-Bは電力用半導体素子 Q_B に対応して設けられ、ゲート駆動電圧可変部11-Cは電力用半導体素子 Q_C に対応して設けられる。ゲート駆動電圧可変部11-A、11-B及び11-Cのうちのいくつかまたは全ては、可変のゲート駆動電圧をそれぞれ出力する。

【0073】

ゲート駆動電圧可変部11-Aは、ゲート駆動電圧の正側電位 V_{PA} を出力する正側電位出力部21P-Aと、正側電位出力部21P-Aに直列に接続され、ゲート駆動電圧の負側電位 V_{NA} を出力する負側電位出力部21N-Aと、正側スイッチ23P-Aと、負側スイッチ23N-Aと、を有する。また、ゲート駆動電圧可変部11-Bは、ゲート駆動電圧の正側電位 V_{PB} を出力する正側電位出力部21P-Bと、正側電位出力部21P-Bに直列に接続され、ゲート駆動電圧の負側電位 V_{NB} を出力する負側電位出力部21N-Bと、正側スイッチ23P-Bと、負側スイッチ23N-Bと、を有する。また、ゲート駆動電圧可変部11-Cは、ゲート駆動電圧の正側電位 V_{PC} を出力する正側電位出力部21P-Cと、正側電位出力部21P-Cに直列に接続され、ゲート駆動電圧の負側電位 V_{NC} を出力する負側電位出力部21N-Cと、正側スイッチ23P-Cと、負側スイッチ23N-Cと、を有する。

【0074】

ゲート駆動電圧可変部11-A内の正側スイッチ23P-Aとゲート駆動電圧可変部11-B内の正側スイッチ23P-Bとゲート駆動電圧可変部11-C内の正側スイッチ23P-Cとは、同期してオン動作及びオフ動作を行い、すなわちこれら正側スイッチ23P-A、23P-B及び23P-Cの間でオンオフのタイミングは一致する。同様に、ゲート駆動電圧可変部11-A内の負側スイッチ23N-Aとゲート駆動電圧可変部11-B内の負側スイッチ23N-Bとゲート駆動電圧可変部11-C内の負側スイッチ23N-Cとは、同期してオン動作及びオフ動作を行い、すなわちこれら負側スイッチ23N-

10

20

30

40

50

A、23N-B及び23N-Cの間でオンオフのタイミングは同一である。本開示の一実施形態では、ゲート駆動電圧可変部11-A、ゲート駆動電圧可変部11-B及びゲート駆動電圧可変部11-Cは、以下で説明するように可変のゲート駆動電圧をそれぞれ生成し、そのうえで正側スイッチ23P-A、23P-B及び23P-C並びに負側スイッチ23N-A、23N-B及び23N-Cをオン動作及びオフ動作させることで、電力用半導体素子 Q_A 、 Q_B 及び Q_C のゲート端子への印加電圧を制御する。

【0075】

ゲート駆動電圧可変部11-Aにおいて、正側電位出力部21P-Aが出力する正側電位 V_{PA} と負側電位出力部21N-Aが出力する負側電位 V_{NA} との電位差「 $V_{PA} - V_{NA}$ 」が一定となるように制御しつつ、正側電位出力部21P-Aと負側電位出力部21N-Aとの間の接続点である中間端子22-Aにおける電位 V_{RA} と、ゲート駆動電圧可変部11-Aに対応する電力用半導体素子 Q_A の出力端子であるソース端子における電位 V_{QA} と、が同電位となるように制御する。例えば、中間端子22-Aと電力用半導体素子 Q_A のソース端子とを結線することにより $V_{RA} = V_{QA}$ を実現したうえで、正側電位出力部21P-Aが出力する正側電位 V_{PA} と負側電位出力部21N-Aが出力する負側電位 V_{NA} との電位差「 $V_{PA} - V_{NA}$ 」が一定となるようにしつつ、正側電位出力部21P-Aが出力する正側電位 V_{PA} と中間端子22-Aにおける電位 V_{RA} との電位差「 $V_{PA} - V_{RA}$ 」及び中間端子22-Aにおける電位 V_{RA} と負側電位出力部21N-Aが出力する負側電位 V_{NA} との電位差「 $V_{RA} - V_{NA}$ 」の一方または両方を可変にする。

【0076】

ゲート駆動電圧可変部11-Bにおいて、正側電位出力部21P-Bが出力する正側電位 V_{PB} と負側電位出力部21N-Bが出力する負側電位 V_{NB} との電位差「 $V_{PB} - V_{NB}$ 」が一定となるように制御しつつ、正側電位出力部21P-Bと負側電位出力部21N-Bとの間の接続点である中間端子22-Bにおける電位 V_{RB} と、ゲート駆動電圧可変部11-Bに対応する電力用半導体素子 Q_B の出力端子であるソース端子における電位 V_{QB} と、が同電位となるように制御する。例えば、中間端子22-Bと電力用半導体素子 Q_B のソース端子とを結線することにより $V_{RB} = V_{QB}$ を実現したうえで、正側電位出力部21P-Bが出力する正側電位 V_{PB} と負側電位出力部21N-Bが出力する負側電位 V_{NB} との電位差「 $V_{PB} - V_{NB}$ 」が一定となるようにしつつ、正側電位出力部21P-Bが出力する正側電位 V_{PB} と中間端子22-Bにおける電位 V_{RB} との電位差「 $V_{PB} - V_{RB}$ 」及び中間端子22-Bにおける電位 V_{RB} と負側電位出力部21N-Bが出力する負側電位 V_{NB} との電位差「 $V_{RB} - V_{NB}$ 」の一方または両方を可変にする。

【0077】

ゲート駆動電圧可変部11-Cにおいて、正側電位出力部21P-Cが出力する正側電位 V_{PC} と負側電位出力部21N-Cが出力する負側電位 V_{NC} との電位差「 $V_{PC} - V_{NC}$ 」が一定となるように制御しつつ、正側電位出力部21P-Cと負側電位出力部21N-Cとの間の接続点である中間端子22-Cにおける電位 V_{RC} と、ゲート駆動電圧可変部11-Cに対応する電力用半導体素子 Q_C の出力端子であるソース端子における電位 V_{QC} と、が同電位となるように制御する。例えば、中間端子22-Cと電力用半導体素子 Q_C のソース端子とを結線することにより $V_{RC} = V_{QC}$ を実現したうえで、正側電位出力部21P-Cが出力する正側電位 V_{PC} と負側電位出力部21N-Cが出力する負側電位 V_{NC} との電位差「 $V_{PC} - V_{NC}$ 」が一定となるようにしつつ、正側電位出力部21P-Cが出力する正側電位 V_{PC} と中間端子22-Cにおける電位 V_{RC} との電位差「 $V_{PC} - V_{RC}$ 」及び中間端子22-Cにおける電位 V_{RC} と負側電位出力部21N-Cが出力する負側電位 V_{NC} との電位差「 $V_{RC} - V_{NC}$ 」の一方または両方を可変にする。

【0078】

また、例えば、電力用半導体素子 Q_A のゲート閾値電圧 V_{thA} 、電力用半導体素子 Q_B のゲート閾値電圧 V_{thB} 、及び電力用半導体素子 Q_C のゲート閾値電圧 V_{thC} が $V_{thA} < V_{thB} < V_{thC}$ の大小関係を有する場合は、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aから出力されるゲート駆動電圧の正側電位 V_{PA}

及び負側電位 V_{N_A} の各々は、ゲート駆動電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部 11 - B から出力されるゲート駆動電圧の正側電位 V_{P_B} 及び負側電位 V_{N_B} の各々よりも低くなるようにする。さらに / あるいは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部 11 - B から出力されるゲート駆動電圧の正側電位 V_{P_B} 及び負側電位 V_{N_B} の各々は、ゲート駆動電圧 V_{thC} を有する電力用半導体素子 Q_C に対応するゲート駆動電圧可変部 11 - C から出力されるゲート駆動電圧の正側電位 V_{P_C} 及び負側電位 V_{N_C} の各々よりも低くなるようにする。

【0079】

より詳しくは、 $V_{thA} < V_{thB} < V_{thC}$ である場合、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部 11 - A の正側電位出力部 21P - A は、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部 11 - B の正側電位出力部 21P - B が出力するゲート駆動電圧の正側電位 V_{P_B} よりも低いゲート駆動電圧の正側電位 V_{P_A} を出力し、かつ、ゲート駆動電圧可変部 11 - A の負側電位出力部 21N - A は、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部 11 - B の負側電位出力部 21N - B が出力するゲート駆動電圧の負側電位 V_{N_B} よりも低いゲート駆動電圧の負側電位 V_{N_A} を出力する。ここで、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部 11 - B の正側電位出力部 21P - B が出力する正側電位 V_{P_B} と中間端子 22 - B における電位 V_{R_B} との電位差「 $V_{P_B} - V_{R_B}$ 」は、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部 11 - A の正側電位出力部 21P - A が出力する正側電位 V_{P_A} と中間端子 22 - A における電位との電位差「 $V_{P_A} - V_{R_A}$ 」よりも大きくなるようにする。さらに / あるいは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部 11 - B の中間端子 22 - B における電位 V_{R_B} とゲート駆動電圧可変部 11 - B の負側電位出力部 21N - B が出力する負側電位 V_{N_B} との電位差「 $V_{R_B} - V_{N_B}$ 」は、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部 11 - A の中間端子 22 - A における電位 V_{R_A} とゲート駆動電圧可変部 11 - A の負側電位出力部 21N - A が出力する負側電位 V_{N_A} との電位差「 $V_{R_A} - V_{N_A}$ 」よりも小さくなるようにする。

【0080】

同様に、 $V_{thA} < V_{thB} < V_{thC}$ である場合、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部 11 - B の正側電位出力部 21P - B は、ゲート閾値電圧 V_{thC} を有する電力用半導体素子 Q_C に対応するゲート駆動電圧可変部 11 - C の正側電位出力部 21P - C が出力するゲート駆動電圧の正側電位 V_{P_C} よりも低いゲート駆動電圧の正側電位 V_{P_B} を出力し、かつ、ゲート駆動電圧可変部 11 - B の負側電位出力部 21N - B は、ゲート閾値電圧 V_{thC} を有する電力用半導体素子 Q_C に対応するゲート駆動電圧可変部 11 - C の負側電位出力部 21N - C が出力するゲート駆動電圧の負側電位 V_{N_C} よりも、低いゲート駆動電圧の負側電位 V_{N_B} を出力する。ここで、ゲート閾値電圧 V_{thC} を有する電力用半導体素子 Q_C に対応するゲート駆動電圧可変部 11 - C の正側電位出力部 21P - C が出力する正側電位 V_{P_C} と中間端子 22 - C における電位 V_{R_C} との電位差「 $V_{P_C} - V_{R_C}$ 」は、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部 11 - B の正側電位出力部 21P - B が出力する正側電位 V_{P_B} と中間端子 22 - B における電位との電位差「 $V_{P_B} - V_{R_B}$ 」よりも大きくなるようにする。さらに / あるいは、ゲート閾値電圧 V_{thC} を有する電力用半導体素子 Q_C に対応するゲート駆動電圧可変部 11 - C の中間端子 22 - C における電位 V_{R_C} とゲート駆動電圧可変部 11 - C の負側電位出力部 21N - C が出力する負側電位 V_{N_C} との電位差「 $V_{R_C} - V_{N_C}$ 」は、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部 11 - B の中間端子 22 - B における電位 V_{R_B} とゲート駆動電圧可変部 11 - B の負側電位出力部 21N - B が出力する負側電位 V_{N_B} との電位差「 $V_{R_B} - V_{N_B}$ 」よりも小さくなるようにする。

【0081】

10

20

30

40

50

また、例えば、電力用半導体素子 Q_A のゲート閾値電圧 V_{thA} 、電力用半導体素子 Q_B のゲート閾値電圧 V_{thB} 、及び電力用半導体素子 Q_C のゲート閾値電圧 V_{thC} が $V_{thA} > V_{thB} > V_{thC}$ の大小関係を有する場合は、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aから出力されるゲート駆動電圧の正側電位 V_{PA} 及び負側電位 V_{NA} の各々は、ゲート駆動電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bから出力されるゲート駆動電圧の正側電位 V_{PB} 及び負側電位 V_{NB} の各々よりも高くなるようにする。さらに/あるいは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bから出力されるゲート駆動電圧の正側電位 V_{PB} 及び負側電位 V_{NB} の各々は、ゲート駆動電圧 V_{thC} を有する電力用半導体素子 Q_C に対応するゲート駆動電圧可変部11-Cから出力されるゲート駆動電圧の正側電位 V_{PC} 及び負側電位 V_{NC} の各々よりも高くなるようにする。

10

【0082】

すなわち、 $V_{thA} > V_{thB} > V_{thC}$ である場合、例えば、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの正側電位出力部21P-Aは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力するゲート駆動電圧の正側電位 V_{PB} よりも高いゲート駆動電圧の正側電位 V_{PA} を出力し、かつ、ゲート駆動電圧可変部11-Aの負側電位出力部21N-Aは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの負側電位出力部21N-Bが出力するゲート駆動電圧の負側電位 V_{NB} よりも高いゲート駆動電圧の負側電位 V_{NA} を出力する。ここで、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力する正側電位 V_{PB} と中間端子22-Bにおける電位 V_{RB} との電位差「 $V_{PB} - V_{RB}$ 」は、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの正側電位出力部21P-Aが出力する正側電位 V_{PA} と中間端子22-Aにおける電位 V_{RA} との電位差「 $V_{PA} - V_{RA}$ 」よりも小さくなるようにする。さらに/あるいは、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの中間端子22-Bにおける電位 V_{RB} とゲート駆動電圧可変部11-Bの負側電位出力部21N-Bが出力する負側電位 V_{NB} との電位差「 $V_{RB} - V_{NB}$ 」は、ゲート閾値電圧 V_{thA} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの中間端子22-Aにおける電位 V_{RA} とゲート駆動電圧可変部11-Aの負側電位出力部21N-Aが出力する負側電位 V_{NA} との電位差「 $V_{RA} - V_{NA}$ 」よりも大きくなるようにする。

20

30

【0083】

同様に、 $V_{thA} > V_{thB} > V_{thC}$ である場合、例えば、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bは、ゲート閾値電圧 V_{thC} を有する電力用半導体素子 Q_C に対応するゲート駆動電圧可変部11-Cの正側電位出力部21P-Cが出力するゲート駆動電圧の正側電位 V_{PC} よりも高いゲート駆動電圧の正側電位 V_{PB} を出力し、かつ、ゲート駆動電圧可変部11-Bの負側電位出力部21N-Bは、ゲート閾値電圧 V_{thC} を有する電力用半導体素子 Q_C に対応するゲート駆動電圧可変部11-Cの負側電位出力部21N-Cが出力するゲート駆動電圧の負側電位 V_{NC} よりも高いゲート駆動電圧の負側電位 V_{NB} を出力する。ここで、ゲート閾値電圧 V_{thC} を有する電力用半導体素子 Q_C に対応するゲート駆動電圧可変部11-Cの正側電位出力部21P-Cが出力する正側電位 V_{PC} と中間端子22-Cにおける電位 V_{RC} との電位差「 $V_{PC} - V_{RC}$ 」は、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力する正側電位 V_{PB} と中間端子22-Bにおける電位 V_{RB} との電位差「 $V_{PB} - V_{RB}$ 」よりも小さくなるようにする。さらに/あるいは、ゲート閾値電圧 V_{thC} を有する電力用半導体素子 Q_C に対応するゲート駆動電圧可変部11-Cの中間端子22-Cにおける電位 V_{RC} とゲート駆動電圧可変部11-Cの負側電位出力部21N-Cが出力する負側電位 V_{NC} との電位差「 $V_{RC} - V_{NC}$ 」は、ゲート閾値電圧 V_{thB} を有する電力用半導体素子 Q_B に対応するゲート駆動

40

50

電圧可変部 11 - B の中間端子 22 - B における電位 V_{RB} とゲート駆動電圧可変部 11 - B の負側電位出力部 21N - B が出力する負側電位 V_{NB} との電位差「 $V_{RB} - V_{NB}$ 」よりも大きくなるようにする。

【0084】

ゲート線 12 - A は、ゲート駆動電圧可変部 11 - A から出力されたゲート駆動電圧を、対応する電力用半導体素子 Q_A のゲート端子に供給する。ゲート線 12 - B は、ゲート駆動電圧可変部 11 - B から出力されたゲート駆動電圧を、対応する電力用半導体素子 Q_B のゲート端子に供給する。ゲート線 12 - C は、ゲート駆動電圧可変部 11 - C から出力されたゲート駆動電圧を、対応する電力用半導体素子 Q_C のゲート端子に供給する。

【0085】

磁気結合部 13 は、ゲート線 12 - A とゲート線 12 - B とを磁気結合し、ゲート線 12 - B とゲート線 12 - C とを磁気結合する。

【0086】

このように、本開示の一実施形態によるゲート駆動装置 1 は、複数個直列に接続された電力用半導体素子の個数と同じ個数のゲート駆動電圧可変部及びゲート線を設け、磁気結合部にてゲート線の各々について互いに磁気結合させる構成を有する。本開示の一実施形態によれば、電力用半導体素子についてゲート信号の伝達時間や電力用半導体素子の特性にバラツキがあっても、電力用半導体素子の各々のオン動作及びオフ動作についてのスイッチングタイミングを揃え、電力用半導体素子に印加される電圧の不均衡を抑制することができる。

【0087】

続いて、本開示の一実施形態の第 1 の変形例について説明する。

【0088】

図 10 は、本開示の一実施形態の第 1 の変形例によるゲート駆動装置を示す回路図である。一例として、2 個直列に接続された電力用半導体素子 Q_A 及び Q_B をオンオフ駆動する例について説明するが、3 個以上直列に接続された電力用半導体素子をオンオフ駆動する場合であっても第 1 の変形例は適用可能である。また、一例として、ゲート駆動電圧可変部 11 - A 及び 11 - B が図 2 に示した構成を有する場合について説明するが、ゲート駆動電圧可変部 11 - A 及び 11 - B が図 1 に示した構成を有する場合であっても第 1 の変形例は適用可能である。

【0089】

図 4 及び図 5 を参照して説明したように複数個直列に接続された電力用半導体素子を有するアーム 50 により構成される電力変換回路部 2 について、ゲート駆動装置 1 は、アーム 50 内の電力用半導体素子をオンオフ駆動させることができる。電力用半導体素子の特性は、ドレイン - ソース間に流れる電流の大きさにより変化することから、第 1 の変形例によるゲート駆動装置 1 では、ドレイン - ソース間に流れる電流に応じてゲート駆動電圧の正側電位及び負側電位を変化させ、ドレイン - ソース間に流れる電流の大きさにより電力用半導体素子の各々の特性に変化が生じて、電力用半導体素子の各々のオン動作及びオフ動作についてのスイッチングタイミングを揃え、電力用半導体素子に印加される電圧の不均衡を抑制する。

【0090】

電力変換制御部 3 は、電流に関する情報として、電力変換回路部 2 から出力される電流の値 i または電力変換制御部 3 が電力変換回路部 2 の電力変換動作を制御するために生成する電流指令の値 i^* を保持している。ゲート駆動電圧可変部 11 - A 及び 11 - B の各々は、電力変換回路部 2 から出力される電流の値 i または電力変換制御部 3 が電力変換回路部 2 の電力変換動作を制御するために生成する電流指令の値 i^* に応じて、ゲート駆動電圧の正側電位及び負側電位を変化させる。このため、図 10 に示すように、ゲート駆動電圧可変部 11 - A はセレクター回路 24 - A をさらに有し、ゲート駆動電圧可変部 11 - B はセレクター回路 24 - B をさらに有する。

【0091】

10

20

30

40

50

複数個直列に接続された直流電源 21 - A の各々の間には中間タップが設けられ、各中間タップは、MOSFET で構成されたスイッチ部を介して中間端子 22 - A に接続されている。各スイッチ部の MOSFET のオンオフは、セレクター回路 24 - A によって制御される。セレクター回路 24 - A は、電力変換回路部 2 から出力される電流の値 i または電力変換制御部 3 が電力変換回路部 2 の電力変換動作を制御するために生成する電流指令の値 i^* に応じて、複数の MOSFET のうちの 1 つをオンすることで、正側電位 V_{PA} と中間端子 22 - A の電位 V_{RA} との電位差「 $V_{PA} - V_{RA}$ 」、及び中間端子 22 - A の電位 V_{RA} と負側電位 V_{NA} との電位差「 $V_{RA} - V_{NA}$ 」を変化させる。

【0092】

同様に、複数個直列に接続された直流電源 21 - B の各々の間には中間タップが設けられ、各中間タップは、MOSFET で構成されたスイッチ部を介して中間端子 22 - B に接続されている。各スイッチ部の MOSFET のオンオフは、セレクター回路 24 - B によって制御される。セレクター回路 24 - B は、電力変換回路部 2 から出力される電流の値 i または電力変換制御部 3 が電力変換回路部 2 の電力変換動作を制御するために生成する電流指令の値 i^* に応じて、複数の MOSFET のうちの 1 つをオンすることで、正側電位 V_{PB} と中間端子 22 - B の電位 V_{RB} との電位差「 $V_{PB} - V_{RB}$ 」、及び中間端子 22 - B の電位 V_{RB} と負側電位 V_{NB} との電位差「 $V_{RB} - V_{NB}$ 」を変化させる。

【0093】

図 11 は、電力用半導体素子の特性にばらつきがある場合において、本開示の一実施形態の第 1 の変形例における不均衡度についてのシミュレーション結果を例示する図である。

【0094】

特性が異なる 3.3 kV 耐圧の SiC - MOSFET 電力用半導体素子 Q_A 及び Q_B ($V_{thA} < V_{thB}$) を直列に接続した場合に 3.6 kV の電圧を印加したときにおいて、ドレイン - ソース間を流れる電流を、750 A、500 A、50 A に設定してシミュレーションを行った。また、このシミュレーションでは、各ゲート信号の遅延は無いものとし、ゲート駆動電圧可変部 11 - A から出力される正側電位 V_{PA} と負側電位 V_{NA} との差「 $V_{PA} - V_{NA}$ 」を 28 V 一定とし、ゲート駆動電圧可変部 11 - B から出力される正側電位 V_{PB} と負側電位 V_{NB} との差「 $V_{PB} - V_{NB}$ 」を 28 V 一定とし、ゲート駆動電圧可変部 11 - B から出力される正側電位 V_{PB} を 17 V 一定とし、負側電位 V_{NB} を -11 V 一定としている。このような条件の下で、ドレイン - ソース間を流れる電流 750 A、500 A、50 A のそれぞれについて、ゲート駆動電圧可変部 11 - A から出力される正側電位 V_{PA} / 負側電位 V_{NA} を「17 V / -11 V」、「16.75 V / -11.25 V」、「16.5 V / -11.5 V」、「16.25 V / -11.75 V」といったように変化させるシミュレーションを行うと、図 11 に示すようなオン時及びオフ時の不均衡度が得られた。図 11 より、ドレイン - ソース間を流れる電流が 750 A の場合は正側電位 V_{PA} / 負側電位 V_{NA} が「16.5 V / -11.5 V と 16.25 V / -11.25 V との間」のとき、ドレイン - ソース間を流れる電流が 300 A の場合は正側電位 V_{PA} / 負側電位 V_{NA} が「16.5 V / -11.5 V」のとき、ドレイン - ソース間を流れる電流が 50 A の場合は正側電位 V_{PA} / 負側電位 V_{NA} が「17 V / -11 V」のとき、それぞれオフ時の不均衡度 $V_{ds\ off}$ を小さくできることがわかる。

【0095】

続いて、本開示の一実施形態の第 2 の変形例について説明する。

【0096】

図 12 は、電力用半導体素子の温度とゲート - ソース間電圧とドレイン電流との関係を例示する図である。

【0097】

電力用半導体素子は、オンオフ動作時における自己発熱により温度が上昇する。よって、例えば設計上の制約や電力用半導体素子の配置位置によって、電力変換装置において電力用半導体素子ごとに温度差が生じる場合がある。図 12 では、一例として、SiC - MOSFET からなる電力用半導体素子の温度が 25 と 175 の場合のゲート - ソース

10

20

30

40

50

間電圧 V_{gs} [V] とドレイン電流 I_d [A] との関係を示している。図 12 から、電力用半導体素子の温度が上昇するとゲート閾値電圧が低下することが分かる。このように、電力用半導体素子の温度差によってゲート閾値電圧にバラツキが生じることから、オン動作時及びオフ動作時における印加電圧の不均衡度が大きくなる。そこで、本開示の一実施形態の第 2 の実施例では、電力用半導体素子の温度に応じてゲート駆動電圧の正側電位及び負側電位を変化させ、電力用半導体素子の各々の発熱により特性に変化が生じて、電力用半導体素子の各々のオン動作及びオフ動作についてのスイッチングタイミングを揃え、電力用半導体素子に印加される電圧の不均衡を抑制する。

【0098】

図 13 は、本開示の一実施形態の第 2 の変形例によるゲート駆動装置を示す回路図である。一例として、2 個直列に接続された電力用半導体素子 Q_A 及び Q_B をオンオフ駆動する例について説明するが、3 個以上直列に接続された電力用半導体素子をオンオフ駆動する場合であっても第 2 の変形例は適用可能である。また、一例として、ゲート駆動電圧可変部 11 - A 及び 11 - B が図 2 に示した構成を有する場合について説明するが、ゲート駆動電圧可変部 11 - A 及び 11 - B が図 1 に示した構成を有する場合であっても第 2 の変形例は適用可能である。

【0099】

ゲート駆動装置 1 は、電力用半導体素子 Q_A 及び Q_B の各々に対応して設けられる温度センサ 25 - A 及び 25 - B をさらに備える。温度センサ 25 - A 及び 25 - B の各々は、電力用半導体素子 Q_A 及び Q_B の各々について最も発熱する部位に設置されるのが好ましい。ゲート駆動電圧可変部 11 - A 及び 11 - B の各々は、対応する温度センサ 25 - A 及び 25 - B により検出された電力用半導体素子の温度に応じて、ゲート駆動電圧の正側電位及び負側電位を変化させる。このため、図 13 に示すように、ゲート駆動電圧可変部 11 - A はセレクター回路 24 - A をさらに有し、ゲート駆動電圧可変部 11 - B はセレクター回路 24 - B をさらに有する。

【0100】

複数個直列に接続された直流電源 21 - A の各々の間には中間タップが設けられ、各中間タップは、MOSFET が設けられた導線を介して中間端子 22 - A に接続されている。各導線上の MOSFET のオンオフは、セレクター回路 24 - A によって制御される。セレクター回路 24 - A は、温度センサ 25 - A により検出された電力用半導体素子 Q_A の温度に応じて、複数の MOSFET のうちの 1 つをオンすることで、正側電位 V_{PA} と中間端子 22 - A の電位 V_{RA} との電位差「 $V_{PA} - V_{RA}$ 」、及び中間端子 22 - A の電位 V_{RA} と負側電位 V_{NA} との電位差「 $V_{RA} - V_{NA}$ 」を変化させる。

【0101】

同様に、複数個直列に接続された直流電源 21 - B の各々の間には中間タップが設けられ、各中間タップは、MOSFET が設けられた導線を介して中間端子 22 - B に接続されている。各導線上の MOSFET のオンオフは、セレクター回路 24 - B によって制御される。セレクター回路 24 - B は、温度センサ 25 - B により検出された電力用半導体素子 Q_B の温度に応じて、複数の MOSFET のうちの 1 つをオンすることで、正側電位 V_{PB} と中間端子 22 - B の電位 V_{RB} との電位差「 $V_{PB} - V_{RB}$ 」、及び中間端子 22 - B の電位 V_{RB} と負側電位 V_{NB} との電位差「 $V_{RB} - V_{NB}$ 」を変化させる。

【0102】

例えば、温度センサ 25 - A が検出した電力用半導体素子 Q_A が第 1 の温度 $Temp_A$ であり、温度センサ 25 - B が検出した電力用半導体素子 Q_B が第 1 の温度 $Temp_A$ より低い第 2 の温度 $Temp_B$ である場合（すなわち $Temp_A > Temp_B$ である場合）は、第 1 の温度 $Temp_A$ を検出した温度センサ 25 - A に対応する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部 11 - A から出力されるゲート駆動電圧の正側電位 V_{PA} 及び負側電位 V_{NB} の各々は、第 2 の温度 $Temp_B$ を検出した温度センサ 25 - B に対応する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部 11 - B から出力されるゲート駆動電圧の正側電位 V_{PB} 及び負側電位 V_{NB} の各々よりも低くなるようにする。

【 0 1 0 3 】

より詳しくは、 $T_{emp_A} > T_{emp_B}$ である場合、例えば、温度 T_{emp_A} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの正側電位出力部21P-Aは、温度 T_{emp_B} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力するゲート駆動電圧の正側電位 V_{PB} よりも低いゲート駆動電圧の正側電位 V_{PA} を出力し、かつ、ゲート駆動電圧可変部11-Aの負側電位出力部21N-Aは、温度 T_{emp_B} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの負側電位出力部21N-Bが出力するゲート駆動電圧の負側電位 V_{NB} よりも、低いゲート駆動電圧の負側電位 V_{NA} を出力する。ここで、温度 T_{emp_B} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力する正側電位 V_{PB} と中間端子22-Bにおける電位 V_{RB} との電位差「 $V_{PB} - V_{RB}$ 」は、温度 T_{emp_A} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの正側電位出力部21P-Aが出力する正側電位 V_{PA} と中間端子22-Aにおける電位との電位差「 $V_{PA} - V_{RA}$ 」よりも大きくなるようにする。さらに/あるいは、温度 T_{emp_B} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの中間端子22-Bにおける電位 V_{RB} とゲート駆動電圧可変部11-Bの負側電位出力部21N-Bが出力する負側電位 V_{NB} との電位差「 $V_{RB} - V_{NB}$ 」は、温度 T_{emp_A} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの中間端子22-Aにおける電位 V_{RA} とゲート駆動電圧可変部11-Aの負側電位出力部21N-Aが出力する負側電位 V_{NA} との電位差「 $V_{RA} - V_{NA}$ 」よりも小さくなるようにする。

10

20

【 0 1 0 4 】

また、例えば、温度センサ25-Aが検出した電力用半導体素子 Q_A が第1の温度 T_{emp_A} であり、温度センサ25-Bが検出した電力用半導体素子 Q_B が第1の温度 T_{emp_A} より高い第3の温度 T_{emp_B} である場合（すなわち $T_{emp_A} < T_{emp_B}$ である場合）は、第1の温度 T_{emp_A} を検出した温度センサ25-Aに対応する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aから出力されるゲート駆動電圧の正側電位 V_{PA} 及び負側電位 V_{NA} の各々は、第3の温度 T_{emp_B} を検出した温度センサ25-Bに対応する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bから出力されるゲート駆動電圧の正側電位 V_{PB} 及び負側電位 V_{NB} の各々よりも高くなるようにする。

【 0 1 0 5 】

より詳しくは、 $T_{emp_A} < T_{emp_B}$ である場合、例えば、温度 T_{emp_A} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの正側電位出力部21P-Aは、温度 T_{emp_B} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力するゲート駆動電圧の正側電位 V_{PB} よりも高いゲート駆動電圧の正側電位 V_{PA} を出力し、かつ、ゲート駆動電圧可変部11-Aの負側電位出力部21N-Aは、温度 T_{emp_B} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの負側電位出力部21N-Bが出力するゲート駆動電圧の負側電位 V_{NB} よりも、高いゲート駆動電圧の負側電位 V_{NA} を出力する。ここで、温度 T_{emp_B} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの正側電位出力部21P-Bが出力する正側電位 V_{PB} と中間端子22-Bにおける電位 V_{RB} との電位差「 $V_{PB} - V_{RB}$ 」は、温度 T_{emp_A} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの正側電位出力部21P-Aが出力する正側電位 V_{PA} と中間端子22-Aにおける電位との電位差「 $V_{PA} - V_{RA}$ 」よりも小さくなるようにする。さらに/あるいは、温度 T_{emp_B} を有する電力用半導体素子 Q_B に対応するゲート駆動電圧可変部11-Bの中間端子22-Bにおける電位 V_{RB} とゲート駆動電圧可変部11-Bの負側電位出力部21N-Bが出力する負側電位 V_{NB} との電位差「 $V_{RB} - V_{NB}$ 」は、温度 T_{emp_A} を有する電力用半導体素子 Q_A に対応するゲート駆動電圧可変部11-Aの中間端子22-Aにおける電位 V_{RA} とゲート駆動電圧可変部11-Aの負側電位出力部21N-Aが出力する負側電位 V_{NA} との電位差「 $V_{RA} - V_{NA}$ 」よりも大きくなるようにする。

30

40

【 0 1 0 6 】

50

なお、上述した第1の変形例及び第2の変形例は組み合わせて実施してもよく、この場合は、電力変換回路部2から出力される電流の値もしくは電力変換制御部3が電力変換回路部2の電力変換動作を制御するために生成する電流指令の値と、温度センサにより検出された電力用半導体素子の温度と、に応じて、ゲート駆動電圧の正側電位及び負側電位を変化させる。

【0107】

以上説明したように、本開示の一実施形態及び各変形例によれば、ゲート線におけるゲート信号の伝達時間や電力用半導体素子の特性にバラツキがあったとしても、電力用半導体素子の各々のオン動作及びオフ動作についてのスイッチングタイミングを揃えることができ、電力用半導体素子に印加される電圧の不均衡を抑制することができる。

10

【符号の説明】

【0108】

- 1 ゲート駆動装置
- 2 電力変換回路部
- 3 電力変換制御部
- 11 - A、11 - B、11 - C ゲート駆動電圧可変部
- 12 - A、12 - B、12 - C ゲート線
- 13 磁気結合部
- 21 - A、21 - B 直流電源
- 21P - A、21P - B、21P - C 正側電位出力部
- 21N - A、21N - B、21N - C 負側電位出力部
- 22 - A、22 - B、22 - C 中間端子
- 23P - A、23P - B、23P - C 正側スイッチ
- 23N - A、23N - B、23N - C 負側スイッチ
- 24 - A、24 - B セレクター回路
- 25 - A、25 - B 温度センサ
- 26 - A、26 - B、26 - C 切替えスイッチ
- 30 磁性体
- 50 アーム
- 60 レグ
- 100 電力変換装置
- 200 直流電源
- 300 負荷
- C コンデンサ
- DA、DB、DC ダイオード
- P1、P2 端子
- QA、QB、QC 電力用半導体素子
- T1 端子
- T2 端子

20

30

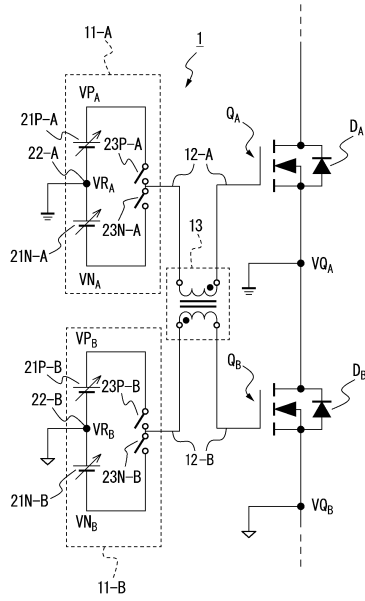
40

50

【図面】

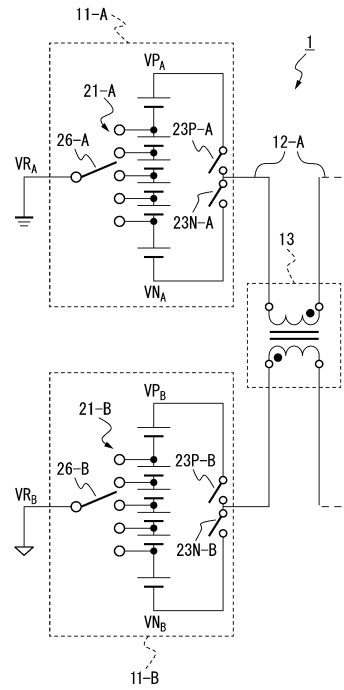
【図 1】

図1



【図 2】

図2

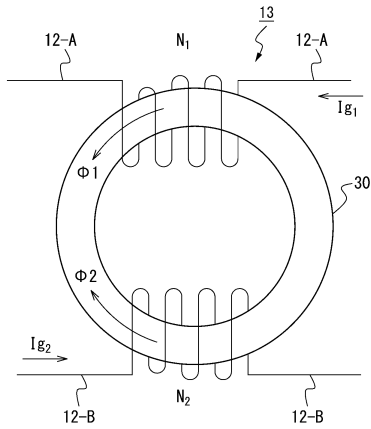


10

20

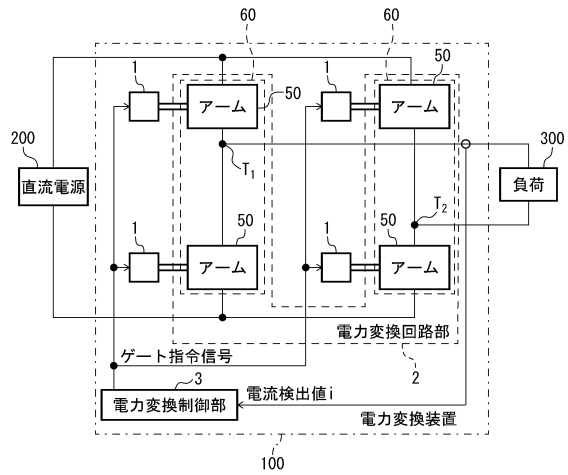
【図 3】

図3



【図 4】

図4



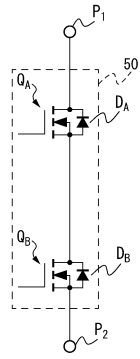
30

40

50

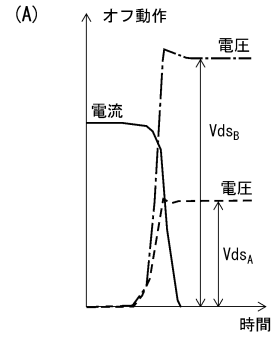
【 図 5 】

図5

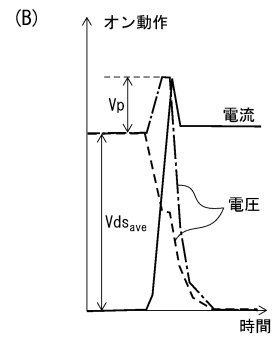


【 図 6 】

図6



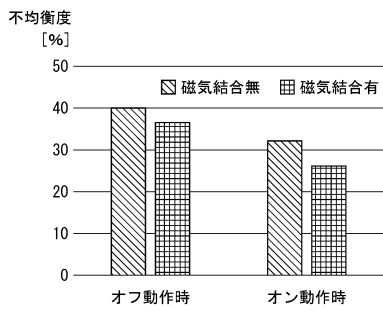
10



20

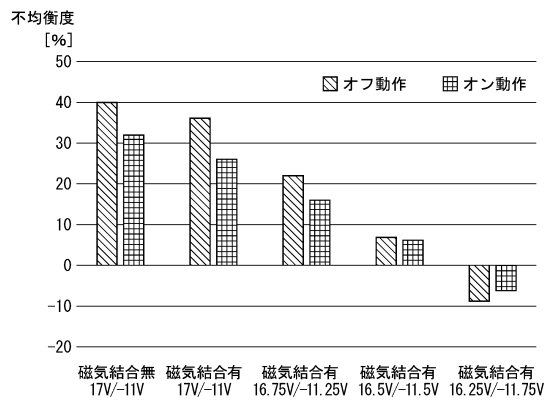
【 図 7 】

図7



【 図 8 】

図8



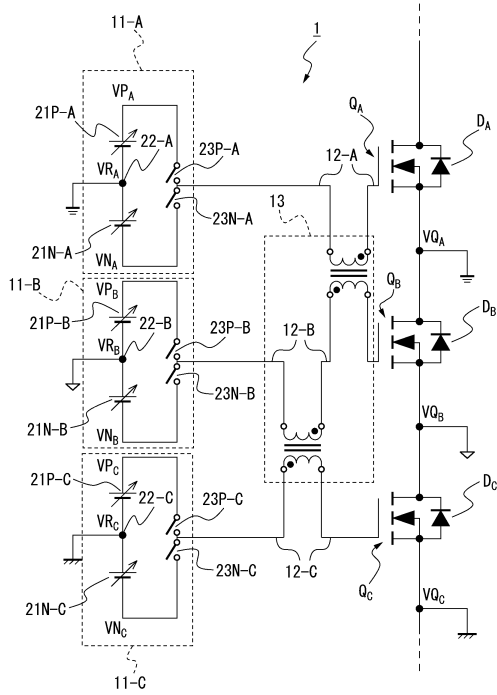
30

40

50

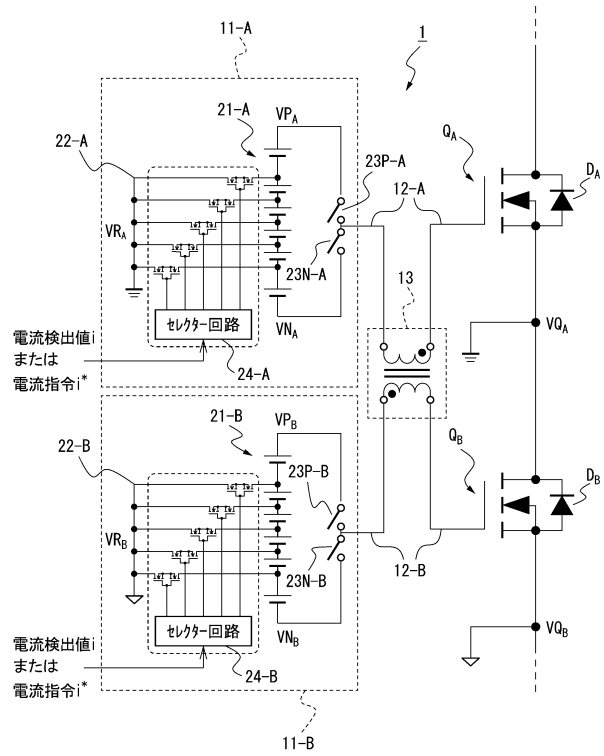
【図9】

図9



【図10】

図10

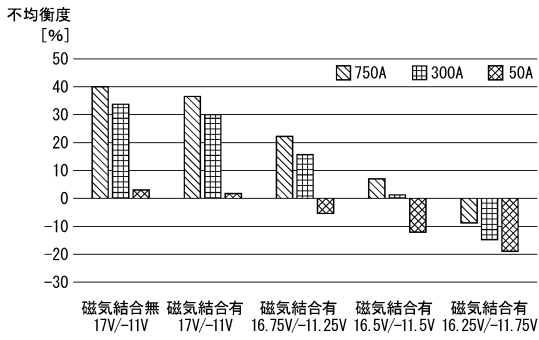


10

20

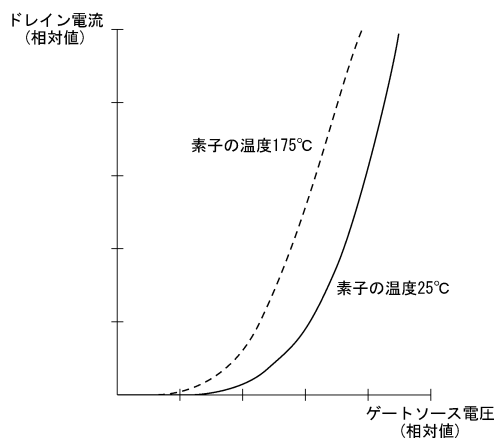
【図11】

図11



【図12】

図12



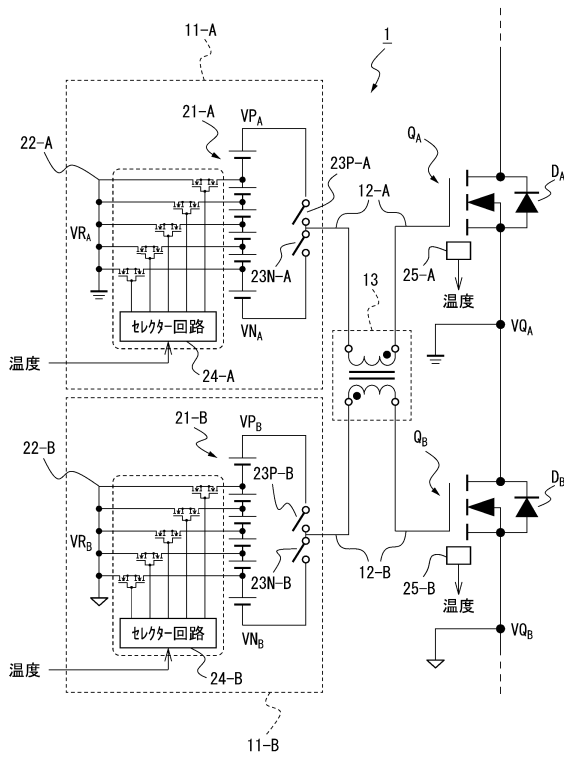
30

40

50

【図 13】

図13



10

20

30

40

50

フロントページの続き

- 国立大学法人東京工業大学内
(72)発明者 萩原 誠
東京都目黒区大岡山 2 丁目 1 2 番 1 号 国立大学法人東京工業大学内
- (72)発明者 地道 拓志
東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内
- (72)発明者 檜垣 優介
東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内
- (72)発明者 中嶋 純一
東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内
- 審査官 清水 康
- (56)参考文献 特開 2 0 0 8 - 0 4 3 0 0 3 (J P , A)
特開 2 0 1 3 - 0 9 9 1 8 1 (J P , A)
特開 2 0 0 8 - 0 4 8 5 6 9 (J P , A)
特開 2 0 1 9 - 1 9 3 4 8 1 (J P , A)
特開 2 0 0 7 - 0 8 2 2 8 1 (J P , A)
特開 2 0 1 7 - 0 4 6 4 3 8 (J P , A)
特開 2 0 1 1 - 2 0 0 0 3 7 (J P , A)
特開 2 0 2 0 - 1 8 2 3 3 4 (J P , A)
特開 2 0 0 7 - 1 1 6 8 1 9 (J P , A)
米国特許出願公開第 2 0 1 8 / 0 1 2 3 5 7 9 (U S , A 1)
米国特許出願公開第 2 0 2 1 / 0 0 9 1 7 0 1 (U S , A 1)
特開 2 0 1 9 - 0 7 5 8 9 1 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 2 M 1 / 0 0 - 1 / 4 4