

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和2年3月5日(2020.3.5)

【公開番号】特開2017-157214(P2017-157214A)

【公開日】平成29年9月7日(2017.9.7)

【年通号数】公開・登録公報2017-034

【出願番号】特願2017-33466(P2017-33466)

【国際特許分類】

G 06 F 12/16 (2006.01)

G 06 F 12/00 (2006.01)

G 06 F 12/06 (2006.01)

【F I】

G 06 F 12/16 310 A

G 06 F 12/00 550 B

G 06 F 12/06 524

【手続補正書】

【提出日】令和2年1月23日(2020.1.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリアレイと、

前記メモリアレイをホスト装置にインターフェイス(interface)するために前記メモリアレイに連結されたインターフェイスと、

前記メモリアレイ及び前記インターフェイスに連結されたコントローラと、を備え、

前記インターフェイスは、前記メモリアレイのフィードバック状態情報を前記ホスト装置にインターフェイスするために標準のDIMM(Dual Line Memory Module)ピンアウト(pin out)構成から用途変更された複数のコネクション(connection)を含み、

前記コントローラは、前記メモリアレイのエラー訂正動作を制御し、そして前記インターフェイスを通じて前記ホスト装置からコマンド(command)を受信し、前記受信されたコマンドに応答して、前記エラー訂正動作の結果に関連するフィードバック状態情報を前記インターフェイスを通じて前記ホスト装置に提供し、前記エラー訂正動作の結果が失敗である場合に措置を遂行するように前記ホスト装置に指示するフィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスを制御することを特徴とするメモリモジュール。

【請求項2】

前記コントローラは、前記メモリアレイのリフレッシュ動作をさらに制御し、前記メモリアレイの前記リフレッシュ動作の間、前記リフレッシュ動作が遂行中であることを示すフィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスを制御することを特徴とする請求項1に記載のメモリモジュール。

【請求項3】

前記コントローラは、前記メモリアレイのリフレッシュ動作をさらに制御し、前記メモリアレイの前記リフレッシュ動作の間、フィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスを制御し、

前記フィードバック状態情報は、ランク識別（Rank Identification）及びバンク識別（Bank Identification）が現在リフレッシュ動作中であることを示し、前記リフレッシュ動作が完了すると、前記ホスト装置に完了したことを知らせることを特徴とする請求項1に記載のメモリモジュール。

【請求項4】

前記コントローラは、前記メモリアレイのスクラビング動作をさらに制御し、前記スクラビング動作が遂行中であることを示すフィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスを制御することを特徴とする請求項1に記載のメモリモジュール。

【請求項5】

前記メモリアレイは、複数の不揮発性メモリセルを含み、

前記コントローラは、前記メモリアレイのウェアレベリング動作をさらに制御し、前記ウェアレベリング動作が遂行中であることを示すフィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスを制御することを特徴とする請求項1に記載のメモリモジュール。

【請求項6】

前記メモリアレイは、複数の不揮発性メモリセルを含み、

前記コントローラは、前記メモリアレイのウェアレベリング動作をさらに制御し、フィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスをさらに制御し、

前記フィードバック状態情報は、前記ウェアレベリング動作が遂行中であることを示すことを特徴とする請求項1に記載のメモリモジュール。

【請求項7】

DRAM (Dynamic Random Access Memory) 及び複数のNVRAM (Non-Volatile Random Access Memory) を含むメモリセルのアレイを含み、DIMM (Dual In-Line Memory Module) で構成されたメモリアレイと、

前記メモリアレイに連結されたコントローラと、を備え、

前記コントローラは、前記メモリアレイのウェアレベリング（wear-leveling）動作を制御し、ウェアレベリング動作が遂行中であることを示すフィードバック状態情報、及び前記ウェアレベリング動作中に別の動作をスケジュールするようホスト装置に指示するフィードバック状態情報をインターフェイスを通じて前記ホスト装置に提供し、

前記インターフェイスは、標準のDIMMピンアウト構成で用途変更された複数のコネクションを含むことを特徴とするメモリモジュール。

【請求項8】

前記コントローラは、前記メモリアレイのリフレッシュ動作をさらに制御し、前記リフレッシュ動作が発生したことのフィードバック状態情報を前記ホスト装置に提供することを特徴とする請求項7に記載のメモリモジュール。

【請求項9】

前記コントローラは、前記メモリアレイのエラー訂正動作をさらに制御し、前記エラー訂正動作が完了したこと及び前記エラー訂正動作の結果を示すフィードバック状態情報を前記ホスト装置に提供することを特徴とする請求項7に記載のメモリモジュール。

【請求項10】

前記コントローラは、前記メモリアレイのスクラビング動作をさらに制御し、前記スクラビング動作が発生したことを示すフィードバック状態情報を前記ホスト装置に提供することを特徴とする請求項7に記載のメモリモジュール。

【請求項11】

前記DIMMは、前記メモリアレイの動作状態を前記ホスト装置にインターフェイスするように標準のDIMMピンアウト構成で用途変更された複数のコネクションを含むこと

を特徴とする請求項7に記載のメモリモジュール。

【請求項12】

メモリセルのアレイを含むメモリアレイと、

インターフェイスと、

前記メモリアレイ及び前記インターフェイスに連結されたコントローラと、を備え、

前記メモリアレイは、前記メモリアレイの動作状態をホスト装置にインターフェイスするように標準のDIMMピンアウト構成で用途変更された複数のコネクションを含むDIMMで構成され、

前記インターフェイスは、前記メモリアレイを前記ホスト装置にインターフェイス(interface)するために前記DIMMの複数のコネクションを含んで前記メモリアレイに連結され、

前記コントローラは、前記メモリアレイの少なくとも1つのリフレッシュ動作を制御し、前記メモリアレイのエラー訂正動作を制御し、前記メモリアレイのスクラビング(scrubbing)動作を制御し、前記メモリアレイのウェアレベリング(wear-leveeling)動作を制御し、前記インターフェイスを通じて前記ホスト装置からコマンドを受信し、前記受信したコマンドに応答して、前記コントローラによって制御される動作に関連するホスト装置にフィードバック状態情報を前記インターフェイスを通じて提供することを特徴とするメモリモジュール。

【請求項13】

前記コントローラは、前記メモリアレイの前記リフレッシュ動作を制御し、前記メモリアレイの前記リフレッシュ動作の間、前記リフレッシュ動作が遂行中であることを示すフィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスをさらに制御することを特徴とする請求項12に記載のメモリモジュール。

【請求項14】

前記コントローラは、前記メモリアレイの前記エラー訂正動作を制御し、前記エラー訂正動作の結果を示すフィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスをさらに制御することを特徴とする請求項12に記載のメモリモジュール。

【請求項15】

前記コントローラは、前記エラー訂正動作の結果が失敗(failure)である場合に措置を遂行するように、前記ホスト装置に指示するフィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスをさらに制御することを特徴とする請求項14に記載のメモリモジュール。

【請求項16】

前記コントローラは、前記メモリアレイの前記スクラビング動作を制御し、前記スクラビング動作が遂行中であることを示すフィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスをさらに制御することを特徴とする請求項12に記載のメモリモジュール。

【請求項17】

前記メモリアレイは、複数の不揮発性メモリセルを含み、

前記コントローラは、前記メモリアレイの前記ウェアレベリング動作を制御し、前記ウェアレベリング動作が遂行中であることを示すフィードバック状態情報を前記ホスト装置に提供するように前記インターフェイスをさらに制御することを特徴とする請求項12に記載のメモリモジュール。

【請求項18】

複数の不揮発性メモリセルを含むメモリアレイと、

前記メモリアレイをホスト装置にインターフェイス(interface)するために前記メモリアレイに連結されたインターフェイスと、

前記メモリアレイ及び前記インターフェイスに連結されたコントローラと、を備え、

前記インターフェイスは、前記メモリアレイのフィードバック状態情報を前記ホスト装置にインターフェイスするために標準のDIMM(Dual In-Line Memo

ry Module) ピンアウト (pin out) 構成から用途変更された複数のコネクション (connection) を含み、

前記コントローラは、前記メモリアレイのウェアレベリング (wear-leveling) 動作を制御し、そして前記インターフェイスを通じて前記ホスト装置からコマンド (command) を受信し、前記受信されたコマンドに応答して、前記ウェアレベリング動作が遂行中であることを示すフィードバック状態情報、及び前記ウェアレベリング動作中に別の動作をスケジュールするように前記ホスト装置に指示するフィードバック状態情報を前記インターフェイスを通じて前記ホスト装置に提供するように前記インターフェイスを制御することを特徴とするメモリモジュール。