

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号
WO 2022/202747 A1

- (51) 国際特許分類:

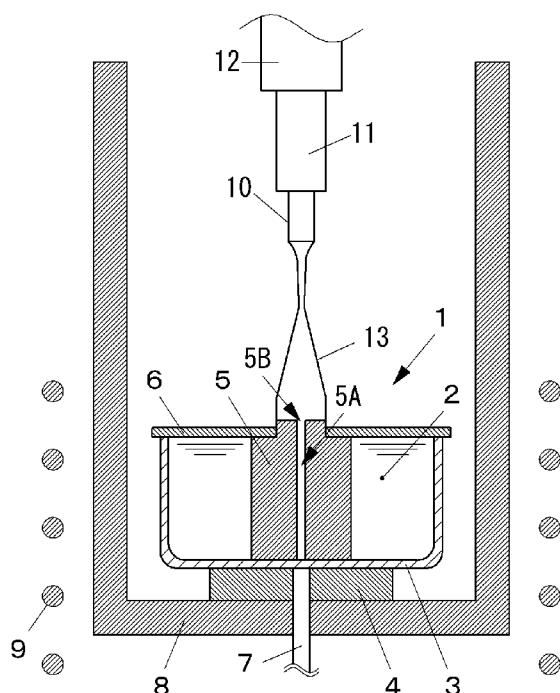
C30B 29/16 (2006.01)	H01L 29/12 (2006.01)
C30B 15/34 (2006.01)	H01L 29/24 (2006.01)
H01L 21/205 (2006.01)	H01L 29/78 (2006.01)
H01L 21/365 (2006.01)	H01L 33/12 (2010.01)
- (21) 国際出願番号: PCT/JP2022/012972
- (22) 国際出願日: 2022年3月22日(22.03.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-049332 2021年3月24日(24.03.2021) JP
- (71) 出願人: アダマンド並木精密宝石株式会社(ADAMANT NAMIKI PRECISION JEWEL CO., LTD.) [JP/JP]; 〒1238511 東京都足立区新田3丁目8番2号 Tokyo (JP).
- (72) 発明者: 西口 健吾 (NISHIGUCHI Kengo); 〒0120855 秋田県湯沢市愛宕町4丁目6番56号 アダマンド並木精密宝石株式会社秋

田湯沢工場内 Akita (JP). 古滝 敏郎(KOTAKI Toshiro); 〒0120855 秋田県湯沢市愛宕町4丁目6番56号 アダマンド並木精密宝石株式会社秋田湯沢工場内 Akita (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) Title: GA₂O₃-BASED SINGLE CRYSTAL SUBSTRATE AND METHOD FOR MANUFACTURING GA₂O₃-BASED SINGLE CRYSTAL SUBSTRATE

(54) 発明の名称: Ga₂O₃系単結晶基板並びにGa₂O₃系単結晶基板の製造方法



(57) Abstract: [Problem] To realize a Ga₂O₃-based single crystal substrate with which it is possible to obtain a high quality and homogeneous semiconductor film without cracking or peeling occurring in the semiconductor layer or the Ga₂O₃-based single crystal substrate, even if an Al_xGa_(1-x)N (0 ≤ x ≤ 1)-based semiconductor is layered on the Ga₂O₃-based single crystal substrate; to provide a method for manufacturing the Ga₂O₃-based single crystal substrate; and to provide an Al_xGa_(1-x)N-based optical semiconductor device and an Al_xGa_(1-x)N-based power semiconductor device using the Ga₂O₃-based single crystal substrate. [Solution] Provided is a Ga₂O₃-based single crystal substrate in which the warpage amount of the main surface is -50 μm to 50 μm (including 0 μm). Provided is a method for manufacturing a Ga₂O₃-based single crystal substrate which is processed into a substrate from a Ga₂O₃-based single crystal grown through an induction heating type single crystal growing method, the warpage amount of the main surface being -50 μm to 50 μm (including 0 μm).

WO 2022/202747 A1

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：【課題】 Ga_2O_3 系単結晶基板上に $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ ($0 \leq x \leq 1$)系半導体を積層させても、当該半導体層や Ga_2O_3 系単結晶基板中にクラックや剥離が発生することがなく、高品質で均質な当該半導体膜が得られる Ga_2O_3 系単結晶基板の実現と、当該 Ga_2O_3 系単結晶基板の製造方法、及び当該 Ga_2O_3 系単結晶基板用いた $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 系光半導体デバイス並びに $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 系電力用半導体デバイスの提供。

【解決手段】主面の反り量が $-50\mu\text{m}$ 以上 $50\mu\text{m}$ 以下 ($0\mu\text{m}$ を含む)である Ga_2O_3 系単結晶基板。誘導加熱方式の単結晶育成方法によって育成される Ga_2O_3 系単結晶から基板加工されて、主面の反り量が $-50\mu\text{m}$ 以上 $50\mu\text{m}$ 以下 ($0\mu\text{m}$ を含む)になる Ga_2O_3 系単結晶基板の製造方法。

明 細 書

発明の名称：

G a 2 O 3 系単結晶基板並びに G a 2 O 3 系単結晶基板の製造方法

技術分野

[0001] 本発明は、Ga₂O₃系単結晶基板並びにGa₂O₃系単結晶基板の製造方法に関する。

背景技術

[0002] 従来、酸化ガリウム (Ga₂O₃) 系単結晶基板上にAl_xGa_(1-x)N (0 ≤ x ≤ 1) 系半導体を積層して発光ダイオード (LED : Light Emitting Diode) や電界効果トランジスタ (FET : Field Effect Transistor) 等の各種電子デバイスを作る開発が試みられている (例えば特許文献1参照)。

[0003] 特許文献1によれば、Ga₂O₃系単結晶基板上に、まず低温AlNバッファ層を積層することで、バッファ層上に窒化物半導体層等を積層していき、各種デバイス構造を作り込むことを可能としている。

[0004] しかし、実際のところ、Ga₂O₃系単結晶基板上に低温AlNバッファ層、次にAl_xGa_(1-x)N系半導体層を積層した場合、熱膨張係数や格子定数がGa₂O₃系単結晶基板とAl_xGa_(1-x)N系半導体層とで異なるため、前記半導体積層時もしくは積層後常温に戻した際に、Al_xGa_(1-x)N系半導体層及びGa₂O₃系単結晶基板が反るとともに、前記半導体層や前記基板にクラックや剥離が発生し、高品質で均質なAl_xGa_(1-x)N系半導体層を積層できないことが多い。

[0005] そのため、特許文献2によれば、低温AlNバッファ層上に界面抵抗低減層、次いで応力緩和層を積層し、前記応力緩和層上にAl_xGa_(1-x)N系半導体層を積層する方法にすることで、前記半導体層のクラックが効果的に抑えられたAl_xGa_(1-x)N系半導体を得られるとされる。

先行技術文献

特許文献

[0006] 特許文献1：特開2014-199935号公報

特許文献2：特開2017-157725号公報

発明の概要

発明が解決しようとする課題

- [0007] しかし、特許文献2に記載の方法でも、依然としてクラックや剥離は残存しており、不十分であった。また、界面抵抗低減層や応力緩和層という新たな半導体積層工程が増えることは、積層工程が複雑になることから望ましくない。
- [0008] 現状のところ、 Ga_2O_3 系単結晶基板上への半導体の積層技術は研究開発途上にある。半導体積層技術においては、一般的に、単結晶の属する結晶系が何であるかが最も大事な基本要素の一つである。現在各種半導体デバイスに使われている主要な半導体単結晶基板は、例えばSi基板やGaAs基板、SiC(4H)基板、サファイア基板などがあるが、それらの結晶系はそれぞれ立方晶、立方晶、六方晶、三方晶であり、いずれも対称性の高い結晶系であり、また劈開性は弱い。それらに対し、新しい結晶である Ga_2O_3 系単結晶は、対称性が低い珍しい結晶系である単斜晶に属するため、また極めて強い劈開性を示しクラックや剥離が非常に発生し易いため、これまでの半導体積層技術が通じない可能性があった。
- [0009] 本発明は上記課題に鑑みてなされたものであり、 Ga_2O_3 系単結晶基板上に $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)系半導体を積層させても、当該半導体層や Ga_2O_3 系単結晶基板中にクラックや剥離が発生することがなく、高品質で均質な当該半導体膜が得られる Ga_2O_3 系単結晶基板の実現と、当該 Ga_2O_3 系単結晶基板の製造方法、及び当該 Ga_2O_3 系単結晶基板用いた $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 系光半導体デバイス並びに $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 系電力用半導体デバイスの提供を目的とする。

課題を解決するための手段

- [0010] 上記課題は、本発明者が鋭意検討を重ねた結果、以下の〔1〕～〔18〕の本発明により解決されることを見出した。
- [0011] 〔1〕主面の反り量が $-50\mu\text{m}$ 以上 $50\mu\text{m}$ 以下($0\mu\text{m}$ を含む)である Ga_2O_3 系単結晶基板。

- [0012] [2] 平面形状が円形状であり、円形状の直径が24mm以上160mm以下で、厚みが0.1mm以上2.0mm以下である上記〔1〕に記載のGa₂O₃系単結晶基板。
- [0013] [3] 平面形状が方形状であり、方形状の長辺が15mm以上150mm以下で、厚みが0.1mm以上2.0mm以下である上記〔1〕に記載のGa₂O₃系単結晶基板。
- [0014] [4] 上記方形状が正方形で、少なくとも一つ以上の角が欠けている上記〔3〕に記載のGa₂O₃系単結晶基板。
- [0015] [5] 上記主面が(100)面、(010)面、(001)面、(-201)面、(101)面の何れかである上記〔1〕～〔4〕の何れかに記載のGa₂O₃系単結晶基板。
- [0016] [6] (100)面、(010)面、(001)面、(-201)面、(101)面の何れかに対して、7°以下の範囲で傾斜した面(但し、0°は含まない)が、上記主面である上記〔1〕～〔4〕の何れかに記載のGa₂O₃系単結晶基板。
- [0017] [7] 上記主面が、(100)面もしくは(100)面から7°以下の範囲で傾斜した面で、上記主面に垂直でありかつb軸に対して平行又は5°の範囲内で傾斜した端面が、少なくとも1つ設けられている上記〔1〕～〔6〕の何れかに記載のGa₂O₃系単結晶基板。
- [0018] [8] 上記主面が(100)面以外もしくは(100)面以外の面から7°以下の範囲で傾斜した面以外であり、上記主面に垂直でありかつ上記主面と(100)面との交線に対し平行又は平行方向から5°の範囲内で傾斜した端面が、少なくとも1つ設けられている上記〔1〕～〔6〕の何れかに記載のGa₂O₃系単結晶基板。
- [0019] [9] 上記主面の転位密度が0個/cm²以上1×10⁵個/cm²以下である上記〔1〕～〔8〕の何れかに記載のGa₂O₃系単結晶基板。
- [0020] [10] n型ドーパントである第14族元素又は第17族元素の1つ以上の元素を、計0.02mol%以上0.15mol%以下の範囲で含有する上記〔1〕～〔9〕の何れかに記載のGa₂O₃系単結晶基板。

- [0021] [11] p型ドーパントである第1族元素、第2族元素、第15族元素、又はFe、Cu、Znの1つ以上の元素を、計0.02mol%以上0.15mol%以下の範囲で含有する上記〔1〕～〔9〕の何れかに記載のGa₂O₃系単結晶基板。
- [0022] [12] 上記主面上にAl_xGa_(1-x)N (0 ≤ x ≤ 1)系半導体層が形成されている上記〔1〕～〔11〕の何れかに記載のGa₂O₃系単結晶基板。
- [0023] [13] 上記主面上に、Ga₂O₃系エピタキシャル層又はAlGa_N系エピタキシャル層が、積層形成されている上記〔1〕～〔11〕の何れかに記載のGa₂O₃系単結晶基板。
- [0024] [14] 上記Ga₂O₃系エピタキシャル層又は上記AlGa_N系エピタキシャル層の厚みが、1nm以上50μm以下である上記〔13〕に記載のGa₂O₃系単結晶基板。
- [0025] [15] 上記Ga₂O₃系エピタキシャル層、又は上記AlGa_N系エピタキシャル層の表面粗さRaが、3nm以下である上記〔13〕又は〔14〕に記載のGa₂O₃系単結晶基板。
- [0026] [16] 誘導加熱方式の単結晶育成方法によって育成されるGa₂O₃系単結晶から基板加工されて、主面の反り量が−50μm以上50μm以下(0μmを含む)になるGa₂O₃系単結晶基板の製造方法。
- [0027] [17] 上記Ga₂O₃系単結晶を育成する方向が、a軸、b軸、c軸方向の何れか、又はa軸、b軸、c軸方向の何れかの方向に対して7°以下の範囲で傾斜した方向(但し、0°は含まない)である上記〔16〕に記載のGa₂O₃系単結晶基板の製造方法。
- [0028] [18] 上記Ga₂O₃系単結晶基板の全表面のうち、少なくとも主面上に、Ga₂O₃系エピタキシャル層又はAlGa_N系エピタキシャル層を形成する上記〔16〕又は〔17〕に記載のGa₂O₃系単結晶基板の製造方法。

発明の効果

- [0029] 本発明のGa₂O₃系単結晶基板を下地基板に用いると、Al_xGa_(1-x)N系半導体の積層段階に発生するクラックや剥離を無くすことができ、また積層時の反りを小さく抑えられることから基板面内温度分布を均一にできるため、高品質で

均質な $Al_xGa_{(1-x)}N$ 系半導体積層膜を成長できることを見出した。そのため、例えば、光半導体デバイスの一種である $Al_xGa_{(1-x)}N$ 系紫外LEDを高品質に作製できるようになり、1枚の基板からより多くの紫外LED素子が得られるようになるためその歩留まりが上がる。更に大型化基板での紫外LED作製も可能となるため生産性が向上する。また、同様のことが電力用半導体デバイスにも適用できる。

図面の簡単な説明

- [0030] [図1]EFG法による Ga_2O_3 系単結晶の製造方法の一例の育成炉を説明する、模式断面図である。
- [図2]EFG法による Ga_2O_3 系単結晶の製造方法の説明図である。
- [図3]本発明の実施形態に係る Ga_2O_3 系単結晶基板の一例を示す斜視図である。
- [図4]本発明の実施形態に係る Ga_2O_3 系単結晶基板の他の一例を示す斜視図である。
- [図5]図3及び図4の Ga_2O_3 系単結晶基板に於ける、SORIの測定基準を示す説明図である。
- [図6]図5に示すBOWの測定基準を示す説明図である。
- [図7]紫外LEDの構造(実施例3)。
- [図8]縦型MISFETの構造(実施例4)。

発明を実施するための形態

- [0031] 本実施の形態において、 Ga_2O_3 系とは、 β 型 Ga_2O_3 、もしくはAlが含まれた β - Ga_2O_3 である。Alを含む場合は、組成比が $(Al_{1-x}Ga_x)_2O_3$ ($0 < x \leq 1$) である結晶である。
- [0032] 基板16又は21の切り出し元の Ga_2O_3 系単結晶の育成方法の一例として、EFG (Edge-defined Film-fed Growth) 法が挙げられる。図1は、EFG法を用いた Ga_2O_3 系単結晶の育成装置1の構造を示す模式断面図である。なお、結晶育成方法は、EFG法に制限されず、CZ(Czochralski)法やブリッジマン(Bridgman)法、フラックス(Flux)法でもよい。
- [0033] 図1に示すように、育成装置1の内部には、 Ga_2O_3 系単結晶の原料を充填す

る坩堝3、そして、スリット5Aが設けられているダイ5が、坩堝3内に設置されている。坩堝3の上面には、ダイ5の部分を除いて蓋6がしてある。

[0034] ここで、使用するGa₂O₃原料は、純度5N(99.999%)以上、好ましくは6N(99.9999%)以上の高純度で、さらに高嵩密度になるGa₂O₃である。また、所望するGa₂O₃系単結晶基板の物性値(例えば、電気抵抗率、キャリアタイプ、キャリア密度、移動度、透過率、転位密度等)に応じて、原料に各種添加材を入れてもよい。例えば、n型ドーパントとして、14、17族元素のうち、1つ以上の元素を入れる。または、p型ドーパントとして、1、2、15族元素及びFe、Cu、Znのうち1つ以上の元素を入れる。

[0035] β-Ga₂O₃の融点である約1800°C以上の高温になり、Ga₂O₃の融液や蒸気にさらされる坩堝3やダイ5、蓋6などは、Ga₂O₃の融液や蒸気と反応しにくく、かつ約1800°C超の耐熱性をもつ高融点材質のものが用いられる。現状、イリジウムが最も適しているためイリジウムを使う。そのため、育成雰囲気はアルゴンや窒素、二酸化炭素などの不活性ガス100Vol.%、もしくは酸素を10Vol.%程度まで含む不活性雰囲気である必要がある。坩堝3からの原料の蒸発を抑制するために加圧されていてもよい。

[0036] 坩堝3は、誘導加熱コイルからなるヒータ部9により所定の温度に誘導加熱され、坩堝3内の原料が溶融し、融液が毛細管現象によりスリット5Aを上昇してくる。

[0037] ここで、結晶育成における加熱方式には、一般的にSi単結晶のCZ法結晶育成で使われるような抵抗加熱もあるが、Ga₂O₃系単結晶育成の場合は誘導加熱のほうが適している。なぜなら、Ga₂O₃は高温で非常に昇華や蒸発が起きやすい性質のため、ホットゾーン内全体の温度を高温に上げざるを得ない抵抗加熱での結晶育成の場合は、育成時、種結晶や育成した結晶から昇華や分解蒸発が発生するため、それらの結晶がやせて細くなり、最悪、結晶が全て昇華、分解蒸発し消失する。その結果、結晶育成の歩留まりが低下、ないしは結晶を育成できなくなる。それに対し、誘導加熱の場合は、坩堝3や蓋6などイリジウム部分だけが加熱され高温になる局所加熱のため、結晶は比較的冷え

やすく、結晶部分からの昇華や分解蒸発はほぼ無視できる程度まで抑制される。また、誘導加熱の場合、無駄に加熱されることがないため坩堝3からの昇華や蒸発も比較的抑えられる。その結果、結晶育成の歩留まりや原料利用効率が向上する。さらに、加熱に要する消費電力量の低減も図れる。

[0038] まず、スリット5Aの上方にある種結晶10を下げていき、融液2が露出しているダイ上面部5Bに一部接触させる。その後、種結晶10を所定の速度で引き上げていくことで、種結晶10の融液接触部から結晶化が開始される。なお、引き上げ方向が結晶の育成方向となる。

[0039] できるだけ高温にして、引き上げ速度を調整しながら種結晶10を引き上げていき、結晶中の転位除去のため細いネック部を作る(ネッキング13a)。具体的には、育成温度1800℃以上で、ネック部太さを、種結晶10におけるダイ上面部5Bと接触する断面積の、約半分以下となるようにする。なお、結晶育成の原理上、転位が少ない単結晶を得るためには種結晶はできるだけ転位が少ないものが好ましい。

[0040] 次に、種結晶保持具11の上昇速度を所定の速度に設定し、また所定のレートで育成温度を下げていき、種結晶10を中心にGa₂O₃系単結晶13をダイ5の幅方向に一定角度θで拡幅する様に結晶育成させる(スプレディング13b)。双晶が無く、結晶性の高い単結晶を育成するためには、できるだけ育成温度変化を小さくし、θ°を小さくしてゆっくり広げることが好ましい。θ°を大きくすれば融液中の原子が急激に並び結晶化するため、双晶がより多く発生する。具体的には30°以下にすると双晶が無くなり結晶性の高い単結晶を育成できるようになる。

[0041] しかし、前記θの大小に関わらず、単結晶中の不純物濃度が0.02mol%以上の場合、双晶は発生しない。不純物濃度が0.02mol%より低いと双晶が発生する。なお、不純物濃度が0.15mol%より高い場合、双晶は発生しないものの、結晶性が悪くなる。そのため、不純物濃度は0.15mol%以下が好ましい。

[0042] Ga₂O₃系単結晶13が、ダイ5の全幅まで広がると、続いて、ダイ5の全幅と同じ幅形状を有する部分(直胴部13c)を、適切な長さまで引き上げる。例え

ば、2インチ基板を作製する場合は、10mm/hrで、55mm程度引き上げる。上記のネッキング、スプレディングそして直胴部を育成することにより、Ga₂O₃系単結晶13の転位密度を 1.0×10^5 個/cm²以下に出来る。

[0043] 引き上げ面方位は、主面の面方位に応じて種々設定可能である。引き上げ方向は、結晶育成の際に結晶化し易く、基板加工の際にクラックや剥離、チッピングが発生しにくくなるa軸、b軸、c軸の何れかの方向、又は各軸に対し7°以下の範囲で傾斜した何れかの方向で引き上げる。基板16又は21の主面15としては、高品質で良好な表面モフォロジーの半導体層を主面15上に形成する事が可能となり、紫外LED等のデバイス構造の作製に適した、(100)面、(010)面、(001)面、(101)面、(-201)面及び、(100)面、(010)面、(001)面、(101)面、(-201)面の何れかに対して7°以内の角度範囲(但し0°は含まない)で傾斜した面の何れかが好ましい。

[0044] 次に、結晶育成されたGa₂O₃系単結晶13を図3のような円形状のGa₂O₃系単結晶基板16もしくは図4のような方形状21に基板加工する方法について説明する。例えば、スライシングマシンやコアドリル、超音波加工機等により、円形状又は方形状に切り抜き加工を施して、所定サイズの円形状基板又は方形状基板を作製する。

[0045] そして、端面研削盤を用いて基板端面の整形を行う。

[0046] また、上記切り抜き加工の前後において、必要に応じて、オリフラ(オリエンテーションフラット)を、基板16もしくは21に作製してもよい。

[0047] 上記オリフラについて、主面が(100)面ないしは(100)面から7°以下の範囲で傾斜した面の場合は、主面に垂直であり、かつb軸に対して平行又はb軸から5°の範囲内で傾斜した方向の端面をオリフラとして設けられている。上記主面が(100)面以外や(100)面から7°以下の範囲で傾斜した面以外の場合は、主面に垂直であり、かつ前記主面と(100)面との交線に対し平行又は平行になる方向から5°の範囲で傾斜した方向の端面が設けられている。

[0048] そして、上記オリフラは、図3(b)のように主面に対し、1つ以上設けられてもよい。

- [0049] なお、方形状基板が正方形である場合は、図4(b)のように角を欠けさせた部分の端面をオリフラとし、一つ以上角欠け部が設けられてもよい。
- [0050] オリフラを上記結晶方位に作製することで、加工時において基板にクラックやチッピング、剥離が生じないようにすることができるとともに、基板の結晶方位を簡便に明示することができる。
- [0051] 次に、作製した基板16又は21の片面を主面15とし、その主面15に、ラッピング、ポリシングの研磨加工を施し、主面15を超平坦にする。また裏面19にも形状等の必要に応じた研磨加工を施し、同時に基板16又は21の厚みを調整する。ラッピングの砥粒は炭化ケイ素やアルミナを用いる。ポリシングは、化学機械研磨（Chemical Mechanical Polishing）を用い、CMP砥粒にはコロイダルシリカを用いる。
- [0052] 上記により、主面15の表面粗さRaは3.0nm以下となり、裏面19の表面粗さRaは必要に応じた粗さとなり、0.1nm以上となる。
- [0053] 上記研磨加工の終了後、基板に付着しているシリカ等の汚れを除去し、残留加工歪の除去調整や基板表面に清浄な酸化層を形成するため、アセトン等での有機洗浄後にフッ酸洗浄、さらにRCA洗浄を全てないしは一部を実施する。
- [0054] さらに、上記基板加工工程において、SiやGaAs、サファイア単結晶等の基板加工分野の当業者にとっては一般的である、残留熱歪や残留加工歪、着色を除去する目的並びに電気的特性を改善する目的のための熱処理を、適宜実施する。熱処理の雰囲気ガスは、基板表面を荒らす効果がある水素ガスのような還元性ガスを除き、窒素、二酸化炭素、アルゴン、酸素、空気の何れかを使い、適宜組み合わせてもよい。処理温度は500℃～1600℃であり、好ましくは700～1400℃である。また、加圧されていてもよい。
- [0055] なお、前記基板の平面方向の形状は、方形状、円形状、又はオリフラが設けられた方形状、円形状である。
- [0056] そして、基板上に $Al_xGa_{(1-x)}N$ 系半導体膜を積層してもクラックや剥離が発生しないことはもちろんのこと、形状を精密にコントロールできるようにする

ため、また同時に自立した基板としての剛性が確保可能で、かつハンドリングに不都合が生じない程度の強度を有し、さらにクラックや剥離、チッピングの発生を防止可能であるとの観点から、前記方形形状の場合は、長辺15 mm以上150 mm以下が好ましく、前記各円形状の場合は、直径φ25 mm以上φ160 mm以下が好ましい。

[0057] 上記同様の理由から、基板の厚みは0.10 mm以上2.0 mm以下が好ましい。

[0058] 以上、基板16又は21の熱処理や基板洗浄を含む基板加工により、主面15の反り量は上記範囲内になる。なお、必要に応じて基板へのレーザーによる内部改質加工も施して上記反り量を実現してもよい。

[0059] ここで、反り量とは、その絶対値がSORI (SEMI規格準拠) の値であり、反りの方向を表す±の符号をもっていると定義する。±の符号は、SORI測定結果の断面図やBOW測定等から求められ、基板表面中心位置が基準平面より上の場合は+ (凸型形状)、基準平面より下の場合は-である (凹型形状)。

[0060] 上記SORI、BOWは平面度測定装置を用いて求める。例えば光干渉方式の測定装置 (NIDEK社製) を用いる。その測定については次の通りである。

[0061]

まず、主面15上の全ての高さデータによる最小二乗平面が、基準平面Sとなる。

[0062] SORIとは図5に示す様に、基板16又は21の裏面を吸着チャック (図示せず) により1点ないしは3点程度吸着固定した状態 (非吸着) における、表面での基準平面Sからの最高点と最低点までの垂直距離 (絶対値) の合計である。SORIは最高点及び最低点までの垂直距離が共に絶対値どうしでの足し算なので、SORIは常にプラスの値となる。基準平面Sから最高点までの垂直距離をA、基準平面Sから最低点までの垂直距離をBとすると、SORIは以下の数1で定義される。

[0063] [数1]

$$\text{SORI} = |A| + |B|$$

- [0064] 従って、例えば図5の場合は、反り量は $-(|A|+|B|)$ である。
- [0065] なお、SORI値は、主面15における最小二乗平面を基準面とした場合のいわゆるPV(Peak to Valley)値と同じである。
- [0066] BOWとは、図6に示す様に、基板16の裏面を1点ないし3点程度吸着させた状態（非吸着）における、表面での、基板中心Cとは異符号で絶対値が最大の点（中心Cを除く）と、中心Cとの距離を図6のように絶対値同士で和をとり中心Cの符号を付した値である。なお、基準平面Sより上側をプラス側、下側をマイナス側とする。図6では、中心Cは基準平面Sより下側に位置しているので、BOWはマイナスの値となる。
- [0067] 上記EFG法で育成した単結晶から切り出し基板加工した上記基板16又は21の転位密度は、 1.0×10^5 個/cm²以下である。この様な低転位密度基板16又は21に半導体層を積層し、例えばLEDを作製すると、発光効率やデバイス寿命を高めることが出来る。また、例えば電力用デバイスに低転位密度基板16又は21を用いれば、電力変換効率やデバイス寿命を向上させることができる。
- [0068] 上記転位密度は、透過型電子顕微鏡（TEM：Transmission Electron Microscope）で測定する。また、基板をエッチングした場合における点状のエッチピット密度が転位密度に相当するため、エッチングして評価してもよい。
- [0069] 次に、基板16又は21の主面15上への、半導体積層の一例として有機金属気相成長（MOCVD：Metal Organic Chemical Vapour Deposition）法による方法について説明する。なお、積層方法はMOCVD法に限られず、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法やパルスレーザーデポジション（PLD：Pulse Laser Deposition）法、ハイドライド気相成長（HVPE：Hydride Vapour Phase Epitaxy）法などで成長させてもよい。結晶性の良好なAl_xGa_(1-x)N半導体積層膜が得られるようにするために、まずAl_xGa_(1-x)Nバッファ層を成長温度500～900℃で、厚さ1～200nm成長させる。
- [0070] 次いで、上記バッファ層上にAl_xGa_(1-x)N半導体層を、例えば800～11

00℃で、厚さ100um以下成長させ、成長終了後降温する。

[0071] 常温付近に達した後、 $Al_xGa_{(1-x)}N$ 系半導体が積層された Ga_2O_3 系単結晶基板を取り出し、クラックや剥離の品質評価を、目視並びに光学顕微鏡を用いて行う。

[0072] 上記形態によれば、主面の反り量が前記上記範囲内の Ga_2O_3 系単結晶基板を下地基板に用いた場合、 $Al_xGa_{(1-x)}N$ 系半導体の積層段階に発生するクラックや剥離を無くすることができる。また同時に積層時の反りを小さく抑えられることから基板面内温度分布を均一にできるため、高品質で均質な $Al_xGa_{(1-x)}N$ 系半導体積層を成長できる。

[0073] そのため、例えば光半導体デバイスの一種である $Al_xGa_{(1-x)}N$ 系紫外LEDを高品質に作製できようになり、1枚の基板からより多くの紫外LED素子が得られるようになるため歩留まりが上がる。更に大型化基板での紫外LED作製も可能となるため生産性が向上する。また、同様のことが電力用半導体デバイスにも当てはまる。

[0074] 反対に、反り量が上記範囲外である Ga_2O_3 系単結晶基板を下地基板に用いると、 $Al_xGa_{(1-x)}N$ 系半導体の積層段階において、クラックや剥離が発生する。また積層時反りが大きくなり基板面内温度分布が不均一になるため、高品質で均質な $Al_xGa_{(1-x)}N$ 系半導体積層膜を成長することはできなくなる。

[0075] なお、基板16や21の、全表面ないしは少なくとも主面15上に、一旦 Ga_2O_3 系エピタキシャル層や $Al_xGa_{(1-x)}N$ 系エピタキシャル層をMOCVD法やHVPE法などにより積層形成してもよい。 Ga_2O_3 系エピタキシャル層を積層形成する場合、主面15上に50um以下積層する事で、結晶欠陥が低減され主面15の表面粗さRaよりも更にRa値が小さくなる。それにより、より高品質な $Al_xGa_{(1-x)}N$ 層を上 Ga_2O_3 系エピタキシャル層上に積層形成することが可能となる。 $Al_xGa_{(1-x)}N$ 系エピタキシャル層の場合には、1nm以上積層することで、通常窒化物系半導体成長に必須である水素キャリアガスに対する Ga_2O_3 系単結晶基板の耐性が向上し、基板の劣化が抑えられる。それゆえ所望の高品質な $Al_xGa_{(1-x)}N$ 系半導体層を Ga_2O_3 系単結晶基板上に成長することができる。そして、

$\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 系半導体層だけでなく、基板16や21を含めた $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 系半導体積層体としても高品質なものが得られる。

[0076] さらに、上記 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 系エピタキシャル層の代わりに、基板16や21の表面を窒化処理しても良い。

[0077] 以下に本発明に係る実施例を説明するが、本発明は以下の実施例にのみ限定されるものではない。

[0078] (実施例1)

本実施例サンプル1～7に係る Ga_2O_3 系単結晶基板を、EFG法によりb軸引き上げで育成した単結晶からコアドリルによって切り抜き、形成した。各実施例サンプル1～7の共通条件は次の通りである。基板の平面方向の形状は、全て図3に示す1つのオリフラ面を設けた円形状であり、基板を形成する Ga_2O_3 系単結晶は β - Ga_2O_3 単結晶とし、Siがドーパされ0.05mol%含有されている。更に、 Ga_2O_3 系単結晶基板の直径は ϕ 2インチ、主面はオフ角が 0.0° の(101)面、厚みは0.70mm、主面の転位密度は 4×10^4 個/cm²で双晶フリーである。

[0079] 切り抜き後の基板に、熱処理を行った後、平面研削盤を用いて基板外形の整形を行った。そして、基板の裏面には、ラッピングのみ、もしくは主面と同様にラッピング及びポリッシングを施した。そして、基板の主面には、ラッピング及びポリッシングを施した。研磨終了後、有機洗浄、フッ酸洗浄、RCA洗浄を実施した。

[0080] 実施例サンプル毎に主面及び裏面に施す加工の条件（研磨加工、熱処理、基板洗浄、内部改質加工）を変更する事で、各実施例サンプルの Ga_2O_3 系単結晶基板の反り量を表1の様に形成した。

[0081]

[表1]

サンプル	反り量	クラック・剥離[箇所]
1	-44	0
2	-32	0
3	-6	0
4	-4	0
5	3	0
6	9	0
7	43	0

[0082] (比較例1)

また比較例サンプル1～2として、Ga₂O₃系単結晶基板の反り量を、実施例1と同様に加工し、表2の様に形成した。

[0083] [表2]

サンプル	反り量	クラック・剥離[箇所]
1	-67	2
2	62	5

[0084] 実施例サンプル1～7及び比較例サンプル1～2の各Ga₂O₃系単結晶基板の主面上にMOCVD法により、550℃でAlNバッファ層を3nm成長させ、次にSiドープn型Al_{0.4}Ga_{0.6}N組成の結晶を1050℃で4μm成長させた。その後降温し、常温に到達後サンプルを装置から取り出した。Al_{0.4}Ga_{0.6}N膜のX線回折(XRD: X-Ray Diffraction)測定をすると、いずれのサンプルとも主面全面が(00

01) 面でありエピタキシャル成長していた。品質評価の結果、実施例1～7に於いては、 $Al_{0.4}Ga_{0.6}N$ 層にも、 Ga_2O_3 系単結晶基板にも、クラックや剥離は発生していない事が確認された。

[0085] 一方、全ての比較例サンプル1～2では、 $Al_{0.4}Ga_{0.6}N$ 層や Ga_2O_3 系単結晶基板にクラックや剥離の何れかが発生している事が確認された。

[0086] (実施例2)

実施例サンプル8～14に係る Ga_2O_3 系単結晶基板を、EFG法によりb軸で引き上げて育成した単結晶からスライディングマシンによって20mm×30mmの長方形に切り抜き形成した。各実施例サンプル8～14の共通条件は次の通りである。基板の平面方向の形状は、全て長方形であり、基板を形成する Ga_2O_3 系単結晶は β - Ga_2O_3 単結晶とし、Siがドーピングされ0.05mol%含有されている。更に、 Ga_2O_3 系単結晶基板の主面はオフ角が 0.0° の(101)面、厚みは0.70mm、主面の転位密度は 4×10^4 個/cm²で双晶フリーである。

[0087] そして、 Ga_2O_3 系単結晶基板の反り量を、実施例1と同様に加工して表3の様に形成した。

[0088] [表3]

サンプル	反り量	クラック・剥離[箇所]
8	-41	0
9	-17	0
10	-5	0
11	3	0
12	4	0
13	6	0
14	35	0

[0089] (比較例 2)

また比較例サンプル 3～4 として、実施例 2 と同様に加工してGa₂O₃系単結晶基板の反り量を表 4 の様に形成した。

[0090] [表4]

サンプル	反り量	クラック・剥離[箇所]
3	53	4
4	56	7

[0091] 実施例サンプル 8～14 及び比較例サンプル 3～4 の各Ga₂O₃系単結晶基板の主面上に、実施例 1 と同様にしてAlNバッファ層、次いでn型Al_{0.4}Ga_{0.6}N組成の結晶を成長させ、降温後サンプルを取り出した。Al_{0.4}Ga_{0.6}N膜のX線回折 (XR D) 測定から、いずれのサンプルとも主面全面が (0001) 面でありエピタキシャル成長していることが確認された。品質評価の結果、実施例 8～14 に於いては、Al_{0.4}Ga_{0.6}N層にも、Ga₂O₃系単結晶基板にも、クラックや剥離は発生していない事が確認された。

[0092] 一方、全ての比較例サンプル 3～4 では、n型Al_{0.4}Ga_{0.6}N層やGa₂O₃系単結晶基板にクラックや剥離の何れかが発生している事が確認された。

[0093] 以上、実施例 1、2 及び比較例 1、2 から、反り量の範囲を-50 μm以上 +50 μm以下に収めた基板16又は21を、Al_(1-x)Ga_xN系半導体を積層する際に下地基板として用いた場合、クラックや剥離を無くすることができる。また同時に積層時の基板面内温度分布を均一にできることから、主面に高品質で均質なAl_(1-x)Ga_xN系半導体積層膜を成長させることが可能になった。

[0094] (実施例 3)

実施例 1 サンプルのうち、クラックや剥離が発生していないサンプル 4 と同条件のものを複製し、光デバイスである縦型紫外LEDを作製した。

[0095] 縦型紫外LED23の積層構造は、一例として挙げると図 7 の通りである。まず

、上記 n型 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{N}$ 層25上に、MOCVD法によりSiドープn型クラッド層である $\text{InAl}_{0.4}\text{Ga}_{0.6}\text{N}$ 層26を 1000°C で、 25nm 成長させる。なお、Inは発光効率向上のため加え、その組成比は1%未満である。

[0096] 次に発光層として、発光波長 300nm を狙うため、 $\text{InAl}_{0.5}\text{Ga}_{0.5}\text{N}$ 障壁層27を 1050°C で 6nm 、 $\text{InAl}_{0.3}\text{Ga}_{0.7}\text{N}$ 量子井戸層28を 1050°C で 2nm とし、障壁層と量子井戸層を交互に成長させた多層構造を、図7のように3層成長させる。

[0097] 次に、Mgドープp型 $\text{InAl}_{0.6}\text{Ga}_{0.4}\text{N}$ 電子ブロック層29を 1050°C で、 20nm 成長させる。

[0098] 次に、Mgドープp型 $\text{InAl}_{0.5}\text{Ga}_{0.5}\text{N}$ クラッド層30を 1050°C で、 20nm 成長させる。

[0099] 次に、Mgドープp型 $\text{InAl}_{0.3}\text{Ga}_{0.7}\text{N}$ コンタクト層31を 1000°C で、 10nm 成長させる。

[0100] 次に、p側電極32として、オーミック接触になり、かつ発光層から来る紫外光を高反射するNi/Al積層構造を、p型コンタクト層31上に形成する。

[0101] また、n側電極33として、 Ga_2O_3 系単結晶基板16とオーミック接触になり、かつ発光層側から来る紫外光を高透過するTi/Au積層構造を形成する。

[0102] 上記のn側電極33及びp側電極32に通電することにより、本紫外LED23はn側電極33側から紫外光が発射された。

[0103] 以上、反り量が所定の範囲内である Ga_2O_3 系単結晶基板16を用いることで、サファイア基板では実現できなかった縦型紫外LED23を、クラックや剥離を生じさせないで高品質に実現することができた。更に、大型化基板での縦型紫外LED23の作製も可能となったため生産性を向上させることができた。

[0104] (実施例4)

実施例1サンプルのうち、クラックや剥離が発生していないサンプル5と同条件のものを複製し、高耐压電力用デバイスである縦型金属絶縁半導体型電界効果トランジスタ(MISFET: Metal-Insulator-Semiconductor Field Effect Transistor)を作製する。

[0105] 縦型MISFET34の積層構造は、一例として挙げると図8の通りである。まず、

上記n型 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{N}$ 層25中に、イオン注入装置を用いて、Nをイオン注入しp型領域35を形成する。

[0106] 次いで、上記p型領域35中にSiをイオン注入することによりn+型領域36を形成する。

[0107] 上記p型領域35及び上記n+領域36の上部に、図8のように蒸着装置によりソース電極37をTi/Al積層構造で形成する。また、上記n- $\text{Al}_{0.4}\text{Ga}_{0.6}\text{N}$ 層25及び上記p型領域35と上記n+型領域36の上部に、蒸着装置によりゲート絶縁体38である Al_2O_3 を形成し、ゲート絶縁体38上にゲート電極39をAlで形成する。

[0108] 一方、 Ga_2O_3 系単結晶側にドレイン電極40をTi/Al積層構造で形成して完成する。

[0109] このように、反り量の範囲を $-50\ \mu\text{m}$ 以上 $+50\ \mu\text{m}$ 以下に収めた基板16を用いることで、 $\text{Al}_{(1-x)}\text{Ga}_x\text{N}$ 系半導体を積層させた高耐圧の縦型MISFET34を、クラックや剥離無く作製することができる。さらに、大型化基板での縦型MISFET34の作製が可能となり生産性を向上させることができる。

[0110] 以上、本発明者らによってなされた発明を具体的に説明したが、本発明は上記で説明した実施の形態及び実施例に限定されるものではなく、多くの変形が本発明の技術的思想内で当分野において通常の知識を有する者により可能である。

[0111] そして、本発明の範囲は、特許請求項及びその同等物の許される最も広い解釈によって法によって許される最大限度まで決定されるものとし、前述した詳細な記載によって制限又は限定されないものとする。

符号の説明

- [0112]
- | | |
|----|-------------------------------|
| 1 | 育成装置 |
| 2 | Ga_2O_3 を含む融液 |
| 3 | 坩堝 |
| 4 | 支持台 |
| 5 | ダイ |
| 5A | スリット |

- 5B ダイ上面部
- 6 蓋
- 7 熱電対
- 8 保温材
- 9 ヒータ部
- 10 種結晶
- 11 種結晶保持具
- 12 シャフト
- 13 Ga₂O₃系単結晶
- 13a ネック部またはネッキング
- 13b スプレディング
- 13c 直胴部
- 14 第1のオリエンテーションフラット面
- 15 Ga₂O₃系単結晶基板の主面
- 16、21 Ga₂O₃系単結晶基板
- 17 第2のオリエンテーションフラット面
- 19 Ga₂O₃系単結晶基板の裏面
- 20 Ga₂O₃系単結晶の面
- 22 円形状のGa₂O₃系単結晶基板に於ける周縁部に近い領域
- 23 縦型紫外LED
- 24 AlNバッファ層
- 25 n型Al_{0.4}Ga_{0.6}N層
- 26 InAl_{0.4}Ga_{0.6}N層
- 27 InAl_{0.5}Ga_{0.5}N障壁層
- 28 InAl_{0.3}Ga_{0.7}N量子井戸層
- 29 Mgドープp型InAl_{0.6}Ga_{0.4}N電子ブロック層
- 30 Mgドープp型InAl_{0.5}Ga_{0.5}Nクラッド層
- 31 Mgドープp型InAl_{0.3}Ga_{0.7}Nコンタクト層

32	p側電極
33	n側電極
34	縦型MISFET
35	p型領域
36	n+型領域
37	ソース電極
38	ゲート絶縁体
39	ゲート電極
40	ドレイン電極
A	Ga ₂ O ₃ 系単結晶基板の基準平面Sから最高点までの垂直距離
B	Ga ₂ O ₃ 系単結晶基板の基準平面Sから最低点までの垂直距離
C	Ga ₂ O ₃ 系単結晶基板の主面中心
S	Ga ₂ O ₃ 系単結晶基板の主面に於ける最小二乗平面
t	Ga ₂ O ₃ 系単結晶基板の厚み
θ	スプレディング角度

請求の範囲

- [請求項1] 主面の反り量が $-50\mu\text{m}$ 以上 $50\mu\text{m}$ 以下 ($0\mu\text{m}$ を含む) である Ga_2O_3 系単結晶基板。
- [請求項2] 平面形状が円形状であり、円形状の直径が 24mm 以上 160mm 以下で、厚みが 0.1mm 以上 2.0mm 以下である請求項1に記載の Ga_2O_3 系単結晶基板。
- [請求項3] 平面形状が方形形状であり、方形形状の長辺が 15mm 以上 150mm 以下で、厚みが 0.1mm 以上 2.0mm 以下である請求項1に記載の Ga_2O_3 系単結晶基板。
- [請求項4] 前記方形形状が正方形で、少なくとも一つ以上の角が欠けている請求項3に記載の Ga_2O_3 系単結晶基板。
- [請求項5] 前記主面が(100)面、(010)面、(001)面、(-201)面、(101)面の何れかである請求項1～4の何れかに記載の Ga_2O_3 系単結晶基板。
- [請求項6] (100)面、(010)面、(001)面、(-201)面、(101)面の何れかに対して、 7° 以下の範囲で傾斜した面(但し、 0° は含まない)が、前記主面である請求項1～4の何れかに記載の Ga_2O_3 系単結晶基板。
- [請求項7] 前記主面が(100)面もしくは(100)面から 7° 以下の範囲で傾斜した面で、前記主面に垂直でありかつb軸に対して平行又は 5° の範囲内で傾斜した端面が、少なくとも1つ設けられている請求項1～4の何れかに記載の Ga_2O_3 系単結晶基板。
- [請求項8] 前記主面が(100)面以外もしくは(100)面以外の面から 7° 以下の範囲で傾斜した面以外であり、前記主面に垂直でありかつ前記主面と(100)面との交線に対し平行又は平行方向から 5° の範囲内で傾斜した端面が、少なくとも1つ設けられている請求項1～4の何れかに記載の Ga_2O_3 系単結晶基板。
- [請求項9] 前記主面の転位密度が 0 個/ cm^2 以上 1×10^5 個/ cm^2 以下である

請求項 1 ～ 8 の何れかに記載のGa₂O₃系単結晶基板。

[請求項10] n型ドーパントである第14族元素又は第17族元素の1つ以上の元素を、計0.02m o l %以上0.15 m o l %以下の範囲で含有する請求項 1 ～ 9 の何れかに記載のGa₂O₃系単結晶基板。

[請求項11] p型ドーパントである第1族元素、第2族元素、第15族元素、又はFe、Cu、Znの1つ以上の元素を、計0.02m o l %以上0.15 m o l %以下の範囲で含有する請求項 1 ～ 9 の何れかに記載のGa₂O₃系単結晶基板。

[請求項12] 前記主面上にAl_xGa_(1-x)N (0 ≤ x ≤ 1) 系半導体層が形成されている請求項 1 ～ 11 の何れかに記載のGa₂O₃系単結晶基板。

[請求項13] 前記主面上に、Ga₂O₃系エピタキシャル層又はAlGa_N系エピタキシャル層が積層形成されている請求項 1 ～ 11 の何れかに記載のGa₂O₃系単結晶基板。

[請求項14] 前記Ga₂O₃系エピタキシャル層又は前記AlGa_N系エピタキシャル層の厚みが、1 nm以上50 μm以下である請求項 13 に記載のGa₂O₃系単結晶基板。

[請求項15] 前記Ga₂O₃系エピタキシャル層、又は前記AlGa_N系エピタキシャル層の表面粗さRaが、3 nm以下である請求項 13 又は 14 に記載のGa₂O₃系単結晶基板。

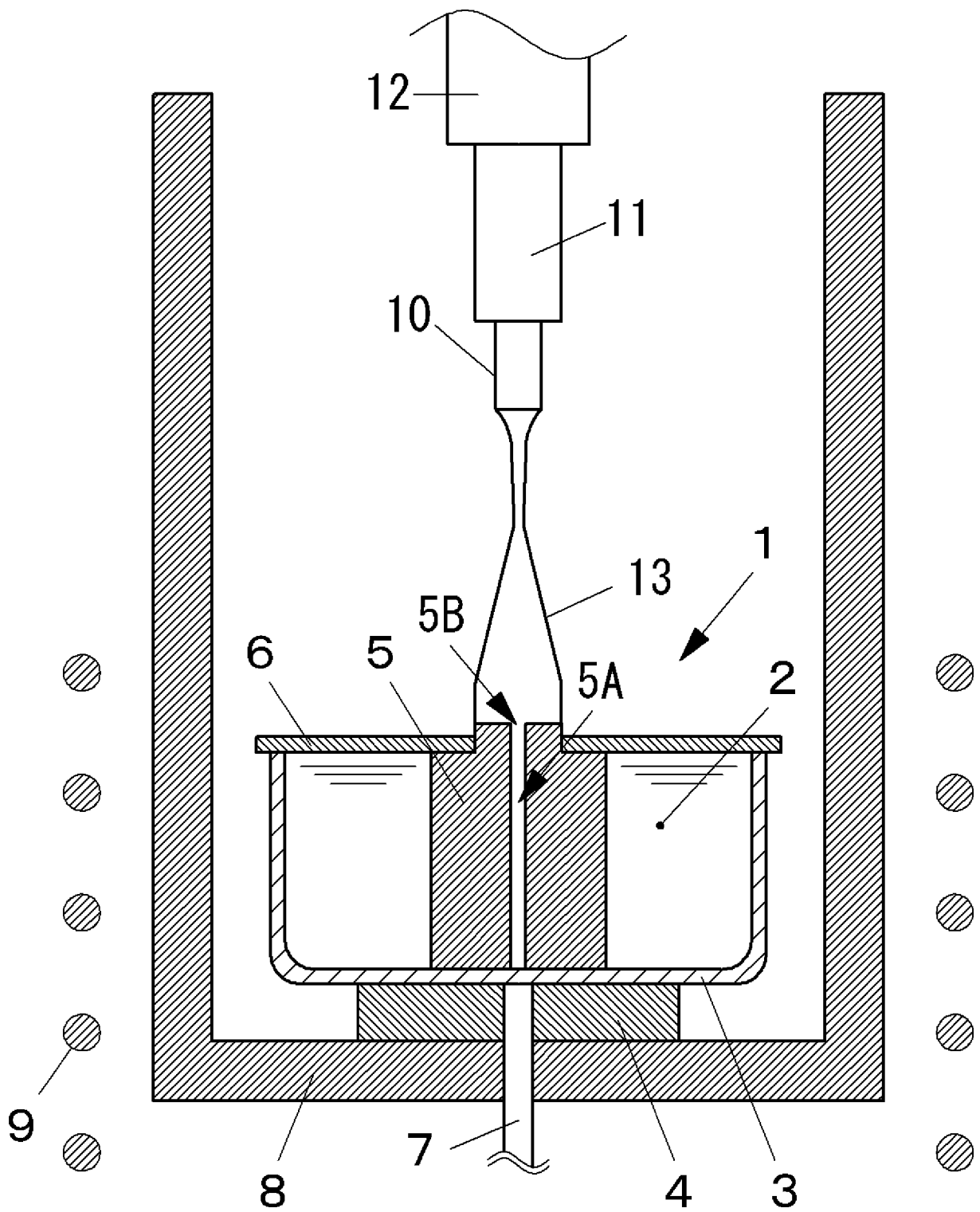
[請求項16] 誘導加熱方式の単結晶育成方法によって育成されるGa₂O₃系単結晶から基板加工されて、主面の反り量が-50 μm以上50 μm以下 (0 μmを含む) になるGa₂O₃系単結晶基板の製造方法。

[請求項17] 前記Ga₂O₃系単結晶を育成する方向が、a軸、b軸、c軸方向の何れか、又はa軸、b軸、c軸方向の何れかの方向に対して7°以下の範囲で傾斜した方向 (但し、0°は含まない) である請求項 16 に記載のGa₂O₃系単結晶基板の製造方法。

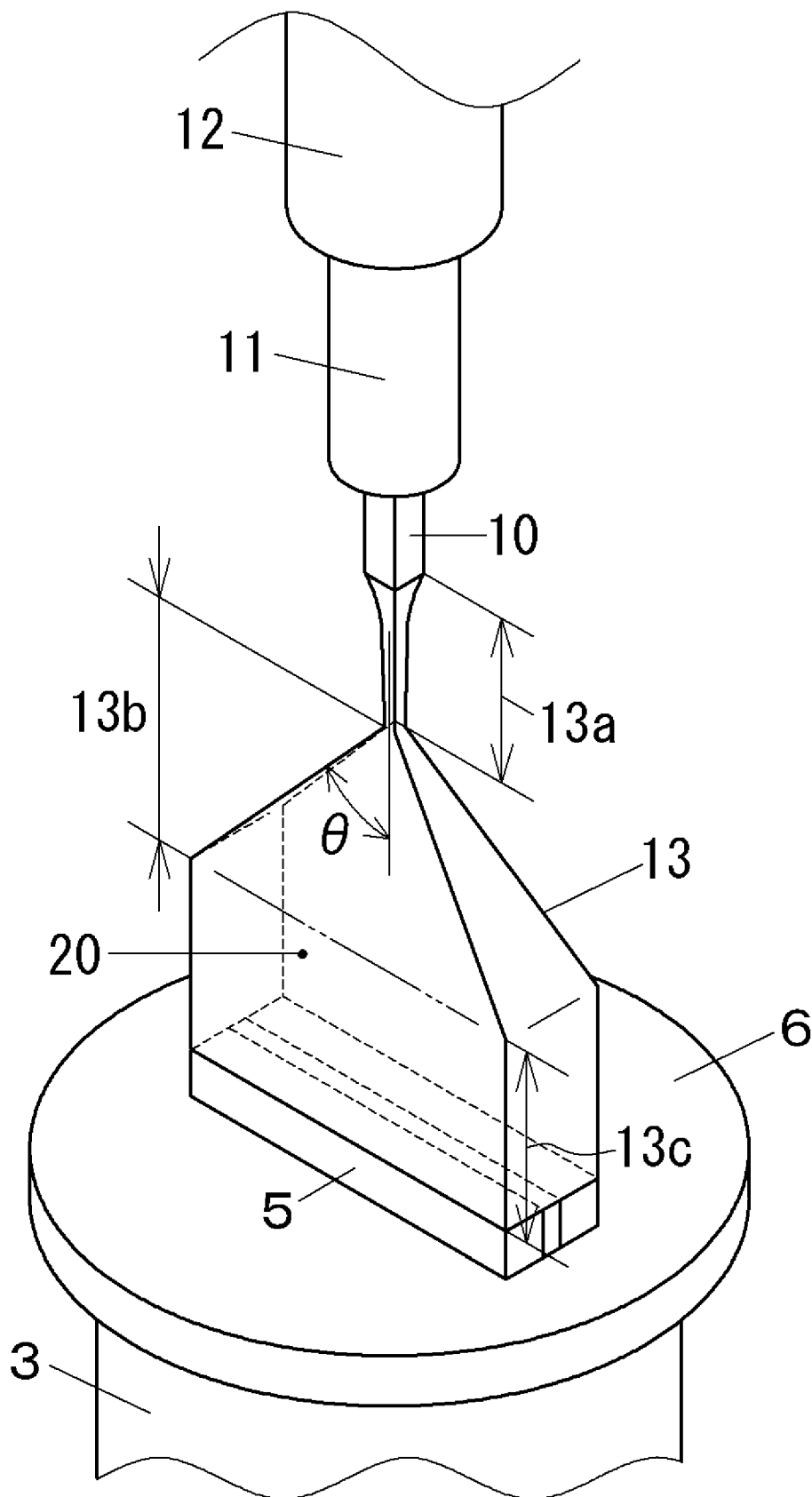
[請求項18] 前記Ga₂O₃系単結晶基板の全表面のうち、少なくとも主面上に、Ga₂O₃系エピタキシャル層又はAlGa_N系エピタキシャル層を積層形成する請

求項 1 6 又は 1 7 の何れかに記載のGa₂O₃系単結晶基板の製造方法。

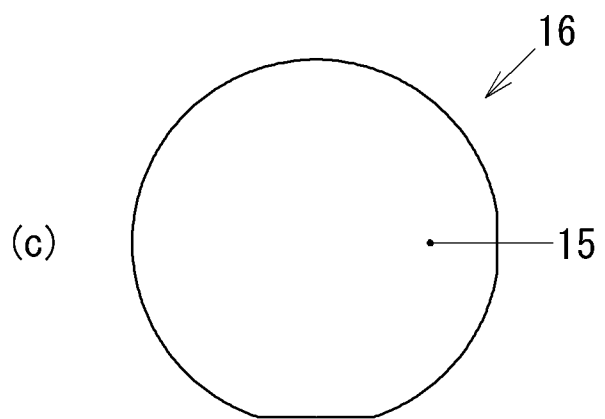
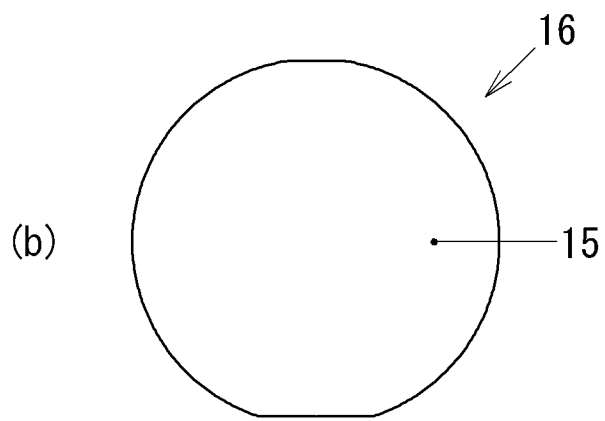
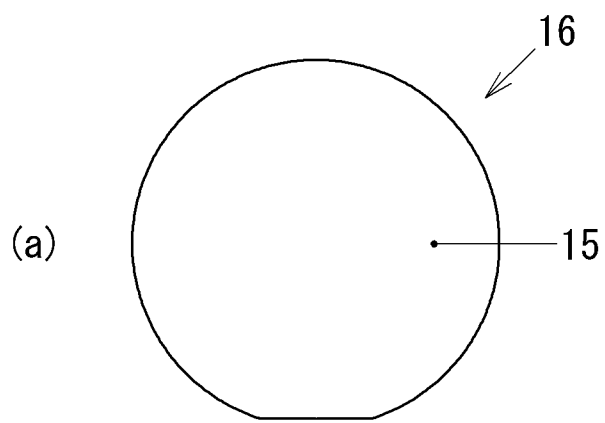
[図1]



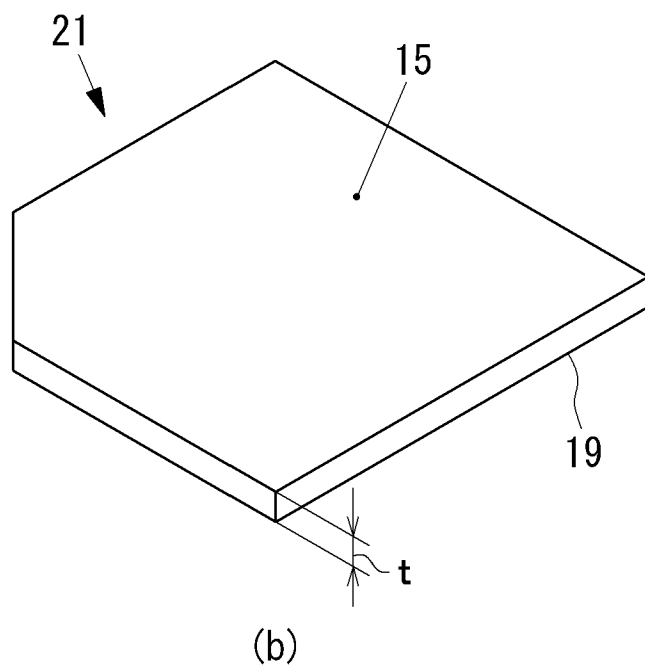
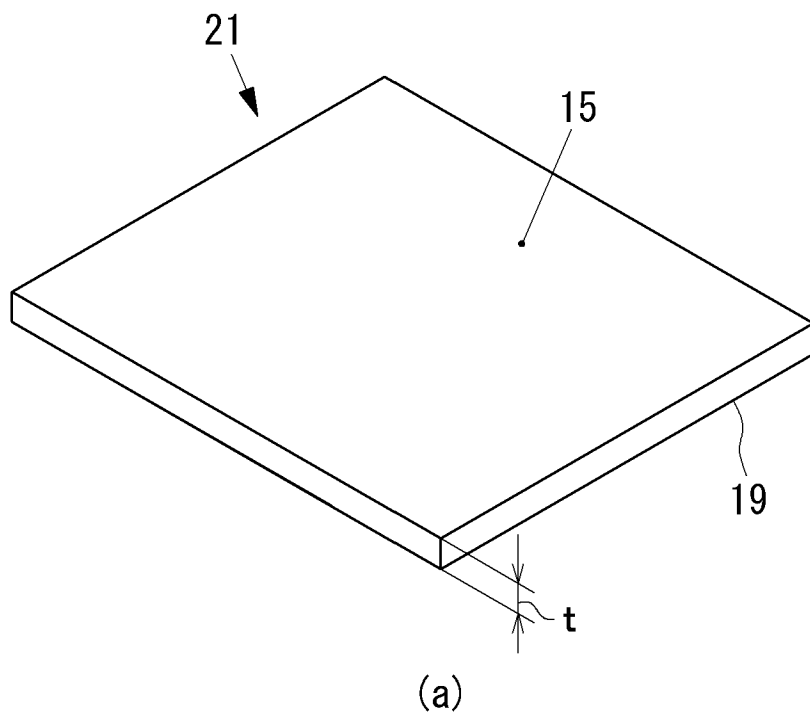
[図2]



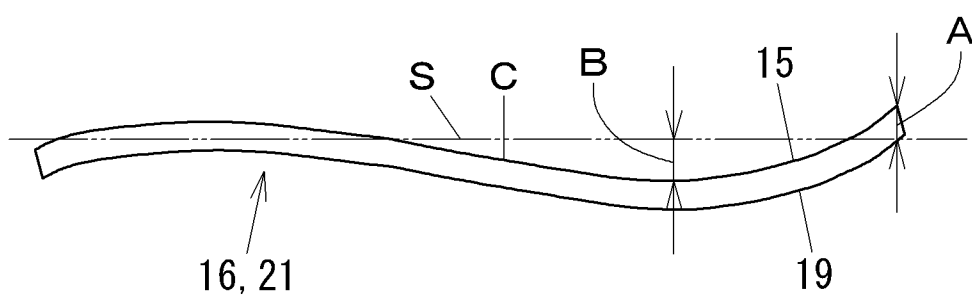
[図3]



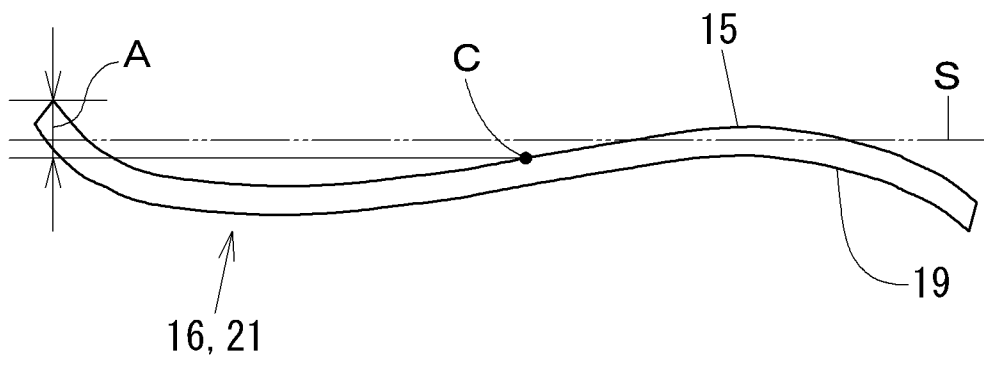
[図4]



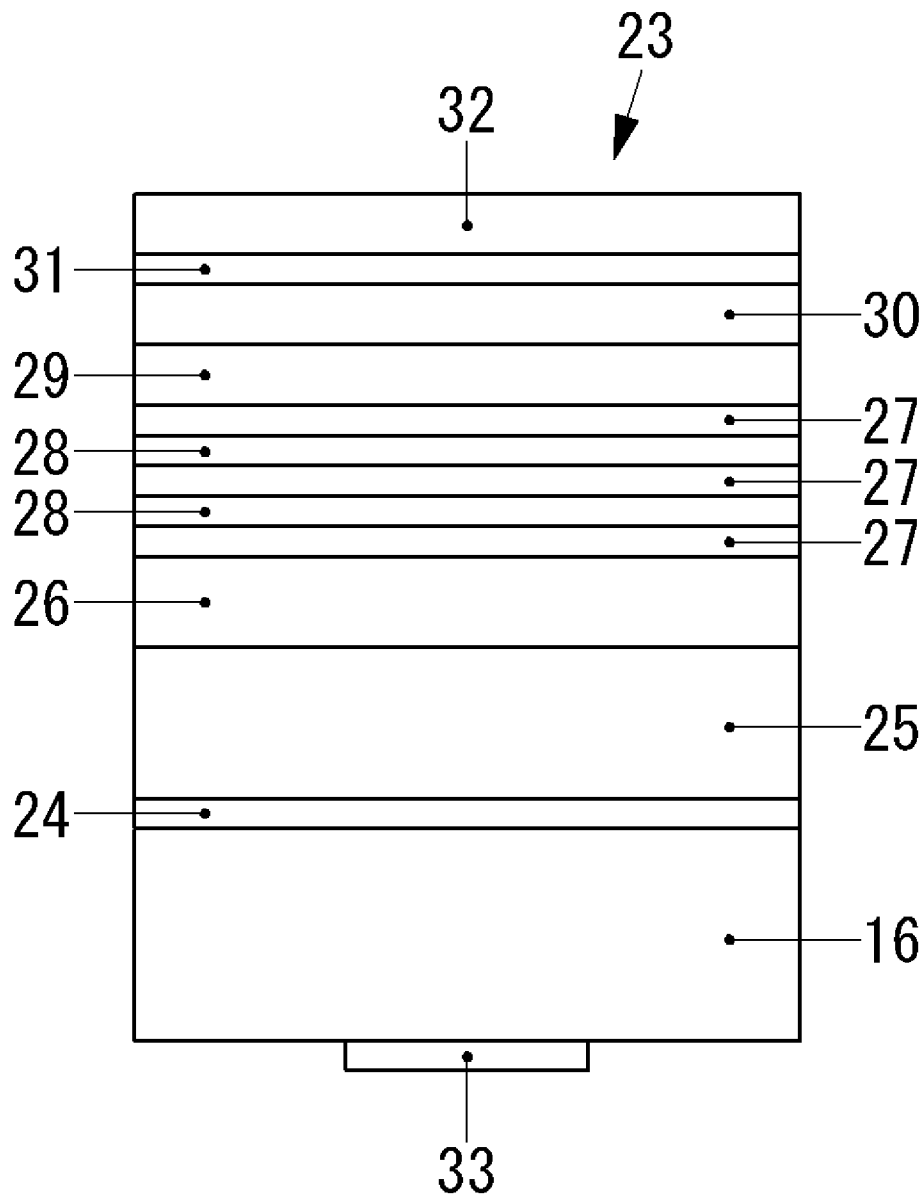
[図5]



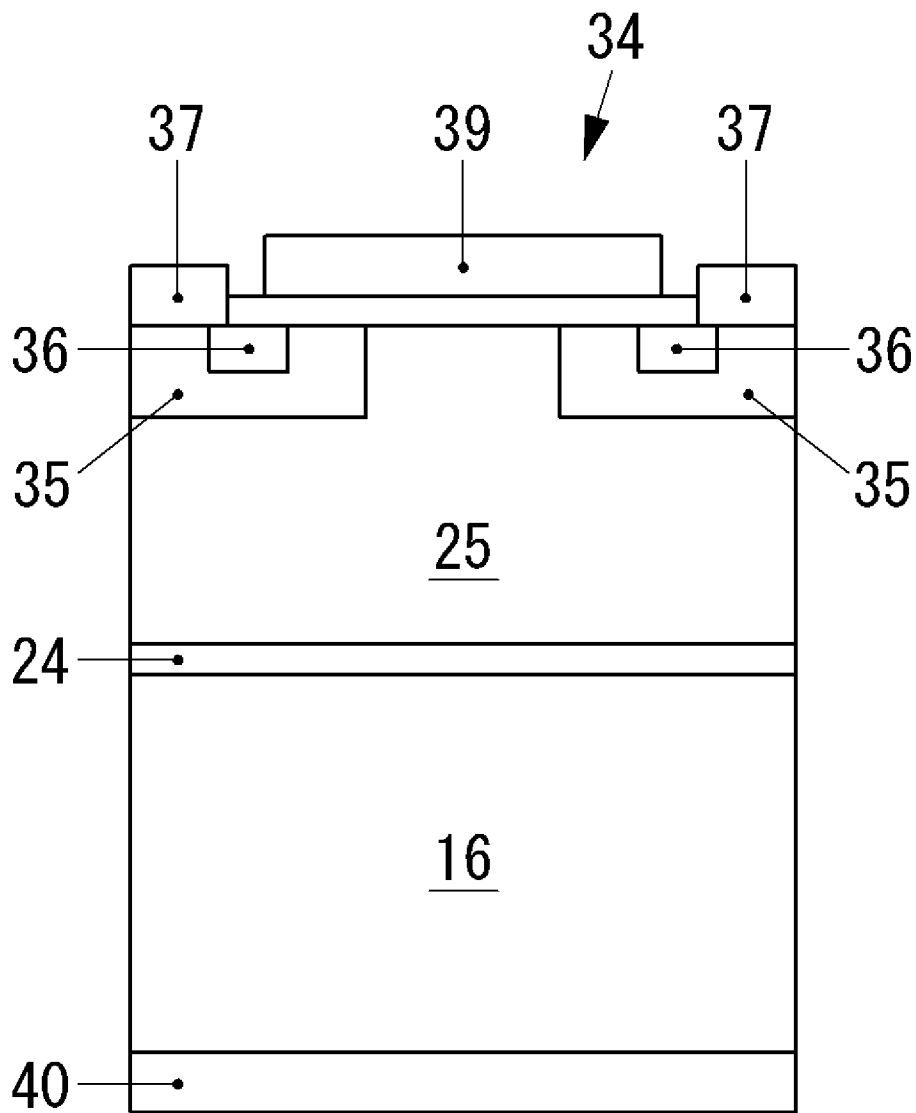
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/012972

A. CLASSIFICATION OF SUBJECT MATTER		
<i>C30B 29/16</i> (2006.01)i; <i>C30B 15/34</i> (2006.01)i; <i>H01L 21/205</i> (2006.01)i; <i>H01L 21/365</i> (2006.01)i; <i>H01L 29/12</i> (2006.01)i; <i>H01L 29/24</i> (2006.01)i; <i>H01L 29/78</i> (2006.01)i; <i>H01L 33/12</i> (2010.01)i FI: C30B29/16; C30B15/34; H01L33/12; H01L29/78 652T; H01L29/78 652K; H01L29/24; H01L21/205; H01L21/365		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) C30B29/16; C30B15/34; H01L21/205; H01L21/365; H01L29/12; H01L29/24; H01L29/78; H01L33/12		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2016-13934 A (TAMURA SEISAKUSHO KK) 28 January 2016 (2016-01-28) claims 1-6, paragraphs [0016]-[0085], fig. 3-6	1-2, 5, 9, 12-14, 16, 18 3-4, 6-8, 10-11, 15, 17
Y A	JP 2000-211993 A (MITSUBISHI ELECTRIC CORP) 02 August 2000 (2000-08-02) paragraph [0027], fig. 2	3-4, 6-8, 10-11, 15, 17 1-2, 5, 9, 12-14, 16, 18
Y A	JP 2016-13931 A (TAMURA SEISAKUSHO KK) 28 January 2016 (2016-01-28) paragraphs [0054]-[0057]	6-8, 10-11, 15, 17 1-5, 9, 12-14, 16, 18
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 May 2022		Date of mailing of the international search report 24 May 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/012972

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-13934	A	28 January 2016	US 2015/0380501 A1 claims 1-3, 5, 13-14, paragraphs [0020]-[0089] KR 10-2016-0002323 A TW 201601341 A	
JP	2000-211993	A	02 August 2000	US 2001/0010112 A1 paragraph [0090], fig. 2	
JP	2016-13931	A	28 January 2016	US 2017/0152610 A1 paragraphs [0074]-[0077] EP 3162922 A1 TW 201606147 A CN 106471164 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） C30B 29/16(2006.01)i; C30B 15/34(2006.01)i; H01L 21/205(2006.01)i; H01L 21/365(2006.01)i; H01L 29/12(2006.01)i; H01L 29/24(2006.01)i; H01L 29/78(2006.01)i; H01L 33/12(2010.01)i FI: C30B29/16; C30B15/34; H01L33/12; H01L29/78 652T; H01L29/78 652K; H01L29/24; H01L21/205; H01L21/365		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） C30B29/16; C30B15/34; H01L21/205; H01L21/365; H01L29/12; H01L29/24; H01L29/78; H01L33/12 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2016-13934 A (株式会社タムラ製作所) 28.01.2016 (2016-01-28) 請求項1-6、[0016]-[0085]、図3-6	1-2, 5, 9, 12-14, 16, 18 3-4, 6-8, 10-11, 15, 17
Y A	JP 2000-211993 A (三菱電機株式会社) 02.08.2000 (2000-08-02) [0027]、図2	3-4, 6-8, 10-11, 15, 17 1-2, 5, 9, 12-14, 16, 18
Y A	JP 2016-13931 A (株式会社タムラ製作所) 28.01.2016 (2016-01-28) [0054]-[0057]	6-8, 10-11, 15, 17 1-5, 9, 12-14, 16, 18
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 10.05.2022	国際調査報告の発送日 24.05.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 山本 一郎 4G 8395 電話番号 03-3581-1101 内線 3416	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/012972

引用文献			公表日	パテントファミリー文献			公表日
JP	2016-13934	A	28.01.2016	US	2015/0380501	A1	
					請求項1-3, 5, 13-14, [0020]-[0089]		
				KR	10-2016-0002323	A	
				TW	201601341	A	
JP	2000-211993	A	02.08.2000	US	2001/0010112	A1	
					[0090], 図2		
JP	2016-13931	A	28.01.2016	US	2017/0152610	A1	
					[0074]-[0077]		
				EP	3162922	A1	
				TW	201606147	A	
				CN	106471164	A	