

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-505545

(P2017-505545A)

(43) 公表日 平成29年2月16日(2017.2.16)

(51) Int.Cl.

H01L 21/336 (2006.01)
H01L 29/78 (2006.01)

F 1

H01L 29/78
H01L 29/78
H01L 29/78

テーマコード(参考)

5 F 1 4 O

301 X
301 S
301 B

審査請求 未請求 予備審査請求 有 (全 21 頁)

(21) 出願番号 特願2016-550526 (P2016-550526)
 (86) (22) 出願日 平成27年2月11日 (2015.2.11)
 (85) 翻訳文提出日 平成28年8月5日 (2016.8.5)
 (86) 國際出願番号 PCT/US2015/015426
 (87) 國際公開番号 WO2015/123305
 (87) 國際公開日 平成27年8月20日 (2015.8.20)
 (31) 優先権主張番号 14/179,311
 (32) 優先日 平成26年2月12日 (2014.2.12)
 (33) 優先権主張国 米国(US)

(71) 出願人 507364838
 クアルコム、インコーポレイテッド
 アメリカ合衆国 カリフォルニア 921
 21 サン デイエゴ モアハウス ドラ
 イブ 5775
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100163522
 弁理士 黒田 晋平
 (72) 発明者 ピン・ヤン
 アメリカ合衆国・カリフォルニア・921
 21-1714・サン・ディエゴ・モアハ
 ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】バックゲートを有し、パンチスルーなしで、フィン高さのばらつきを減少させたFinFET

(57) 【要約】

バックゲートおよびFinFETのフィンチャネルの下にバリア層を有するFinFETであって、バリア層は、バックゲートのものよりも大きいバンドギャップを有する、FinFET。バリア層は、フィンチャネルの下でエッチストップ層として働き、フィンチャネル高ばらつきの減少をもたらす。バックゲートは、電流制御の改善をもたらす。より大きいバンドギャップのバリア層に起因して、パンチスルーが少ない。FinFETは、ソース/ドレイン拡散に隣接し、大きいバンドギャップのバリア層を通る、深く埋め込まれたストレッサも含む場合がある。

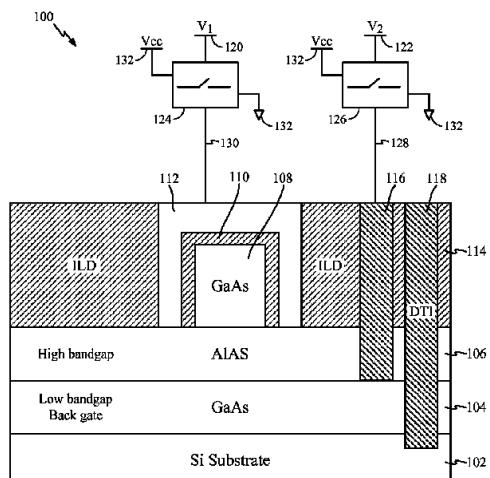


FIG. 1

【特許請求の範囲】**【請求項 1】**

基板と、

前記基板中に形成される第1の層を備えるバックゲートであって、前記第1の層が第1の半導体を備える、バックゲートと、

前記第1の層の上方に形成される第2の層であって、第2の半導体を備える第2の層と、

前記第2の層の上方に形成されるフィンチャネルであって、第3の半導体を備えるフィンチャネルと、

前記第2の層を通り、前記第1の層と電気接觸する、バックゲートコンタクトと、

前記基板を掘り下げて形成される深いトレンチ分離領域と
を備え、

前記第1の半導体が第1のバンドギャップを有し、前記第3の半導体が第3のバンドギャップを有し、前記第2の半導体が前記第1のバンドギャップおよび第2のバンドギャップよりも大きい前記第2のバンドギャップを有する、

F i n F E T。

【請求項 2】

前記第1、第2、および第3の半導体が、I I I - V族半導体化合物、I I - VI族半導体化合物、IV族半導体元素または化合物、グラフィン、およびカーボンナノチューブからなるグループから各々選択される、請求項1に記載のF i n F E T。

【請求項 3】

前記第1および第3の半導体が各々G a A sを含み、前記第2の半導体がA l A sを含む、請求項2に記載のF i n F E T。

【請求項 4】

前記第1のバンドギャップが前記第3のバンドギャップと等しい、請求項1に記載のF i n F E T。

【請求項 5】

前記フィンチャネルの上方に形成される誘電体層と、
前記誘電体層の上方に形成されるゲートと
をさらに備える、請求項1に記載のF i n F E T。

【請求項 6】

前記F i n F E Tをオンにする第1の電圧を提供するために前記ゲートに結合される第1のレールと、

前記F i n F E Tをオンにする第2の電圧を提供するために前記バックゲートコンタクトに結合される第2のレールと

をさらに備える、請求項5に記載のF i n F E T。

【請求項 7】

前記第1のレールと第2のレールとが同じ電圧である、請求項6に記載のF i n F E T。

【請求項 8】

前記フィンチャネルに応力を提供するために、前記第2の層の中にエピタキシャル成長される第1のストレッサと第2のストレッサと
をさらに備える、請求項1に記載のF i n F E T。

【請求項 9】

前記フィンチャネルに隣接し、前記第1のストレッサに隣接する、第1のソース／ドレン拡散と、

前記フィンチャネルに隣接し、前記第2のストレッサに隣接する、第2のソース／ドレン拡散と

をさらに備える、請求項8に記載のF i n F E T。

【請求項 10】

10

20

30

40

50

前記FinFETをオンにする第1の電圧を提供するために前記ゲートに結合される第1のレールと、

前記FinFETをオンにする第2の電圧を提供するために前記バックゲートコンタクトに結合される第2のレールと

をさらに備える、請求項9に記載のFinFET。

【請求項11】

前記FinFETがnタイプである場合、前記第1の層が、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、多量にpタイプでドープされ、前記FinFETがpタイプである場合、前記第1の層が、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、多量にnタイプでドープされる、請求項1に記載のFinFET。10

【請求項12】

前記FinFETがnタイプである場合、前記第2の層が、 $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲のドーピング濃度で、軽くpタイプでドープされ、前記FinFETがpタイプである場合、前記第2の層が、 $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲のドーピング濃度で、軽くnタイプでドープされる、請求項11に記載のFinFET。

【請求項13】

前記第2の層がドープされない、請求項11に記載のFinFET。

【請求項14】

前記FinFETが、セルラーフォン、タブレット、コンピュータシステム、および基地局からなるグループから選択されるデバイス中で使用される、請求項1に記載のFinFET。20

【請求項15】

FinFETを製造する方法であって、
基板の中に第1の半導体層を形成するステップと、
前記第1の半導体層の上方に第2の半導体層を形成するステップと、
前記第2の半導体層の上方に第3の半導体層を形成するステップと、
FinFETフィンチャネルを形成するために前記第3の半導体層をエッチングするステップと、30

前記第2の半導体層を通って前記第1の半導体層までエッチングして、前記第1の半導体層への電気的なバックゲートコンタクトを形成するステップと、

前記基板に深いトレンチ分離領域を形成するステップと
を含み、

前記第1、第2、および第3の半導体層が、それぞれ第1のバンドギャップ、第2のバンドギャップ、および第3のバンドギャップを各々有し、前記第2のバンドギャップが前記第1のバンドギャップおよび前記第2のバンドギャップよりも大きい、
方法。

【請求項16】

前記FinFETフィンチャネルの上方に誘電体層を形成するステップと、40
前記誘電体層の上方にゲートを形成するステップと
をさらに含む、請求項15に記載の方法。

【請求項17】

前記第1のバンドギャップが前記第3のバンドギャップと等しい、請求項15に記載の
方法。

【請求項18】

前記第2の層の中に第1のトレンチを形成するステップと、
前記FinFETフィンチャネルに応力を提供するために、前記第1のトレンチの中に
第1のストレッサをエピタキシャル成長させるステップと、50
前記第2の層の中に第2のトレンチを形成するステップと、

前記FinFETフィンチャネルに応力を提供するために、前記第2のトレンチの中に第2のストレッサをエピタキシャル成長させるステップとをさらに含む、請求項15に記載の方法。

【請求項19】

前記第1および第2のストレッサが、シリコンゲルマニウム合金(SiGe)、炭化シリコン合金(SiC)、III-V族半導体化合物、II-VI族半導体化合物、IV族半導体元素または化合物からなるグループから選択される、請求項18に記載の方法。

【請求項20】

第1のソース/ドレイン拡散に隣接して前記第1のストレッサをエピタキシャル成長させるステップと、

第2のソース/ドレイン拡散に隣接して前記第2のストレッサをエピタキシャル成長させるステップと

をさらに含む、請求項18に記載の方法。

【請求項21】

前記FinFETフィンチャネルの上方に誘電体層を形成するステップと、前記誘電体層の上方にゲートを形成するステップとをさらに含む、請求項20に記載の方法。

【請求項22】

前記第1の層の中に前記第1のトレンチを形成するステップと、前記第1の層の中に前記第2のトレンチを形成するステップとをさらに含む、請求項18に記載の方法。

【請求項23】

前記第1、第2、および第3の半導体層が、III-V族半導体化合物、II-VI族半導体化合物、IV族半導体元素または化合物、グラフィン、およびカーボンナノチューブからなるグループから各々選択される、請求項15に記載の方法。

【請求項24】

前記第1および第3の半導体層が各々GaaSを含み、前記第2の半導体層がAlAsを含む、請求項23に記載の方法。

【請求項25】

前記FinFETがnタイプである場合、前記第1の層を、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、pタイプでドープし、

前記FinFETがpタイプである場合、前記第1の層を、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、nタイプでドープする、

請求項15に記載の方法。

【請求項26】

前記FinFETがnタイプである場合、前記第2の層を、 $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲のドーピング濃度で、pタイプでドープし、

前記FinFETがpタイプである場合、前記第2の層を、 $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲のドーピング濃度で、nタイプでドープする、

請求項25に記載の方法。

【請求項27】

前記第2の層がドープされない、請求項25に記載の方法。

【請求項28】

FinFETをオンにする方法であって、前記FinFETがゲート、バックゲート、および基板を備え、方法が、

前記FinFETの前記ゲートを第1のレールに結合するステップと、

前記FinFETの前記バックゲートを第2のレールに結合するステップであって、前記バックゲートが、前記基板中に形成される第1の層を備え、第1の半導体を備えるステップと

を含み、

10

20

40

50

前記ゲートが、第2の層の上方に形成されるフィンチャネルの上方に形成され、前記第2の層が前記第1の層の上方に形成されて第2の半導体を備え、前記フィンチャネルが第3の半導体を備え、

前記第1の半導体が第1のバンドギャップを有し、前記第3の半導体が第3のバンドギャップを有し、前記第2の半導体が前記第1のバンドギャップおよび第2のバンドギャップよりも大きい前記第2のバンドギャップを有する、

方法。

【請求項 29】

前記第1のレールと第2のレールとが同じ電圧である、請求項28に記載の方法。

【請求項 30】

前記第1のバンドギャップと前記第3のバンドギャップが互いに等しい、請求項28に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はトランジスタに関し、より詳細には、FinFETに関する。

【背景技術】

【0002】

FinFETトランジスタは、非平面のFET（電界効果トランジスタ）であり、チャネルがフィンの外観を有しているため、そのように名付けられた。FinFETは、マルチゲートまたはトライゲートアーキテクチャを有すると呼ばれることがある。FinFETへの関心は高く、その理由は、従来型の平面トランジスタと比較して、漏れ電流を非常に小さくすることができ、同じ電力収支でより良好な性能を、または同等な性能の場合にはより小さい電力収支をもたらすことができるからである。しかし、設計によっては、FinFETに、不要なパンチスルーよりもフィン高さのばらつきがもたらされる場合がある。

【発明の概要】

【課題を解決するための手段】

【0003】

本発明の実施形態は、バックゲートを有し、パンチスルーなしで、フィンチャネル高ばらつきを減少させたFinFETのためのシステムおよび方法を対象とする。

【0004】

実施形態では、デバイスは、基板と、基板の上方に形成される第1の層であって、第1の半導体を備える第1の層と、第1の層の上方に形成される第2の層であって、第2の化合物半導体を備える第2の層と、第2の層の上方に形成されるフィンチャネルであって、第3の半導体を備えるフィンチャネルとを含む。第1の化合物半導体は第1のバンドギャップを有し、第3の化合物半導体は第3のバンドギャップを有し、第2の化合物半導体は第1のバンドギャップおよび第2のバンドギャップよりも大きい第2のバンドギャップを有する。

【0005】

別の実施形態では、方法は、基板の上方に第1の半導体層を形成するステップと、第1の半導体層の上方に第2の半導体層を形成するステップと、第2の半導体層の上方に第3の半導体層を形成するステップと、第3の半導体層をエッ칭してFinFETフィンチャネルを形成するステップとを含む。第1、第2、および第3の半導体層は、それぞれ第1のバンドギャップ、第2のバンドギャップ、および第3のバンドギャップを各々有し、第2のバンドギャップが第1のバンドギャップおよび第2のバンドギャップよりも大きい。

【0006】

別の実施形態では、FinFETをオンにする方法は、FinFETのゲートを第1のレールに結合するステップと、FinFET中の第1の層を第2のレールに結合するステ

10

20

30

40

50

ップであって、第1の層がFinFETの基板中に形成されて第1の半導体を備えるステップとを含み、ゲートが第2の層の上方に形成されるフィンチャネルの上方に形成され、第2の層が第1の層の上方に形成されて第2の半導体を備え、フィンチャネルが第3の半導体を備え、第1の半導体が第1のバンドギャップを有し、第3の半導体が第3のバンドギャップを有し、第2の半導体が第1のバンドギャップおよび第2のバンドギャップよりも大きい第2のバンドギャップを有する。

【0007】

添付図面は、本発明の実施形態の記載を援助するために提示され、実施形態の説明のためにだけ提供されており、実施形態を限定する意図はない。

10

【図面の簡単な説明】

【0008】

【図1】実施形態に従うFinFETの横断面図である。

【図2】実施形態に従うプロセスフロー図である。

【図3】別の実施形態に従うFinFETの横断面図である。

【図4】別の実施形態に従うプロセスフロー図である。

【図5】実施形態を適用できるワイヤレス通信システムを示す図である。

【図6】FinFETのゲートおよびバックゲートを、それらのそれぞれのレールに結合することを示す図である。

【発明を実施するための形態】

【0009】

本発明の態様は、本発明の具体的な実施形態を対象とする以下の記載および関係する図面中に開示される。本発明の範囲から逸脱することなく、代替の実施形態を考案することができる。加えて、本発明の関連する詳細を曖昧にしないように、本発明の周知の要素については詳細に記載せず、またはそのような要素を省略する。

20

【0010】

「本発明の実施形態」という用語は、本発明のすべての実施形態が議論される特徴、利点または動作モードを含むことを必要としない。

【0011】

本明細書で使用する用語法は、特定の実施形態を記載することのみのためであり、本発明の実施形態を限定することを意図していない。本明細書で使用するときに、単数形「a」、「an」、および「the」は、文脈によって別段に明確に指示されない限り、複数形をも含むことを意図する。さらに、本明細書で使用する「備える、含む（comprises）」、「備えている、含んでいる（comprising）」、「含む（includes）」、および／または「含んでいる（including）」という用語は、述べられた特徴、整数、ステップ、動作、要素、および／または構成要素の存在を明示するが、1つまたは複数の他の特徴、整数、ステップ、動作、要素、構成要素、および／またはそれらのグループの存在または追加を排除しないことは理解されよう。

30

【0012】

さらに、多くの実施形態は、たとえばコンピューティングデバイスの要素によって実施される動作のシーケンスの観点から記載される。特定の回路（たとえば、特定用途向け集積回路（ASIC））、プログラム命令を実行する1つまたは複数のプロセッサ、または両方の組合せが、本明細書において記載される種々の動作を実施できることは認識されよう。さらに、本明細書で記載する一連のアクションは、実行時に、関連するプロセッサに本明細書で記載する機能性を実施させるコンピュータ命令の対応するセットを記憶した、任意の形式のコンピュータ可読記憶媒体内で完全に具現化されるものと見なすことができる。したがって、本発明の様々な態様は、そのすべてが特許請求される主題の範囲内であることが企図された、いくつかの異なる形式で具現化することができる。加えて、本明細書で記載される実施形態の各々では、任意のそのような実施形態の対応する形式では、本明細書では、たとえば、記載された動作を実施する「ように構成された論理」として記載する場合がある。

40

50

【0013】

図1は、実施形態に従うFinFET100の簡略化した横断面図である。横断面は、(以降でより詳細に議論されることになる)チャネル108である、FinFETチャネルに垂直な平面でとられている。したがって、ソースおよびドレインは、図1中の断面によって示されない。というのは、ソースおよびドレインは、断面の平面の前および後に配置されることになるからである。

【0014】

基板102上に形成されるのは、小さいバンドギャップバックゲートを設けるための層104である。図1の特定の実施形態では、基板102はシリコン(Si)であり、層104は、GaAsを含む半導体である。他の実施形態では、層104は、II-V族半導体化合物もしくはII-VI族半導体化合物、またはたとえばGeもしくはSiGeといった、IV族半導体元素または化合物などの、様々な半導体元素または半導体化合物を含む場合がある。いくつかの実施形態では、層104は、約0.5ミクロンの厚さで、0.1eVから2eVの範囲のバンドギャップを有する。いくつかの実施形態では、nタイプのFinFET100では、層104は、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲の例示的なドーピング濃度で、多量にpタイプでドープされる(p^{++})。いくつかの実施形態では、pタイプのFinFET100では、層104は、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲の例示的なドーピング濃度で、多量にnタイプでドープされる(n^{++})。いくつかの実施形態では、基板102は、シリコン以外の材料である場合がある。基板102の厚さは、いくつかの実施形態について50ミクロンよりも厚い場合がある。10

【0015】

層106は、層104より上に形成される。層106は、エッチストップとして働き、パンチスルーを低減する助けをし、層104により形成されるバックゲートに対するバリア層としても働く。層106は、ドープされない、nタイプFinFET100では $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲の例示的なドーピング濃度で軽くpタイプでドープされる、またはpタイプFinFET100では $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲の例示的なドーピング濃度のバックゲートで軽くnタイプでドープされる場合がある。図1の特定の実施形態では、層106は、AlAsを含む半導体であり、単結晶として形成される。他の実施形態では、層106は、たとえばII-V族化合物などの他の半導体を含む場合がある。20

【0016】

層106は、層104のものよりも大きいバンドギャップを有する。したがって、「小バンドギャップ」および「大バンドギャップ」という用語は、それぞれ、層104および層106を記載するために使用することができる。いくつかの実施形態では、層106は、0.5eVから4eVの範囲のバンドギャップを有する。いくつかの実施形態では、層106は、高度に抵抗性であって、良好な電気的障壁を実現し、約100オングストロームの厚さを有することができる。30

【0017】

層106の上に、FinFET100を製造するために、他の構成要素が形成される。図1に示されるのは、チャネル108、ゲート誘電体110、ゲート112、および層間誘電体114である。図1の特定の実施形態では、チャネル108は、比較的小さいバンドギャップを有するGaAsを含む。すなわち、チャネル108のバンドギャップは、層106のものよりも小さく、層104のバンドギャップと同等である場合がある。いくつかの実施形態では、チャネル108は、0.1eVから2eVの範囲のバンドギャップを有する。チャネル108は、必ずしも層104のものと同じ材料を含む必要はなく、II-V族またはII-VI族化合物などの他の半導体材料を含む場合がある。40

【0018】

チャネル108が反転されると電子が多数キャリアであるnタイプFinFETでは、いくつかの実施形態のためのチャネル108は、比較的大きい電子移動度を有し、チャネ50

ル 108 が反転されると正孔が多数キャリアである p タイプ FinFET では、いくつかの実施形態のためのチャネル 108 は、比較的大きい正孔移動度を有する。いくつかの実施形態では、チャネル 108 は、300 オングストロームから 1000 オングストロームの範囲の厚さを有する。

【 0019 】

チャネル 108 は、フィン構造を形成するためにエッチングされる。説明しやすいように、FinFET 100 を作るすべての構成要素が図 1 の中に示されるわけではない。たとえば、ソース / ドレイン拡散は示されない。というのは、図 1 に表される視界は、2 つのソース / ドレイン拡散が製造されることになるところの間の位置における、チャネル 108 に沿っているからである。

10

【 0020 】

エッチングトップとして働くことによって、層 106 は、チャネル 108 の高さのばらつきを減少することを可能にする。すなわち、GaAs 層が層 106 の上に形成された後、チャネル 108 のフィン形状を形成するために、エッチングが施される。層 106 は、その表面においてエッチングプロセスを停止し、その結果、チャネル 108 の高さは、非常に良好に制御され、トランジスタ同士のチャネル高均一性をもたらす。

【 0021 】

チャネル 108 のものよりも大きい層 106 のバンドギャップによって、従来技術のトランジスタと比較して、パンチスルー（ソース / ドレイン拡散のうちの一方から他方への不要な電流）がかなり減ることが期待される。さらに、層 104 は、バックゲートとして使用され、このことにより、チャネル電流の制御を拡大することを実現する。図 1 は、層 104 をバックゲートとして使用できるように、層 104 への電気接触をもたらすための、層 104 へのバックゲートコンタクト 116 を示しており、ここで、層間誘電体 114 を通って層 104 へトレンチがエッチングされ、その後導電材料が堆積される。FinFET 100 がオフ状態であるときに不要な漏れ電流を著しく減少させることができ、FinFET 100 がオン状態であるときに所望のオン状態チャネル電流を増加させることができるように、層 104 を備えるバックゲートは、FinFET 100 をオンおよびオフにする能力を向上する。

20

【 0022 】

FinFET 100 をオンまたはオフにするため、電圧が、ゲート 112 および層 104 に提供され、ここで、電圧は、FinFET のタイプに依存する。たとえば、n タイプ FinFET 100 をオンにするために、レール 120 の電圧により表される、好適に選択された第 1 の正の電圧をゲート 112 に印加することができ、レール 122 の電圧により表される、好適に選択された第 2 の正の電圧を、バックゲートコンタクト 116 を経由して層 104 に印加することができる。機能ユニット 124 および 126 は、ゲート 112 およびバックゲートコンタクト 116 をそれらのそれぞれのレールに結合するための回路要素を表す。接続線 128 および 130 は、ゲート 112 およびバックゲートコンタクト 116 への電気接続をもたらす、様々な金属層およびバイア（簡潔にするために図示せず）についての簡略表現である。図 1 にやはり示されるのは、層 104 およびゲート 112 へグランド（ゼロ）電圧を提供するグランドレール 132 である。n タイプ FinFET 100 では、FinFET 100 をオフにするため、ゲート 112 およびバックゲートコンタクト 116 をグランド電圧に保持することができる。

30

【 0023 】

レール 120 のための電圧は、レール 122 のための電圧と異なる値であってよく、またはそれらが同じ値であってよく、その場合、レール 120 と 122 は、単一のレールを構成することができる。これらの電圧のうちの一方または両方は、他の回路要素のために使用される電力レール 132 の電圧により表される、ハイ電圧 (V_{cc}) と異なる値であってよい。

40

【 0024 】

FinFET 100 が p タイプ FinFET である場合では、機能ユニット 124 およ

50

び 126 がゲート 112 をレール 120 にバックゲートコンタクト 116 をレール 122 に結合するように構成されるときに FinFET 100 をオンにすることができるが、ここで、レール 120 および 122 の電圧は、p タイプ FinFET のために好適に選択される。いくつかの実施形態では、これらの電圧は、グランド電位であってよい。FinFET 100 をオフにするため、ゲート 112 およびバックゲートコンタクト 116 を電力レール 132 に結合することを実施することができる。

【0025】

図 6 は、FinFET 100 をオンにするために、ゲート 112 およびバックゲートコンタクト 116 を、それらのそれぞれのレールに結合することを示す。ステップ 602 では、ゲート(112)は、FinFET 100 をオンにするために、第 1 のレール(たとえば、120)に結合される。バックゲートコンタクト 166 をレール 122 に結合することは、FinFET 100 のバックゲートを結合することと見なすことができ、ここで、バックゲートは、層 104 で識別される。ステップ 604 についてバックゲートという用語を使用すると、バックゲート(104)は、FinFET 100 をオンにするために第 2 のレール(たとえば、122)に結合される。ステップ 602 は、必ずしもステップ 604 の前に実施される必要はなく、両方のステップを本質的に同時に実施することができる。

10

【0026】

図 1 に示されるのは、FinFET 100 の層 104(バックゲート)およびソース/ドレイン拡散(図 1 に図示せず)の両方を、他のアクティブなデバイス(図示せず)のバックゲートおよびソース/ドレイン拡散から分離するための、深いトレンチ分離(DTI)領域 118 である。図示を簡潔にするために、DTI 領域の一部のみが示されるが、実際には、DTI 領域 118 は、FinFET 100 構造のすべてを他のアクティブなデバイスから電気的に分離するように延在し、または反復される。パッシベーション層または他の金属層などのさらなる層を、図 1 に示される構造より上に形成するが、そのようなさらなる集積層は当業界でよく知られており、図示を簡潔するために示されない。

20

【0027】

図 2 は、上に議論された実施形態に従うプロセスフロー図を示す。小さいバンドギャップの第 1 の GaAs 層は、Si 基板上に形成され(202)、その後、第 1 の GaAs 層上に、大きいバンドギャップの AlAs エッチストップ層を形成する(204)。小さいバンドギャップの第 2 の GaAs 層は、AlAs エッチストップ層上に形成され(206)、次いで、フィンチャネルを形成するためにエッチングされる(208)。ゲート誘電体は、フィンチャネルの上方に形成され(210)、その後、金属ゲートをエッチングして、形成する(212)。AlAs 層を通じて第 1 の GaAs 層にトレンチがエッチングされ、バックゲートコンタクトが形成され(214)、DTI 領域が Si 基板を掘り下げて形成される(216)。FinFET を形成するために必要なすべてのステップは図 2 に示されないが、そのようなさらなるステップは当業界でよく知られている。

30

【0028】

いくつかの実施形態は、チャネル 108 の多数キャリア移動度を増加させるためのストレッサを含む場合がある。図 3 は、ストレッサ 302 および 304 を備える FinFET 300 の横断面図を示す。図 3 の横断面図は、チャネル 108 に沿った平行な平面でとられ、ソース/ドレイン拡散 306 および 308 の横断面図を含む。図 3 は、側壁スペーサ 310 および 312 ならびに DTI 領域 314 および 316 の横断面図をやはり含む。

40

【0029】

ストレッサ 302 および 304 の組成は、一般的に、チャネル 108 のために使用される材料、および FinFET 300 が n タイプ(nMOS)であるか p タイプ(pMOS)であるかに依存することになる。たとえば、チャネル 108 が Si チャネルである場合、いくつかの実施形態では、ストレッサ 302 および 304 は、FinFET 300 が p タイプであるとき、シリコンゲルマニウム合金(SiGe)を含むことができ、FinFET 300 が n タイプであるとき、炭化シリコン合金(SiC)を含むことができる。S

50

i Ge 合金は、 p タイプ FinFET のための正孔移動度を増加させるように、チャネル 108 に圧縮応力を付与し、 SiC 合金は、 n タイプ FinFET のための電子移動度を増加させるように、引張応力を付与する。ストレッサ 302 および 304 は、層 106 から開始して、または層 104 から開始して、エピタキシャル成長させることができ、図 3 に示されるように、ソース / ドレイン拡散 306 および 308 の中に埋め込まれる。II - V 族または II - VI 族半導体化合物、Ge、SiGe、グラフェンまたはカーボンナノチューブを有するチャネル材料では、ストレッサ 302 および 304 は、ストレッサの利点を最大化し、多数キャリア移動度を向上させるために異なる場合がある。

【 0030 】

ストレッサ 302 および 304 は、層 104 および 106 の上に成長させる場合がある。なぜならば、これらの層は単結晶構造を有し、すなわち、それらは、各々均一の結晶格子を呈するからである。これを、従来型の SOI (シリコンオンインシュレータ) FinFET と比較すると、従来型の SOI FinFET は、そのフィンチャネルの下にバリアをやはり有するが、そこでのバリアはたとえば埋込酸化物層 (BOX) などの単結晶ではない。そのような従来型の SOI FinFET では、ストレッサは、BOX を通して良好に成長できない。

【 0031 】

層 106 が単結晶であるので、ストレッサ 302 および 304 は、完全に層 106 を通して成長することができ、FinFET 300 の中に比較的深く埋め込まれ、比較的大きい体積をもたらす。埋込ストレッサ 302 および 304 についての比較的大きい体積は、チャネル 108 の多数キャリア移動度の増加に寄与するのに役に立つ。

【 0032 】

したがって、図 4 は、図 2 のフロー図に加えることができるプロセスステップを示す。ステップ 402 では、トレンチが層 106 の中に形成され、その後、形成されたトレンチの中にソース / ドレイン拡散に隣接してストレッサをエピタキシャル成長させる (404)。ステップ 402 は、同様に、層 104 の中にトレンチを形成することを含む場合がある。

【 0033 】

図 5 は、実施形態を適用できるワイヤレス通信システムを示す。図 5 は、基地局 504A、504B、および 504C を備えるワイヤレス通信ネットワーク 502 を示す。図 5 は、セルラーフォン、タブレット、またはコンピュータもしくはコンピュータシステムなど、セルラーフォンネットワークに好適な何らかの他の種類の通信デバイスなどのモバイル通信デバイスであってよい、506 と標示される通信デバイスを示す。通信デバイス 506 は、モバイルである必要はない。図 5 の特定の例では、通信デバイス 506 は、基地局 504C に関連付けられたセル内に位置する。矢印 508 および 510 は、それぞれアップリンクチャネルおよびダウンリンクチャネルを図式的に表しており、そのチャネルによって、通信デバイス 506 は基地局 504C と通信する。

【 0034 】

実施形態は、たとえば、通信デバイス 506 もしくは基地局 504C、またはその両方に関連付けられるデータ処理システムにおいて用いられてもよい。図 5 は、本明細書において記載される実施形態が利用される場合がある数多くの適用例のうちの 1 つのみを示す。

【 0035 】

様々な異なる技術および技法のいずれかを使用して、情報および信号を表すことができることを、当業者は了解するであろう。たとえば、上の記載全体にわたって参照される場合があるデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場もしくは磁性粒子、光場もしくは光学粒子、またはそれらの任意の組合せによって表すことができる。

【 0036 】

さらに、当業者は、本明細書に開示された実施形態に関連して記載される様々な例示的

10

20

30

40

50

な論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装できることをさらに理解するであろう。ハードウェアとソフトウェアのこの互換性を明確に示すため、様々な例示の構成要素、ブロック、モジュール、回路、およびステップが、一般的にそれらの機能性の点で上に記載してきた。そのような機能性がハードウェアまたはソフトウェアとして実装されるかどうかは、特定の用途および全体的なシステムに課せられる設計制約に依存する。当業者は、説明された機能を各々の特定の応用分野について様々な方式で実装してもよいが、そのような実装判断は、本開示の範囲からの逸脱を引き起こすと解釈されるべきではない。

【0037】

10

本明細書に開示される実施形態に関して記載される方法、シーケンス、および／またはアルゴリズムは、ハードウェア中で直接、プロセッサにより実行されるソフトウェアモジュール中で、または2つの組合せで具現化することができる。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野において知られている任意の他の形の記憶媒体中に存在してもよい。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み込み、記憶媒体へ情報を書き込むことができるよう、プロセッサと結合される。代替として、記憶媒体は、プロセッサと一体であつてよい。

【0038】

20

したがって、本発明の実施形態は、バックゲートを有し、パンチスルーなしで、フィン高さのばらつきを減少させたFinFETのための方法を具現化するコンピュータ可読媒体を含むことができる。したがって、本発明は例示の例に限定されず、本明細書に記載される機能性を実施するための任意の手段は、本発明の実施形態に含まれる。

【0039】

上記の開示が本発明の例示の実施形態を示す一方で、添付される請求項により規定されるような、本発明の範囲から逸脱することなく、本明細書に様々な変形および変更を行うことができることに留意されたい。本明細書で記載される本発明の実施形態に従う方法フレームの機能、ステップ、および／または動作は、任意の特定の順序で実行される必要はない。さらに、本発明の要素は、単数形で記載され、特許請求される場合があるが、単数形への限定が明示的に言及されない限り、複数形が意図される。

30

【符号の説明】

【0040】

100	FinFET
102	基板
104	層
106	層
108	チャネル
110	ゲート誘電体
112	ゲート
114	層間誘電体
116	バックゲートコンタクト
118	深いトレンチ分離(DTI)領域
120	レール
122	レール
124	機能ユニット
126	機能ユニット
128	接続線
130	接続線
132	電力レール

40

50

3 0 0 F i n F E T
 3 0 2 ストレッサ
 3 0 4 ストレッサ
 3 0 6 ソース／ドレイン拡散
 3 0 8 ソース／ドレイン拡散
 3 1 0 側壁スペーサ
 3 1 2 側壁スペーサ
 3 1 4 D T I 領域
 3 1 6 D T I 領域
 5 0 2 ワイヤレス通信ネットワーク
 5 0 4 A 基地局
 5 0 4 B 基地局
 5 0 4 C 基地局
 5 0 6 通信デバイス
 5 0 8 矢印
 5 1 0 矢印

10

【図1】

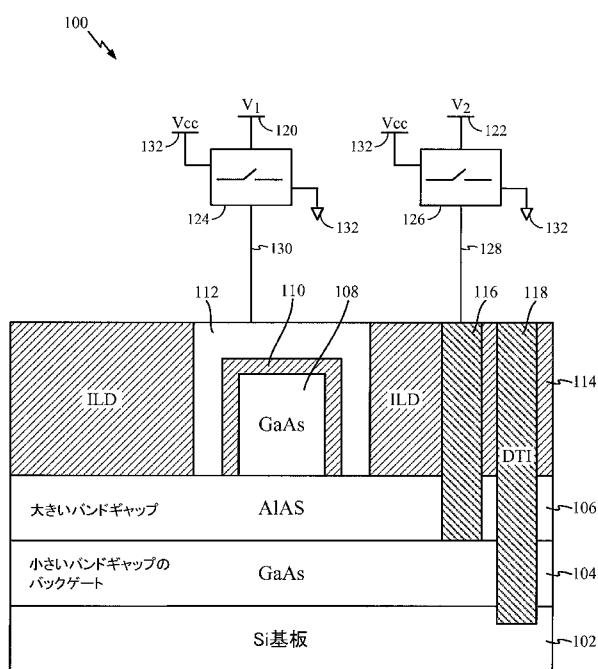


FIG. 1

【図2】

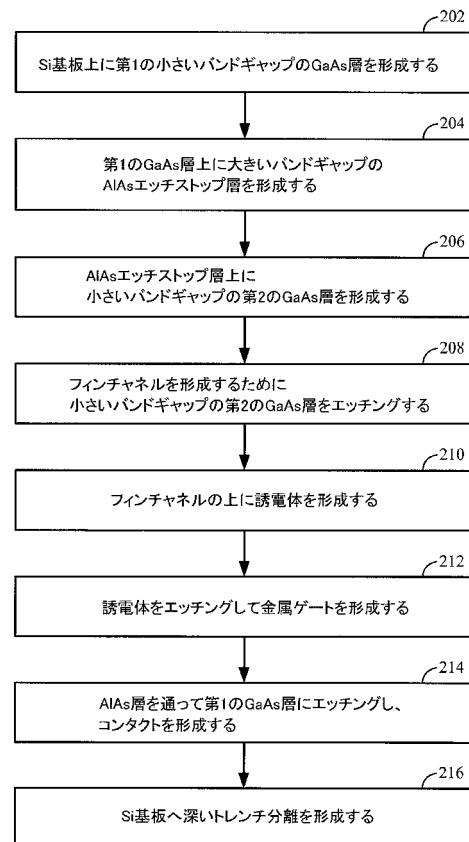
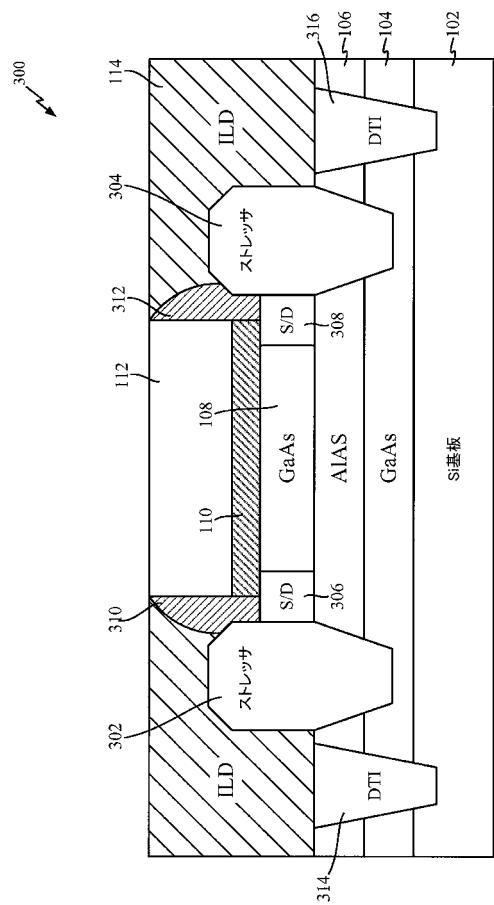


FIG. 2

【図3】



【図4】

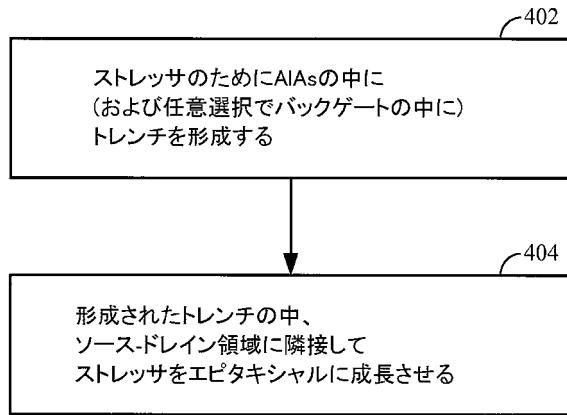
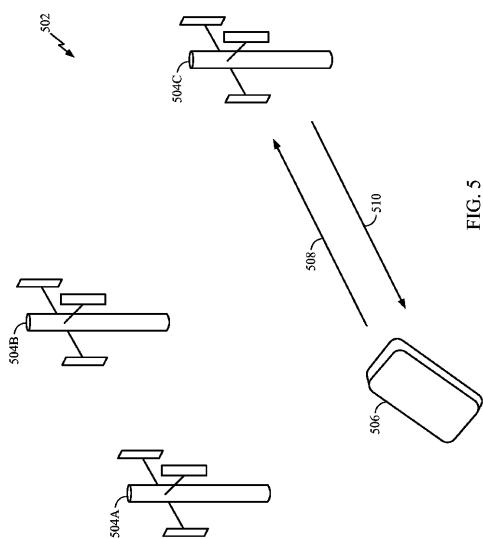


FIG. 4

【図5】



【図6】

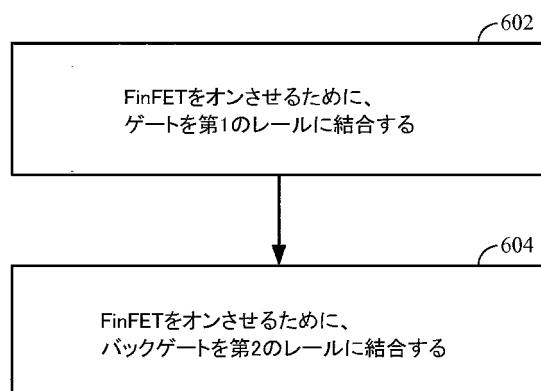


FIG. 6

【手続補正書】

【提出日】平成28年8月15日(2016.8.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板と、

前記基板中に形成される第1の層を備えるバックゲートであって、前記第1の層が第1の半導体を備える、バックゲートと、

前記第1の層の上に形成される第2の層であって、第2の半導体を備える第2の層と、

前記第2の層の上に形成されるフィンチャネルであって、第3の半導体を備えるフィンチャネルと、

前記第2の層を通り、前記第1の層と電気接觸する、バックゲートコンタクトと、

前記バックゲートを他のアクティブなデバイスから電氣的に分離するために、前記基板を掘り下げて形成される深いトレンチ分離領域と

を備え、

前記第1の半導体が第1のバンドギャップを有し、前記第3の半導体が第3のバンドギャップを有し、

前記第2の半導体が前記第1のバンドギャップおよび前記第3のバンドギャップよりも大きい第2のバンドギャップを有する、FinFET。

【請求項2】

前記第1、第2、および第3の半導体が、II - V族半導体化合物、II - VI族半導体化合物、IV族半導体元素または化合物、グラフェン、およびカーボンナノチューブからなるグループから各々選択される、請求項1に記載のFinFET。

【請求項3】

前記第1および第3の半導体が各々GaNを含み、前記第2の半導体がAlAsを含む、請求項2に記載のFinFET。

【請求項4】

前記第1のバンドギャップが前記第3のバンドギャップと等しい、請求項1に記載のFinFET。

【請求項5】

前記第2の層の上、前記フィンチャネルの上方に形成される誘電体層と、

前記第2の層の上、前記誘電体層の上方に形成されるゲートと

をさらに備える、請求項1に記載のFinFET。

【請求項6】

前記FinFETをオンにする第1の電圧を提供するために前記ゲートに結合される第1のレールと、

前記FinFETをオンにする第2の電圧を提供するために前記バックゲートコンタクトに結合される第2のレールと

をさらに備える、請求項5に記載のFinFET。

【請求項7】

前記フィンチャネルに応力を提供するために、前記第2の層の中にエピタキシャル成長される第1のストレッサと第2のストレッサと

をさらに備える、請求項1に記載のFinFET。

【請求項8】

前記フィンチャネルに隣接し、前記第1のストレッサに隣接する、第1のソース／ドレイン拡散と、

前記フィンチャネルに隣接し、前記第2のストレッサに隣接する、第2のソース／ドレン拡散と

をさらに備える、請求項7に記載のFinFET。

【請求項9】

前記FinFETをオンにする第1の電圧を提供するために前記ゲートに結合される第1のレールと、

前記FinFETをオンにする第2の電圧を提供するために前記バックゲートコンタクトに結合される第2のレールと

をさらに備える、請求項8に記載のFinFET。

【請求項10】

前記FinFETがnタイプである場合、前記第1の層が、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、多量にpタイプでドープされ、

前記FinFETがpタイプである場合、前記第1の層が、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、多量にnタイプでドープされる、請求項1に記載のFinFET。

【請求項11】

前記FinFETがnタイプである場合、前記第2の層が、 $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲のドーピング濃度で、軽くpタイプでドープされ、

前記FinFETがpタイプである場合、前記第2の層が、 $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲のドーピング濃度で、軽くnタイプでドープされる、請求項10に記載のFinFET。

【請求項12】

前記第2の層がドープされない、請求項10に記載のFinFET。

【請求項13】

前記FinFETが、セルラーフォン、タブレット、コンピュータシステム、および基地局からなるグループから選択されるデバイス中で使用される、請求項1に記載のFinFET。

【請求項14】

FinFETを製造する方法であって、

基板の中に第1の半導体層を形成するステップと、

前記第1の半導体層の上に第2の半導体層を形成するステップと、

前記第2の半導体層の上に第3の半導体層を形成するステップと、

FinFETフィンチャネルを形成するために前記第3の半導体層をエッチングするステップと、

前記第2の半導体層を通じて前記第1の半導体層までエッチングして、前記第1の半導体層への電気的なバックゲートコンタクトを形成するステップと、

前記バックゲートを他のアクティブなデバイスから電気的に分離するために、前記基板に深いトレンチ分離領域を形成するステップと

を含み、

前記第1、第2、および第3の半導体層が、それぞれ第1のバンドギャップ、第2のバンドギャップ、および第3のバンドギャップを各々有し、

前記第2のバンドギャップが前記第1のバンドギャップおよび前記第3のバンドギャップよりも大きい、

方法。

【請求項15】

前記第2の半導体層の上、前記FinFETフィンチャネルの上方に誘電体層を形成するステップと、

前記第2の半導体層の上、前記誘電体層の上方にゲートを形成するステップとをさらに含む、請求項14に記載の方法。

【請求項16】

前記第1のバンドギャップが前記第3のバンドギャップと等しい、請求項1_4に記載の方法。

【請求項 1_7】

前記第2の半導体層の中に第1のトレンチを形成するステップと、

前記FinFETフィンチャネルに応力を提供するために、前記第1のトレンチの中に第1のストレッサをエピタキシャル成長させるステップと、

前記第2の半導体層の中に第2のトレンチを形成するステップと、

前記FinFETフィンチャネルに応力を提供するために、前記第2のトレンチの中に第2のストレッサをエピタキシャル成長させるステップと
をさらに含む、請求項1_4に記載の方法。

【請求項 1_8】

前記第1および第2のストレッサが、シリコンゲルマニウム合金(SiGe)、炭化シリコン合金(SiC)、III-V族半導体化合物、II-VI族半導体化合物、IV族半導体元素または化合物からなるグループから選択される、請求項1_7に記載の方法。

【請求項 1_9】

第1のソース／ドレイン拡散に隣接して前記第1のストレッサをエピタキシャル成長させるステップと、

第2のソース／ドレイン拡散に隣接して前記第2のストレッサをエピタキシャル成長させるステップと

をさらに含む、請求項1_7に記載の方法。

【請求項 2_0】

前記FinFETフィンチャネルの上方に誘電体層を形成するステップと、

前記誘電体層の上方にゲートを形成するステップと

をさらに含む、請求項1_9に記載の方法。

【請求項 2_1】

前記第1の半導体層の中に前記第1のトレンチを形成するステップと、

前記第1の半導体層の中に前記第2のトレンチを形成するステップと
をさらに含む、請求項1_7に記載の方法。

【請求項 2_2】

前記第1、第2、および第3の半導体層が、III-V族半導体化合物、II-VI族半導体化合物、IV族半導体元素または化合物、グラフェン、およびカーボンナノチューブからなるグループから各々選択される、請求項1_4に記載の方法。

【請求項 2_3】

前記第1および第3の半導体層が各々GaaSを含み、前記第2の半導体層がAlAsを含む、請求項2_2に記載の方法。

【請求項 2_4】

前記FinFETがnタイプである場合、前記第1の半導体層を、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、pタイプでドープし、

前記FinFETがpタイプである場合、前記第1の半導体層を、 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲のドーピング濃度で、nタイプでドープする、

請求項1_4に記載の方法。

【請求項 2_5】

前記FinFETがnタイプである場合、前記第2の半導体層を、 $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲のドーピング濃度で、pタイプでドープし、

前記FinFETがpタイプである場合、前記第2の半導体層を、 $1 \times 10^{13} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ の範囲のドーピング濃度で、nタイプでドープする、

請求項2_4に記載の方法。

【請求項 2_6】

前記第2の層がドープされない、請求項2_4に記載の方法。

【請求項 2_7】

F i n F E T を操作する方法であって、前記 F i n F E T がゲート、バックゲート、および基板を備え、方法が、

前記 F i n F E T の前記ゲートを第 1 のレールに結合するステップと、

前記 F i n F E T の前記バックゲートを第 2 のレールに結合するステップであって、前記バックゲートが、前記基板中に形成される第 1 の層を備え、第 1 の半導体を備えるステップと

を含み、

前記ゲートが、第 2 の層の上に形成されるフィンチャネルの上方に形成され、前記第 2 の層が前記第 1 の層の上に形成されて第 2 の半導体を備え、前記フィンチャネルが第 3 の半導体を備え、

前記第 1 の半導体が第 1 のバンドギャップを有し、前記第 3 の半導体が第 3 のバンドギャップを有し、

前記第 2 の半導体が前記第 1 のバンドギャップおよび前記第 3 のバンドギャップよりも大きい第 2 のバンドギャップを有し、

前記バックゲートが他のアクティブなデバイスから電気的に分離される、
方法。

【請求項 28】

前記第 1 のレールと第 2 のレールとが同じ電圧である、請求項 27 に記載の方法。

【請求項 29】

前記第 1 のバンドギャップと前記第 3 のバンドギャップが互いに等しい、請求項 27 に記載の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2015/015426

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L29/66 H01L29/78 ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols) H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
--

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT
--

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/197129 A1 (WOHLMUTH WALTER A [US]) 7 September 2006 (2006-09-07)	1-7, 10-17, 21,23-30
Y	the whole document	8,9, 18-20,22
Y	----- US 2013/011983 A1 (TSAI JI-YIN [TW] ET AL) 10 January 2013 (2013-01-10) paragraph [0011] paragraph [0015]	8,9, 18-20,22
A	----- US 2009/008705 A1 (ZHU HUILONG [US] ET AL) 8 January 2009 (2009-01-08) paragraph [0048] - paragraph [0051] paragraph [0072] paragraph [0073]	1-30
	----- ----- -/-	

<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.
--

<input checked="" type="checkbox"/> See patent family annex.
--

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report
--

29 April 2015

07/05/2015

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016
--

Authorized officer

Hoffmann, Niels

INTERNATIONAL SEARCH REPORT

International application No PCT/US2015/015426

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2008/237636 A1 (JIN BEEN-YIH [US] ET AL) 2 October 2008 (2008-10-02) paragraph [0014] - paragraph [0021] ----- A US 2010/163926 A1 (HUDAIT MANTU K [US] ET AL) 1 July 2010 (2010-07-01) paragraph [0021] - paragraph [0024] ----- A US 2013/049069 A1 (ZHU HUILONG [US] ET AL) 28 February 2013 (2013-02-28) paragraph [0026] - paragraph [0035] paragraph [0043] ----- A US 2006/286724 A1 (ANDERSON BRENT A [US] ET AL) 21 December 2006 (2006-12-21) the whole document ----- A US 2013/099282 A1 (CHEN CHI-MING [TW] ET AL) 25 April 2013 (2013-04-25) paragraph [0013] paragraph [0017] paragraph [0020] paragraph [0023] ----- A US 2013/234147 A1 (WU CHENG-HSIEN [TW] ET AL) 12 September 2013 (2013-09-12) paragraph [0011] - paragraph [0013] ----- A US 2013/154007 A1 (CHENG KANGGUO [US] ET AL) 20 June 2013 (2013-06-20) paragraph [0064] - paragraph [0070] paragraph [0074] - paragraph [0075] ----- A US 2013/285153 A1 (LEE TSUNG-LIN [TW] ET AL) 31 October 2013 (2013-10-31) paragraph [0030] paragraph [0035] paragraph [0038] ----- A US 2012/012932 A1 (PERNG TSU-HSIU [TW] ET AL) 19 January 2012 (2012-01-19) the whole document -----	1-30 1-30 1-30 1-30 1-30 1-30 1-30 1-30 8,9, 18-20 8,9, 18-20

INTERNATIONAL SEARCH REPORT Information on patent family members				International application No PCT/US2015/015426	
Patent document cited in search report	Publication date	Patent family member(s)		Publication date	
US 2006197129	A1 07-09-2006	NONE			
US 2013011983	A1 10-01-2013	NONE			
US 2009008705	A1 08-01-2009	NONE			
US 2008237636	A1 02-10-2008	NONE			
US 2010163926	A1 01-07-2010	US 2010163926 A1		01-07-2010	
		US 2012018781 A1		26-01-2012	
US 2013049069	A1 28-02-2013	NONE			
US 2006286724	A1 21-12-2006	CN 1885562 A		27-12-2006	
		US 2006286724 A1		21-12-2006	
		US 2008185649 A1		07-08-2008	
US 2013099282	A1 25-04-2013	CN 103066123 A		24-04-2013	
		DE 102012204516 A1		25-04-2013	
		KR 20130043543 A		30-04-2013	
		TW 201318070 A		01-05-2013	
		US 2013099282 A1		25-04-2013	
US 2013234147	A1 12-09-2013	CN 103311296 A		18-09-2013	
		KR 20130103271 A		23-09-2013	
		US 2013234147 A1		12-09-2013	
		US 2014357049 A1		04-12-2014	
US 2013154007	A1 20-06-2013	CN 103999202 A		20-08-2014	
		DE 112012005252 T5		09-10-2014	
		GB 2510525 A		06-08-2014	
		JP 2015508567 A		19-03-2015	
		KR 20140104948 A		29-08-2014	
		TW 201342599 A		16-10-2013	
		US 2013154007 A1		20-06-2013	
		US 2015037939 A1		05-02-2015	
		WO 2013089953 A1		20-06-2013	
US 2013285153	A1 31-10-2013	TW 201344913 A		01-11-2013	
		US 2013285153 A1		31-10-2013	
US 2012012932	A1 19-01-2012	US 2012012932 A1		19-01-2012	
		US 2015031182 A1		29-01-2015	

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,R0,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,D0,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 シア・リ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライヴ・5775

(72)発明者 ブル・チダムバラム

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライヴ・5775

(72)発明者 チョー・フェイ・イエブ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライヴ・5775

F ターム(参考) 5F140 AA00 AA18 AC28 BA01 BA03 BA05 BA06 BA07 BA10 BA17
BB05 BC15 BF42 BG08 BH06 BH27 CB04 CD02