

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年3月19日 (19.03.2009)

PCT

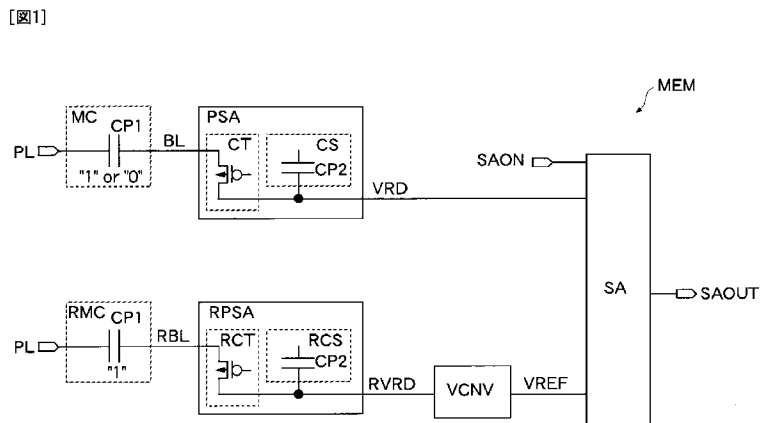
(10) 国際公開番号
WO 2009/034603 A1

- (51) 国際特許分類:
G11C 11/22 (2006.01)
- (21) 国際出願番号: PCT/JP2007/001007
- (22) 国際出願日: 2007年9月14日 (14.09.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICRO-ELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 福士功 (FUKUSHI, Isao) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 古谷史旺, 外 (FURUYA, Fumio et al.); 〒1600023 東京都新宿区西新宿1丁目19番5号第2明宝ビル9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY

(54) 発明の名称: 半導体メモリ



(57) **Abstract:** A regular capacitor is saturated by the electric charge of a regular cell memory holding a high logic level. The regular capacitor is not saturated by an electric charge from a regular memory cell holding a low logic level. A reference capacitor is saturated by an electric charge from a reference memory cell holding the high logic level. A differential sense amplifier amplifies the difference between a regular read-out voltage read out from the regular capacitor and a voltage lower by a first voltage than the reference read-out voltage which is a saturated voltage read out from a reference capacitor, and generates the logic of the data held in the memory cell. Variations in a reference voltage and a read-out voltage corresponding to the high logic level can be reduced even in the case where the characteristic of the capacitor of the memory cell varies. Thus, the difference between the reference voltage and a read-out voltage corresponding to the low logic level can be relatively increased. As a result, the read-out margin can be improved.

(57) **要約:** レギュラーキャパシタは、高論理レベルを保持するレギュラーメモリスルセルの電荷により飽和され、低論理レベルを保持するレギュラーメモリスルセルからの電荷では飽和されない。リファレンスキャパシタは、高論理レベルを保持するリファレンスメモリスルセルからの電荷により飽和される。差動センスアンプは、レギュラーキャパシタから読み出されるレギュラー読み出し電圧と、リファレンスキャパシタから読

[続葉有]



WO 2009/034603 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

み出される飽和電圧であるリファレンス読み出し電圧より第1電圧だけ低い電圧との差を差動増幅し、メモリセルに保持されていたデータの論理を生成する。メモリセルのキャパシタの特性がばらつく場合にも、リファレンス電圧および高論理レベルに対応する読み出し電圧のばらつきを小さくできる。これにより、リファレンス電圧と低論理レベルに対応する読み出し電圧との差を相対的に大きくできる。この結果、読み出しマージンを向上できる。

明 細 書

半導体メモリ

技術分野

[0001] 本発明は、データの論理値を電荷として保持するキャパシタで構成されるメモリセルを有する半導体メモリに関する。特に、本発明は、メモリセルに書き込まれたデータを読み出すための読み出し回路に関する。

背景技術

[0002] DRAMおよびフラッシュメモリ／EEPROMの長所を兼ね備えた半導体メモリとして、メモリセルに強誘電体キャパシタを備えた強誘電体メモリが開発されている。強誘電体メモリは、強誘電体を絶縁材料とする強誘電体キャパシタを可変容量キャパシタとして動作させ、強誘電体キャパシタへの印加電圧をゼロにしても残留分極が残ることを利用することで、電源が供給されなくてもデータを保持できる。この特徴を利用して、強誘電体メモリは、ICカードやRFIDタグ等の記憶媒体として使用される。

[0003] この種の強誘電体メモリでは、メモリセルから読み出される電荷に対応する読み出し電圧が、リファレンス電圧と比較され、メモリセルに保持されていたデータの論理値が判定される。例えば、リファレンス電圧は、複数のビット線に読み出される複数の読み出し電圧の最大電圧と最少電圧の平均値に設定される（例えば、特許文献1参照）。

[0004] また、近時、ビット線GNDセンス方式と称する強誘電体メモリが提案されている（例えば、特許文献2参照）。この強誘電体メモリは、ビット線にソースが接続されたpMOSトランジスタ（電荷転送回路）と、pMOSトランジスタのドレインに接続された電荷蓄積回路とを有している。pMOSトランジスタは、プレート線を立ち上げる前にゲート・ソース間電圧が閾値電圧と同じ値に初期設定される。読み出し動作においてプレート線に電圧を印加したときに、pMOSトランジスタは、ビット線の電圧の上昇に応じてオンする。これにより、メモリセルからビット線に読み出される電荷は、p

MOSトランジスタを介して電荷蓄積回路に転送される。そして、メモリセルに保持されていたデータの論理値は、電荷蓄積回路に転送された電荷量に応じて判定される。

特許文献1：特開2002-157876号公報

特許文献2：特開2002-133857号公報

発明の開示

発明が解決しようとする課題

[0005] 一般に、強誘電体キャパシタの容量値は、製造時のばらつきが大きい。このばらつきにより、高論理レベルおよび低論理レベルに対応する読み出し電圧、およびリファレンス電圧もばらつく。これにより、読み出し電圧とリファレンス電圧との差はばらつき、読み出しマージンは低下する。

[0006] 本発明の目的は、キャパシタで構成されるメモリセルを有する半導体メモリにおいて、読み出しマージンを向上することである。特に、キャパシタの容量値がばらつく場合にも、読み出しマージンが低下することを防止することである。さらに、リファレンス電圧をメモリセルに保持されたデータを用いて生成する場合に、リファレンス電圧のばらつきを防止し、読み出しマージンを向上することである。

課題を解決するための手段

[0007] レギュラーメモリセルのセルキャパシタは、高論理レベルまたは低論理レベルに対応する電荷を蓄積する。リファレンスメモリセルのセルキャパシタは、高論理レベルに対応する電荷を蓄積する。レギュラープリセンスアンプは、レギュラーキャパシタを有し、レギュラーキャパシタに蓄積された電荷に応じたレギュラー読み出し電圧を生成する。レギュラーキャパシタは、高論理レベルを保持するレギュラーメモリセルから読み出される電荷により飽和される。このとき、飽和電圧がレギュラーキャパシタから読み出される。レギュラーキャパシタは、低論理レベルを保持するレギュラーメモリセルに保持されていた電荷では飽和されない。このとき、飽和電圧よりも低い読み出し電圧がレギュラーキャパシタから読み出される。リファレンスプリセン

スアンプは、高論理レベルを保持するリファレンスメモリセルから読み出される電荷により飽和されて、飽和電圧が読み出されるリファレンスキャパシタを有し、飽和電圧をリファレンス読み出し電圧として生成する。差動センスアンプは、レギュラー読み出し電圧と、リファレンス読み出し電圧より第1電圧だけ低いリファレンス電圧との差を差動増幅し、メモリセルに保持されていたデータの論理を生成する。

[0008] 高論理レベルに対応するレギュラー読み出し電圧およびリファレンス読み出し電圧は、飽和電圧であるため、そのばらつきは小さい。換言すれば、レギュラーメモリセルおよびリファレンスメモリセルのキャパシタの特性がばらつく場合にも、レギュラー読み出し電圧およびリファレンス読み出し電圧のばらつきを小さくできる。このため、リファレンス読み出し電圧から第1電圧だけ低いリファレンス電圧のばらつきも小さくできる。したがって、高論理レベルに対応するレギュラー読み出し電圧とリファレンス電圧との差のばらつきを小さくでき、第1電圧を最小限の値に設定できる。第1電圧を最小限にできるため、リファレンス電圧と低論理レベルに対応するレギュラー読み出し電圧との差を相対的に大きくできる。この結果、センスアンプは、リファレンス電圧とレギュラー読み出し電圧と差を確実に差動増幅できる。すなわち、読み出しマージンを向上できる。

[0009] 例えば、レギュラープリセンスアンプは、レギュラービット線に接続されたレギュラー電荷転送回路と、レギュラーキャパシタを含むレギュラー電荷蓄積回路とを有する。レギュラー電荷蓄積回路は、レギュラー読み出しノードを介してレギュラー電荷転送回路に接続され、読み出し動作時にレギュラーメモリセルからレギュラービット線に読み出される電荷を蓄積し、蓄積された電荷に応じてレギュラー読み出しノードにレギュラー読み出し電圧を生成する。リファレンスプリセンスアンプは、リファレンスビット線に接続されたリファレンス電荷転送回路と、リファレンスを含むリファレンス電荷蓄積回路とを有する。リファレンス電荷蓄積回路は、リファレンス出力ノードを介してリファレンス電荷転送回路に接続され、読み出し動作時にリファレ

ンスメモリセルからリファレンスビット線に読み出される高論理レベルに対応する電荷を蓄積し、蓄積された電荷に応じてリファレンス読み出しノードにリファレンス読み出し電圧を生成する。電圧変換回路は、リファレンス読み出し電圧に基づいて、リファレンス読み出し電圧より第1電圧だけ低いリファレンス電圧を生成する。

[0010] 例えば、ダミーメモリセルは、レギュラービット線およびダミービット線にそれぞれ接続され、読み出し動作時にビット線に電荷を出力する。例えば、ダミーメモリセルは、低論理レベルに対応する電荷を蓄積する。ダミーメモリセルにより、読み出し動作時にビット線に読み出される電荷量は増加する。これにより、高論理レベルに対応するレギュラー読み出し電圧およびリファレンス読み出し電圧を飽和電圧まで上昇させることができる。この結果、第1電圧を最小限の値にできるため、リファレンス電圧と低論理レベルに対応するレギュラー読み出し電圧との差を大きくできる。すなわち、読み出しマージンを向上できる。

[0011] 例えば、レギュラーレベルシフタは、レギュラープリセンスアンプに接続され、レギュラー読み出し電圧を所定値だけシフトしたレギュラーシフト電圧を生成する。リファレンスレベルシフタは、リファレンスプリセンスアンプに接続され、リファレンス読み出し電圧を所定値だけシフトしたリファレンスシフト電圧を生成する。電圧変換回路は、リファレンスシフト電圧より第1電圧だけ低いリファレンス電圧を生成する。差動センスアンプは、レギュラーシフト電圧をレギュラー読み出し電圧として受け、レギュラーシフト電圧とリファレンス電圧との差を差動増幅する。レベルシフタにより、レギュラー読み出し電圧およびリファレンス電圧を、センスアンプが差動増幅可能な値に変換できる。この結果、センスアンプの動作マージンを大きくでき、読み出しマージンを向上できる。

[0012] 例えば、半導体メモリは、リファレンスメモリセルに形成され、低論理レベルに対応する電荷を蓄積するセルキャパシタと、低論理レベルに対応するセルキャパシタに接続されたリファレンスビット線と、低論理レベルに対応

するリファレンスビット線に接続されたリファレンスプリセンスアンプと、低論理レベルに対応するリファレンスプリセンスアンプに接続されたリファレンスレベルシフタとを有する。すなわち、リファレンスメモリセルは、相補のデータを記憶する。一对のリファレンスビット線、一对のリファレンスプリセンスアンプおよび一对のリファレンスレベルシフタが、リファレンスメモリセルの一对のセルキャパシタに対応して形成される。

[0013] レギュラーレベルシフタは、一端がレギュラー読み出しノードに接続されたレギュラーキャパシタと、ゲートがレギュラーキャパシタの他端に接続され、ソースからレギュラーシフト電圧を出力するレギュラーソースフォロアトランジスタと、レギュラーソースフォロアトランジスタのソースに接続されたレギュラー負荷回路とを有する。各リファレンスレベルシフタは、一端が対応するリファレンス読み出しノードに接続されたリファレンスキャパシタと、ゲートがリファレンスキャパシタの他端に接続され、ソースからリファレンスシフト電圧を出力するリファレンスソースフォロアトランジスタと、リファレンスソースフォロアトランジスタのソースに接続されたリファレンス負荷回路とを有する。

[0014] 電圧変換回路は、一对のリファレンスレベルシフタにそれぞれ接続され、出力が互いに接続された一对のソースフォロア回路を有する。各ソースフォロア回路は、ゲートが対応するリファレンスキャパシタの他端に接続され、共通の出力からリファレンス電圧を出力するソースフォロアトランジスタと、対応するソースフォロアトランジスタのソースに接続された負荷回路とを有する。一对のソースフォロア回路の出力を互いに接続しているため、リファレンス電圧は、一对のソースフォロア回路のうち、高論理レベルを保持するセルキャパシタ（リファレンスメモリセル）に対応するソースフォロア回路が出力する電圧に設定される。また、一方のソースフォロア回路に対して一对の負荷回路が並列に接続されるため、リファレンス電圧を、高論理レベルに対応するレギュラー読み出し電圧に比べて確実に第1電圧だけ低く設定できる。したがって、上述したように、第1電圧を最小限の値に設定でき、

読み出しマージンを向上できる。

[0015] 例えば、半導体メモリは、一対のリファレンスレベルシフタからそれぞれ出力されるリファレンスシフト電圧の差を差動増幅し、リファレンスメモリセルに保持されていたデータの論理を生成する差動センスアンプを有する。これにより、半導体メモリの外部から供給されるデータを、レギュラーメモリセルだけでなく、リファレンスメモリセルに書き込むことができる。

[0016] 例えば、レギュラー負荷回路は、ゲートがレギュラー読み出しノードに接続されたトランジスタである。リファレンス負荷回路およびソースフォロア回路の負荷回路の各々は、ゲートが対応するリファレンス読み出しノードに接続されたトランジスタである。

発明の効果

[0017] キャパシタで構成されるメモリセルを有する半導体メモリにおいて、読み出しマージンを向上できる。

図面の簡単な説明

[0018] [図1] 第1の実施形態を示すブロック図である。

[図2] 第1の実施形態の読み出し動作を示すタイミング図である。

[図3] 第2の実施形態を示すブロック図である。

[図4] 第2の実施形態の読み出し動作を示すタイミング図である。

[図5] 第3の実施形態を示すブロック図である。

[図6] 第3の実施形態の読み出し動作を示すタイミング図である。

[図7] 第4の実施形態を示すブロック図である。

[図8] 図7に示したレギュラーメモリセル、レギュラープリセンスアンプおよびレギュラーレベルシフタの詳細を示す回路図である。

[図9] 図7に示したリファレンスメモリセル、リファレンスプリセンスアンプ、リファレンスレベルシフタおよび電圧変換回路の詳細を示す回路図である。

[図10] 図7に示したセンスアンプの詳細を示す回路図である。

[図11] 第4の実施形態における強誘電体メモリの読み出し動作を示すタイミ

ング図である。

[図12] 図 1 1 に示した読み出し動作の詳細を示す波形図である。

[図13] 図 1 2 に示した読み出し動作における読み出しマージンを示す説明図である。

[図14] 本発明者が、図 1 から図 1 3 および図 1 9 から図 2 0 に示した強誘電体メモリを提案する前に検討した強誘電体メモリを示すブロック図である。

[図15] 図 1 4 に示したツインセンスアンプの詳細を示す回路図である。

[図16] 図 1 4 に示した強誘電体メモリの読み出し動作の詳細を示す波形図である。

[図17] 図 1 4 に示した強誘電体メモリにおいて、正常な読み出し動作が実行されるときを読み出しマージンを示す説明図である。

[図18] 図 1 4 に示した強誘電体メモリにおいて、誤った読み出し動作が実行されるときにワーストの読み出しマージンを示す説明図である。

[図19] 第 5 の実施形態の要部を示す回路図である。

[図20] 第 5 の実施形態の要部を示す回路図である。

[図21] 上述した第 1 から第 5 の実施形態の半導体メモリが搭載されるシステムの概要を示すブロック図である。

発明を実施するための最良の形態

[0019] 以下、実施形態を図面を用いて説明する。図中の二重丸は、外部端子を示している。図中、太線で示した信号線は、複数本で構成されている。太線が接続されているブロックの一部は、複数の回路で構成されている。外部端子を介して供給される信号には、端子名と同じ符号を使用する。信号が伝達される信号線には、信号名と同じ符号を使用する。末尾に” X” の付く信号および先頭に” /” の付く信号は、負論理を示している。

[0020] 図 1 は、第 1 の実施形態を示している。半導体メモリ MEM は、レギュラーメモリセル MC と、レギュラーメモリセル MC にレギュラービット線 BL を介して接続されたレギュラープリセンスアンプ PSA と、リファレンスメモリセル RMC と、リファレンスメモリセル RMC にリファレンスビット線

RBLを介して接続されたリファレンスプリセンスアンプRPSAと、リファレンスプリセンスアンプRPSAに接続された電圧変換回路VCNVと、差動センスアンプSAとを有している。なお、実際の半導体メモリMEMは、複数のリアルメモリセルMCを有している。リファレンスメモリセルRMCは、所定数のリアルメモリセルMC毎に形成される。レギュラープリセンスアンプPSAおよびリファレンスプリセンスアンプRPSAは、例えば、後述する図8および図9と同じ回路で構成してもよい。

[0021] レギュラーメモリセルMCは、一端および他端がプレート線PLおよびビット線BLに接続されたセルキャパシタCP1を有している。例えば、セルキャパシタCP1は、強誘電体材料や酸化膜を用いて可変容量キャパシタとして構成される。メモリセルMCのキャパシタCP1は、書き込み動作により高論理レベル”1”または低論理レベル”0”に対応する電荷を蓄積可能な容量値に設定される。レギュラーメモリセルMCは、半導体メモリMEMの外部から供給されるデータを保持する。リファレンスメモリセルRMCの構造は、例えば、レギュラーメモリセルMCと同じである。リファレンスメモリセルRMCのセルキャパシタCP1は、常に高論理レベル”1”に対応する電荷を蓄積可能な容量値に設定される。例えば、メモリセルMCの書き込み動作において、常に高論理レベル”1”が、リファレンスメモリセルRMCに書き込まれる。以下、高論理レベル”1”および低論理レベル”0”は、データ”1”およびデータ”0”とも称する。

[0022] レギュラープリセンスアンプPSAは、レギュラービット線BLに接続されたレギュラー電荷転送回路CTと、レギュラー読み出しノードVRDを介してレギュラー電荷転送回路CTに接続されたレギュラー電荷蓄積回路CSとを有している。電荷転送回路CTは、例えば、ソースおよびドレインがビット線BLおよび読み出しノードVRDにそれぞれ接続されたpMOSトランジスタを有する。pMOSトランジスタのゲート電圧は、ゲート・ソース間電圧がpMOSトランジスタの閾値電圧にほぼ等しくなるように設定される。これにより、メモリセルMCからビット線BLに電荷が読み出され、ビ

ット線BLの電圧が上昇したときに、pMOSトランジスタがオンし、ビット線BL上の電荷は、読み出しノードVRDに転送される。電荷の転送により、ビット線BLの電圧は、読み出し動作の開始時の電圧（例えば、接地電圧）に保持される。

[0023] 電荷蓄積回路CSは、読み出し動作時にメモリセルMCからビット線BLに読み出される電荷を蓄積するために、一端が読み出しノードVRDに接続されたキャパシタCP2を有している。特に図示していないが、例えば、キャパシタCP2の他端は、読み出し動作時に低レベルに設定される制御信号線に接続されている。電荷蓄積回路CSは、キャパシタCP2に蓄積された電荷に応じて読み出しノードVRDにレギュラー読み出し電圧を生成する。

[0024] リファレンスプリセンスアンプRPSAの回路構成は、レギュラープリセンスアンプPSAと同じであり、リファレンス電荷転送回路RCTおよびリファレンス電荷蓄積回路RCSを有している。電荷転送回路RCTは、例えば、ソースおよびドレインリファレンスビット線RBLおよびリファレンス読み出しノードRVRDにそれぞれ接続されたpMOSトランジスタを有する。電荷蓄積回路RCSは、読み出し動作時にリファレンスメモリセルRMCからリファレンスビット線RBLに読み出される電荷を蓄積するために、一端がリファレンス読み出しノードRVRDに接続されたキャパシタCP2を有している。電荷蓄積回路RCSは、キャパシタCP2に蓄積された電荷に応じてリファレンス読み出しノードRVRDにリファレンス読み出し電圧を生成する。

[0025] 電圧変換回路VCNVは、リファレンス読み出し電圧RVRDを受け、このリファレンス読み出し電圧RVRDより第1電圧（例えば、100mV）だけ低いリファレンス電圧VREFを生成する。差動センスアンプSAは、レギュラー読み出し電圧VRDとリファレンス電圧VREFとの差を差動増幅し、差動増幅した値をレギュラーメモリセルMCに保持されているデータの論理値としてラッチし、ラッチした論理値を出力信号SAOUTとして出力する。差動センスアンプSAは、センスアンプ活性化信号SAON（後述

する第4の実施形態のタイミング信号T6に対応)の高レベルへの変化に同期して、差動増幅を開始する。

[0026] 図2は、第1の実施形態の読み出し動作を示している。読み出し動作では、まず、プレート線PLが高レベルに変化する(図2(a))。プレート線PLの変化にตอบสนองして、メモリセルMC、RMCからビット線BL、RBLにそれぞれ電荷が読み出される(図2(b))。メモリセルMCがデータ"1"を記憶している場合、ビット線BLに読み出される電荷量は相対的に多い。メモリセルMCがデータ"0"を記憶している場合、ビット線BLに読み出される電荷量は相対的に少ない。メモリセルRMCは、常にデータ"1"を記憶しているため、メモリセルRMCからビット線RBLに読み出される電荷量は、データ"1"を記憶しているメモリセルMCからビット線BLに読み出される電荷量と同じである。

[0027] ビット線BL、RBLの電圧が上昇すると、電荷転送回路CT、RCTは動作する。ビット線BL、RBLの電荷は、電荷蓄積回路CS、RCSに転送、蓄積され、読み出しノードVRD、RVRDの電圧は上昇する。ここで、電荷蓄積回路CS、RCSのキャパシタCP2は、データ"1"を保持するメモリセルMC、RMCから読み出される電荷により飽和され、かつデータ"0"を保持するメモリセルMCから読み出される電荷によっては飽和されない容量値に設計されている。このため、読み出しノードVRD、RVRDの電圧は、データ"1"を保持するメモリセルMC、RMCから読み出される電荷により、読み出し電圧VRD、RVRDの上限値である飽和電圧VSATに到達する(図2(c))。読み出し電圧VRD("1")およびRVRDを示す2本のラインは、電圧のばらつきを示している。ばらつきは、例えば、メモリセルMC、RMCのキャパシタCP1の容量値のばらつきに依存して発生する。読み出し電圧VRD("1")およびRVRDのばらつきは、プレート線PLが立ち上がったからの時間に依存して異なる。具体的には、ばらつきは、時間とともに徐々に大きくなった後、飽和電圧VSATに到達するまでに小さくなる。飽和電圧VSATに到達後のばらつきは、極

めて小さい。

- [0028] 一方、データ”0”を保持するメモリセルMCから読み出される電荷によっては、読み出し電圧VRDは、飽和電圧VSATに到達しない（図2（d））。データ”0”に対応する読み出し電圧VRD（”0”）のばらつきは、時間とともに大きくなる。このばらつきも、例えば、メモリセルMCのキャパシタCP1の容量値のばらつきに依存して発生する。データ”0”に対応する読み出し電圧VRDのばらつきを考慮して、データ”0”に対応する読み出し電圧VRD（平均値VAV）とリファレンス電圧VREFの差は、データ”1”に対応する読み出し電圧VRDとリファレンス電圧VREFの差より大きく設定される。
- [0029] 電圧変換回路VCNVは、読み出し電圧RVRD（飽和電圧VSAT）よりわずかに低く、かつデータ”0”に対応する読み出し電圧VRDより高いリファレンス電圧VREFを生成する。リファレンス電圧VREFは、データ”1”に対応する読み出し電圧RVRDのみを用いて生成されるため、読み出し電圧RVRD、VRDとリファレンス電圧VREFの差（第1電圧）のばらつきは小さい。換言すれば、レギュラーメモリセルMCおよびリファレンスメモリセルRMCのキャパシタCP1の特性がばらつく場合にも、読み出し電圧VRD（”1”）およびRVRDより第1電圧だけ低いリファレンス電圧VREFを高い精度で生成できる。
- [0030] 読み出し電圧VRD、RVRDが飽和電圧VSATに到達した後、センスアンプ活性化信号SAONが高レベルに変化され、センスアンプSAは、増幅動作を開始する（図2（e））。センスアンプSAは、ばらつきの小さい読み出し電圧VRD（”1”）とリファレンス電圧VREFの差を確実に差動増幅できる。あるいは、センスアンプSAは、読み出し電圧VRD（”0”）とリファレンス電圧VREFの差（電圧差が大きい）を確実に差動増幅できる。そして、上述したように出力信号SAOUTが生成される。
- [0031] 以上、第1の実施形態では、データ”1”に対応するレギュラー読み出し電圧VRDと、リファレンス電圧VREFとの差である第1電圧のばらつきを

小さくできる。このため、リファレンス電圧 V_{REF} とデータ”0”に対応するレギュラー読み出し電圧 V_{RD} との差を相対的に大きくできる。この結果、リファレンス電圧 V_{REF} とレギュラー読み出し電圧 V_{RD} と差を確実に差動増幅でき、読み出しマージンを向上できる。換言すれば、メモリセルMC、RMCのキャパシタ C_{P1} の容量値がばらついたり、変動した場合にも、読み出しマージンが低下することを防止できる。

[0032] 図3は、第2の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明は省略する。この実施形態では、第1の実施形態にレギュラーレベルシフタ SFT およびリファレンスレベルシフタ $RSFT$ を追加して構成されている。例えば、レベルシフタ SFT 、 $RSFT$ は、読み出し電圧 V_{RD} 、 $RVRD$ を、差動センスアンプ SA に入力可能な電圧に変換する。その他の構成は、第1の実施形態と同じである。

[0033] レベルシフタ SFT は、レギュラープリセンスアンプ PSA に接続され、読み出し電圧 V_{RD} を所定値だけシフトしたレギュラーシフト電圧 $VSFT$ を生成する。レベルシフタ $RSFT$ は、リファレンスプリセンスアンプ $RPSA$ に接続され、読み出し電圧 $RVRD$ を所定値だけシフトしたリファレンスシフト電圧 $RVST$ を生成する。電圧変換回路 $VCNV$ は、リファレンスシフト電圧 $RVST$ より第1電圧（例えば、 100mV ）だけ低いリファレンス電圧 V_{REF} を生成する。レベルシフタ SFT 、 $RSFT$ は、互いに同じ回路である。このため、上記所定値は、互いに等しく、シフト電圧 $VSFT$ と読み出し電圧 V_{RD} の差は、シフト電圧 $RVST$ と読み出し電圧 $RVRD$ の差に等しい。

[0034] センスアンプ SA は、レギュラーシフト電圧 $RSFT$ をレギュラー読み出し電圧として受け、レギュラーシフト電圧 $VSFT$ とリファレンス電圧 V_{REF} との差を差動増幅し、増幅により生成された論理値を出力信号 $SAOUT$ として出力する。

[0035] 図4は、第2の実施形態の読み出し動作を示している。第1の実施形態と

同じ動作については、詳細な説明は省略する。この実施形態では、例えば、読み出し電圧 V_{RD} 、 R_{VRD} は、負電圧である。レベルシフタ S_{FT} 、 $R_{S_{FT}}$ は、負の読み出し電圧 V_{RD} 、 R_{VRD} を正のシフト電圧 $V_{S_{FT}}$ 、 $R_{V_{S_{FT}}}$ に変換する。シフト電圧 $V_{S_{FT}}$ （”1”）、 $R_{V_{S_{FT}}}$ 、 $V_{S_{FT}}$ （”0”）およびリファレンス電圧 V_{REF} の関係（電圧差）は、第1の実施形態（図2）の読み出し電圧 V_{RD} （”1”）、 R_{VRD} 、 V_{RD} （”0”）およびリファレンス電圧 V_{REF} の関係と同じである。

[0036] 以上、第2の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、レベルシフタ S_{FT} 、 $R_{S_{FT}}$ により、レギュラー読み出し電圧 R_{VD} およびリファレンス電圧 V_{REF} を、センスアンプ S_A が差動増幅可能な値に変換できる。この結果、センスアンプ S_A の動作マージンを大きくでき、読み出しマージンを向上できる。

[0037] 図5は、第3の実施形態を示している。第1および第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明は省略する。この実施形態では、半導体メモリ MEM は、第2の実施形態の実施形態のリファレンスメモリセル RMC の代わりに、相補の論理レベル”1”、”0”をそれぞれ保持する一対のキャパシタ C_{P1} を有するリファレンスメモリセル RMC を有している。リファレンスプリセンスアンプ R_{PSA} およびリファレンスレベルシフタ $R_{S_{FT}}$ は、リファレンスメモリセル RMC のキャパシタ C_{P1} 毎に形成されている。電圧変換回路 V_{CNV} は、一対のリファレンスレベルシフタ $R_{S_{FT}}$ に接続されている。また、半導体メモリ MEM は、リファレンスメモリセル RMC に保持されているデータの論理値を読み出すための差動センスアンプ R_{SA} を有している。すなわち、この実施形態では、メモリ MEM は、外部から供給されるデータを、レギュラーメモリセル MC だけでなく、リファレンスメモリセル MC にも保持する。その他の構成は、第2の実施形態と同じである。

[0038] レベルシフタ S_{FT} は、レギュラーキャパシタ C_{P3} 、レギュラーソース

フォロアトランジスタSFおよびレギュラー負荷回路LD（電流源）を有している。レギュラーキャパシタCP3は、一端がレギュラー読み出しノードVRDに接続されている。レギュラーソースフォロアトランジスタSF（nMOSトランジスタ）は、入力（ゲート）をレギュラーキャパシタCP3の他端に接続し、ドレインを電源線等の電圧線に接続し、出力（ソース）からレギュラーシフト電圧VSFTを出力する。レギュラー負荷回路LD（pMOSトランジスタ）は、入力（ゲート）を読み出しノードVRDに接続し、ドレインを接地線等の電圧線に接続し、ソースをレギュラーソースフォロアトランジスタSFのソース（VSFT）に接続している。

[0039] 読み出し動作時にプリセンスアンプPSAが動作し、読み出し電圧VRDがビット線BLから転送される電荷により上昇したとき、レギュラーソースフォロアトランジスタSFのゲート電圧は、レギュラーキャパシタCP3のカップリング作用により上昇する。ゲート電圧の上昇により、レギュラーシフト電圧VSFTは、読み出し電圧VRDに追従して上昇する。これにより、例えば、負電圧の読み出し電圧VRDを、センスアンプSAに入力可能な正電圧に変換できる。

[0040] リファレンスレベルシフタRSFTは、レギュラーレベルシフタSFTと同じ回路である。すなわち、リファレンスレベルシフタRSFTは、一端がリファレンス読み出しノードRVRD1またはRVRD0に接続されたリファレンスキャパシタCP3、リファレンスソースフォロアトランジスタSFおよびリファレンス負荷回路LD（電流源）を有している。リファレンスソースフォロアトランジスタSFは、入力（ゲート）をリファレンスキャパシタCP3の他端に接続し、ドレインを電源線等の電圧線に接続し、出力（ソース）からリファレンスシフト電圧RVST1またはRVST0を出力する。リファレンス負荷回路LD（pMOSトランジスタ）は、入力（ゲート）を読み出しノードRVRD1またはRVRD0に接続し、ドレインを接地線等の電圧線に接続し、ソースをリファレンスフォロアトランジスタSFのソース（RVST）に接続している。レベルシフタRSFTの動作は、

レベルシフタ SFT の動作と同じである。

[0041] 電圧変換回路 VCNV は、一対のリファレンスレベルシフタ RSFT に接続され、出力がリファレンス電圧 VREF の出力ノードに互いに接続された一対のソースフォロア回路 SFC を有している。各ソースフォロア回路 SFC は、ソースフォロアトランジスタ SF と、ソースフォロアトランジスタ SF に接続された負荷回路 LD とを有している。ソースフォロアトランジスタ SF は、入力（ゲート）を、対応するレギュラーキャパシタ CP3 の他端に接続し、ドレインを電源線等の電圧線に接続し、出力（ソース）をリファレンス電圧 VREF の出力ノードに接続している。負荷回路 LD（pMOS トランジスタ）は、入力（ゲート）を読み出しノード RVRD1 または RVRD0 に接続し、ドレインを接地線等の電圧線に接続し、ソースをレギュラーソースフォロアトランジスタ SF のソース（VREF）に接続している。

[0042] 各ソースフォロア回路 SFC は、読み出し電圧 RVRD1 または RVRD0 に追従してノード VREF にレベル変換した電圧を出力する。ソースフォロア回路 SFC の出力ノード VREF は、互いに接続されている。このため、リファレンス電圧 VREF は、データ”1”を保持するメモリセル RMC に対応し、ゲート電圧が高いソースフォロアトランジスタ SF の動作により決まる。但し、ゲート電圧の高いソースフォロアトランジスタ SF に対して、2つの負荷回路 LD が並列に接続されている。このため、一対のソースフォロア回路 SFC は、1つのソースフォロア回路 SFC と比べて2倍の電流が流れる。したがって、リファレンス電圧 VREF は、データ”1”を保持するメモリセル RMC に対応するシフト電圧 VSFT より第1電圧だけ低くなる。

[0043] センスアンプ RSA は、センスアンプ SA を同じ回路である。センスアンプ RSA は、リファレンスシフト電圧 RVST1、RVST0 の差を差動増幅し、差動増幅した値をリファレンスメモリセル RMC に保持されているデータの論理値としてラッチし、ラッチした論理値を出力信号 RSAOUT として出力する。

- [0044] 図6は、第3の実施形態の読み出し動作を示している。リファレンスシフト電圧 $RVSFT1$ （”1”）、 $RVSFT0$ （”1”）の値は、シフト電圧 $VSFT$ （”1”）の値と同じである。リファレンスシフト電圧 $RVSFT1$ （”0”）、 $RVSFT0$ （”0”）の値は、シフト電圧 $VSFT$ （”0”）の値と同じである。リファレンスメモリセル $RM C$ に対応するセンスアンプ $R S A$ は、十分に大きい電圧差（リファレンスシフト電圧 $RVSFT1$ 、 $RVSFT0$ の差）を差動増幅するため、メモリセル $RM C$ に保持されているデータの論理値を確実に読み出すことができる。その他の波形は、第2の実施形態（図4）と同じである。
- [0045] この実施形態では、上述したように、電圧変換回路 $VCNV$ は、出力ノード $VREF$ を互いに接続した一対のソースフォロア回路 SFC により構成される。このため、リファレンス電圧 $VREF$ の値を、シフト電圧 $VSFT$ （”1”）より第1電圧だけ低い電圧に確実に設定できる。第1電圧は、例えば、約200mVである。
- [0046] 以上、第3の実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。さらに、この実施形態では、電圧変換回路 $VCNV$ を一対のソースフォロア回路 SFC により構成することにより、シフト電圧 $VSFT$ （”1”）より第1電圧だけ低いリファレンス電圧 $VREF$ を高い精度で生成できる。したがって、第1電圧を最小限の値に設定でき、読み出しマージンを向上できる。また、半導体メモリ MEM の外部から供給されるデータを、レギュラーメモリセル MC だけでなく、リファレンスメモリセル $RM C$ に書き込むことができる。
- [0047] 図7は、第4の実施形態を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明は省略する。この実施形態では、半導体メモリ MEM は、シリコン基板上に $CMOS$ プロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、 IC カードや無線タグ（ $RFID$ ）等の記憶媒体や、携帯電話等の携帯端末のワークメモリとして使用される。強誘電体メモリ

は、アドレスバッファADB、コマンドバッファCMDDB、ロウデコーダRDEC、タイミング生成回路TGEN、コラムデコーダCDEC、プレートドライバPD、ワードドライバWD、メモリコアCOREおよびデータ出力バッファBUFを有している。図1では、主に読み出し動作に必要な回路を記載している。このため、書き込み動作に必要なデータ入力バッファおよびライトアンプ等の回路は、記載を省略している。

[0048] アドレスバッファADBは、アドレス信号ADをアドレス端子を介して受信し、受信した信号をロウデコーダRDECおよびコラムデコーダCDECに出力する。ロウデコーダRDECは、アドレス信号の上位ビット（ロウアドレス）をデコードしてロウデコード信号を生成し、生成した信号をワードドライバWDおよびプレートドライバPDに出力する。コラムデコーダCDECは、アドレス信号の下位ビット（コラムアドレス）をデコードしてコラムデコード信号を生成し、生成した信号をデータ出力バッファBUF等に出力する。

[0049] コマンドバッファCMDDBは、チップセレクト信号/CSおよびライトイネーブル信号/WE等のコマンド信号をコマンド端子を介して受信し、受信した信号を解読し、読み出し信号RDZまたは書き込み信号WRZをタイミング生成回路TGENに出力する。タイミング生成回路TGENは、読み出し信号RDZまたは書き込み信号WRZを受け、プレートドライバPD、ワードドライバWD、データ出力バッファBUF、プリセンスアンプPSAおよびセンスアンプSA等を動作させるタイミング信号T1-T5、およびセンスアンプSAを動作するためタイミング信号T6等を順次に出力する。

[0050] プレートドライバPDは、タイミング生成回路TGENからのタイミング信号およびロウデコーダRDECからのロウデコード信号に応答して、所定のプレート線PLを選択する。選択されたプレート線PLは、所定の期間高レベルに保持される。ワードドライバWDは、タイミング生成回路TGENからのタイミング信号およびロウデコーダRDECからのロウデコード信号に応答して、所定のワード線WLを選択する。選択されたワード線WLは、

所定の期間高レベルに保持される。

- [0051] メモリコアCOREは、メモリセルアレイARY、レギュラープリセンスアンプPSA（ビット線GNDセンス回路）、リファレンスプリセンスアンプRPSA（ビット線GNDセンス回路）、レギュラーレベルシフタSFT、リファレンスレベルシフタRSFT、電圧変換回路VCNV、レギュラーセンスアンプSAおよびリファレンスセンスアンプRSAを有している。メモリセルアレイARYは、マトリックス状に配置された複数のメモリセルMCを有している。レギュラービット線対BL（BL0、BL1、...BLn）に接続されたメモリセルMCは、レギュラーメモリセルである。レギュラーメモリセルは、図8に示すように、いわゆる1T1Cタイプである。リファレンスメモリセルRMCは、相補のリファレンスビット線BL0X、BL0に接続された一对のメモリセルMCにより構成されている。リファレンスメモリセルRMCは、いわゆる2T2Cタイプである。リファレンスメモリセルRMC内的一对のメモリセルMCは、データ入出力端子I/Oを介して供給されるデータを相補の論理レベルとして記憶する。以降の説明では、レギュラーメモリセルを”レギュラーメモリセルMC”とも称する。
- [0052] 図の横方向に並ぶメモリセルMCは、共通のワード線WLおよびプレート線PLに接続されている。図の縦方向に並ぶメモリセルMCは、ビット線BL、BL0またはBL0Xに接続されている。プリセンスアンプPSA、RPSAは、読み出し動作時に、メモリセルMCからビット線BL、BL0またはBL0Xに読み出された電荷に応じて読み出し電圧を生成する。レベルシフタSFTは、プリセンスアンプPSAからの読み出し電圧を所定値だけシフトして、出力信号OUT（OUT1、2、...n；レギュラーシフト電圧）を生成する。レベルシフタRSFTは、プリセンスアンプRPSAからの読み出し電圧を所定値だけシフトして、出力信号OUT0、OUT0X（リファレンスシフト電圧）を生成する。電圧変換回路VCNVは、図9に示すように、レベルシフタRSFTからの出力電圧に応じてリファレンス電圧VREFを生成する。

- [0053] センスアンプSAは、出力信号OUT (OUT 1、2、... n) とリファレンス電圧VREFとの差を差動増幅して、相補の出力信号SAOUT (SAOUT 1、2、... n)、SAOUTX (SAOUT 1X、2X、... nX) を生成する。センスアンプRSAは、出力信号OUT 0、OUT 0Xの差を差動増幅して、相補の出力信号SAOUT 0、SAOUT 0Xを生成する。プリセンスアンプPSAおよびレベルシフタSFTの詳細は図8に示す。プリセンスアンプRPSA、レベルシフタRSFTおよび電圧変換回路VCNVの詳細は図9に示す。センスアンプSA、RSAの詳細は図10に示す。
- [0054] データ出力バッファBUFは、メモリコアCOREから読み出される複数ビットの読み出しデータ（相補のデータ）のうち、例えば16ビットを、コラムデコード信号に応じて選択し、選択した読み出しデータをデータ入出力端子I/Oに出力する。データ入出力端子I/Oは、例えば、16ビットで構成されている。この実施形態では、リファレンスメモリセルRMCに保持されている読み出しデータもデータ入出力端子I/Oに出力される。すなわち、リファレンスメモリセルRMCは、リファレンス電圧VREFを生成するためにデータを保持するとともに、強誘電体メモリをアクセスするシステムが使用するデータ（ユーザデータ）を保持する。
- [0055] 図8は、図7に示したレギュラーメモリセル(1T1C)、レギュラープリセンスアンプPSAおよびレギュラーレベルシフタSFTの詳細を示している。レギュラーメモリセルMCは、1つの強誘電体キャパシタF1と1つのアクセストランジスタN1 (nMOSトランジスタ) を有している。強誘電体キャパシタF1の一端は、プレート線PLに接続され、強誘電体キャパシタF1の他端は、アクセストランジスタN1を介してビット線BLに接続されている。アクセストランジスタN1のゲートは、ワード線WLに接続されている。
- [0056] プリセンスアンプPSAは、ビット線初期化回路10、電荷転送回路12 (チャージトランスファ)、閾値電圧生成回路16、および電荷蓄積回路18を有している。ビット線初期化回路10は、ゲートで制御信号BUSGN

Dを受け、ソースが接地線に接続され、ドレインがビット線BLに接続されたnMOSトランジスタN2で構成されている。電荷転送回路12は、ゲートが閾値電圧生成回路16の出力ノードVTHGTに接続され、ソースがビット線BLに接続され、ドレインが読み出しノードVMINUSに接続されたpMOSトランジスタP1で構成されている。

[0057] 閾値電圧生成回路16は、制御信号VTHGENの論理レベルを反転して制御信号VTHGENXを生成するインバータI1、インバータI1の出力と電荷転送回路12のゲート（ノードVTHGT）との間に配置されたキャパシタC1、ノードVTHGTに接続されたクランプ回路16aを有している。クランプ回路16aは、ソースが接地線に接続され、ゲートおよびドレインがノードVTHGTに接続されたpMOSトランジスタP2で構成されている。

[0058] 電荷蓄積回路18は、制御信号MINUSGENの論理レベルを反転して制御信号MINUSGENXを生成するインバータI2と、インバータI2の出力とノードVMINUSとの間に配置されたキャパシタC2を有している。電荷蓄積回路18は、読み出し動作時にメモリセルMCからビット線BLに読み出される電荷を蓄積するとともに、蓄積される電荷に応じた読み出し電圧VMINUSを生成する。

[0059] この例では、キャパシタC1、C2は、強誘電体材料で構成されているが、ゲート絶縁膜等により構成されてもよい。トランジスタP1、P2の基板は、接地線に接続され、各トランジスタP1、P2のドレイン（VMINUSまたはVTHGT）と基板との間にPN接合が形成される。このため、ノードVMINUSおよびVTHGTは、PN接合の順方向電圧（約0.8V）より上昇することはない。

[0060] レベルシフタSFTは、ノードVSHIFTの電圧を初期化するための初期化回路20、ソースフォロア回路SFCおよびノードVMINUSに発生する負電圧を正電圧に変換するためのレギュラシフトキャパシタC3を有している。初期化回路20は、電源線VDDと接地線の間直列に配置され

たpMOSトランジスタP3およびnMOSトランジスタN3を有している。トランジスタP3のゲートはリセット信号RSTを受け、トランジスタN3のゲートは、スタンバイ信号STBYを受けている。キャパシタC3は、ノードVSHIFTとノードVMINUSの間に配置されている。この例では、キャパシタC3は、強誘電体材料で構成されているが、ゲート絶縁膜等により構成されてもよい。

[0061] ソースフォロア回路SFCは、電源線VDDと接地線の間に直列に配置されたnMOSトランジスタN4（レギュラーソースフォロアトランジスタ）およびpMOSトランジスタP4（レギュラー負荷回路）を有している。トランジスタN4のゲートは、ノードVSHIFTに接続されている。トランジスタP4のゲートは、ノードVMINUSに接続されている。そして、ソースフォロア回路SFCは、電圧VSHIFTから所定値（トランジスタN4の閾値電圧）だけ低い出力信号OUT（レギュラーシフト信号）が、トランジスタN4のソースから出力される。

[0062] 図9は、図7に示したリファレンスメモリセルRMC、リファレンスプリセンスアンプRP SA、リファレンスレベルシフタRSFTおよび電圧変換回路VCNVの詳細を示している。図8と同じ構成の回路については、詳細な説明は省略する。この実施形態では、一対のリファレンスプリセンスアンプRP SAが、相補のリファレンスビット線BL0、BL0Xに接続されている。

[0063] リファレンスメモリセルRMCは、nMOSトランジスタからなるアクセストランジスタ対N1、N2および強誘電体キャパシタ対F1、F2を有している。リファレンスメモリセルRMCは、一対のレギュラーメモリセルMCと同じ構造を有している。すなわち、リファレンスメモリセルRMCの各強誘電体キャパシタF1、F2の構造は、レギュラーメモリセルMCの強誘電体キャパシタF1の構造と同じである。強誘電体キャパシタF1は、一端がアクセストランジスタN1を介してビット線BL0Xに接続され、他端がプレート線PLに接続されている。強誘電体キャパシタF2は、一端が転送

トランジスタN2を介してビット線BL0に接続され、他端がプレート線PLに接続されている。強誘電体キャパシタF1、F2は、互いに反対の論理のデータが書き込まれ、その容量値は互いに異なる。これにより、メモリセルRMCは、データ入出力端子I/Oを介して供給されるデータの論理に応じた電荷を蓄積可能である。

[0064] プリセンスアンプRPSAおよびレベルシフタRFSRの回路構成は、図8に示したプリセンスアンプPSAおよびレベルシフタFSRの回路構成と同じである。電圧変換回路VCNVは、第3の実施形態の電圧変換回路VCNV（図5）と同じである。図9の電圧変換回路VCNVのnMOSトランジスタN5およびpMOSトランジスタP5は、図5の電圧変換回路VCNVのソースフォロアトランジスタSFおよび負荷回路LDにそれぞれ対応する。

[0065] 図10は、図7に示したセンスアンプ（ラッチセンスアンプ）SA、RSAの詳細を示している。センスアンプSA、RSAは互いに同じ回路であるため、ここでは、センスアンプSAを説明する。センスアンプRSAに対して入出力される信号は、図中の括弧内に示す。センスアンプSAは、一対のインバータI11、I12およびスイッチS11、S12で構成されたラッチLTと、インバータI13と、スイッチS13、S14で構成されている。ラッチLTの相補の入出力ノードSAOUT、SAOUTXは、センスアンプSAの出力である。インバータI13は、タイミング信号T5を反転し、タイミング信号T5Xとして出力する。

[0066] スイッチS11（pMOSトランジスタ）は、インバータI11、I12を電源線VDDに接続するために、タイミング信号T5の高レベル中にオンする。スイッチS12（nMOSトランジスタ）は、インバータI11、I12を接地線GNDに接続するために、タイミング信号T5の高レベル中にオンする。スイッチS13、S14は、プリセンスアンプPSAの出力信号OUTのレベルとリファレンス電圧VREFとをラッチLTに伝達するために、タイミング信号T5の低レベル中にオンする。

- [0067] センスアンプSAは、タイミング信号T5の低レベル中に変化されて動作を停止し、タイミング信号T5の高レベルへの変化に同期して活性化され、出力信号OUT（ノードSAOUT）と、リファレンス電圧VREF（SAOUTX）の電圧差を差動増幅する。この増幅により、メモリセルMCから読み出されたデータの論理値は、ラッチLTにラッチされる。また、ラッチされた相補のデータ（論理値）は、出力信号SAOUT、SAOUTXとして出力される。
- [0068] 図11は、第4の実施形態における強誘電体メモリの読み出し動作を示している。図中の時刻T1-T6は、制御信号T1-T6がそれぞれ活性化されるタイミングを示している。まず、初期状態において、pMOSトランジスタ12（電荷転送回路）のゲートおよびドレインにそれぞれ接続されたノードVTHGTおよびVMINUS（またはVMINUS0、VMINUSX；以下同様）は、フローティング状態のためその電圧は不定である。しかし、上述したようにpMOSトランジスタP1のドレイン（VMINUS）と基板との間にPN接合が形成されるため、ノードVMINUSは、PN接合の順方向電圧より上昇することはない（図11（a））。
- [0069] 制御信号VTHGENおよび制御信号MINUSGENは、低レベルに保持されており、ノードVTHGENXおよびMINUSGENXは、高レベルに保持されている（図11（b、c））。制御信号BUSGNDは、高レベルに保持されているため、nMOSトランジスタN2はオンし、ビット線BL（または、BL0、BL0X；以下同様）の電圧は、接地電圧に初期化されている（図11（d））。制御信号RST、STBYは、高レベルに保持されており（図11（e））、ノードVSHIFTは、低レベルに保持されている（図11（f））。このため、ソースフォロアトランジスタN4はオフし、出力ノードOUT（または、OUT0、OUTX；以下同様）は、接地電圧近傍でフローティング状態になる（図11（g））。
- [0070] 時刻T1において、制御信号VTHGENが高レベルに変化し、ノードVTHGENXは、高レベルから低レベルに変化する（図11（h））。キャ

パシタC1による容量結合により、ノードVTHGENXの低レベルへの変化に応じてノードVTHGTの電圧も下がる(図11(i))。電源電圧VDDが3Vの場合、ノードVTHGENXの電圧が3V下がると、VTHGTの電圧も3V下がろうとする。しかし、pMOSトランジスタP2(クランプ回路)は、ノードVTHGTの電圧をpMOSトランジスタP2の閾値電圧(例えば、-0.6V)にクランプする。このため、ノードVTHGTの電圧は、一旦立ち下がった後、微分波形を描いて負電圧(-0.6V)に落ち着く(図11(j))。このように、閾値電圧生成回路16は、電荷転送回路12の入力ノードVTHGTを所定の電圧に設定する初期化回路として動作する。

[0071] pMOSトランジスタP1の閾値電圧は、pMOSトランジスタP2の閾値電圧に等しくなるように設計されている。このため、ノードVTHGTの電圧が一旦下がったときに、pMOSトランジスタP1はオンし、ノードVMINUSの電圧は、ビット線BL、BL0、BL0Xの電圧(接地電圧)まで下がる(図11(k))。ノードMINUSGENXの電圧は、インバータI2により高レベル(=電源電圧VDD)に設定されているため、キャパシタC2には、その容量値と電源電圧VDDとの積に対応する電荷が充電される。

[0072] 時刻T2において、制御信号RST、STBYが低レベルに変化し、初期化回路20のトランジスタN3がオフし、トランジスタP3がオンする(図11(l))。トランジスタP3のオンにより、ノードVSHIFTは高レベル(VDD)に変化する(図11(m))。このとき、ノードVMINUSは、トランジスタP1、N2を介して接地線に接続されている。このため、キャパシタC2の両端に、電源電圧VDDに相当する電圧が掛かる。ソースフォロアトランジスタN4はオンし、出力ノードOUTの電圧は、電源電圧VDDに対してトランジスタN4の閾値電圧だけ低い電圧になる(図11(n))。その後、制御信号RSTが高レベルに変化し、トランジスタP3はオフする(図11(o))。トランジスタP3のオフによりノードVSH

I F Tは、フローティング状態になるが、ノードV S H I F Tの電圧は、キャパシタC 3によりほぼ電源電圧V D Dに保持される。これにより、出力ノードO U Tの電圧も、電源電圧V D Dに対してトランジスタN 4の閾値電圧だけ低い電圧に保持される。

[0073] 時刻T 3において、制御信号B U S G N Dが低レベルに変化し、ビット線B Lは、フローティング状態になる（図1 1（p））。しかし、ビット線B Lの電圧は、それらの寄生容量によりほぼ接地電圧に保持される。

[0074] 時刻T 4において、制御信号M I N U S G E Nが高レベルに変化し、ノードM I N U S G E N Xの電圧は高レベルから低レベルに変化する（図1 1（q））。ノードV M I N U Sの電圧は、キャパシタC 2の容量結合により、ノードM I N U S G E N Xの電圧の低下に伴い低下する（図1 1（r））。電源電圧V D Dが3 Vの場合、ノードM I N U S G E N Xの電圧は3 V下がり、ノードV M I N U Sの電圧もほぼ3 V下がる。ノードV M I N U Sの電圧は、0 Vに初期化されているため、ノードM I N U S G E N Xの電圧変化によりほぼ-3 Vまで下がる。しかし、寄生容量によるロスにより、ノードV M I N U Sは、-3 Vより高い電圧（例えば、-2. 5 V）に変化する。ノードV M I N U Sは、キャパシタC 2によりこの電圧に保持される。このように、電荷蓄積回路1 8は、電荷転送回路1 2の入出力ノードV M I N U Sを所定の電圧に設定し、電荷転送回路1 2の電荷転送能力を初期状態に設定する初期化回路としても動作する。

[0075] ノードV S H I F Tの電圧は、キャパシタC 3の容量結合の作用により、ノードV M I N U Sの電圧の低下とともに低下する（図1 1（s））。トランジスタP 4は、ノードV M I N U Sの電圧を受けてオンする。トランジスタN 4は、ノードV S H I F Tの電圧を受けてオフする。これにより、出力ノードO U T（または、O U T 0、O U T 0 X）は、接地電圧に保持される（図1 1（t））。以上で、読み出し動作の準備が完了する。

[0076] 時刻T 5において、ワード線W Lとプレート線P Lの電圧が接地電圧から電源電圧V D Dに変化する（図1 1（u））。ワード線W Lの立ち上がり

より、メモリセルMCのアクセストランジスタN1がオンし、メモリセルMCの強誘電体キャパシタF1、F2に正電圧が掛かる。メモリセルMCがデータ”1”を記憶している場合、強誘電体キャパシタF1に掛かる電圧の極性は、書き込み時と反対のため、分極反転が起こり、大きな反転電荷がビット線BLに読み出される。メモリセルMCがデータ”0”を記憶している場合、強誘電体キャパシタF1に掛かる電圧の極性は、書き込み時と同じため、分極反転は起こらず、比較的小さな電荷がビット線BLに読み出される（図11(v)）。

[0077] このとき、ビット線BLの電圧は、上昇しようとする。しかし、ビット線BLの電圧が僅かに上がると、pMOSトランジスタP1のゲート・ソース間電圧（絶対値）は大きくなる。このため、pMOSトランジスタP2のドレイン電流が急速に増加し、ビット線BLからノードVMINUSに、反転電荷に等しい電荷が転送される。これにより、ビット線BLの電圧上昇は抑えられ、ほぼ0V（接地電圧）に保持される。キャパシタC2は、ノードVMINUSに転送された電荷により放電されるため、ノードVMINUSの電圧（読み出し電圧）は上昇する（図11(w)）。メモリセルMCがデータ”1”を記憶している場合、ノードVMINUSの電圧は大きく上昇する。メモリセルMCがデータ”0”を記憶している場合、ノードVMINUSの電圧の上昇は小さい。このように、電荷蓄積回路18のキャパシタC2は、蓄積電荷に応じて読み出し電圧を生成する読み出し回路として動作する。

[0078] ノードVMINUSの電圧の上昇に伴い、キャパシタC3の容量結合により、ノードVSHIFTの電圧も上昇する（図11(x)）。出力ノードOUTは、ノードVSHIFTの電圧に追従して、ノードVSHIFTからnMOSトランジスタN4の閾値電圧だけ下がった電圧になる（図11(y)）。したがって、出力ノードOUTの電圧は、ノードVMINUSの電圧変化に追従して変化する。

[0079] 時刻T6において、後述するように、出力ノードOUTの電圧は、センスアンプSAによってリファレンス電圧VREFと比較され、メモリセルMC

に保持された論理レベルが判定される。また、相補の出力ノードOUT0、OUT0Xの電圧差は、センスアンプRSAによって比較され、リファレンスメモリセルRMCに保持された論理レベルが判定される（図11(z)）。そして、判定された論理レベルが、読み出しデータ信号としてデータ端子I/Oから出力される。

[0080] 図12は、図11に示した読み出し動作の詳細を示している。図11と同じ動作については、詳細な説明は省略する。図中の網掛けは、電圧のばらつきを示している。電圧のばらつきは、主に強誘電体キャパシタF1、F2の特性のばらつきに起因して発生する。

[0081] データ”1”が書き込まれている強誘電体キャパシタF1（またはF2；以下同様）に対応するノードVMINUS（またはVMINUS0、VMINUS0X；以下同様）の電圧は、データ”0”が書き込まれている強誘電体キャパシタF1に対応するノードVMINUSの電圧より急速に立ち上がる。ここで、プリセンスアンプPSA、RPSAのキャパシタC2の容量値は、従来に比べて小さく設計されている。このため、データ”1”が書き込まれている強誘電体キャパシタF1に対応するノードVMINUSの電圧は、このノードの電圧の上限値（ほぼ接地電圧；飽和電圧）まで上昇する。すなわち、キャパシタC2に蓄積される電荷は飽和する。このため、ノードVMINUSの電圧のばらつきは極めて小さく、その分布はシャープである。

[0082] データ”0”が書き込まれている強誘電体キャパシタF1に対応するノードVMINUSの電圧は、飽和電圧まで到達しない。このように、キャパシタC2の容量値は、データ”1”に対応するノードVMINUSの電圧が飽和電圧に到達し、データ”0”に対応するノードVMINUSの電圧が飽和電圧に到達しない値に設定される。

[0083] 出力電圧OUT、OUT0、OUT0Xは、レベルシフタSFT、RSFTにより生成され、ノードVMINUSの電圧に追従する電圧である。このため、データ”1”およびデータ”0”に対応する出力電圧OUT、OUT0、OUT0Xの分布は、電圧値が異なることを除き、ノードVMINUS

、 V_{MINUS0} 、 $V_{MINUS0X}$ の電圧の分布と同じである。

- [0084] リファレンス電圧 V_{REF} は、電圧変換回路 V_{CNV} により、データ”1”に対応するノード V_{MINUS0} または $V_{MINUS0X}$ の電圧に基づいて生成される。このため、リファレンス電圧 V_{REF} のばらつきは小さく、その分布は、データ”1”に対応する出力電圧 O_{UT} 、 O_{UT0} 、 O_{UT0X} の分布と同様にシャープである。上述したように、リファレンス電圧 V_{REF} は、データ”1”に対応する出力電圧 O_{UT} 、 O_{UT0} 、 O_{UT0X} より約200mV（第1電圧）だけ低い。
- [0085] そして、時刻 T_6 において、タイミング信号 T_6 に同期してセンスアンプ S_A 、 $R_S A$ が増幅動作を開始し、レギュラーメモリセル M_C およびリファレンスメモリセル $R_M C$ からの読み出しデータの論理値をラッチする。
- [0086] 図13は、図12に示した読み出し動作における読み出しマージンを示している。図中の分布は、図12に示した出力電圧 O_{UT} 、 O_{UT0} 、 O_{UT0X} およびリファレンス電圧 V_{REF} の分布と同じである。図中の白丸は、リファレンス電圧 V_{REF} のワースト値を示す。図中の黒丸は、出力電圧 O_{UT} のワースト値を示す。図中の網掛けの丸は、出力電圧 O_{UT0} 、 O_{UT0X} のワースト値を示す。
- [0087] データ”1”の分布を構成するサンプルの数と、データ”0”の分布を構成するサンプルの数とは、互いに等しい。1つのワード線 W_L に接続されるリファレンスメモリセル $R_M C$ の数（例えば、1個）は、レギュラーメモリセル M_C の数（例えば、15個）より少ないため、リファレンス電圧 V_{REF} の分布を構成するサンプルの数は、データ”1”に対応する出力電圧 O_{UT} 、 O_{UT0} 、 O_{UT0X} のサンプルの数より少ない。但し、リファレンス電圧 V_{REF} の分布の幅（電圧のばらつき）は、データ”1”に対応する出力電圧 O_{UT} 、 O_{UT0} 、 O_{UT0X} の分布と同じであり、極めて小さい。
- [0088] データ”0”を記憶しているレギュラーメモリセル M_C の読み出し動作において、出力電圧 O_{UT} とリファレンス電圧 V_{REF} との差 V_0 は、出力電圧 O_{UT} が最大（分布の上端）で、リファレンス電圧 V_{REF} が最小（分布

の下端) のときに、最も小さくなる。このとき、読み出しマージンは最も小さい。差電圧 V_0 の最小値は、例えば、 300mV である。

[0089] 一方、データ”1”を記憶しているレギュラーメモリセルMCの読み出し動作において、出力電圧 OUT とリファレンス電圧 V_{REF} との差 V_1 は、出力電圧 OUT が最小(分布の下端)で、リファレンス電圧 V_{REF} が最大(分布の上端)のときに、最も小さくなる。このとき、読み出しマージンは最も小さい。電圧変換回路 $VCNV$ は、リファレンス電圧 V_{REF} がデータ”1”に対応する出力電圧 OUT_0 (または OUT_0X)より常に 200mV 低くなるように設計されている。すなわち、リファレンス電圧 V_{REF} の分布の中心と、データ”1”に対応する出力電圧 OUT_0 (または OUT_0X)の分布の中心との差は、 200mV である。なお、データ”1”に対応する出力電圧 OUT_0 (または OUT_0X)およびリファレンス電圧 V_{REF} の分布の幅は、例えば 50mV 程度であり、このとき、差電圧 V_1 は 150mV になる。

[0090] 図10に示したセンスアンプSAは、データ”0”の読み出し動作において、差電圧 V_0 を差動増幅し、読み出したデータをラッチする。また、センスアンプSAは、データ”1”の読み出し動作において、差電圧 V_1 を差動増幅し、読み出したデータをラッチする。一般に、図10に示したセンスアンプSAは、 100mV 程度の入力振幅があれば、入力信号を十分に増幅、ラッチできる。このため、センスアンプSAは、入力信号の電圧差を増幅、ラッチして、正しいデータを読み出すことができる。

[0091] 一方、リファレンスメモリセルRMCの読み出し動作では、一対のメモリセルMCは相補のデータを記憶している。このため、センスアンプRSAは、出力電圧 OUT_0 、 OUT_0X の差 V_2 を差動増幅すればよい。差電圧 V_2 は、ほぼ 500mV であるため、センスアンプRSAは、正しいデータを確実に読み出すことができる。

[0092] 図14は、本発明者が、図1から図13および後述する図19から図20に示す強誘電体メモリを提案する前に検討した強誘電体メモリを示している

。第4の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明は省略する。この半導体メモリMEMは、電圧変換回路VCNVは有しておらず、図7のリファレンスレベルシフタRSFTおよび各レギュラービット線BL（BL1、BL2、...BLn）に接続されたセンスアンプSAの代わりに、レベルシフタSFTおよびツインセンスアンプTSAが形成されている。その他の構成は、図7と同じである。

[0093] 図15は、図14に示したツインセンスアンプTSAの詳細を示している。ツインセンスアンプTSAは、一対のラッチLTを有している。ツインセンスアンプTSAは、各ラッチLTの相補の入力の一方でリファレンスメモリセルRMCに対応するリファレンス出力信号OUT0またはOUT0Xを受け、相補の入力の他方で、レギュラーメモリセルMCに対応するレギュラー出力信号OUT（OUT1、2、...n）を受ける。

[0094] 各ラッチLTは、図10に示したセンスアンプSAのラッチLTと同様に、タイミング信号T5の低レベル中に非活性化されて動作を停止し、タイミング信号T5の高レベルへの変化に同期して活性化される。タイミング信号T5の高レベルへの活性化により、出力信号OUT（ノードSAOUT）と、出力信号OUT0の電圧差、および出力信号OUTと、出力信号OUT0Xの電圧差が差動増幅される。

[0095] 例えば、リファレンスメモリセルRMCにデータ”1”が記憶されている場合、プリセンスアンプRPSAおよびレベルシフタRSFTの動作により、出力信号OUT0の電圧は、出力信号OUT0Xの電圧より相対的に高くなる。以下、データ”1”に対応する出力信号OUT0、OUT0Xの波形を、波形”1”と称し、データ”0”に対応する出力信号OUT0、OUT0Xの波形を、波形”0”と称する。レギュラーメモリセルMCにデータ”1”が記憶されている場合、出力信号OUTの電圧は、出力信号OUT0の電圧にほぼ等しくなる（波形”1”）。

[0096] このとき、図の左側のラッチLTの両入力は、互いにほぼ等しい電圧（波

形“1”)を受けるため、短時間(例えば100ps)メタステーブルとなる。このため、十分な差動増幅が実施されず、出力信号SAOUT、SAOUTXの電圧差はなかなか大きくなる。一方、図の右側のラッチLTの両入力は、電圧差が大きい波形“1”と波形“0”とをそれぞれ受けるため、速やかに増幅動作およびラッチ動作が行われる。これにより、一对のラッチLTに共通の出力信号SAOUTの電圧は電源電圧VDDまで上昇する。出力信号SAOUTが立ち上がるため、図の左側のラッチLTも作動増幅が行われ、ラッチ状態が定まる。そして、出力信号SAOUTXは、低レベル(接地電圧)に変化する。すなわち、相補のデータ“1”およびデータ“0”が、ノードSAOUT、SAOUTXから出力される。

[0097] 図16は、図14に示した強誘電体メモリMEMの読み出し動作の詳細を示している。図11および図12と同じ動作については、詳細な説明は省略する。図中の網掛けは、電圧のばらつきを示している。図14に示した強誘電体メモリMEMでは、プリセンスアンプPSA、RPSAのキャパシタC2の容量値は、時刻T6でのノードVMINUS、VMINUS0、VMINUS0Xの電圧が接地電圧(0V)を超えないように設計されている。すなわち、図4のキャパシタC2の容量値は、第4の実施形態のキャパシタC2の容量値より大きい。この場合、波形“1”の電圧の変化は、波形“0”の電圧の変化より大きくなる。

[0098] 図17は、図14に示した強誘電体メモリMEMにおいて、正常な読み出し動作が実行されるとき読み出しマージンを示している。図中の分布は、図16に示した出力電圧OUT、OUT0、OUT0Xの分布と同じである。図中の白丸は、リファレンス電圧として作用する相補の出力電圧OUT0、OUT0Xを示す。この例では、データ“1”に対応する出力電圧OUT0またはOUT0Xは、データ“1”を保持しているレギュラーメモリセルMCに対応する出力電圧OUTの平均値に等しい。データ“0”に対応する出力電圧OUT0またはOUT0Xは、データ“0”を保持しているレギュラーメモリセルMCに対応する出力電圧OUTの平均値に等しい。図中の黒

丸は、出力電圧OUTのワースト値を示す。図中の網掛けの丸は、平均的な出力電圧OUT0、OUT0Xを示す。

- [0099] 差電圧V0は、出力電圧OUTと、データ”0”に対応する出力電圧OUT0またはOUT0Xの差である。差電圧V1は、出力電圧OUTと、データ”1”に対応する出力電圧OUT0またはOUT0Xの差である。差電圧V2は、データ”0”に対応する出力電圧OUT0（またはOUT0X）と、データ”1”に対応する出力電圧OUT0X（またはOUT0）の差の差である。
- [0100] データ”0”を記憶しているレギュラーメモリセルMCの読み出し動作において、差電圧V1は、差電圧V0に比べて十分に大きい。このため、ツインセンスアンプTSAの一对のラッチLTの一方は、十分な入力振幅を得られる。したがって、一对のラッチLTの他方のメタステーブル状態を迅速に解除でき、レギュラーメモリセルMCに記憶されたデータ”0”は、確実に読み出される。同様に、データ”1”を記憶しているレギュラーメモリセルMCの読み出し動作において、差電圧V0は、差電圧V1に比べて十分に大きい。このため、ツインセンスアンプTSAの一对のラッチLTの一方は、十分な入力振幅を得られる。したがって、レギュラーメモリセルMCに記憶されたデータ”1”は、確実に読み出される。
- [0101] 一方、リファレンスメモリセルRMCの読み出し動作では、一对のメモリセルMCは相補のデータを記憶している。このため、センスアンプRSAは、出力電圧OUT0、OUT0Xとの差V2を差動増幅すればよい。差電圧V2は、差電圧V1、V2の和に相当し、十分に大きい。したがって、センスアンプRSAは、正しいデータを確実に読み出すことができる。
- [0102] 図18は、図14に示した強誘電体メモリMEMにおいて、誤った読み出し動作が実行されるときワーストの読み出しマージンを示している。図中の表記は、図13および図17と同じである。
- [0103] データ”0”を記憶しているレギュラーメモリセルMCの読み出し動作において、データ”1”およびデータ”0”に対応する出力電圧OUT0、O

U T O Xは、分布の下端にあるとする。このとき、差電圧V 1、V 0はほぼ等しくなる。ツインセンスアンプT S Aにおいて、データ” 1”に対応する出力電圧O U T 0（またはO U T O X）を受け一方のラッチL Tは、データ” 0”を増幅しようとする。一方、データ” 0”に対応する出力電圧O U T O X（またはO U T 0）を受け他方のラッチL Tは、データ” 1”を増幅しようとする。他方のラッチの増幅力がわずかに強い場合、ツインセンスアンプT S Aは、データ” 1”をラッチする。すなわち、誤った読み出しデータが出力される。

[0104] データ” 1”を記憶しているレギュラーメモリセルM Cの読み出し動作において、データ” 1”およびデータ” 0”に対応する出力電圧O U T 0、O U T O Xは、分布の上端にあるとする。この例では、差電圧V 1は、差電圧V 0より大きくなり、ツインセンスアンプT S Aは、データ” 0”を増幅してラッチする。すなわち、誤った読み出しデータが出力される。

[0105] なお、リファレンスメモリセルR M Cの読み出し動作において、データ” 1”に対応する出力電圧O U T 0（またはO U T O X）は、分布の下端にあり、データ” 0”に対応する出力電圧O U T O X（またはO U T 0）は、分布の上端にあるとする。出力電圧O U T 0、O U T O Xとの差V 2は、十分に大きい。したがって、センスアンプR S Aは、正しいデータを確実に読み出すことができる。

[0106] 以上、第4の実施形態においても、上述した第1、第2および第3の実施形態と同様の効果を得ることができる。特に、容量値がばらつきやすい強誘電体キャパシタF 1、F 2で構成されるメモリセルM C、R M Cを有する半導体メモリM E Mにおいて、読み出しマージンを向上できる。

[0107] 図19および図20は、第5の実施形態の要部を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明は省略する。この実施形態では、第4の実施形態の強誘電体メモリM E MにダミーメモリセルD M Cを追加して構成されている。プリセンスアンプP S A、R P S AのキャパシタC 2の容量値は、第4の

実施形態より大きい。その他の構成は、第4の実施形態と同じである。

[0108] ダミーメモリセルDMCは、レギュラービット線BL（実際には、図7のBL1、BL2、...BLnのいずれか）、リファレンスビット線BL0およびBL0Xの各々に接続されている。ダミーメモリセルDMCは、一端がダミープレート線DPLに接続され、他端がダミーアクセストランジスタDNを介して、ビット線BL、BL0またはBL0Xに接続されたダミーキャパシタDFを有している。ダミーアクセストランジスタDNのゲートは、ダミーワード線DWLに接続されている。例えば、ダミーキャパシタDFは、強誘電体キャパシタ等の可変容量キャパシタで構成される。ビット線BLに接続されるダミーメモリセルDMCは、レギュラーメモリセルMCと同じ構造である。ビット線BL0、BLXに接続される一対のダミーメモリセルDMCは、リファレンスメモリセルRMCと同じ構造である。

[0109] ダミーキャパシタDFは、読み出し動作前に、データ”0”（低論理レベル）に対応する電荷を蓄積可能な容量値に設定される。すなわち、ダミーメモリセルDMCのダミーキャパシタDFは、常に、データ”0”を保持している。例えば、図20における相補のビット線BL0、BL0Xにそれぞれ接続されたダミーキャパシタDFは、ともに両方にデータ”0”を保持する必要がある。このため、強誘電体メモリMEMは、リファレンスビット線BL0、BL0Xをともに”0”レベル（例えば、接地電圧）に設定するダミー書き込み回路（図示せず）を有している。ダミー書き込み回路は、読み出し動作後の再書き込み期間または読み出し動作前に動作し、ビット線BL0、BL0Xにそれぞれ接続されたダミーキャパシタDFにデータ”0”を書き込む。

[0110] ダミーワード線DWLは、図7に示したワードドライバWDにより、ワード線WLと同じタイミング（図11の時刻T5）で高レベルに駆動される。ダミープレート線DPLは、図7に示したプレートドライバPDによりプレート線PLと同じタイミング（図11の時刻T5）で高レベルに駆動される。ダミーワード線DWLおよびダミープレート線DPLは、ロウデコード信

号の値に関わりなく、読み出し動作毎に高レベルに変化する。

[0111] この実施形態では、図 11 に示した時刻 T5 において、ワード線 WL およびプレート線 PL が立ち上がるときに、ダミーワード線 DWL およびダミープレート線 DPL も立ち上がる。これにより、ビット線 BL (または BLO、BLOX) は、レギュラーメモリセル MC の強誘電体キャパシタ F1 (またはダミーメモリセル DMC の強誘電体キャパシタ F1、F2) から読み出される電荷に加えて、ダミーメモリセル DMC のダミー強誘電体キャパシタ DF から読み出される電荷が読み出される。

[0112] ダミー強誘電体キャパシタ DF から読み出される電荷量は、データ "0" を保持している強誘電体キャパシタ F1 から読み出される電荷量に等しい。これにより、トランジスタ P1 を介してノード VMINUS、VMINUS0、VMINUS0X に転送される電荷量を増やすことができ、読み出し動作の波形は、上述した図 11 および図 12 と同じ波形になる。

[0113] 以上、第 5 の実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、この実施形態では、ダミーメモリセル DMC を利用して、データ "1" に対応する読み出し電圧 VMINUS、VMINUS0 (または VMINUS0X) および出力電圧 OUT、OUT0 (または OUT0X) を飽和電圧まで上昇させることができる。この結果、既存のプリセンスアンプ PSA、RPSA を用いて高い読み出しマージンを有する半導体メモリ MEM を提供できる。

[0114] 図 21 は、上述した第 1 から第 5 の実施形態の半導体メモリ MEM が搭載されるシステムの概要を示している。例えば、システム SYS は、コントローラ CNTL および半導体メモリ MEM を 1 チップ上に搭載し、システムオンチップ SOC として形成されている。コントローラ CNTL は、例えば、メモリ MEM をアクセスするための CPU を有する ASIC コアである。システム SYS に接続される外部ソースは、コントローラ CNTL を介してメモリ MEM をアクセスする。なお、メモリ MEM は、クロック信号 CLK に同期タイプでもよい。

- [0115] なお、上述した第4および第5実施形態では、本発明を強誘電体メモリに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、データの論理値を電荷として保持するキャパシタで構成されるメモリセルを有する他の半導体メモリに適用してもよい。
- [0116] 上述した第5の実施形態では、ダミーキャパシタDFを、ダミーアクセストランジスタDNを介してビット線BL、BL0またはBL0Xに接続する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、ダミーキャパシタDFをビット線BL、BL0またはBL0Xに直接接続してもよい。この場合、ダミーキャパシタDFは、ゲート絶縁膜等により構成されてもよい。
- [0117] 以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

請求の範囲

- [1] 高論理レベルまたは低論理レベルに対応する電荷を蓄積するセルキャパシタを有するレギュラーメモリセルと、
- 高論理レベルを保持する前記レギュラーメモリセルから読み出される電荷により飽和されて、飽和電圧が読み出されるとともに、低論理レベルを保持する前記レギュラーメモリセルに保持されていた電荷では飽和されず、前記飽和電圧よりも低い読み出し電圧が読み出されるレギュラーキャパシタを有し、蓄積された電荷に応じたレギュラー読み出し電圧を生成するレギュラープリセンスアンプと、
- 高論理レベルに対応する電荷を蓄積するセルキャパシタを有するリファレンスメモリセルと、
- 高論理レベルを保持する前記リファレンスメモリセルから読み出される電荷により飽和されて、飽和電圧が読み出されるリファレンスキャパシタを有し、前記飽和電圧をリファレンス読み出し電圧として生成するリファレンスプリセンスアンプと、
- 前記レギュラー読み出し電圧と、前記リファレンス読み出し電圧より第1電圧だけ低いリファレンス電圧との差を差動増幅し、前記メモリセルに保持されていたデータの論理を生成する差動センスアンプと
- を有することを特徴とする半導体メモリ。
- [2] 請求項1に記載の半導体メモリにおいて、
- 前記リファレンス電圧は、前記飽和電圧よりも低い読み出し電圧よりも高いことを特徴とする半導体メモリ。
- [3] 請求項1に記載の半導体メモリにおいて、
- 前記レギュラーメモリセルに接続されたレギュラービット線と、
- 前記リファレンスメモリセルに接続されたリファレンスビット線と、
- 前記リファレンス読み出し電圧より第1電圧だけ低いリファレンス電圧を生成する電圧変換回路とを備え、
- 前記レギュラープリセンスアンプは、

前記レギュラービット線に接続されたレギュラー電荷転送回路と、
レギュラー読み出しノードを介して前記レギュラー電荷転送回路に接続され、読み出し動作時に前記レギュラーメモリセルから前記レギュラービット線に読み出される電荷を蓄積する前記レギュラーキャパシタを含み、前記レギュラーキャパシタに蓄積された電荷に応じて前記レギュラー読み出しノードにレギュラー読み出し電圧を生成するレギュラー電荷蓄積回路とを有し、
前記リファレンスプリセンスアンプは、
前記リファレンスビット線に接続されたリファレンス電荷転送回路と、
リファレンス出力ノードを介して前記リファレンス電荷転送回路に接続され、読み出し動作時に前記リファレンスメモリセルから前記リファレンスビット線に読み出される高論理レベルに対応する電荷を蓄積する前記リファレンスキャパシタを含み、前記リファレンスキャパシタに蓄積された電荷に応じて前記リファレンス読み出しノードにリファレンス読み出し電圧を生成するリファレンス電荷蓄積回路とを有することを特徴とする半導体メモリ。

- [4] 請求項 3 記載の半導体メモリにおいて、
前記レギュラービット線および前記ダミービット線にそれぞれ接続され、前記読み出し動作時に前記ビット線に電荷を出力するダミーメモリセルを備えていることを特徴とする半導体メモリ。
- [5] 請求項 4 記載の半導体メモリにおいて、
前記ダミーメモリセルは、低論理レベルに対応する電荷を蓄積することを特徴とする半導体メモリ。
- [6] 請求項 3 記載の半導体メモリにおいて、
前記レギュラープリセンスアンプに接続され、前記レギュラー読み出し電圧を所定値だけシフトしたレギュラーシフト電圧を生成するレギュラーレベルシフタと、
前記リファレンスプリセンスアンプに接続され、前記リファレンス読み出し電圧を前記所定値だけシフトしたリファレンスシフト電圧を生成するリファレンスレベルシフタとを備え、

前記電圧変換回路は、前記リファレンスシフト電圧より前記第 1 電圧だけ低い前記リファレンス電圧を生成し、

前記差動センスアンプは、前記レギュラーシフト電圧を前記レギュラー読み出し電圧として受け、前記レギュラーシフト電圧と前記リファレンス電圧との差を差動増幅することを特徴とする半導体メモリ。

[7] 請求項 6 記載の半導体メモリにおいて、

前記リファレンスメモリセルに形成され、低論理レベルに対応する電荷を蓄積するセルキャパシタと、

前記低論理レベルに対応するセルキャパシタに接続されたリファレンスビット線と、

前記低論理レベルに対応するリファレンスビット線に接続されたリファレンスプリセンスアンプと、

前記低論理レベルに対応するリファレンスプリセンスアンプに接続されたリファレンスレベルシフタとを備え、

前記レギュラーレベルシフタは、一端が前記レギュラー読み出しノードに接続されたレギュラーシフトキャパシタと、ゲートが前記レギュラーシフトキャパシタの他端に接続され、ソースから前記レギュラーシフト電圧を出力するレギュラーソースフォロアトランジスタと、前記レギュラーソースフォロアトランジスタのソースに接続されたレギュラー負荷回路とを有し、

前記各リファレンスレベルシフタは、一端が対応するリファレンス読み出しノードに接続されたリファレンスシフトキャパシタと、ゲートが前記リファレンスシフトキャパシタの他端に接続され、ソースから前記リファレンスシフト電圧を出力するリファレンスソースフォロアトランジスタと、前記リファレンスソースフォロアトランジスタのソースに接続されたリファレンス負荷回路とを有し、

前記電圧変換回路は、一对の前記リファレンスレベルシフタにそれぞれ接続され、出力が互いに接続された一对のソースフォロア回路を有し、

前記各ソースフォロア回路は、ゲートが対応するリファレンスシフトキャ

パシタの他端に接続され、共通の出力から前記リファレンス電圧を出力するソースフォロアトランジスタと、対応するソースフォロアトランジスタのソースに接続された負荷回路とを有することを特徴とする半導体メモリ。

[8] 請求項7記載の半導体メモリにおいて、

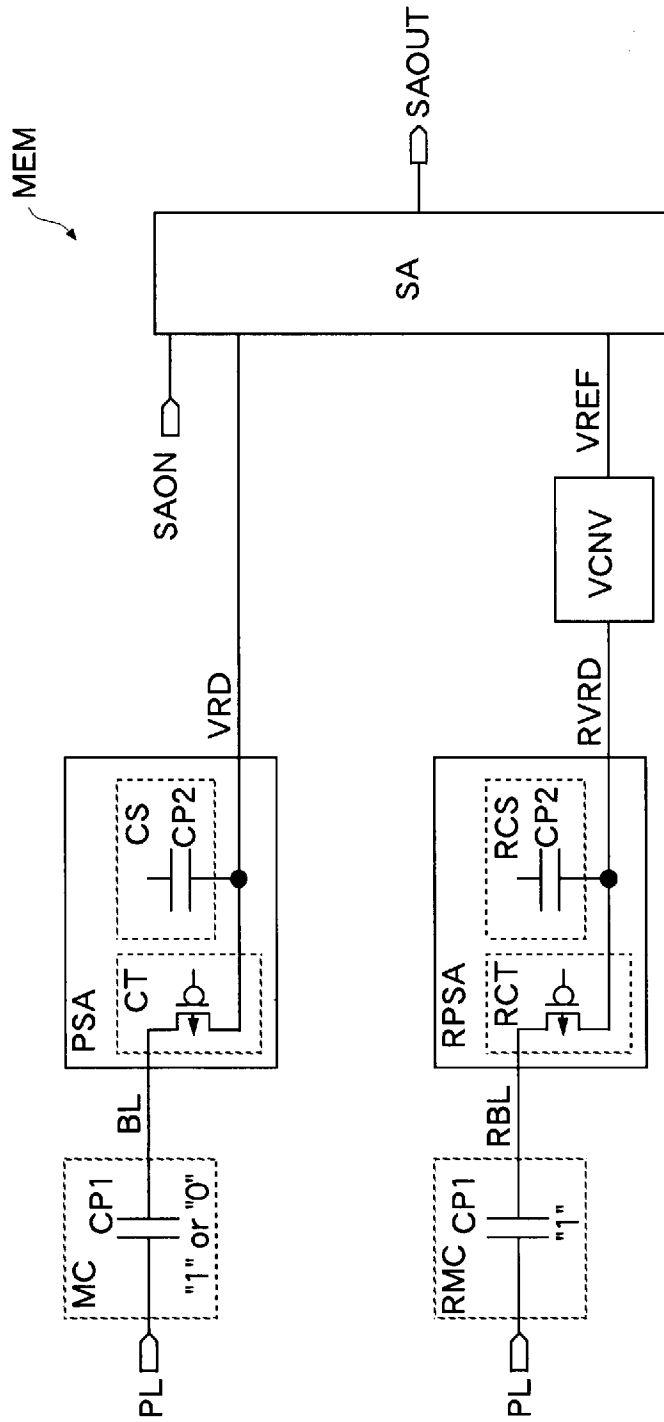
一対の前記リファレンスレベルシフトからそれぞれ出力されるリファレンスシフト電圧の差を差動増幅し、前記リファレンスメモリセルに保持されていたデータの論理を生成する差動センスアンプを備えていることを特徴とする半導体メモリ。

[9] 請求項7記載の半導体メモリにおいて、

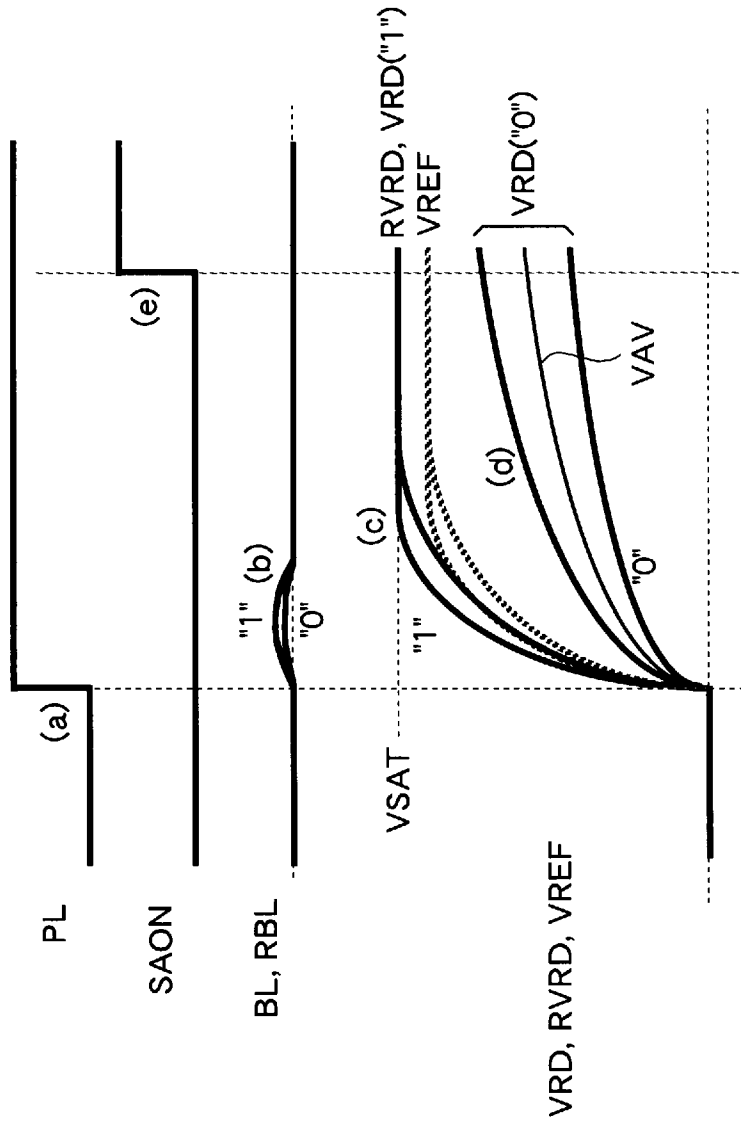
前記レギュラー負荷回路は、ゲートが前記レギュラー読み出しノードに接続されたトランジスタであり、

前記リファレンス負荷回路および前記ソースフォロア回路の負荷回路の各々は、ゲートが対応するリファレンス読み出しノードに接続されたトランジスタであることを特徴とする半導体メモリ。

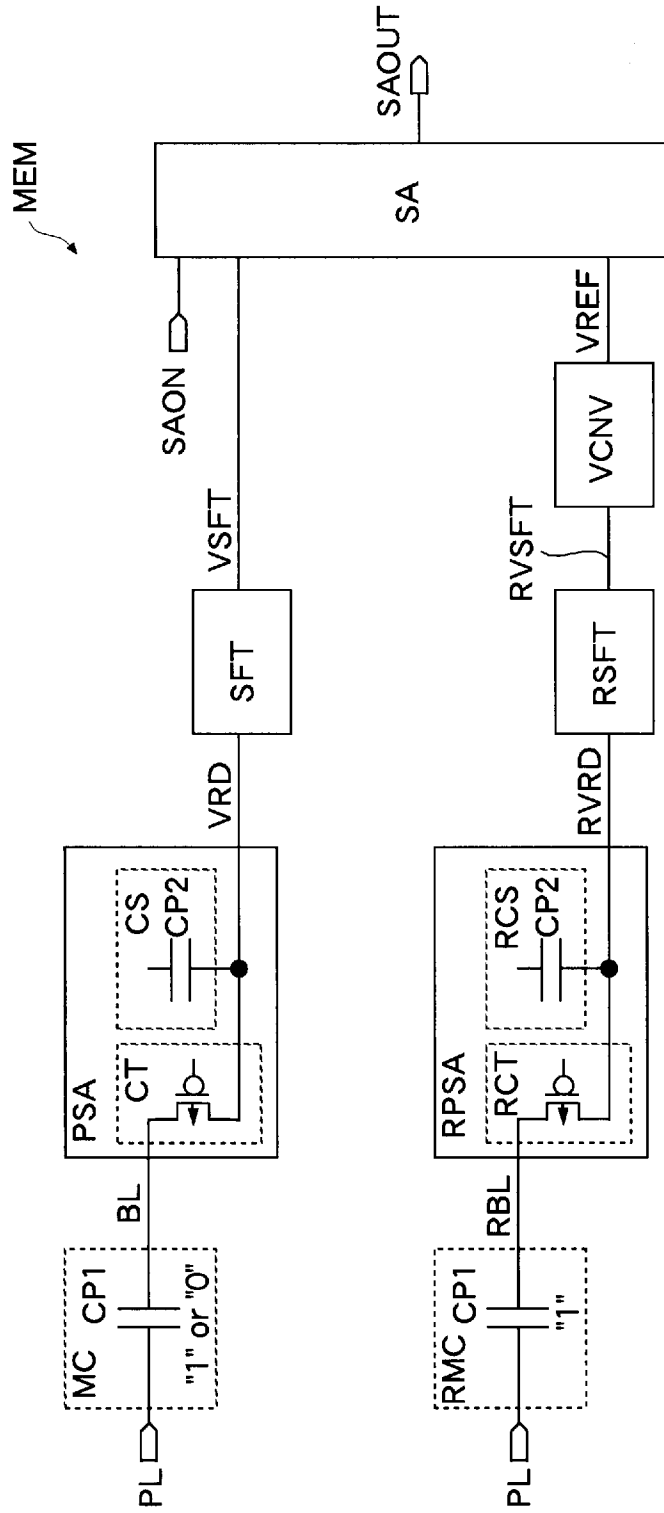
[1]



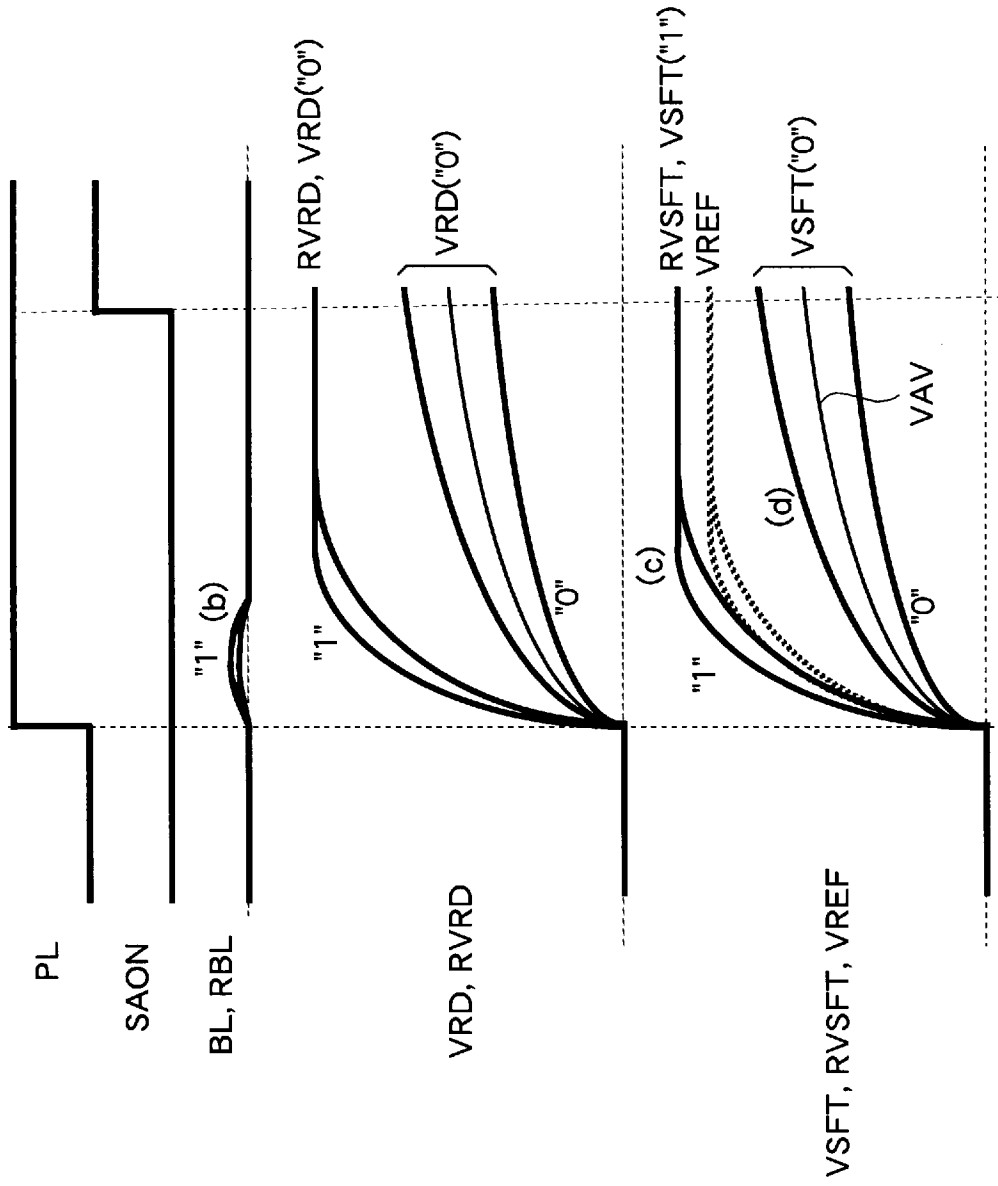
[圖2]



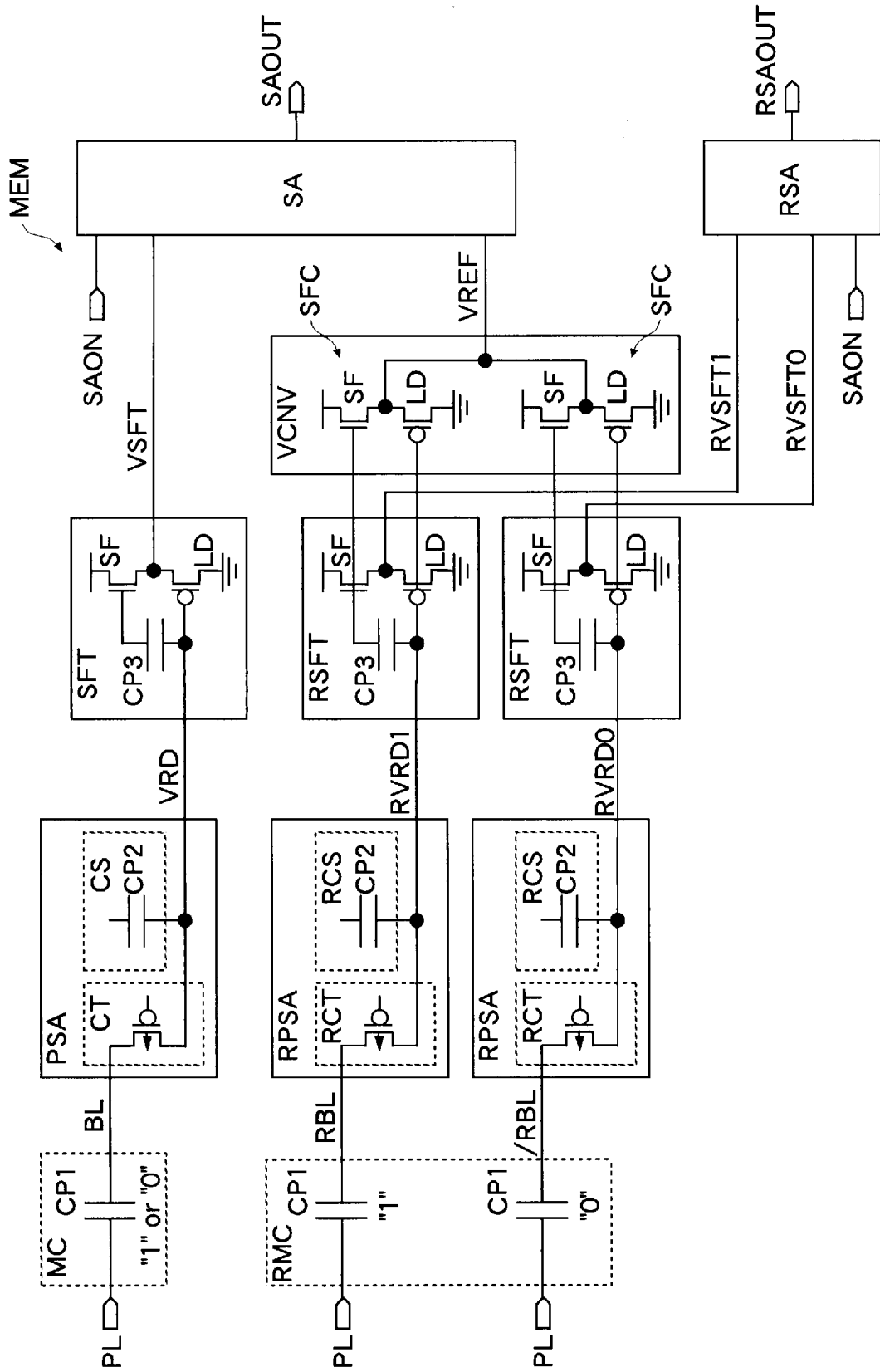
[3]



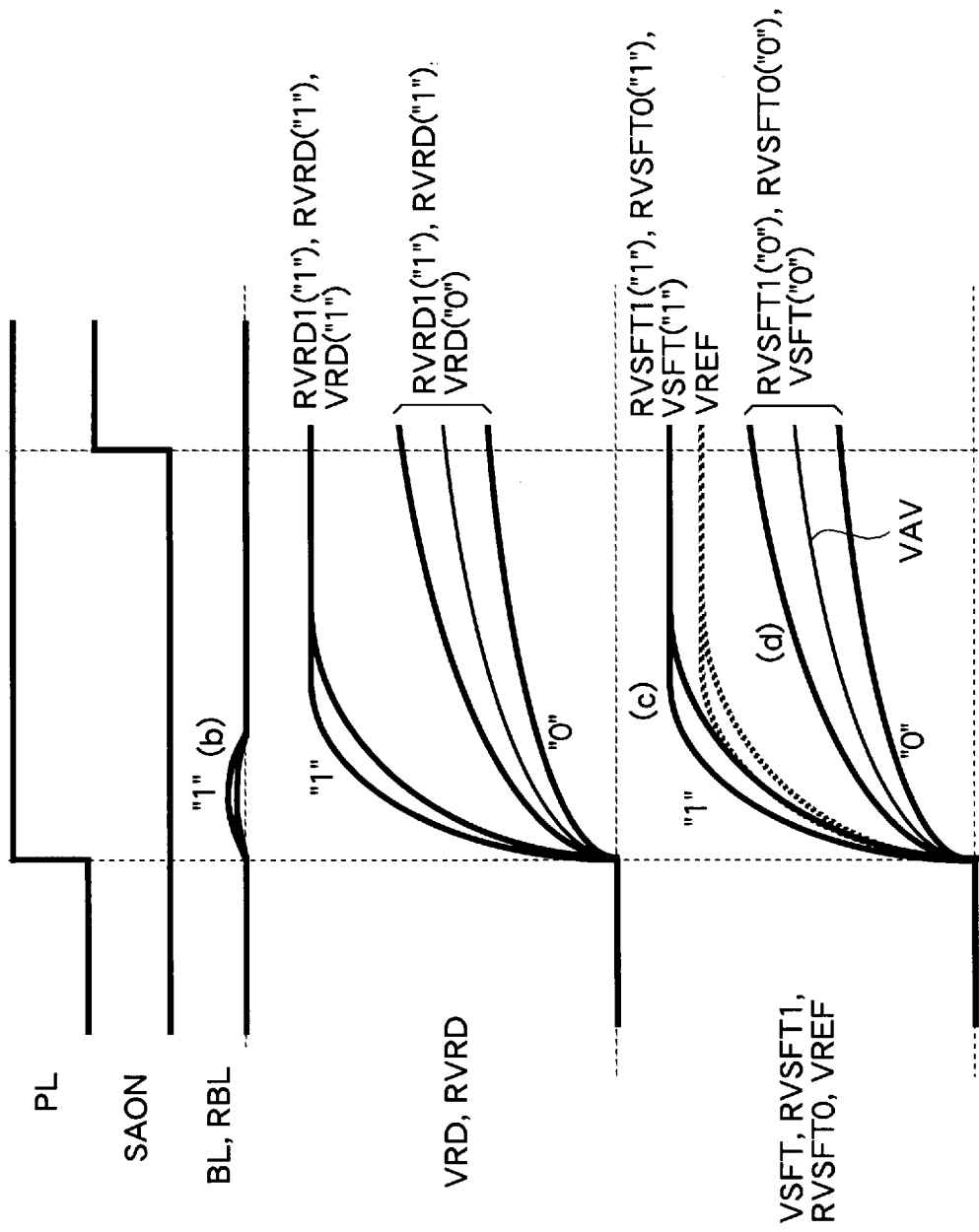
[圖4]



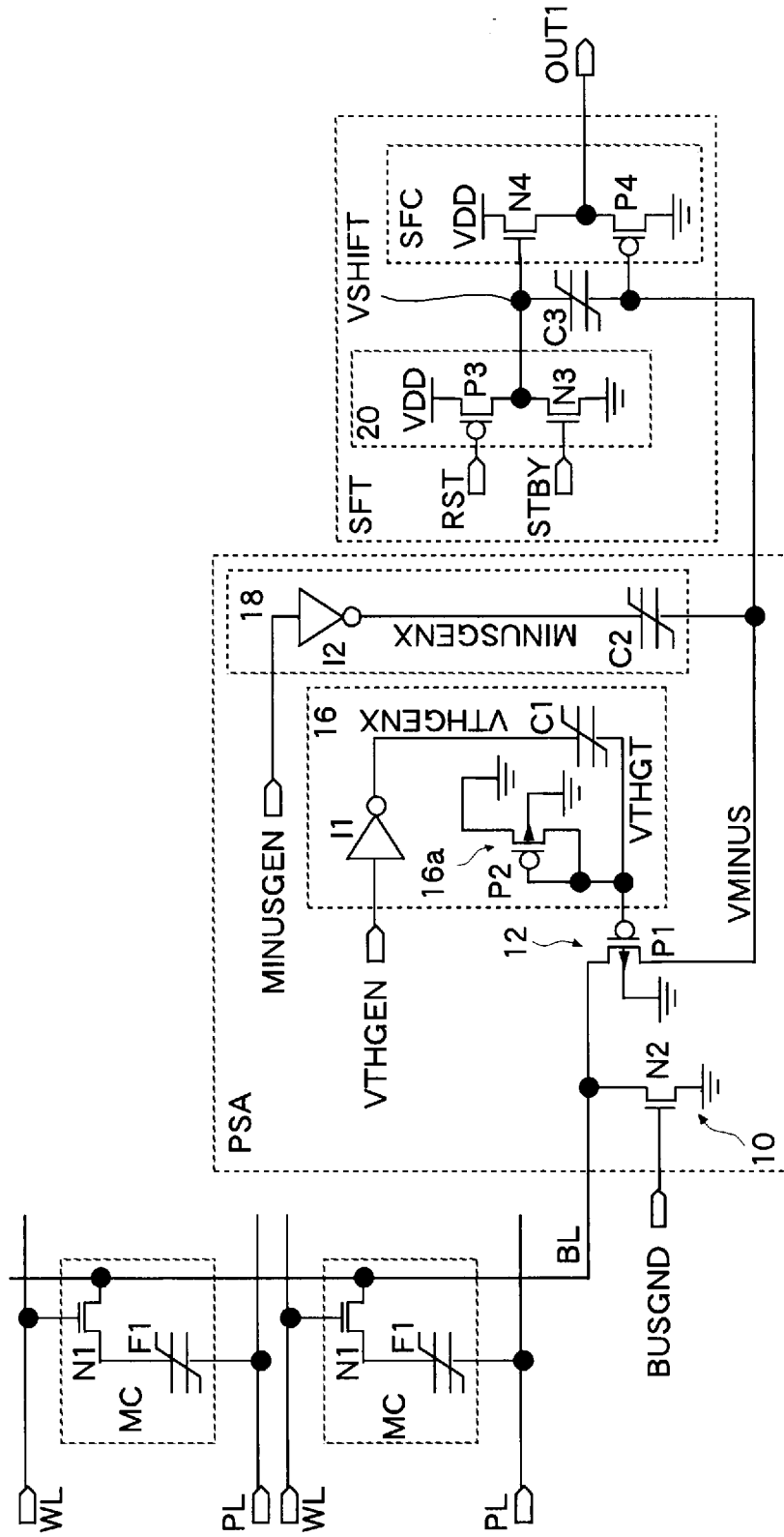
[5]



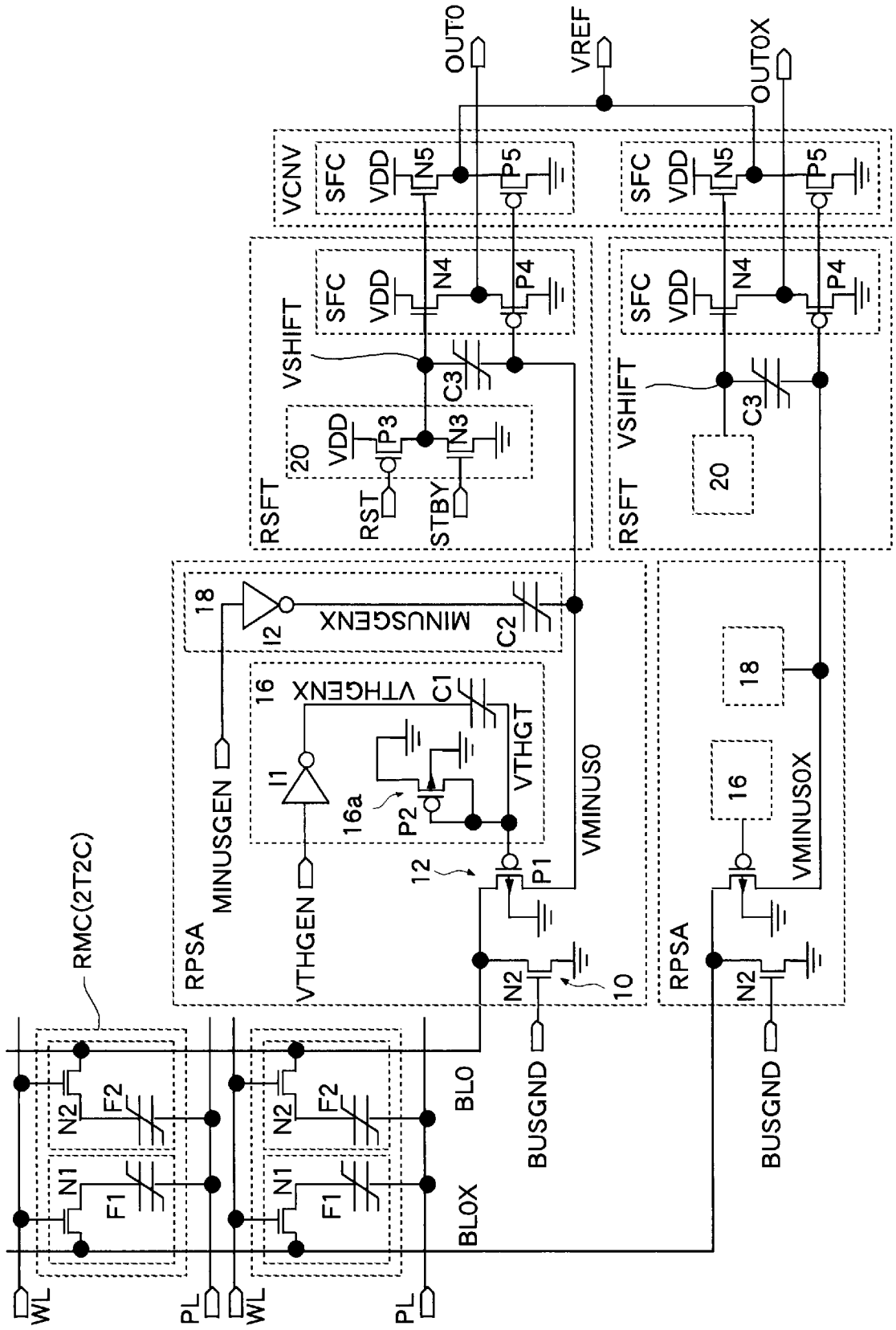
[圖6]



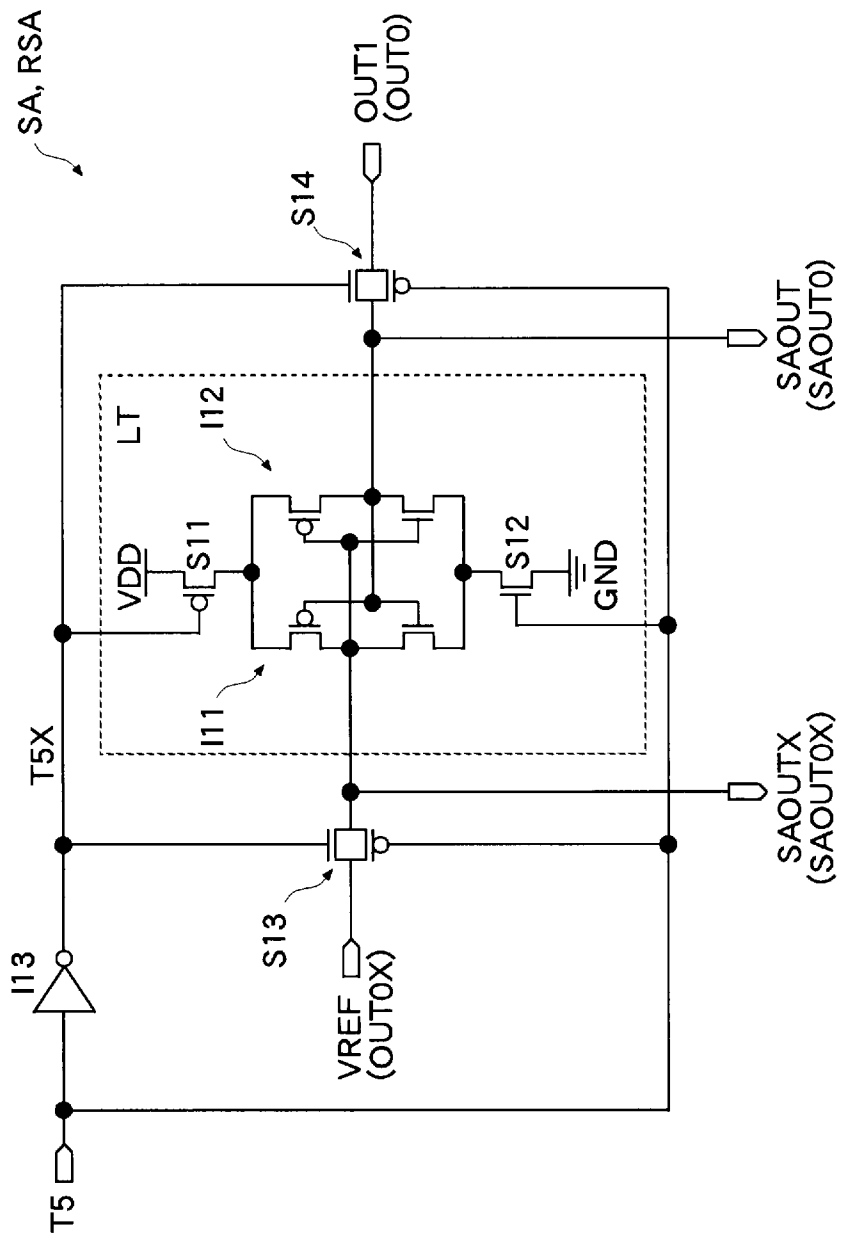
[8]



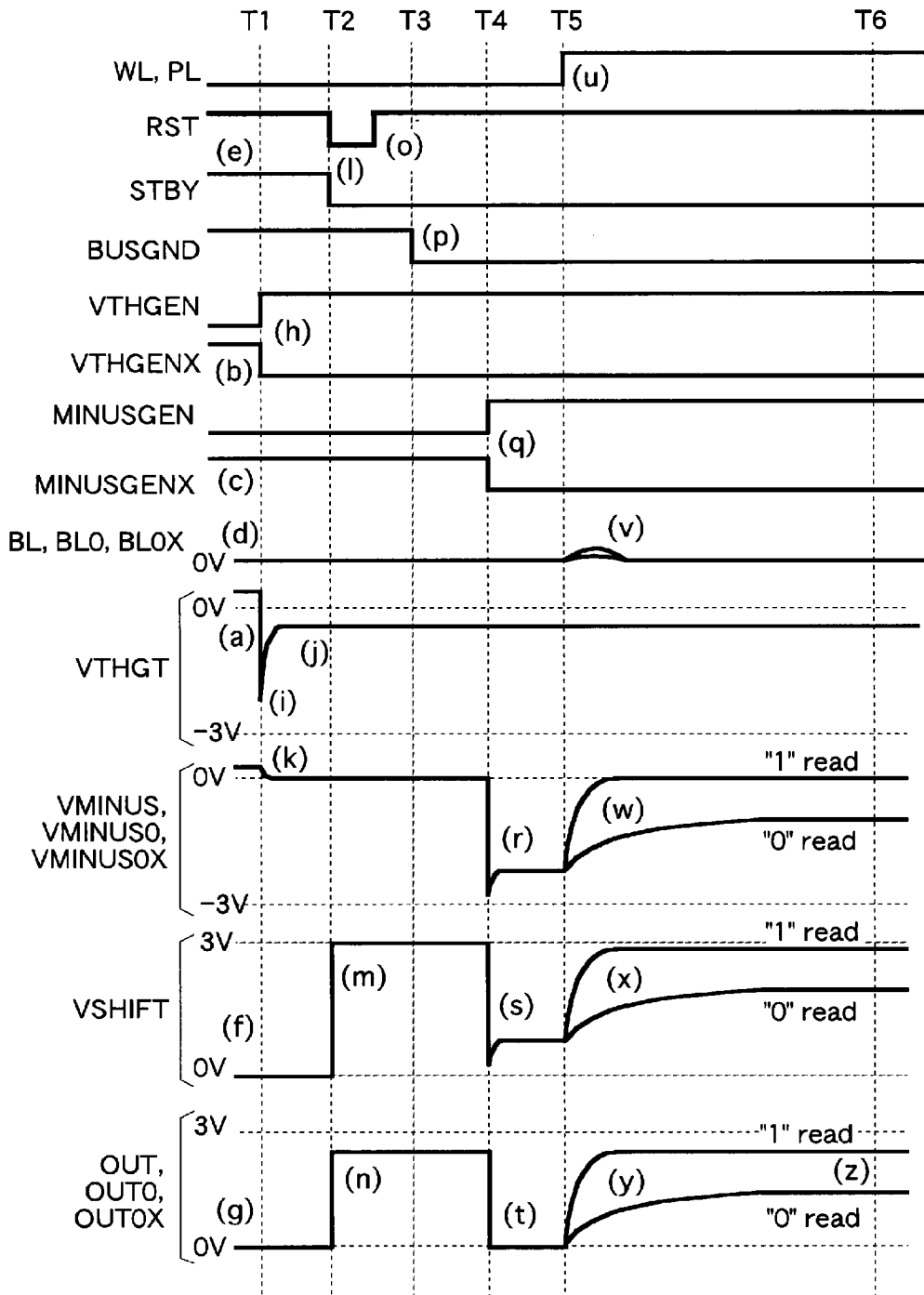
[9]



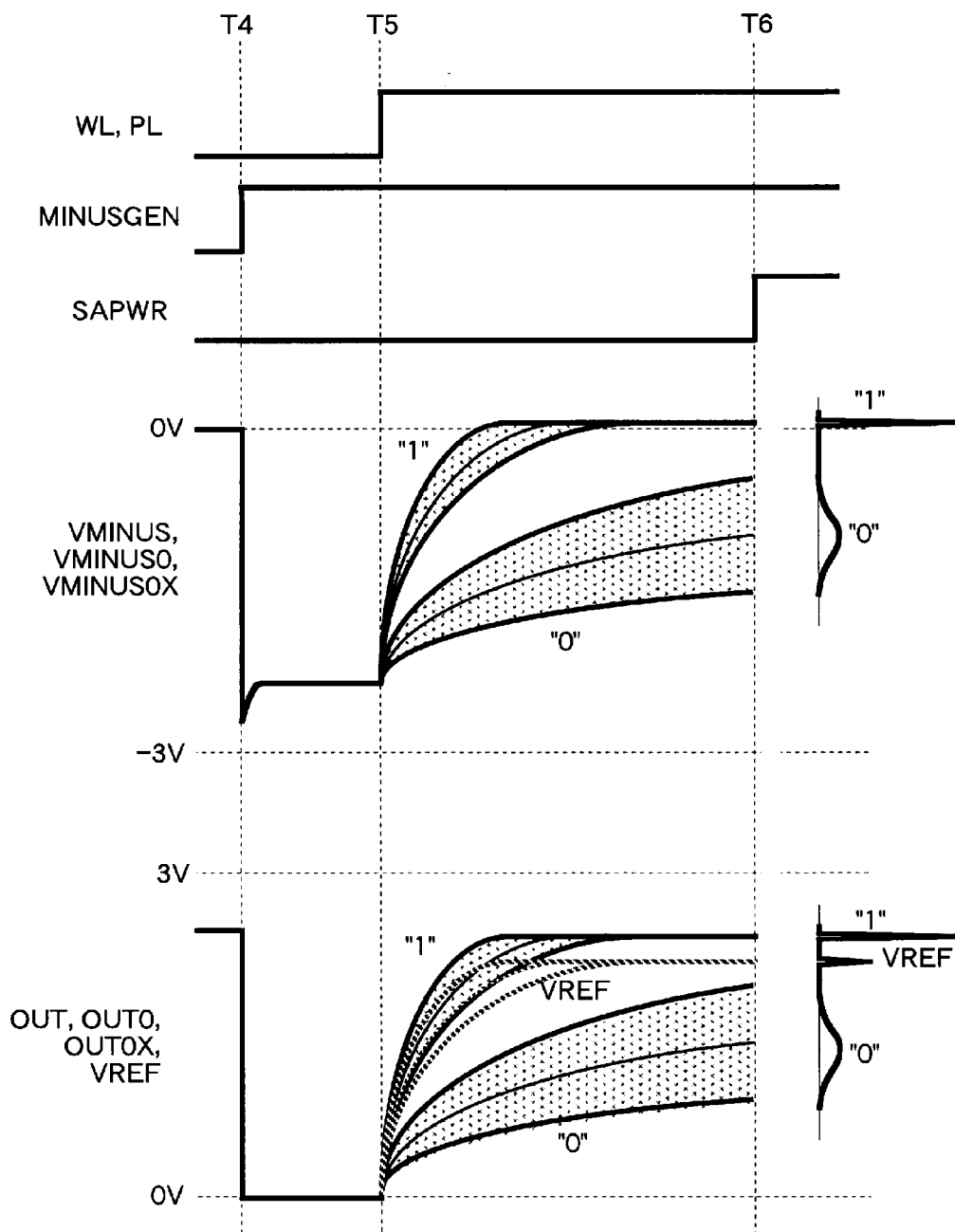
[10]



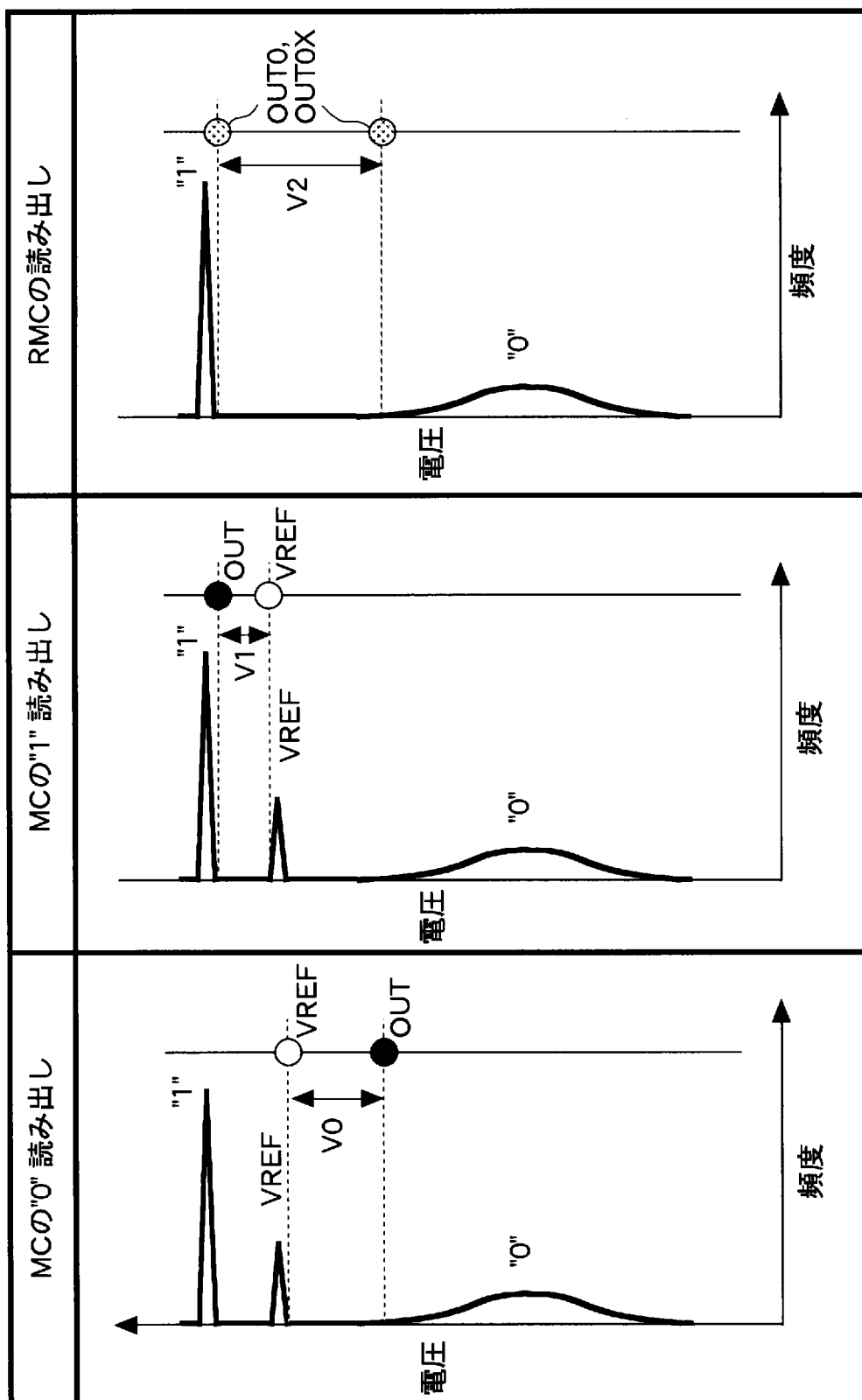
[図11]



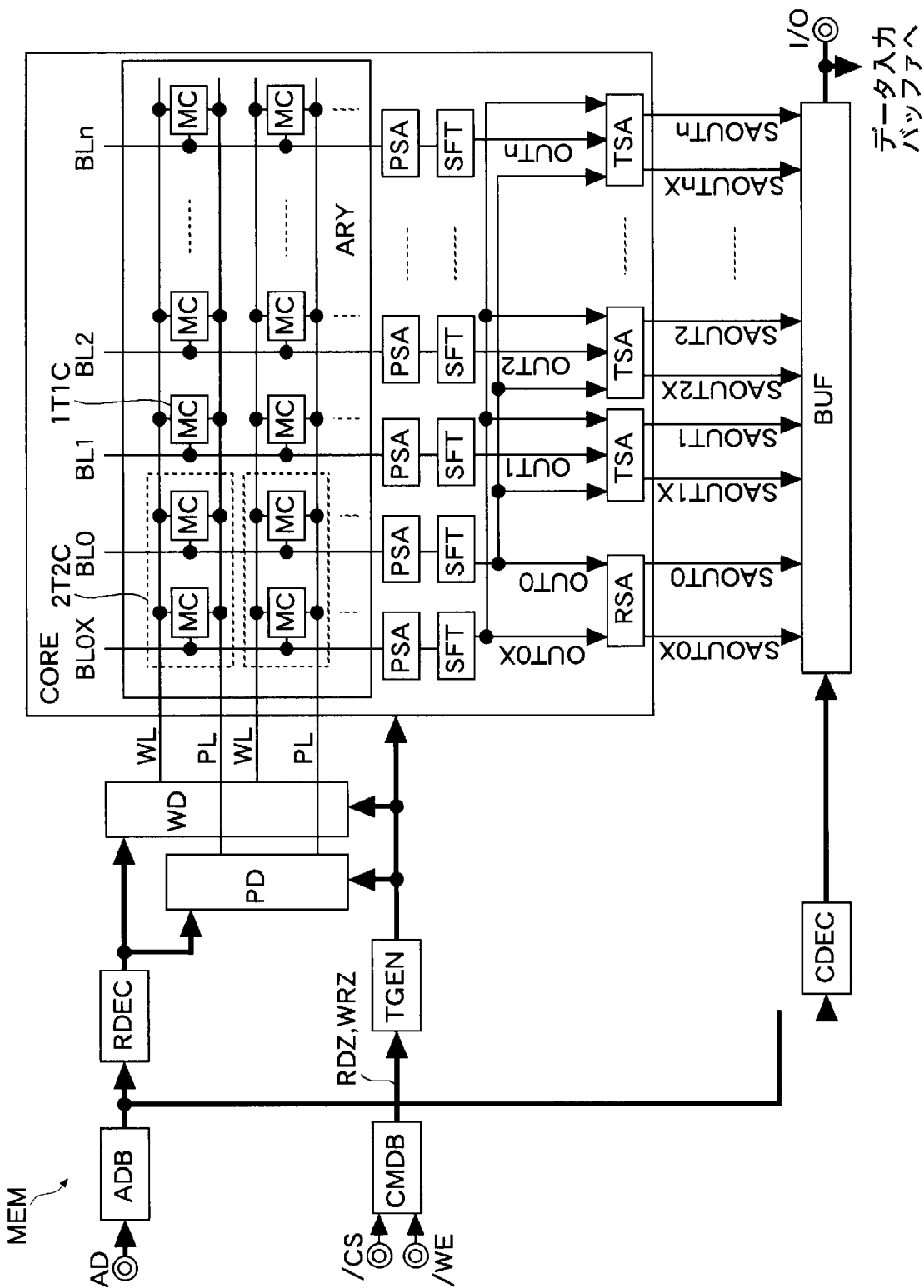
[圖12]



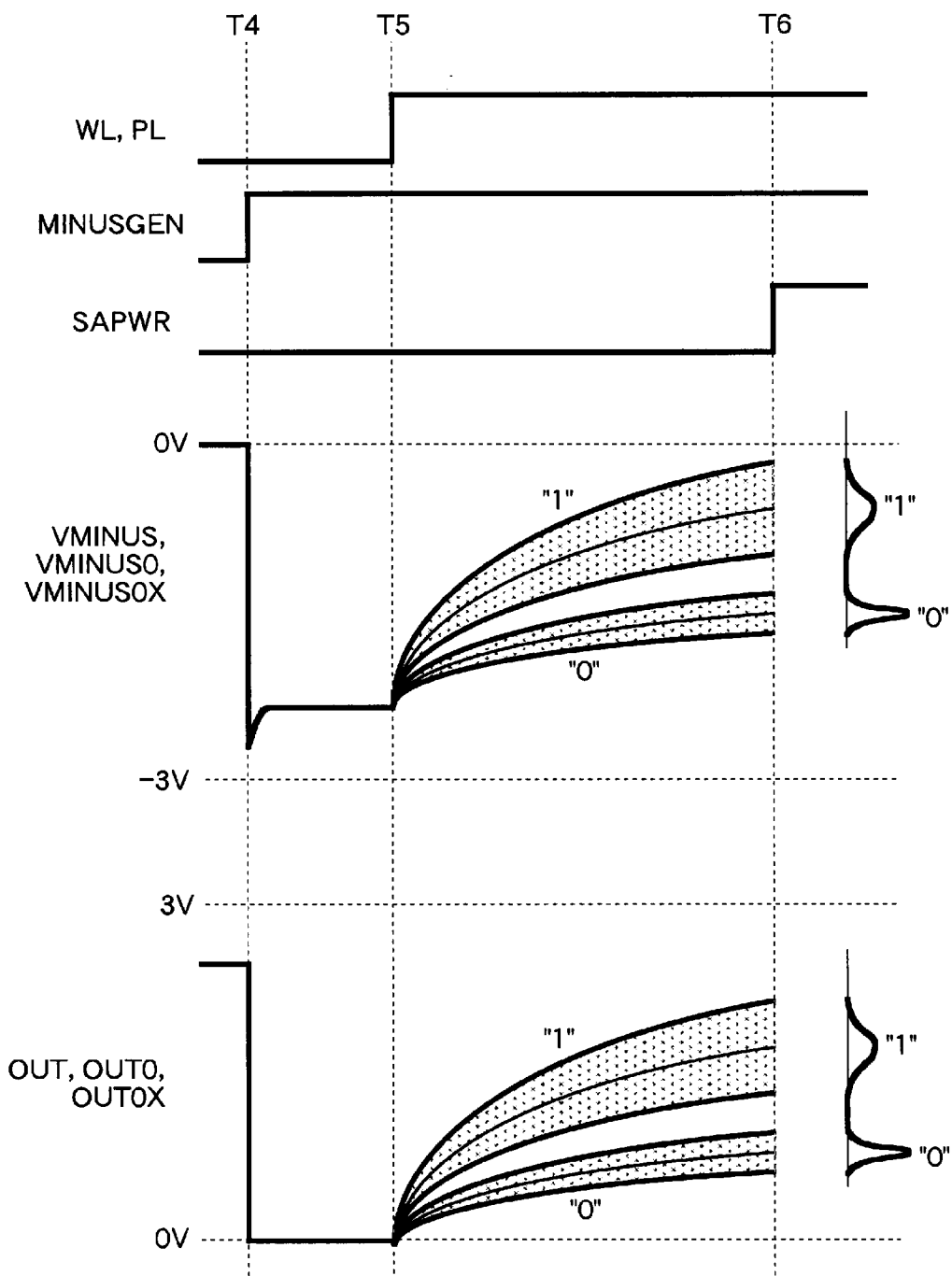
[図13]



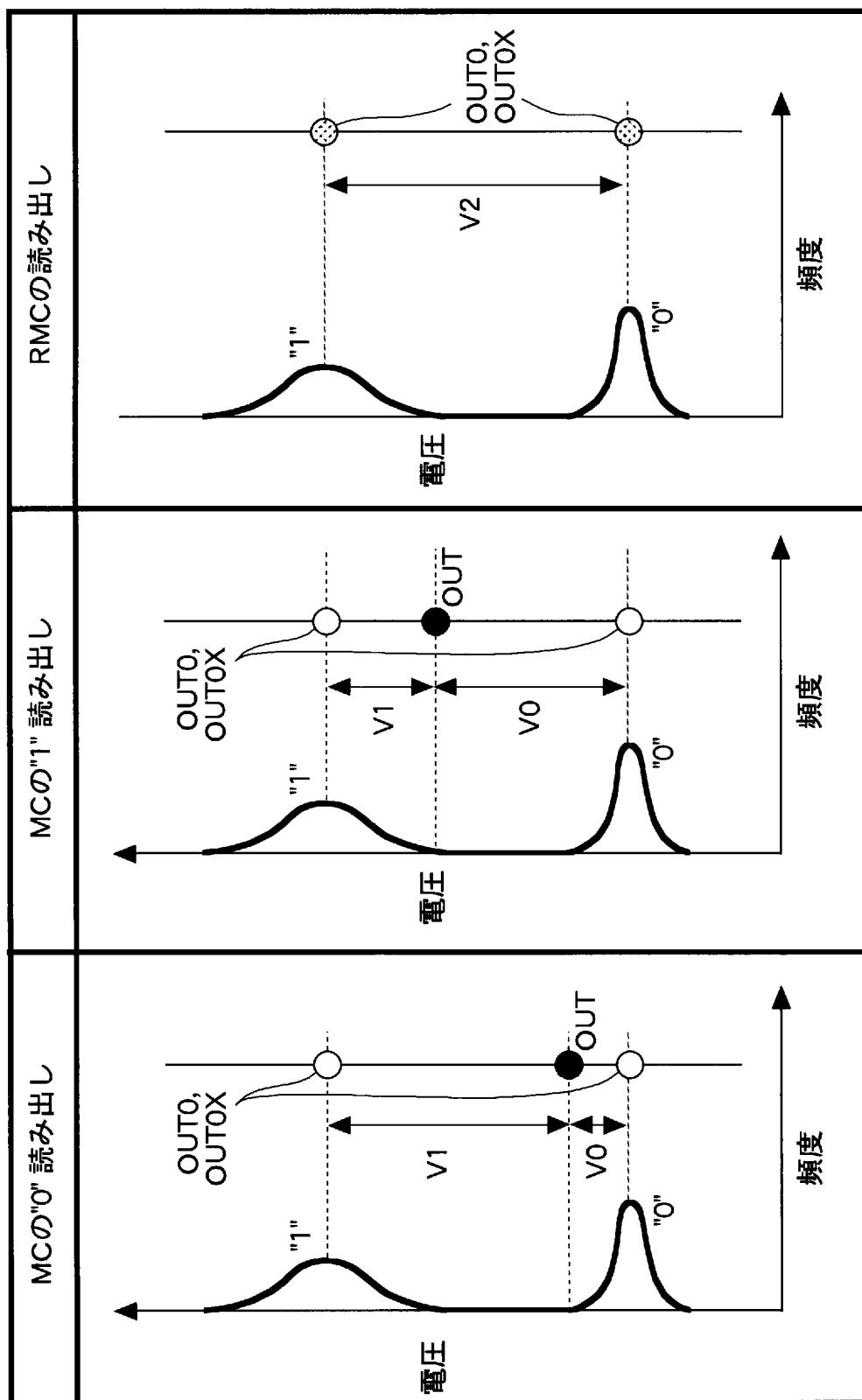
[図14]



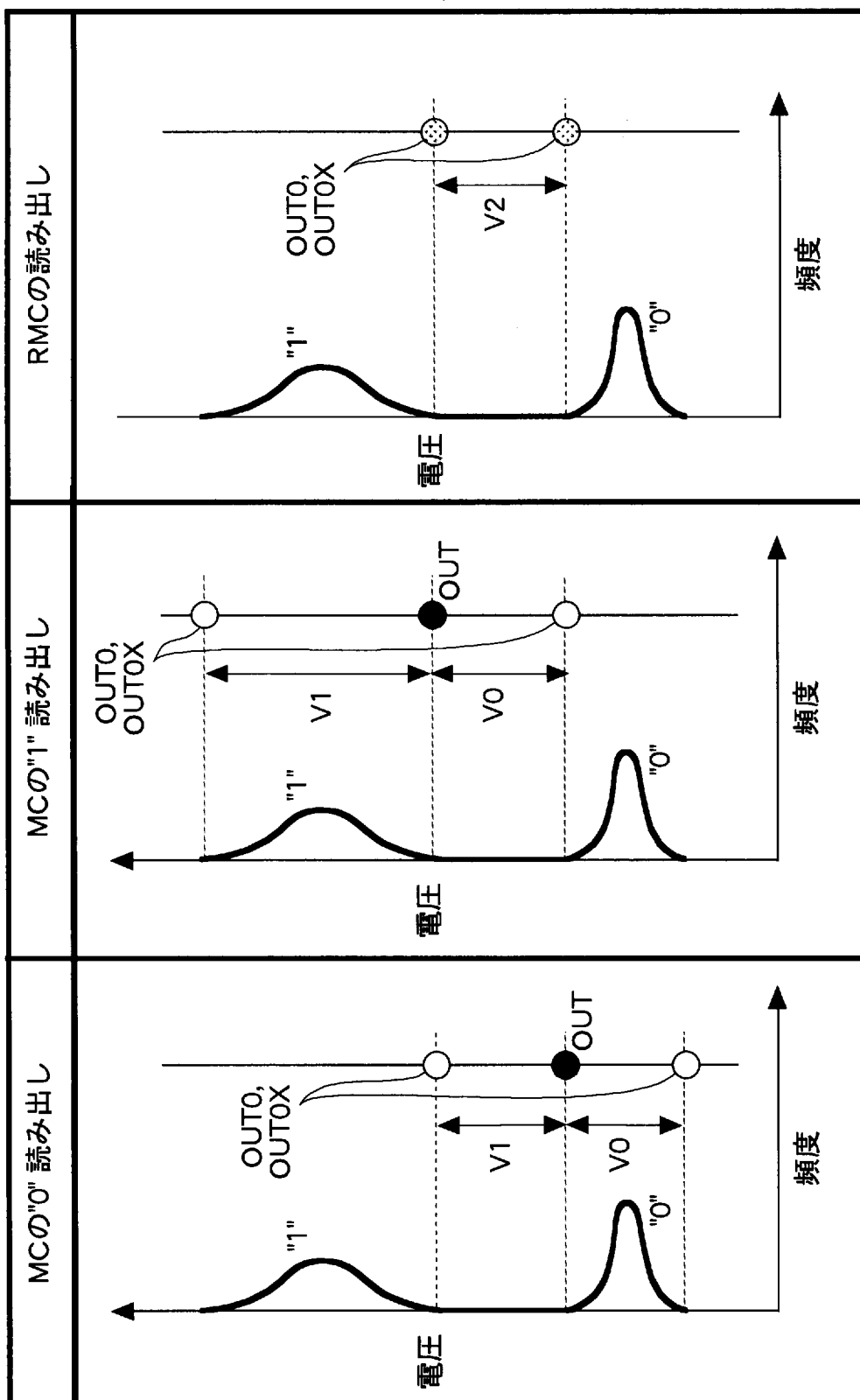
[図16]



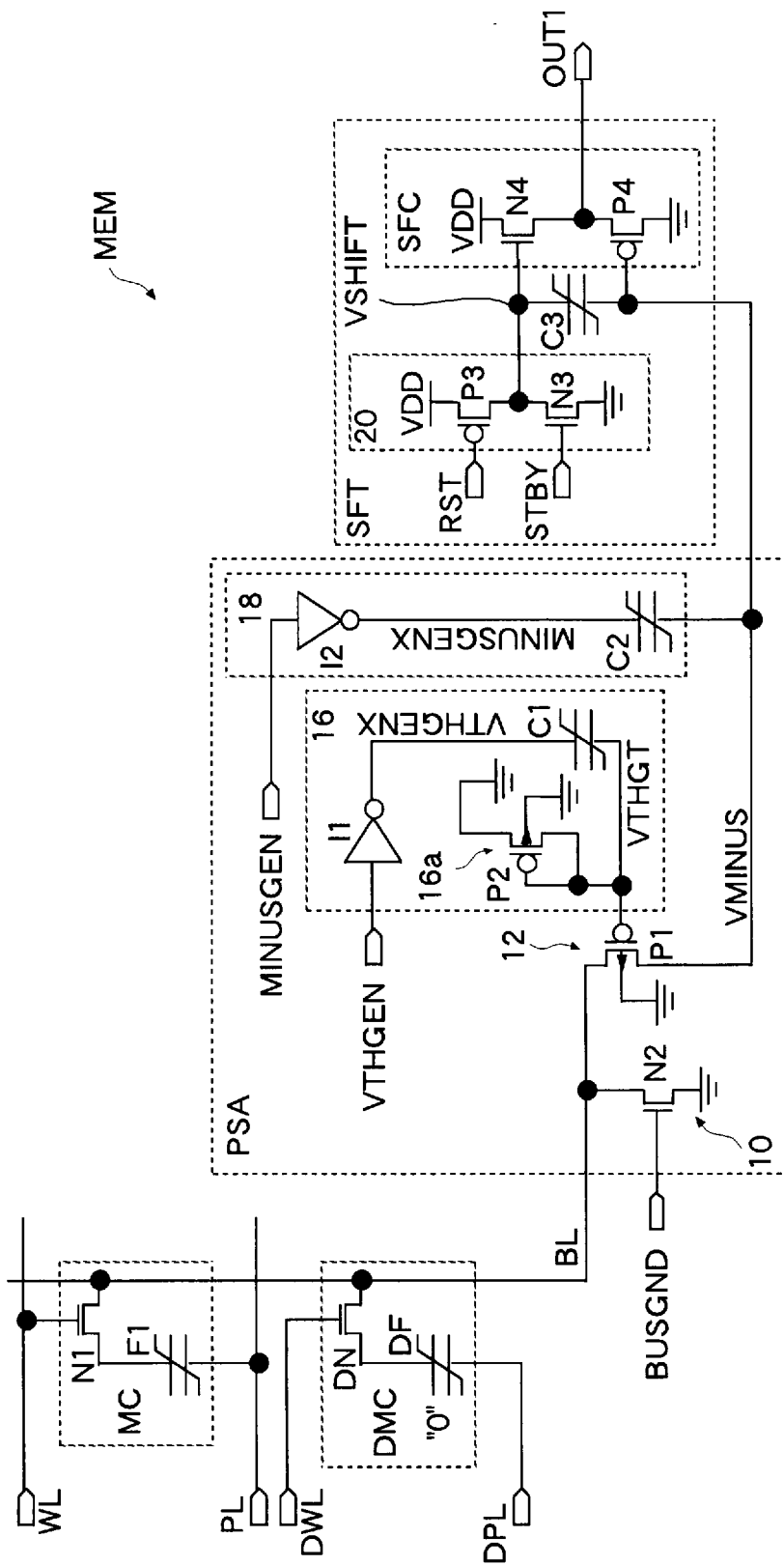
[図17]



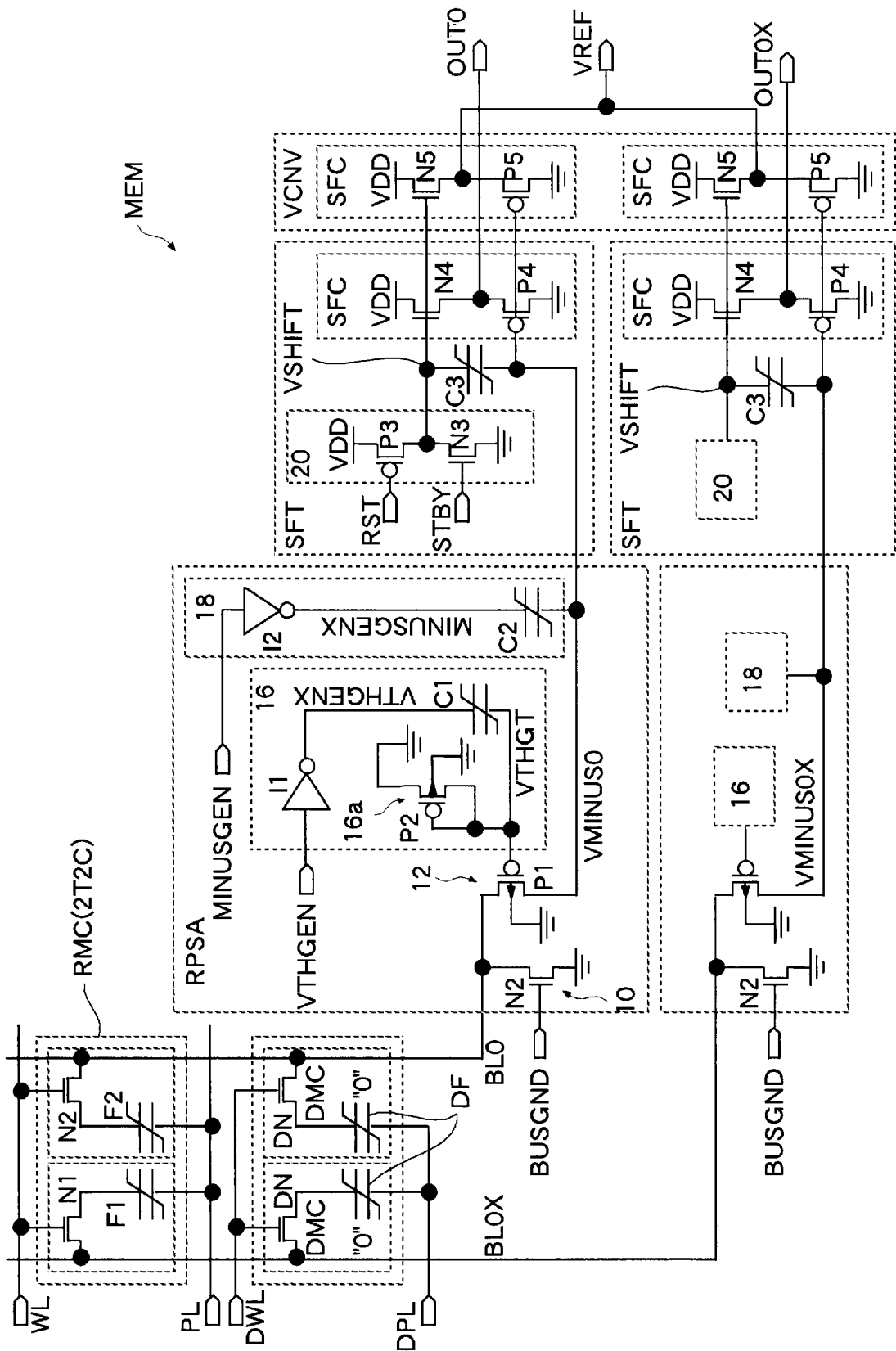
[図18]



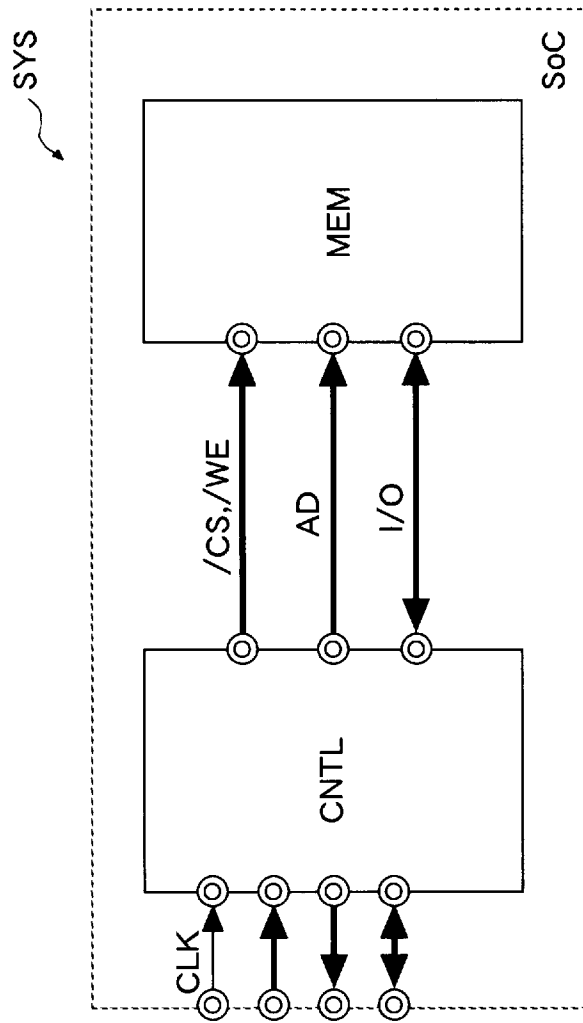
[19]



[20]



[21]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/001007

A. CLASSIFICATION OF SUBJECT MATTER
G11C11/22 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-184016 A (Fujitsu Ltd.), 19 July, 2007 (19.07.07), Par. Nos. [0129] to [0169]; Figs. 1 to 4 (Family: none)	1-9
A	WO 2004/093088 A1 (Fujitsu Ltd.), 28 October, 2004 (28.10.04), Page 6, line 32 to page 12, line 31; Figs. 2 to 9 & US 2005/0128784 A1 & EP 1622162 A1	1-9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 May, 2008 (29.05.08)	Date of mailing of the international search report 10 June, 2008 (10.06.08)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C11/22(2006.01)i										
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C11/22										
最小限資料以外の資料で調査を行った分野に含まれるもの <table style="width:100%; border-collapse: collapse;"> <tr> <td style="width:30%;">日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2008年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2008年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2008年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2008年	日本国実用新案登録公報	1996-2008年	日本国登録実用新案公報	1994-2008年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2008年									
日本国実用新案登録公報	1996-2008年									
日本国登録実用新案公報	1994-2008年									
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号								
A	JP 2007-184016 A (富士通株式会社) 2007. 07. 19, 第 0129-0169 段落, 第 1-4 図 (ファミリーなし)	1-9								
A	WO 2004/093088 A1 (富士通株式会社) 2004. 10. 28, 第 6 ページ第 32 行-第 12 ページ第 31 行, 第 2-9 図 & US 2005/0128784 A1 & EP 1622162 A1	1-9								
<input type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。										
<table style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; vertical-align: top;"> * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td style="width:50%; vertical-align: top;"> の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 29. 05. 2008	国際調査報告の発送日 10. 06. 2008									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 高野 芳徳 電話番号 03-3581-1101 内線 3586	5 N 3 5 6 1								