



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I415454 B

(45)公告日：中華民國 102 (2013) 年 11 月 11 日

(21)申請案號：097132190

(22)申請日：中華民國 97 (2008) 年 08 月 22 日

(51)Int. Cl. : **H04N5/335 (2011.01)**

(30)優先權：2007/09/14 美國

11/856,014

(71)申請人：豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)
美國

(72)發明人：戴泰恩 DAI, TIEJUN (CN)

(74)代理人：江國慶

(56)參考文獻：

US 5274377

US 5283581

US 2003/0063206A1

US 2005/0062867A1

審查人員：蔣依吾

申請專利範圍項數：18 項 圖式數：8 共 0 頁

(54)名稱

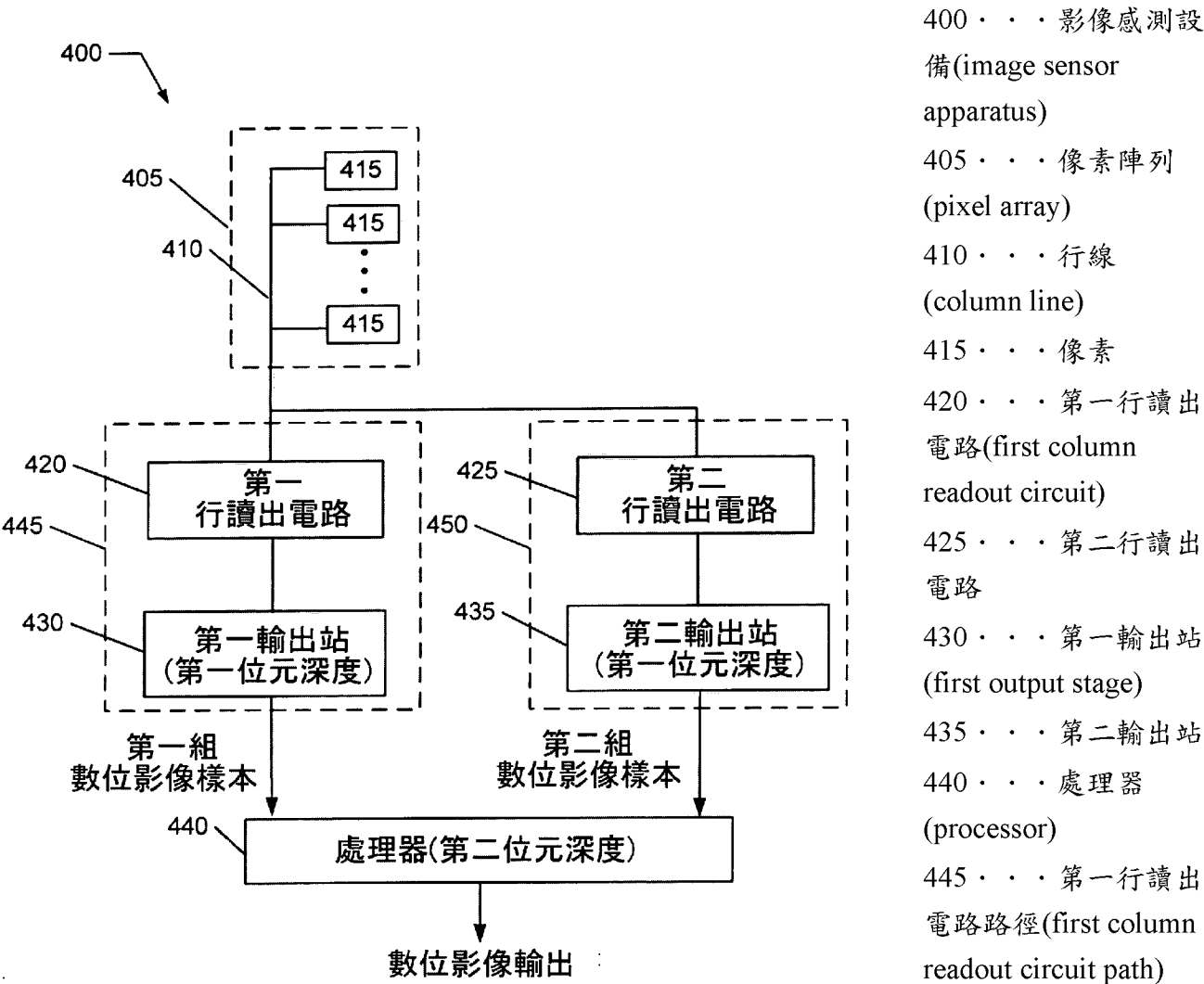
藉由多個讀出電路路徑改善動態範圍之影像感測設備與方法

IMAGE SENSOR APPARATUS AND METHOD FOR IMPROVED DYNAMIC RANGE WITH
MULTIPLE READOUT CIRCUIT PATHS

(57)摘要

本發明提供一種影像感測設備，其包含用於產生具有高動態範圍之數位影像的影像感測器。此影像感測設備包含產生第一位元深度之第一與第二組數位影像樣本的影像感測器，每組數位影像樣本係由不同之行讀出電路路徑所產生。處理器結合第一與第二組數位影像樣本，以產生第二位元深度之數位影像，其中此第二位元深度高於第一位元深度。

An image sensor apparatus comprises an image sensor for generating digital images having a high dynamic range. The image sensor apparatus includes an image sensor for generating a first and a second set of digital image samples at a first bit depth, with each set of digital image samples generated by a different column readout circuit path. A processor combines the first and second set of digital image samples to generate a digital image at a second bit depth, the second bit depth higher than the first bit depth.



第四圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97132190

※申請日：97.8.22

※IPC 分類：H04N 5/335 (2011.01)

一、發明名稱：(中文/英文)

藉由多個讀出電路路徑改善動態範圍之影像感測設備與方法/ Image Sensor Apparatus and Method for Improved Dynamic Range with Multiple Readout Circuit Paths

二、中文發明摘要：

本發明提供一種影像感測設備，其包含用於產生具有高動態範圍之數位影像的影像感測器。此影像感測設備包含產生第一位元深度之第一與第二組數位影像樣本的影像感測器，每組數位影像樣本係由不同之行讀出電路路徑所產生。處理器結合第一與第二組數位影像樣本，以產生第二位元深度之數位影像，其中此第二位元深度高於第一位元深度。

三、英文發明摘要：

An image sensor apparatus comprises an image sensor for generating digital images having a high dynamic range. The image sensor apparatus includes an image sensor for generating a first and a second set of digital image samples at a first bit depth, with each set of digital image samples generated by a different column readout circuit path. A

processor combines the first and second set of digital image samples to generate a digital image at a second bit depth, the second bit depth higher than the first bit depth.

四、指定代表圖：

(一)本案指定代表圖為：第(四)圖。

(二)本代表圖之元件符號簡單說明：

400 影像感測設備 (image sensor apparatus)

405 像素陣列 (pixel array)

410 行線 (column line)

415 像素

420 第一行讀出電路 (first column readout circuit)

425 第二行讀出電路

430 第一輸出站 (first output stage)

435 第二輸出站

440 處理器 (processor)

445 第一行讀出電路路徑 (first column readout circuit path)

450 第二行讀出電路路徑

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於改善 CMOS 影像感測器之動態範圍。具體而言，本發明係關於影像感測設備和方法，使用多個讀出電路路徑來改善 CMOS 影像感測器之動態範圍。

【先前技術】

影像感測器可獲取並處理光線，使其成為電子訊號，從而形成靜態的影像或視訊。其用途已在眾多場合下普遍使用，例如工業應用及科學應用，包含數位相機與錄影機、手持式移動裝置、網路攝影機、醫學應用、汽車應用、遊戲和玩具、安全和監控、影像識別以及自動檢測等等。用於製造影像感測器的技術一直在持續且快速地進步。

目前有兩種主要的影像感測器類型：電荷耦合器件（Charge-Coupled Device；CCD）感測器和互補金屬氧化物半導體（Complementary Metal Oxide Semiconductor；CMOS）感測器。一直到最近，多數的影像感測器仍是 CCD 型。早期的 CMOS 傳感器具有低靈敏度以及高雜訊水準，造成其應用範圍僅僅侷限在少數的廉價且低解析度之場合。CMOS 技術的最近進展已成功地開發出高性能的 CMOS 感測器，在許多應用領域中正快速地取代 CCD，特別是在以速度、能耗、空間大小、以及晶片功能為重要因素的應用領域中。

在上述兩種影像感測器中，採集光線的感光單元（photosite）都是形成在基底上，並排列成二維陣列。感

光單元通常稱為影像元件或者「像素 (pixels)」，能將入射光線轉換成電荷。像素的數量、尺寸與間隔決定了感測器所產生之影像的解析度。通常，現代的影像感測器通常包含有排列成像素陣列的數百萬個像素，以便提供高解析度之影像。

像素陣列中的每個像素所蓄積的電荷通常由「讀取電路」所讀取，循著像素陣列中的被讀取像素的次序轉換成數位影像樣本。讀取電路可以包含下述的組合：放大器、取樣與保持電路、類比數位轉換器 (ADC) 以及其他將二維電荷轉換成為數位影像樣本的電路元件。數位影像樣本可在影像訊號處理器 (ISP) 或者其他數位訊號處理器 (DSP) 中為進一步之處理，以產生數位影像輸出。

有許多方法可用來選擇藉由讀取電路對像素陣列中之像素進行讀取的次序；例如，陣列中的像素可以單獨讀取並循序處理。或者，對於每一行，可同時讀取並平行處理一系列像素。處理過的訊號將儲存於線記憶體 (line memory) 中，隨後循序讀取。在此情形下，由於每個讀取電路一次處理一行，因此可顯著降低頻率和能量需求，是以在大多數的 CMOS 影像感測裝置中均採用此種平行方式。

第一圖所呈現為採用平行方式的 CMOS 影像感測裝置的範例，其中 CMOS 影像感測裝置 100 包含像素陣列 105，其具有數個像素，排列成行線與列線之二維模式。CMOS 影像感測裝置 100 由控制器 110 所操作，用以從像素陣列 105 中選出被讀取的像素。多個行讀出電路 115 同時關閉

並平行讀取同一行中的所有像素，列選擇器電路（row selector circuit）120 選擇並啟動某一行線上的像素，以回應來自控制器 110 的控制訊號。列選擇器電路 120 在所選擇的行線上施加驅動電壓，以啟動其上的像素。隨後，行讀出電路（column readout circuits）115 讀取所選擇之線中的像素，以回應來自控制器 110 的控制訊號。

每條行線均連接到一個行讀出電路，此行讀出電路亦連接到像素輸出站（pixel output stage）125。像素輸出站 125 取得行讀出電路 115 所讀取之電荷，並將其轉換成數位影像樣本。隨後，這些樣本將於處理器 130 中進行處理，以產生數位影像輸出 135。

第二圖所呈現者為連接至輸出站 125 之行讀出電路 115，行讀出電路 115a 與 115b 包含行放大器 205a 與 205b，用於放大分別由行線 215a 中之像素 210a 讀取的電荷以及由行線 215b 中之像素 210b 讀取的電荷。行讀出電路 115a 與 115b 更包含取樣與保持電路 220a 與 220b，用於讀取已放大電荷。行線 215a 與 215b，亦稱為「位元線」，特定列中的所有像素均連接至其上，且每個像素的電荷均由其上讀取。

電荷將輸入至像素輸出站 125 中，像素輸出站 125 包含用於進一步放大電荷的第二站或整體放大器（global amplifier）225、以及用於將電荷轉換成數位影像樣本的類比數位轉換器 230。

如第三圖所示，像素陣列 105 中的典型像素可包含光

偵測器以及其後的四電晶體（4T）結構。像素 300 包含光偵測器 305，其後有傳輸電晶體 310、重置電晶體 315、源極隨耦電晶體（source follower transistor）320、以及行選擇電晶體 325。光偵測器 305 將入射光線轉換為電荷。當傳輸電晶體 310 為傳輸閘控制訊號「TX」觸發時，浮動擴散區域（floating diffusion region）330 將經由傳輸電晶體 310 接收電荷。重置電晶體 315 連接於浮動擴散區域 330 與供應電壓線 335 之間。重置控制訊號「RST」係用以觸發重置電晶體 310，從而在由光偵測器 305 傳輸電荷之前，將浮動擴散區域 330 重置為供應電壓線 335 的供應電壓 V_{cc} 。

源極隨耦電晶體 320 則連接至位於供應電壓線 335 和行選擇電晶體 325 之間的浮動擴散區域 330，並將儲存於浮動擴散區域 330 之電荷轉換為輸出電壓「 V_{out} 」。行選擇電晶體 325 為行選擇訊號控制「RS」所控制，選擇性地將源極隨耦電晶體 320 及其輸出電壓 V_{out} 連接至像素陣列的行線 340。

第三圖所呈現之 4T 結構，可提高 CMOS 影像感測裝置所產生之影像的整體品質。CMOS 影像感測裝置的影像品質取決於許多因素，例如感測器中之電路所導致之雜訊源，以及這類電路可能之動態範圍。雜訊源包含固定圖形雜訊（fixed pattern noise；FPN）與行讀出電路所引起的讀取雜訊、重置電晶體所引起的重置雜訊、光偵測器所引起的光子散射雜訊（photon shot noise）以及其他的雜訊

源，如暗電流雜訊和熱雜訊。

採用專門的行放大器或者藉由平場校正（flat field correction），可顯著減少或消除 FPN。例如，美國第 6,128,039 號專利揭露一種行放大器，採用開關電容放大器（switching capacitor amplifier），以顯著降低 FPN。在行讀出電路中之取樣與保持電路站使用相關二重取樣（Correlated Double Sampling；CDS）的技術，亦可消除重置雜訊。在重置電晶體的重置期間與源極隨耦電晶體之輸出電壓的傳輸期間，CDS 對於行線之電壓輸出進行兩次取樣，並將樣本彼此相減，以消除重置雜訊。而其他形式的雜訊，如光子散射雜訊、暗電流雜訊、以及熱雜訊，則較難被消除。

目前存在某些改善 CMOS 影像感測器之動態範圍的方法，動態範圍之定義為最大與最小之可檢測亮度訊號的比值。為了在低光照條件下且為了獲取大多數真實情景中亮度變化範圍較大之影像，最好為高動態範圍。隨著感測器動態範圍的增大，將可改善同時記錄影像中最暗和最亮亮度之能力。

影像感測器的動態範圍通常以灰階值、分貝或位元（bits）表示，具有較高訊噪比的影像感測器，會產生較高的動態範圍值（更大的分貝或位元）。此外，採用高位元深度之類比數位轉換器（ADCs）的影像感測器，亦會產生較高的動態範圍值。例如，12 位元類比數位轉換器對應於略高於 4,000 之灰階值或者 72 分貝（dBs），而 10 位元類

比數位轉換器只能轉換 60 分貝動態範圍之 1,000 灰階值。

關於 CMOS 影像感測器動態範圍之改善已著重在像素單元、行放大器或讀取電路之改良設計。目前已知有採用高位元深度之類比數位轉換器的 CMOS 影像感測裝置，如 14 位元類比數位轉換器，但與相對應之 CCD 相比，這些裝置甚為昂貴，且需要更為複雜的行讀出電路，並消耗相當高的能量與半導體晶片之面積。

因此，需要一種 CMOS 影像感測設備，提供較佳之動態範圍與雜訊抑制，而無需昂貴且高耗能之行讀出電路。尤其需要一種 CMOS 影像感測設備，能夠比擬(emulating)高位元深度類比數位轉換器之高動態範圍，卻沒有複雜的行讀出電路。

【發明內容】

本發明揭露一種影像感測設備，其包含產生第一位元深度之第一與第二組數位影像樣本的影像感測器，每組數位影像樣本係由不同的行讀出電路路徑所產生。處理器將第一與第二組數位影像樣本結合，以產生第二位元深度之數位影像，且第二位元深度高於第一位元深度。

本發明之某一實施方式包含可比擬第一位元深度類比數位轉換器所可達成之動態範圍的影像感測設備，此影像感測設備包含排列成多條行線和列線之像素陣列。多個第一與第二行讀出電路平行連接至多條行線，每個第一行讀出電路均連接至第一輸出站，而每個第二行讀出電路則連結至第二輸出站，第一與第二輸出站將產生第二位元深

度之數位影像樣本。處理器連接至第一與第二輸出站，以接收數位影像樣本，並自此數位影像樣本產生第一位元深度之數位影像輸出。

本發明的另一實施方式包含一種以 CMOS 影像感測器提供高動態範圍數位影像之方法。排列成多條行線與列線之像素陣列由入射光線產生電荷。平行連接至多條行線的多個第一與第二行讀出電路從像素陣列讀取電荷，第一與第二行讀出電路則具有不同之放大回應。第一與第二輸出站將電荷轉換成第一位元深度之數位影像樣本，其中第一輸出站連接至多個第一行讀出電路，第二輸出站連接至多個第二行讀出電路。處理此數位影像樣本，以產生第二位元深度之數位影像輸出。

本發明的再一實施方式包含一種用於產生數位影像輸出之影像感測設備，此影像感測設備包含影像感測器，其以具有不同放大回應之第一與第二行讀出電路路徑產生第一位元深度之數位影像樣本，其中第一位元深度小於數位影像輸出之第二位元深度。

【實施方式】

本發明揭露一種可產生高動態範圍數位影像之影像感測設備。在本文中，影像感測器可為一種裝置或電路，具有獲取光學影像並將其處理成電子訊號的像素陣列。電子訊號通常可由讀取電路讀取，並由隨後於讀取電路之輸出站轉換成數位影像樣本，並由影像訊號處理器（image signal processor；ISP）或其他能將數位影像樣本處理成為

數位影像或視訊的裝置或電路進行處理。

讀取電路可以是任何能夠讀取影像感測器中像素所蓄積之電荷的電路。讀取電路隨後的輸出站可以包含將讀取電路所讀取的電荷轉換為數位影像樣本的類比數位轉換器 (ADCs)。ISP 可包含用於處理數位影像樣本以產生數位影像輸出之各種可執行程式。

第四圖所呈現者為根據本發明某一實施方式所製造的影像感測設備。影像感測設備 (Image sensor apparatus) 400 包含由以二維模式排列成行線 (column line) 與列線 (row line) 的多個像素所組成的像素陣列 (pixel array) 405。像素陣列 405 中的每個像素接收入射光線，並將其轉換成與入射光線所獲取之影像資訊相對應的電荷。

可理解者為，像素陣列 405 中的像素可為如第三圖所示之具有四個電晶體構造的像素。亦也可理解者為，每個像素可包含行選擇「RS」控制訊號輸入，以指示在任意給定時間內所選擇所讀取的行。

在某一例示之實施方式中，將一次平行讀取同一行的每個像素中所蓄積之電荷。在此例示之實施方式中，將由多個行讀出電路平行讀取特定行之所有像素，其中，每個行讀出電路讀取特定行線之像素中所蓄積之電荷。

例如，第一行讀出電路 (first column readout circuit) 420 與第二行讀出電路 425 讀取蓄積在行線 (column line) 410 之每個像素 415 中的電荷。由下文較詳細之說明可知，第一與第二行讀出電路 420、425 包含將電荷轉換成為一組

類比樣本之取樣與保持電路 (sample and hold circuit)。此取樣與保持電路可連接至一個或多個控制訊號，而此訊號乃表示在任意選定時間內所選擇進行讀取的行。例如，控制訊號可由 CMOS 影像感測設備 400 中之控制器 (未呈現於圖式中) 所產生。應可理解者為，像素陣列 405 中的每個行線均可連接至一組第一與第二行讀出電路，其等同於 (亦即具有相同的電路元件) 連接至行線 410 之第一與第二行讀出電路 420、425。

第一與第二行讀出電路 420、425 分別連接至第一輸出站 (first output stage) 430 與第二輸出站 435，第一行讀出電路 420 與第一輸出站 430 形成第一行讀出電路路徑 (first column readout circuit path) 445。同樣地，第二行讀出電路 425 與第二輸出站 435 則形成第二行讀出電路路徑 450。

第一與第二輸出站 430、435 將第一與第二行讀出電路 420、425 所產生之類比影像樣本轉換為一組數位影像樣本。第一輸出站 430 將第一行讀出電路 420 所產生之類比影像樣本轉換為第一組數位影像樣本，而第二輸出站 435 則將第二行讀出電路 425 所產生之類比影像樣本轉換為第二組數位影像樣本。

在某一例示之實施方式中，在類比數位轉換之前，輸出站 430、435 亦將由第一與第二行讀出電路 420、425 所產生之類比影像樣本放大。應可理解者為，單個第一輸出站 430 與單個第二輸出站 435，係連接至於 CMOS 影像感

測設備 400 中，用以讀取蓄積在像素陣列 405 之像素中電荷的所有行讀出電路。亦可理解者為，第一與第二輸出站 430、435 個別均一次接收與單個像素相對應之一組類比影像樣本，從而回應指示被選擇出所要讀取之行與列的控制訊號，此將於下文具體說明。

根據本發明之某一實施方式，第一與第二輸出站 430、435 係利用具有第一位元深度的類比數位轉換器，例如採用 10 位元類比數位轉換器，以將第一與第二行讀出電路 420、425 所產生之類比影像樣本，轉換為第一與第二組數位影像樣本。

第一與第二輸出站 430、435 所產生之第一與第二組數位影像樣本，經由處理器 (processor) 440 處理，產生數位影像輸出。應可理解者為第一與第二組數位影像樣本與蓄積在單個像素中之電荷相對應。如此一來，第一與第二組數位影像樣本將為互相同等，並代表著冗餘資訊。

處理器 440 可包含將數位影像樣本處理為數位影像輸出之 ISP 或 DSP。在本例示實施方式中，處理器 440 為具有第二位元深度之處理器，例如 14 位元 ISP。第二位元深度可不小於第一位元深度。

處理器 440 可包含用於結合第一位元深度之數位影像樣本，從而產生具有第二位元深度之數位影像輸出的程式。例如，處理器 440 可包含用於將輸出站 430 所產生之第一組數位影像樣本與輸出站 435 所產生之第二組數位影像樣本進行平均的程式。而其他之程式可用來結合第一與

第二組數位影像樣本，以形成數位影像輸出。

應可理解者為，採用第一位元深度之兩組冗餘之數位影像樣本，以產生第二位元深度之數位影像輸出，將改善 CMOS 影像感測設備 400 之動態範圍，但與第二位元深度之數位影像輸出所需之傳統電路相比，卻可以使用更為簡單與低成本之電路。例如，無需採用具有第二位元深度以及相關之更為複雜昂貴的行讀出電路的類比數位轉換器，便可獲得第二位元深度之數位影像輸出。

在某一例示實施方式中，採用兩個 10 位元類比數位轉換器將可獲得 14 位元動態範圍，其中，一個 10 位元類比數位轉換器在第一輸出站 430 中，而另一個則在第二輸出站 435 中。應可理解者為，使用兩個 10 位元類比數位轉換器，明顯比使用單一之 14 位類比數位轉換器更節省，因為無需採用高位元深度類比數位轉換器通常所必要之複雜校準程式。

如此一來，藉由使用低位元深度之類比數位轉換器，CMOS 影像感測設備 400 亦能夠比擬高位元深度類比數位轉換器所能獲得之高動態範圍。應可理解者為，如果與 CMOS 影像感測器一起使用之現有類比數位轉換器具有至少 14 位深度，便可認定其具有高位元深度。同樣可理解者為，亦可使用具有其他位元深度之類比數位轉換器與處理器，例如高於 14 位元者，而未偏離本發明的原則與實施方式。

第五圖較為詳細地呈現 CMOS 影像感測設備 400，其

中第一行讀出電路 420 包含用於放大蓄積於行線 410 之每個像素 415 中之電荷的行放大器 500，以及用於將放大後之電荷轉換成第一組類比影像樣本之取樣與保持電路 505。第二行讀出電路 425 未包含行放大器，其讀取蓄積於行線 410 之每個像素 415 中之電荷而直接進入取樣與保持電路 510 中。應可理解者為，第一行讀出電路 420 中之取樣與保持電路 505 可等同於第二行讀出電路 425 中之取樣與保持電路 510，即兩者包含相同之電路元件。

亦可理解者為，在第一行讀出電路 420 中使用行放大器 500 而在第二行讀出電路 425 中不使用，可以在 CMOS 影像感測設備 400 中提供具有不同放大回應的兩個訊號路徑。第一行讀出電路 420 連同輸出站 430，可用來提供第一行讀出電路路徑 445；而第二行讀出電路 425 連同輸出站 435，可以用來提供第二行讀出電路路徑 450。

第一行讀出電路路徑 445 可為「亮」訊號路徑，因為行放大器 500 放大蓄積於行線 410 之像素 415 中的電荷，從而獲得更高更亮的亮度，並獲得較高之動態範圍。沒有行放大器的第二行讀出電路路徑 450 則可為「暗」訊號路徑，從而獲得較低較暗的亮度，並有益於 CMOS 影像感測設備 400 之較高動態範圍。

應可理解者為，第二行讀出電路 425 亦可包含行放大器，從而進一步提高 CMOS 影像感測設備 400 之動態範圍。進而，應可理解者為行讀出電路 420 中之行放大器 500 可為特別設計之行放大器，以獲得更高的動態範圍。

亦應可理解者為，第一與第二行讀出電路路徑 445、450 可設計成提供特定之放大回應，以獲得期望之動態範圍。例如，第一行讀出電路路徑 445 可設計為具有一個放大響應 (amplification response)，以獲取所期望之亮度值。相反，第二行讀出電路 450 則可設計為具有特定之放大響應，以獲取所期望之暗度值。一般而言，採用具有「 n 」位元深度之兩個行讀出電路路徑，其中一個行讀出電路路徑提供「 2^k 」增益之放大響應，會產生「 $n+k$ 」動態範圍。因此，應可理解者為 CMOS 影像感測設備 400 可設計為具有此種位元深度與行讀出電路路徑，其具有期望之放大響應，以獲得特定之動態範圍。

第一與第二輸出站 430、435 包含整體放大器 (global amplifier)，從而進一步地放大蓄積於行線 410 之像素 415 中的電荷，並改善 CMOS 影像感測設備 400 之動態範圍。第一輸出站 430 包含整體放大器 515，第二輸出站 435 則包含整體放大器 525。整體放大器 515 與整體放大器 525 依次分別連接至類比數位轉換器 520 與 530。類比數位轉換器 520 與 530 可為具有第一位元深度之類比數位轉換器。

應可理解者為，整體放大器 515 可等同於整體放大器 525，亦即包含相同之電路元件。亦應可理解者為，類比數位轉換器 520 可等同於類比數位轉換器 530，而未偏離本發明之原則和實施方式。

第六圖更詳細地呈現第五圖之 CMOS 影像感測設備 400，其中 CMOS 影像感測設備 400 之像素陣列 405 具有

兩個行線，即行線 410 與行線 600。像素陣列 405 之每個行線包含連接至其上之一組第一與第二行讀出電路。行線 410 則連接至第一行讀出電路 420 與第二行讀出電路 425。而行線 600 連接至第一行讀出電路 610 與第二行讀出電路 615。

與第一行讀出電路 420 相似，第一行讀出電路 610 亦包含行放大器 620 以及取樣與保持電路 625。與第二行讀出電路 425 相似，第二行讀出電路 615 亦包含直接連接至行線之取樣與保持電路 630。應可理解者為，行放大器 500 可等同於行放大器 620。亦應可理解者為，取樣與保持電路 505、510、625 及 630 亦可為互相同等。

第一行讀出電路 420 與 610 兩者均選擇性地連接至第一輸出站 430，而第二行讀出電路 425 與 615 兩者均選擇性地連接到第二輸出站 435。輸入至取樣與保持電路 505、510、625 及 630 之控制訊號，指示出所選擇之像素陣列 405 的行，以便由第一與第二輸出站 430、435 在特定時間內進行處理。

第七圖呈現與第四圖之 CMOS 影像感測設備 400 一同使用之取樣與保持電路。取樣與保持電路 700 包含第一組電晶體 705、710 以及第二組電晶體 715、720。第一組電晶體 705、710 由控制訊號所驅動，此控制訊號指示使用在水平（亦即列）掃描像素陣列 405 中之水平遮沒間隔（horizontal blanking interval；HBLK）。表示被選擇以讀取之行的控制訊號（CS）將驅動第二組電晶體 715、720。

電容器「 C_{BLK} 」725 保持蓄積於像素陣列 400 之像素中的電荷，並將其讀入電晶體 705，電容器「 C_{SIG} 」保持蓄積於像素陣列 400 中之電荷並將其讀入電晶體 715。隨後將電容器 730 所保持之電荷釋放予電晶體 715、720，從而產生與電荷相對應之一組類比影像樣本。

應可理解者為，電容器 725、730 之尺寸，僅需能夠支持於第一與第二行讀出電路 420-425 後之輸出站 430、435 中之類比數位轉換器所採用之第一位元深度。電容器 725、730 可小於用以支持處理器 440 之第二位元深度的電容器。

據此，CMOS 影像感測設備 400 藉由採用較支援第二位元深度之所需傳統電容器的尺寸小得多之電容器，便能夠提供第二位元深度之較高動態範圍，進一步節省為獲得較高動態範圍之電路製造與複雜性成本。

亦可理解者為，取樣與保持電路 700 乃關聯雙取樣器 (correlated double sampler)。在電晶體 715 所獲得之第一組類比影像樣本，與像素陣列 705 之每個像素中的重置電晶體的重置期間所讀取之影像樣本相對應。於電晶體 720 所獲得之第二組類比影像樣本，則與於重置期間後所讀取之影像樣本相對應。隨後，第一與第二組類比影像樣本於後續之輸出站彼此相減，從而消除 CMOS 影像感測設備 400 中之重置雜訊。

第八圖呈現 CMOS 影像感測設備 400 的另一詳細視圖，其中 CMOS 影像感測設備 400 具有連接至像素 805 之

行線 800。第一行讀出電路 420 包含根據第七圖之例示實施方式所設計之行放大器 810 以及取樣與保持電路 815。第二行讀出電路 415 包含同樣根據第七圖之例示實施方式所設計之取樣與保持電路 820。

連接至第一行讀出電路 420 之第一輸出站 430 包含整體放大器 825 與具有第一位元深度之類比數位轉換器 830。連接至第二行讀出電路 425 之第二輸出站 435 則包含整體放大器 835 與具有第一位元深度之類比數位轉換器 840。第一與第二輸出站 430、435 連接至處理器 440，以產生數位影像輸出。

應可理解者為取樣與保持電路 815 可等同於取樣與保持電路 820，亦可理解者為，整體放大器 825 可等同於整體放大器 835。在某一例示實施方式中，取樣與保持電路 815、820 可為關聯雙取樣器，並且整體放大器 825、835 可為差動放大器 (differential amplifier)，以便將關聯雙取樣器所產生之第一與第二類比影像樣本組相減。此外，應可理解者為類比數位轉換器 830 亦可等同於類比數位轉換器 840。

如上文之描述，應可理解者為第一與第二輸出站可連接至多個第一與第二行讀出電路，每個第一與第二行讀出電路連接至像素陣列 405 之特定行線。亦可理解者為，像素陣列 405 的每個像素中的「RS」(列選擇)控制訊號以及行讀出電路的每個取樣與保持電路中的「CS」(行選擇)控制訊號，指示輸出站 430、435 在特定時間內讀取特定行

與列中的哪一個像素。

本發明之優點在於，儘管採用更簡單且更便宜之電路元件，CMOS 影像感測設備 400 仍能產生具有高動態範圍之數位影像輸出。例如，當僅採用 10 位元類比數位轉換器以及包含支援 10 位元類比數位轉換器之電容器尺寸的取樣與保持電路時，CMOS 影像感測設備 400 即可獲得 14 位元動態範圍。如此將顯著減小目前存在於 CMOS 與 CCD 影像感測器間之動態範圍的差別，因為 CMOS 影像感測設備 400 能提供高動態範圍之數位影像，而其設計與製造成本則類似於或甚至優於相對應之 CCD 影像感測器。

為說明之目的，前文之描述採用特定之術語，以便充分理解本發明。然而，對於本技術領域中具有通常知識者而言，特定之細節顯然並非實施本發明所必需。因此，上述對本發明特定實施方式之描述僅為例示與描述之目的，並非窮盡式地描述，亦非將本發明限制於上述之精確形式；基於上述之說明，顯然具有許多可能之改進或變化。選擇並描述某些實施方式係為了適切地解釋本發明之原則及其實際應用，以便使本技術領域中具有通常知識者能夠充分地利用本發明，而具有各種改進之各種實施方式，可以適合於特定的預期用途。下述的請求項及與其均等者旨在定義本發明之範圍。

【圖式簡單說明】

第一圖呈現一種習知之 CMOS 影像感測設備。

第二圖呈現與第一圖之 CMOS 影像感測設備一同使用之習

知行讀出電路與輸出站。

第三圖呈現與第一圖之 CMOS 影像感測設備一同使用之習知像素。

第四圖呈現根據本發明某一實施方式之 CMOS 影像感測設備。

第五圖呈現第四圖之 CMOS 影像感測設備的相關細節。

第六圖呈現第四圖之 CMOS 影像感測設備的具體細節。

第七圖呈現與第四圖之 CMOS 影像感測設備一同使用的取樣與保持電路。

第八圖呈現根據本發明某一實施方式之 CMOS 影像感測設備，其包含第七圖之取樣與保持電路。

【主要元件符號說明】

400 影像感測設備 (image sensor apparatus)

405 像素陣列 (pixel array)

410 行線 (column line)

415 像素

420 第一行讀出電路 (first column readout circuit)

425 第二行讀出電路

430 第一輸出站 (first output stage)

435 第二輸出站

440 處理器 (processor)

445 第一行讀出電路路徑 (first column readout circuit path)

450 第二行讀出電路路徑

七、申請專利範圍：

104年8月17日修正本
R21-28

1. 一種影像感測設備，其包含：

影像感測器，產生第一位元深度（first bit depth）之第一與第二組數位影像樣本，每組數位影像樣本係由不同之行讀出電路路徑（column readout circuit path）所產生；該影像感測器包含：

(a) 像素陣列，排列成數條行線（column lines）與列線（row lines），

(b) 數個第一與第二行讀出電路，平行連接至該數條行線，每個第一行讀出電路均位於第一行讀出電路路徑中，而每個第二行讀出電路均位於第二行讀出電路路徑中；其中每條行線係平行連接至一第一行讀出電路及一第二行讀出電路，以及

(c) 第一輸出站（output stage），連接至該第一行讀出電路，以及第二輸出站，連接至該第二行讀出電路，其中該第一輸出站及該第二輸出站係彼此獨立且包含一差動放大器及一具有該第一位元深度之類比數位轉換器；以及

處理器，用於結合該第一與第二組數位影像樣本，以產生第二位元深度之數位影像，其中該第二位元深度高於該第一位元深度。

2. 如請求項 1 所述之影像感測設備，其中該第一與第二行讀出電路路徑具有不同之放大回應（amplification

responses)。

3. 如請求項 1 所述之影像感測設備，其中該數個第一行讀出電路包含一行放大器 (column amplifier) 以及一第一取樣與保持電路 (sample and hold circuit)。
4. 如請求項 3 所述之影像感測設備，其中該數個第二行讀出電路包含一第二取樣與保持電路。
5. 如請求項 4 所述之影像感測設備，其中該第一取樣與保持電路及該第二取樣與保持電路中之每一者包含尺寸適於支援該第一位元深度的一組電容器。
6. 如請求項 1 所述之影像感測設備，其中該處理器包含用於將該第一與第二組數位影像樣本進行平均以產生成數位影像的可執行程式。
7. 一種影像感測設備，用以比擬 (emulating) 第一位元深度之類比數位轉換器所得達到之動態範圍 (dynamic range)，其包含：
像素陣列，排列成多條行線與列線；
數個第一行讀出電路，包含一第一取樣與保持電路；
數個第二行讀出電路，包含一第二取樣與保持電路；
其中該第一取樣與保持電路及該第二取樣與保持電路

包含一關聯雙取樣器，且該第一行讀出電路及該第二行讀出電路係平行連接至該多條行線，每條行線係平行連接至該數個第一行讀出電路及該數個第二行讀出電路中之一第一行讀出電路及一第二行讀出電路兩者，每個第一行讀出電路連接至第一輸出站，而每個第二行讀出電路連接至第二輸出站，該第一與第二輸出站係彼此獨立且產生第二位元深度之數位影像樣本；以及處理器，連接至該第一與第二輸出站，以接收該第二位元深度之數位影像樣本，並由該數位影像樣本產生該第一位元深度之數位影像輸出。

8. 如請求項 7 所述之影像感測設備，其中該第一與第二取樣與保持電路包含尺寸適於支援該第二位元深度的一組電容器。
9. 如請求項 8 所述之影像感測設備，其中該第二取樣與保持電路等同於該第一取樣與保持電路。
10. 如請求項 7 所述之影像感測設備，其中該第一與第二輸出站包含整體放大器以及具有該第二位元深度之類比數位轉換器。
11. 如請求項 10 所述之影像感測設備，其中該整體放大器包含差動放大器。

- 12.如請求項 7 所述之影像感測設備，其中該像素陣列包含多個像素，且每個像素均具有四個電晶體。
- 13.如請求項 7 所述之影像感測設備，其中該第一位元深度高於該第二位元深度。
- 14.一種以 CMOS 影像感測器提供高動態範圍數位影像之方法，其步驟包含：
- 以排列成多條行線與列線之像素陣列自入射光線產生電荷；
 - 以平行連接至多條行線之多個第一與第二行讀出電路自該像素陣列讀取該電荷，每條行線係平行連接至該多個第一行讀出電路及該多個第二行讀出電路中之一第一行讀出電路及一第二行讀出電路，該第一與第二行讀出電路具有不同之放大回應；
 - 以第一與第二輸出站將該電荷轉換成第一位元深度之數位影像樣本，其中該第一輸出站連接至該多個第一行讀出電路，而該第二輸出站則連接至該多個第二行讀出電路，該第一與第二輸出站係彼此獨立且包含一差動放大器及一具有該第一位元深度之類比數位轉換器；以及處理該數位影像樣本，以產生第二位元深度之數位影像輸出。
- 15.如請求項 14 所述之方法，其中該讀取電荷之步驟包含

以行放大器放大電荷與以取樣與保持電路產生類比影像樣本。

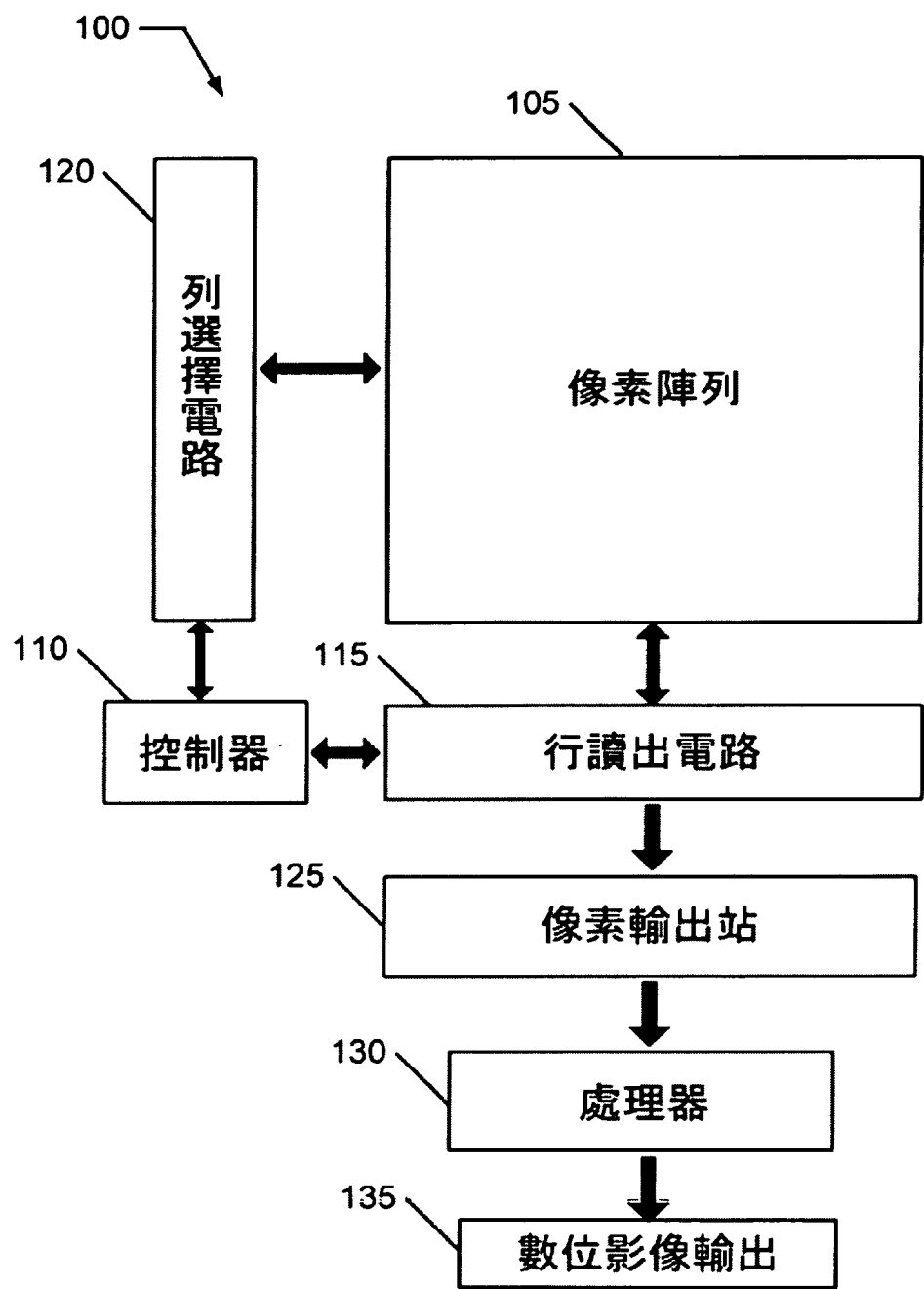
16.如請求項 15 所述之方法，其中該將電荷轉換成數位影像樣本之步驟包含以具有該第一位元深度之類比數位轉換器將該類比影像樣本轉換成數位影像樣本。

17.如請求項 15 所述之方法，其中該第二位元深度高於該第一位元深度。

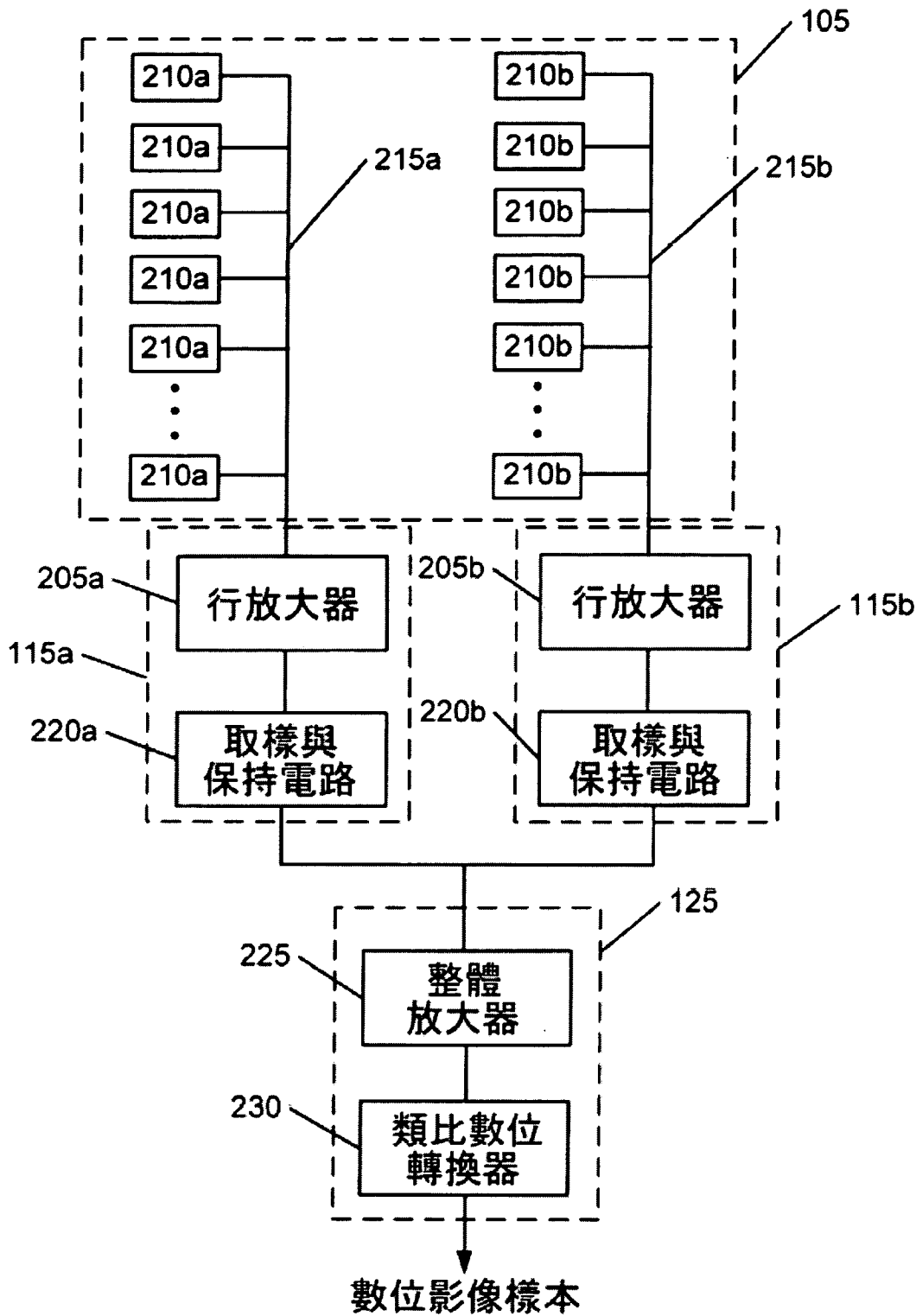
18.一種用於產生數位影像輸出之影像感測設備，該影像感測設備包含影像感測器，藉由具有不同放大回應之第一與第二行讀出電路路徑產生第一位元深度之數位影像樣本，其中該第一位元深度小於該數位影像輸出之第二位元深度，該第一與第二行讀出電路路徑係平行連接至像素陣列中之一行，以自該行中之每一像素同步讀取；其中第一行讀出電路連接至第一輸出站，而第二行讀出電路連接至第二輸出站；

其中該第一輸出站與該第二輸出站包含一差動放大器及一具有該第一位元深度之類比數位轉換器；以及其中該第一輸出站與該第二輸出站係彼此獨立。

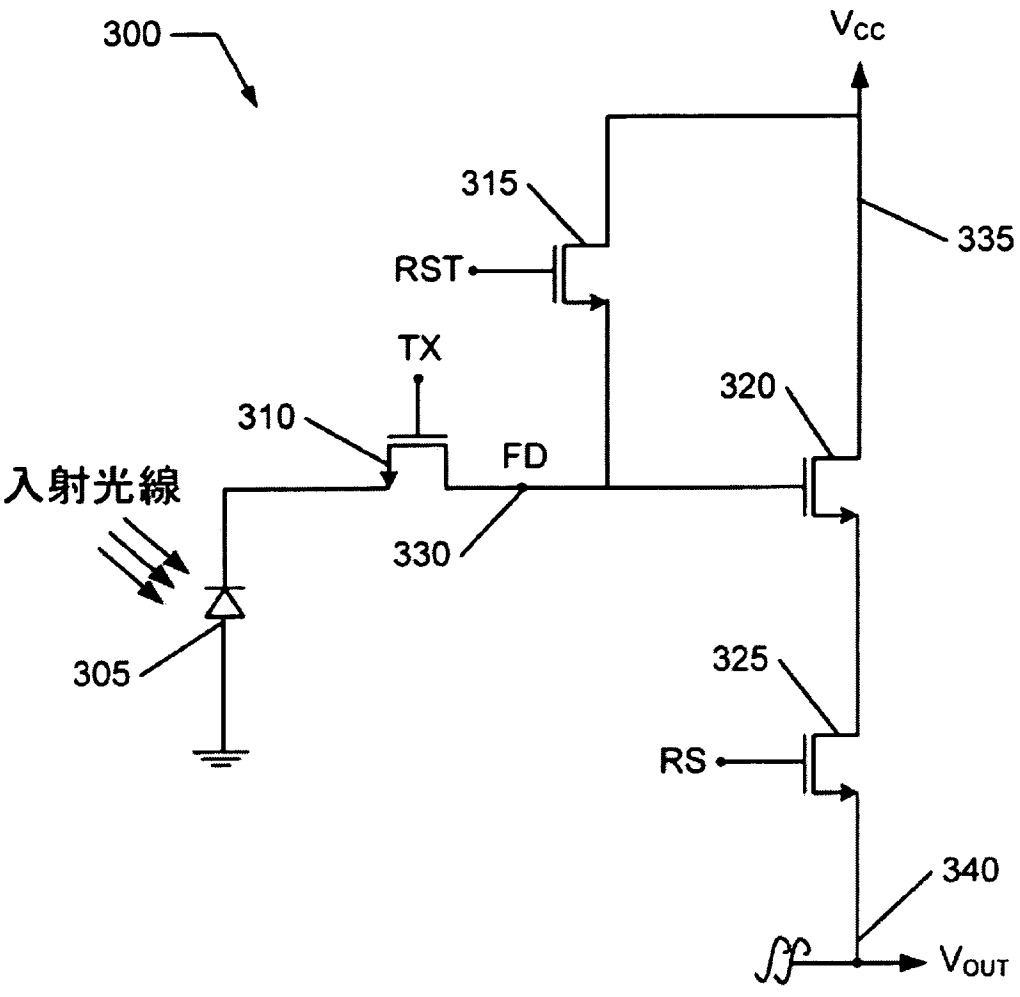
八、圖式：



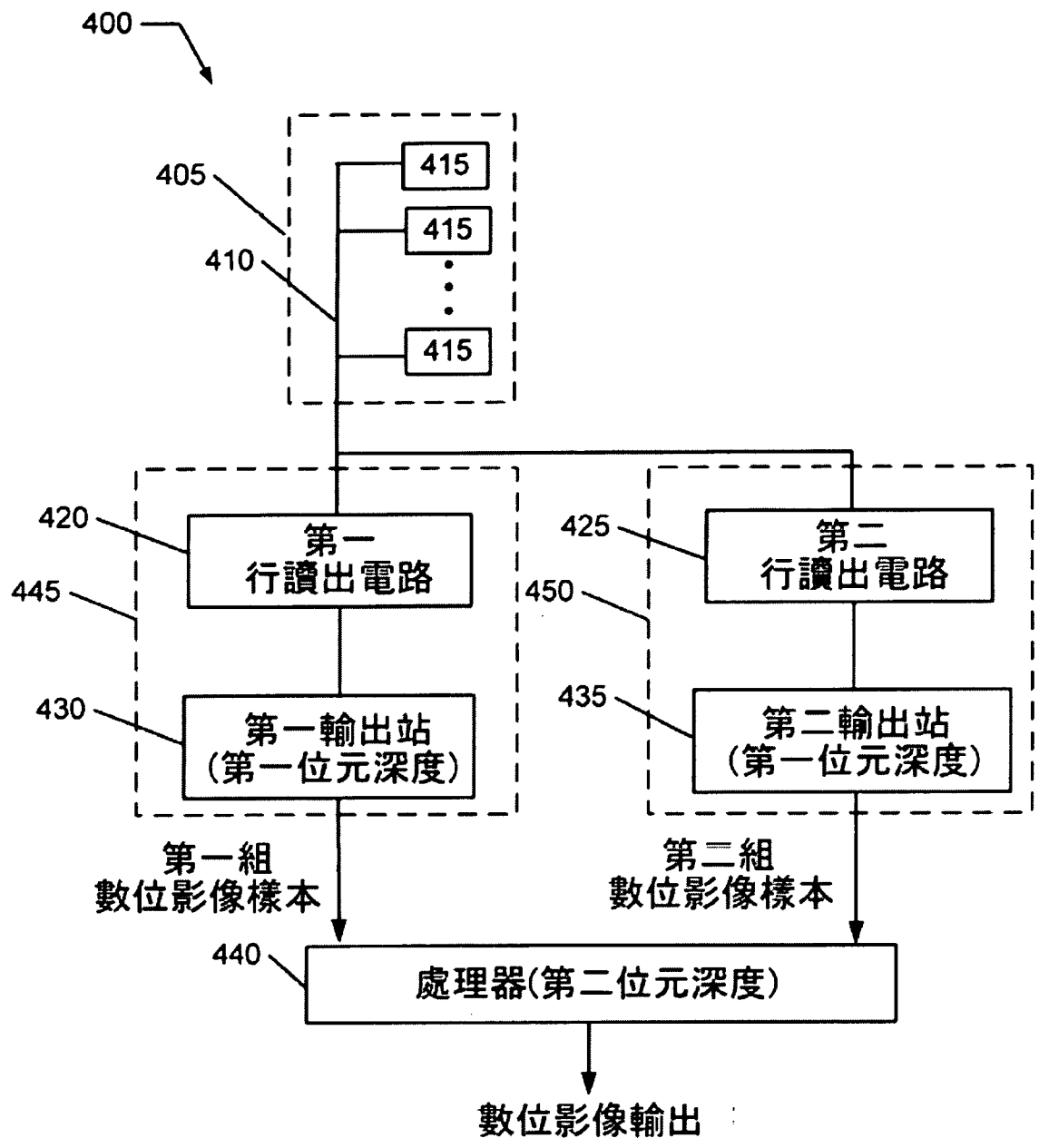
第一圖



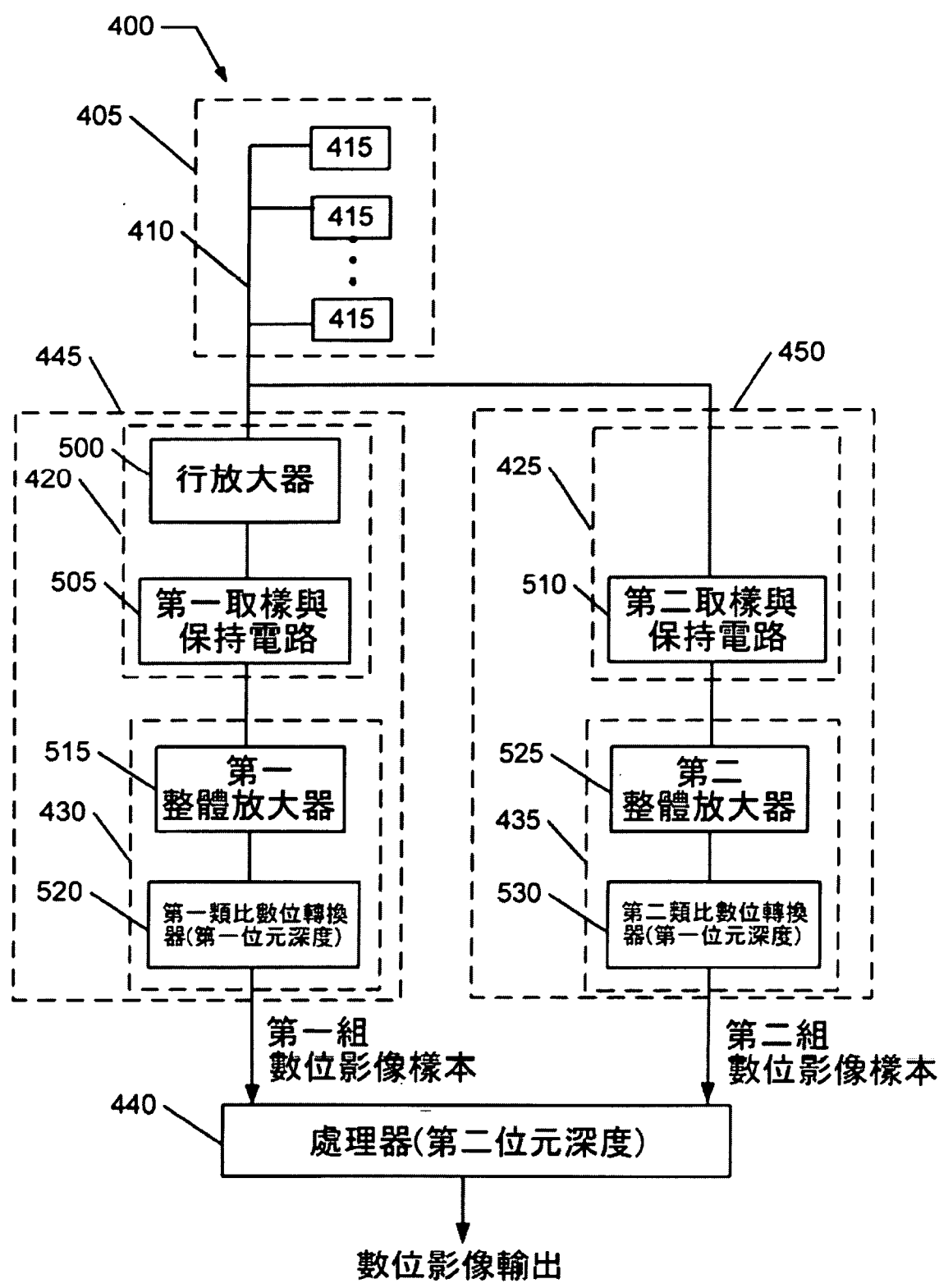
第二圖



第三圖

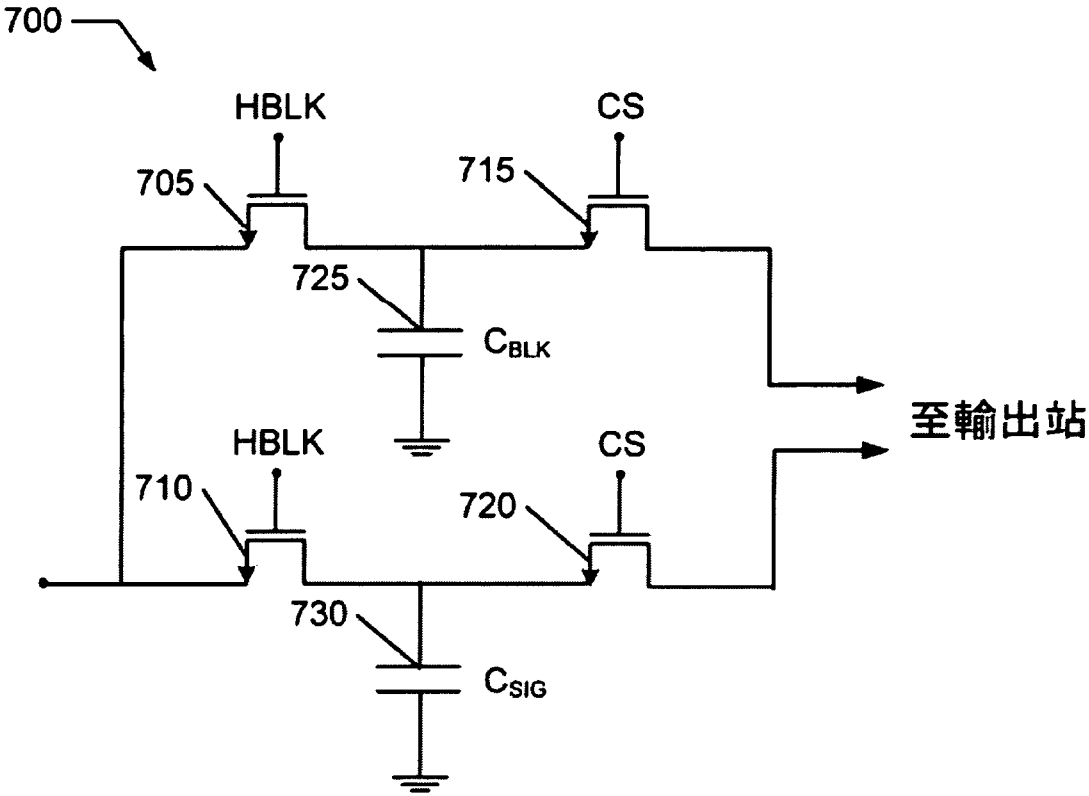


第四圖

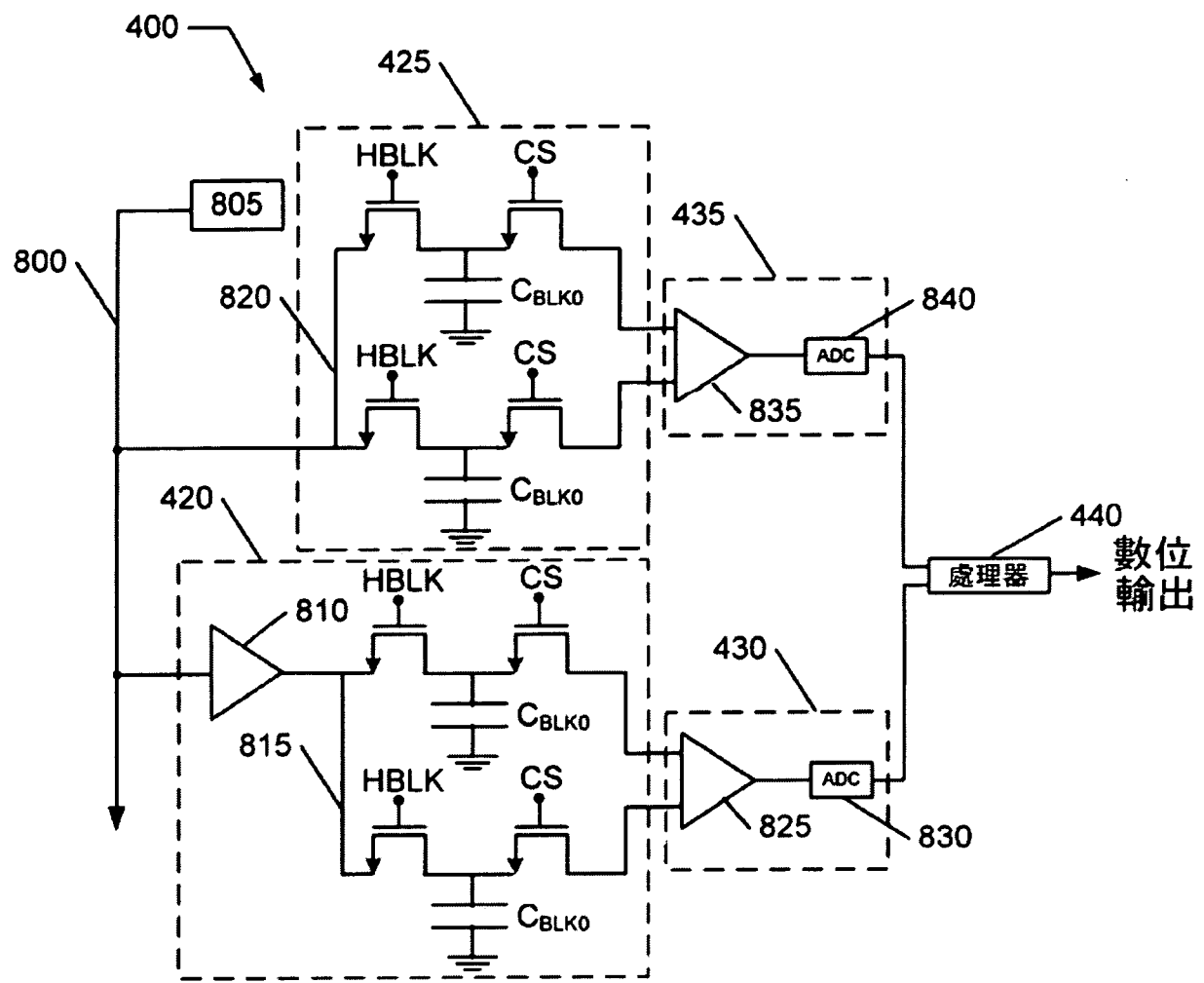


第五圖

第六圖



第七圖



第八圖