

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|---------------------|-----------|-------------|
| (51) Int. Cl. | (45) 공고일자 | 2006년09월20일 |
| H03M 1/70 (2006.01) | (11) 등록번호 | 10-0625752 |
| | (24) 등록일자 | 2006년09월12일 |

| | | | |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2000-0004799 | (65) 공개번호 | 10-2000-0076576 |
| (22) 출원일자 | 2000년02월01일 | (43) 공개일자 | 2000년12월26일 |

| | | | |
|------------|-----------|-------------|--------|
| (30) 우선권주장 | 99-132643 | 1999년05월13일 | 일본(JP) |
|------------|-----------|-------------|--------|

| | |
|-----------|---|
| (73) 특허권자 | 후지쯔 가부시끼가이샤 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1 |
|-----------|---|

| | |
|----------|--|
| (72) 발명자 | 스즈키히사오 일본아이치켄가스가이시고조지쵸2-1844-2후지쓰브이엘에스아이가부 시키가이샤나이 |
|----------|--|

| | |
|----------|------------|
| (74) 대리인 | 김태홍 김두규 |
|----------|------------|

심사관 : 송병준

(54) 전압 발생 회로 및 디지털 아날로그 변환 회로

요약

본 발명은 전압 발생 회로 및 D/A 변환 회로에 관한 것이다. 본 발명은 제1 기준 전원 "VRP"와 제2 기준 전원 "VRN"이 공급되는 제1 단자(T1)와 제2 단자(T2) 사이에 동일 임피던스를 갖는 제1 저항(R11) 및 제6 저항(R16)과, 상기 두 저항(R11, R16) 사이에 저항(R12~R15)을 직렬 접속한다. 본 발명은 저항(R11, R12) 사이의 노드 "N13"으로부터 제1 제어 전류 "Ia"를 끌어내어 저항(R15, R16) 사이의 노드 "N14"에 제1 제어 전류 "Ia"와 상관치를 갖는 제2 제어 전류 "Ib"를 공급하고, 제1 및 제2 제어 전류 "Ia, Ib"를 제어하여 노드 "N13, N14" 사이의 전위차를 일정치로 유지한 채, 이를 노드 "N13, N14"의 전위를 변경하여 제4 저항 "R14" 양단의 전위를 갖는 제1 및 제2 출력 신호(Vout0, Vout1)을 출력한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 일실시예의 D/A 변환 회로의 블록 회로도.

도 2는 전압 발생 회로의 블록 회로도.

도 3은 전압 발생 회로의 원리 설명도.

도 4는 분압 회로 및 정전류 회로의 회로도.

도 5는 전압 보정 회로, 제1 및 제2 전류 보정 회로의 회로도.

도 6은 제어 전류 발생 회로, 제어 전류 반전 회로 및 출력 전압 선택 회로의 회로도.

도 7은 종래의 D/A 변환 회로의 회로도.

〈도면의 주요 부분에 대한 부호의 설명〉

31 : 제1 분압 회로

32 : 제1 전류원 및 제2 전류원으로서의 제어 전류 발생 회로

33 : 제2 전류원으로서의 제어 전류 반전 회로

34 : 정전류 회로

35 : 전압 보정 회로

36 : 제1 전류 보정 회로

37 : 제2 전류 보정 회로

41 : 제1 전류원

42 : 제2 전류원

R11, R21 : 제1 임피던스 소자

R16, R23 : 제2 임피던스 소자

R12~R15, R22 : 제3 임피던스 소자

Ra, Rb, Rc : 단위 저항

Aout : 아날로그 신호

D2~D0 : 디지털 신호

Ia, Ib : 제어 전류

Id : 설정 전류

1e : 제1 보정 전류

1f : 제2 보정 전류

VRP : 제1 기준 전원

VRN : 제2 기준 전원

Vout0 : 제1 출력 신호

Vout1 : 제2 출력 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고전위 전원과 저전위 전원의 전위차를 분압하여 분압 전압을 생성하는 전압 발생 회로에 관한 것으로서, 특히 D/A 변환 회로에 내장되는 전압 발생 회로에 관한 것이다.

최근의 반도체 장치에는 디지털 아날로그 변환 회로(D/A 변환 회로)와 전류 발생 회로 등의 여러가지 회로가 하나의 칩상에 탑재되어 각각의 회로의 특성 향상이 요구되고 있다. 예컨대, D/A 변환 회로는 디지털 회로와 아날로그 회로 사이의 인터페이스 회로로서 탑재되며, 출력되는 아날로그 신호의 직선성의 정밀도 향상이 요구되고 있다.

도 7은 반도체 장치에 탑재된 저항 스트링 방식의 디지털 아날로그 변환 회로(D/A 변환 회로)(11)의 회로도이다.

D/A 변환 회로(11)는 고전위 전원(VDD)과 저전위 전원(VSS) 사이의 전위차를 균등하게 16분할하여, 디지털 신호 "D2, D1, D0"에 대응하는 전위 [(VDD-VSS)×(n/16)+ VSS]를 갖는 아날로그 신호(Aout)를 생성한다. D/A 변환 회로(11)는 3 비트 디지털 신호 "D2~D0"에 대응하는 수의 저항 "R1~R8"을 갖는 분압 회로(12), 스위치 "SW1~SW6", 인버터 회로(13~15)를 포함한다. 저항 "R1~R8"은 고전위 전원(VDD)과 저전위 전원(VSS) 사이에 직렬로 접속되어 있다. 각 저항 "R1~R8"의 저항치는 디지털 신호 "D2~D0"의 비트수(=3)에 따라 부가되어 있다.

저항 "R1"이 기준 저항치 「1」을 갖고 있는 경우, 저항 "R2, R7"은 저항치 「1」, 저항 "R3, R6"은 저항치 「2」에, 저항 "R4, R5, R8"은 저항치 「4」를 갖도록 설정되어 있다. 또한, 각 저항 "R1~R8"의 저항치는 동일 저항치를 갖는 저항 소자를 소정수 병렬 접속함으로써 부가되어 있다. 즉, 저항 "R4, R5, R8"을 하나의 저항 소자로 구성되어, 이들과 동일 저항치를 갖는 4개의 저항 소자를 병렬 접속하여 저항 "R1, R2, R7"을 2개의 저항 소자를 병렬 접속하여 저항 "R3, R6"을 구성하고 있다.

고전위 전원(VDD) 측의 저항 "R2, R3"에는 스위치 "SW3, SW4"가 각각 병렬로 접속되고, 저전위 전원(VSS) 측의 저항 "R6, R7"에는 스위치 "SW5, SW6"이 각각 병렬로 접속되어 있다. 스위치 "SW3, SW4"는 P채널 MOS 트랜ジ스터로 구성되고, 스위치 "SW5, SW6"은 N채널 MOS 트랜지스터로 구성된다. 스위치 "SW3, SW6"의 게이트에는 디지털 신호 "D0"을 인버터 회로(15)에서 반전한 신호가 공급되며, 스위치 "SW4, SW5"의 게이트에는 디지털 신호 "D1"을 인버터 회로(14)에서 반전한 신호가 공급된다. 이에 따라, D/A 변환 회로(11)는 하위 2 비트 디지털 신호 "D1, D0"에 따라 스위치 "SW3~SW6"을 온 또는 오프하도록 제어한다.

예컨대, 하위 2 비트 디지털 신호 「00」에 따라서 D/A 변환 회로(11)는 스위치 "SW3, SW4"를 오프한다(스위치 "SW5, SW6"을 온). 이에 따라, 노드 "N2"와 저전위 전원(VSS) 사이의 저항치는 「4」로 설정된다[고전위 전원(VDD)과 노드 "N1" 사이의 저항치는 「8」로 설정된다]. D/A 변환 회로(11)는 또한 하위 2비트 디지털 신호 「01」에 따라 스위치 "SW4, SW6"을 오프한다(스위치 "SW3, SW5"를 온). 이에 따라, 노드 "N2"와 저전위 전원(VSS) 사이의 저항치는 「5」로 설정된다[고전위 전원(VDD)과 노드 "N1" 사이의 저항치는 「7」로 설정된다].

노드 "N1"과 노드 "N2" 사이의 저항치는 항상 「4」(R5의 저항치)이다. 따라서, D/A 변환 회로(11)는 스위치 "SW3~SW6"을 제어하여 고전위 전원(VDD)과 저전위 전원(VSS) 사이의 저항치를 항상 일정한 값 「16」으로 유지한다. D/A 변환 회로(11)는 하위 2 비트 디지털 신호 "D1, D0"에 따라 고전위 전원(VDD)과 노드 "N1" 사이의 저항치 및 노드 "N2"와 저전위 전원(VSS) 사이의 저항치를 1씩 변경한다.

노드 "N1" 및 "N2"의 전위는 고전위 전원(VDD)과 저전위 전원(VSS) 사이의 전위차와, 고전위 전원(VDD)과 노드 "N1" 사이의 저항치, 노드 "N1"과 N2 사이의 저항치, 노드 "N2"와 저전위 전원(VSS) 사이의 저항치에 의해 결정된다. 따라서, D/A 변환 회로(11)는 하위 2 비트 디지털 신호 "D1, D0"에 따라서 노드 "N1" 및 "N2"의 전위를 고전위 전원(VDD)과 저전위 전원(VSS) 사이의 전위차의 1/16의 스텝으로 변경한다.

노드 "N1"과 노드 "N2" 사이의 전위차는 저항 "R5~R11"에 의해 등분할되어 복수(이 경우, 8개)의 분압 전압이 생성된다. D/A 변환 회로(11)는 상위 비트 디지털 신호(2)에 따라서 스위치 "SW1, SW2" 중의 하나가 온이 되도록 한다. 그 온된 스위치를 통해 하나의 생성된 분압 전압을 갖는 아날로그 신호(Aout)가 출력된다.

발명이 이루고자 하는 기술적 과제

그러나, 각 스위치 "SW3~SW6"이 온되었을 때의 저항치는 0Ω 이 아니다. 따라서, 저항 "R2, R3, R6, R7"에 스위치 "SW1a~SW3b"의 온 저항이 각각 병렬로 접속된다. 그리고, 각 스위치 "SW3~SW6"은 평행하게 접속된 저항 "R2, R3, R6, R7"의 사이를 도전성의 소재에 의한 배선으로 접속하여 그 배선의 저항 성분이 각 저항의 저항치에 더해진다. 이 결과, 노드 "N1"과 고전위 전원(VDD) 사이의 저항치, 노드 "N2"와 저전위 전원(VSS) 사이의 저항치 각각에 오차가 생겨 노드 "N1"과 노드 "N2" 사이의 전위가 변화된다. 이 변화에 의해서, 고전위 전원(VDD)과 저전위 전원(VSS) 사이의 전위차가 균등하게 16분할된 분압 전압을 얻을 수 없게 된다. 이것은, 디지털 신호 "D2~D0"에서 아날로그 신호(Aout)로의 변환 정밀도의 저하를 초래한다.

본 발명은 상기 문제점을 해결하기 위해서 이루어진 것으로서, 정밀도가 좋은 출력을 얻을 수 있는 전압 발생 회로 및 D/A 변환 회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위해서, 청구항 5에 기재된 발명은 고전위의 제1 기준 전원과 저전위의 제2 기준 전원이 공급되어, 제1 기준 전원과 제2 기준 전원 사이를 분할한 전위를 갖는 출력 신호를 발생하는 전압 발생 회로로서, 제1 기준 전원이 공급되는 제1 단자에 접속된 제1 임피던스 소자와, 제1 임피던스 소자와 동일한 임피던스를 가지고 제2 기준 전원이 공급되는 제2 단자에 접속된 제2 임피던스 소자와, 제1 임피던스 소자와 제2 임피던스 소자의 사이에 접속된 소정의 임피던스를 갖는 제3 임피던스 소자를 포함하고, 제1 단자와 제2 단자 사이의 소정의 노드에 있어서 제1 기준 전원과 제2 기준 전원 사이를 분할한 분압 전압을 갖는 출력 신호를 발생하는 제1 분압 회로와, 제1 임피던스 소자와 제3 임피던스 소자 사이의 제1 노드에 접속된 제1 전류원과, 제2 임피던스 소자와 제3 임피던스 소자 사이의 제2 노드에 접속된 제2 전류원을 구비하고, 제1 전류원과 제2 전류원은 서로 상관치를 갖는 제1 제어 전류와 제2 제어 전류를 제1 노드와 제2 노드에 공급하여 제1 노드와 제2 노드의 전위차를 유지하는 동시에, 제1 노드와 제2 노드의 전위를 제1 제어 전류와 제2 제어 전류의 값에 대응하는 전위로 변경하는 것을 특징으로 한다.

이와 같이, 제어 전류에 의해 출력 신호의 전위를 변경함으로써 임의의 전위를 갖는 출력 신호를 발생하고, 분압 회로는 임피던스 소자에 스위치 회로 등의 여분의 저항분을 포함하지 않기 때문에 분압 정밀도의 저하가 억제된다.

또한, 상기 제1 전류원과 제2 전류원은, 청구항 7에 기재된 발명과 같이, 제1 제어 전류와 제2 제어 전류가 흐르는 하는 방향을 서로 반대로 제어한다.

또, 상기 제1 전류원과 제2 전류원은, 청구항 8에 기재된 발명과 같이, 제1 및 제2 제어 전류의 절대치의 합계가 항상 일정치가 되도록 양 제어 전류를 제어한다.

또한, 상기 청구항 14에 기재된 발명은 복수 비트의 디지털 신호를 아날로그 신호로 변환하는 D/A 변환 회로로서, 하위 비트 디지털 신호의 비트수에 대응하는 복수의 출력 전압을 발생하는 전압 발생 회로와, 상위 비트 디지털 신호에 기초하여 복수의 출력 전압 중의 하나를 선택하여 생성한 아날로그 신호를 출력하는 선택 회로를 구비하고, 상기 전압 발생 회로는 제1 전원이 공급되는 제1 단자에 접속된 제1 임피던스 소자와, 제1 임피던스 소자와 동일한 임피던스를 가지고 제2 전원이 공급되는 제2 단자에 접속된 제2 임피던스 소자와, 제1 임피던스 소자와 제2 임피던스 소자 사이에 접속된 소정의 임피던스를 갖는 제3 임피던스 소자와, 제1 임피던스 소자와 제3 임피던스 소자 사이의 제1 노드에 접속된 제1 전류원과, 제2 임피던스 소자와 제3 임피던스 소자 사이의 제2 노드에 접속된 제2 전류원을 구비하며, 제1 전류원과 제2 전류원은 서로 상관치를 갖는 제1 제어 전류와 제2 제어 전류를 제1 노드와 제2 노드에 공급하여 제1 노드와 제2 노드의 전위차를 유지하고, 또한 각 노드의 전위를 제1 제어 전류와 제2 제어 전류의 값에 대응하는 전위로 변경하는 것을 특징으로 한다. 이와 같이, 제어 전류에 의해 출력 신호의 전위를 변경함으로써 임의의 전위를 갖는 아날로그 신호를 생성하고, 분압 회로는 임피던스 소자에 병렬로 접속되는 스위치 회로를 포함하지 않기 때문에, 분압 정밀도의 저하를 억제하며 정밀도가 높은 아날로그 신호를 출력한다.

이하, 도 1 내지 도 6을 참조하여 본 발명을 구체화한 일실시예에 대해 설명한다. 도 1은 일실시예의 D/A 변환 회로의 블록 회로도이다.

D/A 변환 회로(21)는 복수 비트(본 실시예에서는 3 비트)의 디지털 신호 "D2~D0"에 대응하는 전위를 갖는 아날로그 신호(Aout)를 생성하며, 전압 발생 회로(22) 및 출력 전압 선택 회로(23)를 포함한다.

전압 발생 회로(22)는 저항 스트링을 가지고, 상위 비트수에 대응하여 생성된 복수(본 실시예에서는 2개)의 출력 신호 "Vout0, Vout1"을 선택 회로(23)에 출력한다. 전압 발생 회로(22)는 하위 2 비트의 디지털 신호 "D1, D0"에 응답하여 출력 신호 "Vout0, Vout1"의 전위차를 일정하게 유지하며, 또한 양 신호 "Vout0, Vout1"의 전위를 소정의 스텝으로 변경한다.

선택 회로(23)는 상위 비트 디지털 신호 "D2"에 응답하여 출력 신호 "Vout0, Vout1"의 한쪽을 선택하며, 이 선택한 신호의 전위를 갖는 아날로그 신호(Aout)를 출력한다. 2 비트의 디지털 신호 "D1, D0"의 논리 조합의 패턴수는 「4」이며, 전압 발생 회로(22)는 4 패턴의 전위를 갖는 출력 신호 "Vout0, Vout1"을 출력한다. 따라서, D/A 변환 회로(21)는 소정 스텝마다의 8 패턴의 전위를 갖는 아날로그 신호(Aout)를 출력한다.

도 2는 전압 발생 회로(22)의 블록 회로도이다.

전압 발생 회로(22)는 제1 분압 회로(31), (출력 전압) 제어 전류 발생 회로(32), (출력 전압) 제어 전류 반전 회로(33), 정전류 회로(34), 출력 전압 보정 회로(35), 고전압 단자 전류 보정 회로(제1 전류 보정 회로 : 36) 및 저전압 단자 전류 보정 회로(제2 전류 보정 회로 : 37)를 포함한다.

제1 분압 회로(31)는 고전위의 제1 기준 전원 "VRP"가 공급되는 제1 단자 "T1"과 저전위의 제2 기준 전원 "VRN"이 공급되는 제2 단자 "T2"의 사이에 직렬 접속된 복수(본 실시예에서는 6개)의 임피던스 소자로서의 저항 "R11~R16"을 포함한다. 제1 단자 "T1"에 접속된 제1 저항(R11)과, 제2 단자 T2에 접속된 제6 저항 "R16"은 실질적으로 동일한 임피던스를 갖는다. 또한, 본 실시예에서는 제1 저항(R11)과 제6 저항(R16) 사이의 제2 내지 제5 저항(R12~R15)은 제1 및 제6 저항 (R11, R16)과 실질적으로 동일한 임피던스를 갖는다.

따라서, 제1 분압 회로(31)는 각 저항(R11~R16) 사이의 노드에 제1 기준 전원 "VRP"와 제2 기준 전원 "VRN" 사이의 전위차를 분압한 분압 전압을 발생한다. 그리고, 제3 저항(R13)과 제4 저항(R14) 사이의 노드 "N11"의 전위를 갖는 제1 출력신호(Vout0)와, 제4 저항(R14)과 제5 저항(R15) 사이의 노드 "N12"의 전위를 갖는 제2 출력 신호(Vout1)가 도 1의 선택 회로(23)에 공급된다.

제1 저항(R11)과 제2 저항(R12) 사이의 노드 "N13"에는 제1 및 제2 전류원으로서의 제어 전류 발생 회로(32)가 접속되고, 제5 저항(R15)과 제6 저항(R16) 사이의 노드 "N14"에는 제2 전류원으로서의 제어 전류 반전 회로(33)가 접속된다. 양 회로(32, 33)는 노드 "N13"과 노드 "N14"에 대하여 서로 상관이 있는 전류치를 갖는 제어 전류 "Ia"와 제어 전류 "Ib"를 각각 인가한다. 또한, 양 회로(32, 33)는 제어 전류 "Ia"와 제어 전류 "Ib"를 서로 역방향으로 흐르게 한다.

상술하면, 제어 전류 발생 회로(32)는 노드 "N13"으로부터 제1 제어 전류 "Ia"를 인입하여, 그 제1 제어 전류 "Ia"의 값과 상관 관계에 있는 값을 갖는 전류 "Ic"를 제어 전류 반전 회로(33)로부터 인입하도록 동작한다. 또한, 제어 전류 발생 회로(32)는 제1 제어 전류 "Ia"의 절대치와 전류 "Ic"의 합계치가 항상 일정값이 되도록 이들 값을 제어한다. 제어 전류 반전 회로(33)는 전류 "Ic"의 방향을 반전한 전류 "Ib"를 흐르게 한다. 즉, 제어 전류 반전 회로(33)는 제1 제어 전류 "Ia"의 값과 상관 관계에 있는 값을 갖고, 또한 제1 제어 전류 "Ia"와 역방향의 제2 제어 전류 "Ib"를 노드 "N14"에 공급한다. 또한, 양 회로(32, 33)가 흐르게 하는 제1 제어 전류 "Ia"와 제2 제어 전류 "Ib"의 방향을 상기와 반대로 하여도 좋다.

제어 전류 발생 회로(32)가 인입하는 제1 제어 전류 "Ia"는 제1 저항(R11)에만 흐르고, 제어 전류 반전 회로(33)가 공급하는 제2 제어 전류 "Ib"는 제6 저항(R16)에만 흐른다. 따라서, 제어 전류 발생 회로(32) 및 제어 전류 반전 회로(33)는 제1 제어 전류 "Ia"와 제2 제어 전류 "Ib"의 값을 제어함으로써 제1 저항(R11)과 제6 저항(R16)의 실효 임피던스치를 각각 제어한다.

또한, 제어 전류 발생 회로(32)는 양 제어 전류 "Ia, Ib"의 절대치의 합계를 일정하게 유지한다. 따라서, 제1 단자(T1)와 제2 단자(T2) 사이에 흐르는 전류치는 각 제어 전류 "Ia, Ib"의 값이 변경되어도 일정해진다. 즉, 이들에 의해 제어 전류 발생 회로(32) 및 제어 전류 반전 회로(33)는 노드 "N13"과 노드 "N14"의 전위, 즉 노드 "N11"과 노드 "N12" 사이의 전위차를 일정하게 유지하면서, 이를 전위를 제어한다.

제어 전류 발생 회로(32)와 제어 전류 반전 회로(33)는 정전류 회로(34)에 접속되어 있다. 정전류 회로(34)는 출력 신호 "Vout0, Vout1"의 전위를 변경하는 스텝에 대응하는 값을 갖는 단위 전류를 발생시키는 기능을 갖는다. 단위 전류의 값은 출력 신호 "Vout0, Vout1"을 변경하는 스텝에 따라서 설정된다.

즉, 전압 발생 회로(22)는 노드 "N11"과 노드 "N12" 사이의 전위차를 하위 비트 디지털 신호 "D1, D0"의 패턴수 「4」에 등분할한 값을 하나의 스텝(변화량)으로 하고 있다. 따라서, 노드 "N11"과 노드 "N12" 사이의 임피던스(저항치)를 패턴수 「4」로 등분 비율한 값을(저항치) 갖는 저항(단위 저항) 양단의 전위차를 1 스텝분의 변화량으로 하는 전류량을 단위 전류값으로 설정한다. 제어 전류 "Ia, Ib"를 단위 전류마다 증감함으로써 양 노드 "N13, 14"의 전위, 즉 양 출력 신호 "Vout0, Vout1"의 전위를 스텝마다 변경할 수 있다.

따라서, 제어 전류 발생 회로(32) 및 제어 전류 반전 회로(33)는 제어 전류 "Ia, Ib"의 값을, 디지털 신호 "D1, D0"에 기초하여 단위 전류의 정수배의 값만 변경한다. 상술하면, 제어 전류 발생 회로(32)는 단위 전류의 정수배의 값 ΔI 만 감소시킨 값을 갖는 제1 제어 전류 "Ia"를 노드 "N13"으로부터 인입하고, 제어 전류 반전 회로(33)는 값 ΔI 증가한 값을 갖는 제2 제어 전류 "Ib"를 노드 "N14"에 공급한다.

출력 전압 보정 회로(35)는 항상 초기값을 갖는 설정 전류 "Id"를 노드 "N14"에 공급한다. 이 설정 전류 "Id"는 제6 저항 (R16)에만 흘러 그 실효 임피던스를 변경한다. 이에 따라, 제1 단자(T1)와 제2 단자(T2) 사이의 실효 임피던스를 소정치로 설정한다. 본 실시예에서는 제1 단자(T1)와 제2 단자(T2) 사이의 실효적인 임피던스를 단위 저항의 36배의 값으로 설정하고 있다. 이에 따라, 전압 발생 회로(22)는 제1 기준 전원 "VRP"와 제2 기준 전원 "VRN" 사이의 전위차를 36분할한 스텝마다의 값을 갖는 출력 신호 "Vout0, Vout1"을 출력한다. 또한, 제1 단자(T1)와 제2 단자(T2) 사이의 실효 임피던스를 적절하게 변경하여도 좋다.

제1 전류 보정 회로(36)와 제2 전류 보정 회로(37)는 제1 단자(T1)와 제2 단자(T2)에 각각 접속되어 있다. 제1 전류 보정 회로(36)와 제2 전류 보정 회로(37)는 제어 전류 "Ia, Ib"의 값에 대응하는 값을 갖는 보정 전류 "Ie, If"를 제1 단자(T1)와 제2 단자(T2)에 공급한다. 이에 따라, 제1 전류 보정 회로(36)와 제2 전류 보정 회로(37)는 제어 전류 발생 회로(32)와 제어 전류 반전 회로(33)가 흐르는 제어 전류 "Ia, Ib"에 의해 제1 기준 전원 "VRP"와 제2 기준 전원 "VRN"이 변동하는 것을 막는다.

상술하면, 제1 전류 보정 회로(36)는 제어 전류 반전 회로(33)가 노드 "N14"에 공급하는 제2 제어 전류 "Ib"의 값과 동일치를 갖는 제1 보정 전류 "Ie"를 제1 단자(T1)로부터 인입한다. 제2 제어 전류 "Ib"의 값은 제1 제어 전류 "Ia"의 값과 상관이 있다. 따라서, 제1 전류 보정 회로(36)는 제1 제어 전류 "Ia"의 값과 상관치를 갖는 제1 보정 전류 "Ie"를 제1 단자(T1)로부터 끌어내는 것도 가능하다. 이에 따라, 제1 단자(T1)와 제2 단자(T2) 사이의 전류량을 일정하게 유지하여 제1 단자(T1)와 제2 단자(T2)의 전위를 안정시킨다.

제2 전류 보정 회로(37)는 제어 전류 발생 회로(32)가 노드 "N13"으로부터 끌어내는 제1 제어 전류 "Ia"의 값과 동일치를 갖는 제2 보정 전류 "If"를 제2 단자(T2)에 공급한다. 마찬가지로, 제2 전류 보정 회로(37)는 제2 제어 전류 "Ib"의 값과 상관치를 갖는 제2 보정 전류 "If"를 제2 단자(T2)에 공급한다는 것도 가능하다. 이에 따라, 제1 단자(T1)와 제2 단자(T2) 사이의 전류량을 일정하게 유지하여 제1 단자(T1)와 제2 단자(T2)의 전위를 안정시킨다.

다음에, 전압 발생 회로(22)의 동작 원리를 설명한다.

도 3은 도 2의 전압 발생 회로(22)를 간략화한 블록 회로도이며, 이 회로에 의해 전압 발생 회로의 동작 원리가 용이하게 설명된다.

도 3의 전압 발생 회로는 저항 "R21, R22, R23"과 제1 및 제2 전류원(41, 42)을 포함한다.

저항 "R21~R23"은 고전위의 제1 기준 전원 "VRP"가 공급되는 제1 단자(T1)와, 저전위의 제2 기준 전원 "VRN"이 공급되는 제2 단자(T2) 사이에 직렬 접속되어 분압 회로(43)를 구성한다.

제1 단자(T1)에 접속된 제1 저항(R21)과 제2 단자(T2)에 접속된 제3 저항(R23)은 실질적으로 동일한 임피던스를 가지며, 또한 본 설명에서는 제2 저항(R22)은 저항 "R21, R23"과 실질적으로 동일한 임피던스를 가지며, 이들을 「R」이라고 한다.

제1 저항(R21)과 제2 저항(R22) 사이의 노드 "N13"에는 제1 전류원(41)이 접속되며, 이 제1 전류원(41)은 노드 "N13"으로부터 제1 제어 전류 "Ia"를 인입한다. 제2 저항(R22)과 제3 저항(R23) 사이의 노드 "N14"에는 제2 전류원(42)이 접속되며, 이 제2 전류원(42)은 노드 "N14"에 제1 제어 전류 "Ia"와 상관치를 갖는 제2 제어 전류 "Ib"를 공급한다.

그리고, 제1 저항(R21)과 제2 저항(R22) 사이의 노드 "N11"의 전위를 갖는 제1 출력 신호(Vout0)와, 제2 저항(R22)과 제3 저항(R23) 사이의 노드 "N12"의 전위를 갖는 제2 출력 신호(Vout1)가 생성된다.

현재, 제1 기준 전원 "VRP"의 값을 「V1」, 제2 기준 전원 "VRN"의 값을 「0V」라고 한다.

우선, 출력 신호 "Vout0, Vout1"의 초기 전압으로서 노드 "N11, N12"에 부여하는 전위를 설정한다. 즉, 초기 전압 설정치로서 제1 출력 신호(Vout0)를 「8/16×V1」에, 제2 출력 신호(Vout1)를 「4/16×V1」으로 하기 위해서 제1 전류원(41)이 인입하는 제1 제어 전류 "Ia"의 값을(정상 전류치)를 설정한다. 설정 전류치는 다음식에 의해 산출된다.

제1 전류원(41)이 0A의 제1 제어 전류 "Ia"를 흐르게 하고 있는 때, 제1 출력 신호(Vout0)는 다음과 같다.

$$Vout0 = (2R/3R) \times V1 = 2/3 \times V1$$

따라서, 설정하는 목표 전압값의 차이 전압 ΔV 는 다음과 같다.

$$\Delta V = 2/3 \times V1 - 8/16 \times V1 = 1/6 \times V1$$

그리고, 제1 전류원(41)에 의한 제어 전류 "Ia"는 제1 저항(R41)에만 흐른다. 이 때문에 전류원(1)로 설정하는 전류치 I(0)는 다음과 같다.

$$I(0) = \Delta V/R = (1/6 \times V1)/R$$

다음에, 출력 신호 "Vout0, Vout1"을 1스텝, 즉 「1/16×V1」 상승시키기 위해서 제1 전류원(41)과 제2 전류원(42)이 흐르게 하는 제어 전류 "Ia, Ib"의 제어량, 즉 전위 전류의 전류치 I(t)는 다음과 같다.

$$| I(t) | = (1/16 \times V1)/R$$

따라서, 제1 출력 신호(Vout0)를 초기 전압 설정치로부터 스텝마다 변화시킬 때의 제1 전류원(41)의 제어 전류 "Ia"의 값을 I(1)은 다음과 같다.

$$I(1) = I(0) - I(t) \times D(n)$$

$$= (1/6 \times V1)/R - ((1/16 \times V1)/R) \times D(n)$$

그리고, 제1 및 제2 전류원(41, 42)은 제어 전류 "Ia, Ib"의 절대치의 합을 항상 일정치로 제어하기 위해서 제2 전류원(42)의 제어 전류 Ib의 값을 I(2)는 다음과 같이 된다.

$$I(2) = I(t) \times D(n)$$

$$= ((1/16 \times V1)/R) \times D(n)$$

또한, D(n)은 디지털 신호 "D1, D0"의 10 진수값이며, 「0」 내지 「3」의 값을 취한다. 따라서, 제1 및 제2 출력 신호 "Vout0, Vout1"을 스텝마다 얻기 위해서 제1 및 제2 제어 전류 "Ia, Ib"의 값을 I(1), I(2)는,

$Vout0 = 8/16 \times V1$, $Vout1 = 4/16 \times V1$ 일 때의 설정 전류치는,

$$I(1) = (1/6 \times V1)/R - ((1/16 \times V1)/R) \times 0$$

$$I(2) = ((1/16 \times V1)/R) \times 0$$

$V_{out0} = 9/16 \times V1$, $V_{out1} = 5/16 \times V1$ 일 때의 설정 전류치는,

$$I(1) = (1/6 \times V1)/R - ((1/16 \times V1)/R) \times 1$$

$$I(2) = ((1/16 \times V1)/R) \times 1$$

$V_{out0} = 10/16 \times V1$, $V_{out1} = 6/16 \times V1$ 일 때의 설정 전류치는,

$$I(1) = (1/6 \times V1)/R - ((1/16 \times V1)/R) \times 2$$

$$I(2) = ((1/16 \times V1)/R) \times 2$$

$V_{out0} = 11/16 \times V1$, $V_{out1} = 7/16 \times V1$ 일 때의 설정 전류치는,

$$I(1) = (1/6 \times V1)/R - ((1/16 \times V1)/R) \times 3$$

$$I(2) = ((1/16 \times V1)/R) \times 3$$

이 된다.

상기한 제1 및 제2 전류원(41, 42)이 흐르게 하는 제1 및 제2 제어 전류 "Ia, Ib"의 전류치 I(1), I(2)와, 제1 및 제2 출력 신호 V_{out0} , V_{out1} 의 조합을 적절하게 선택함으로써 「4/16×V1」 내지 「11/16×V1」 의 8 패턴의 전압을 얻을 수 있다.

상기한 바와 같이, 전압 발생 회로(22)의 제1 분압 회로(43), 즉 저항 스트링에 분압 전압을 발생시키기 위한 소자는 저항 소자만 존재하고 있지 않으며, 종래의 D/A 변환 회로(11)에서 문제가 되는 스위치와 그것을 접속하는 배선에 의한 저항은 존재하지 않는다. 이들에 의해, 전압 발생 회로(22) 및 그것을 이용한 저항 스트링 방식 D/A 변환 회로에서는 고정밀도로 균등 분할한 전압을 출력하는 것이 가능하다.

다음에, 각 회로의 구성 및 동작을 설명한다.

도 4는 제1 분압 회로(31), 정전류 회로(34)의 회로도이다.

제1 분압 회로(31)의 저항(R11~R16)은 실질적으로 동일 임피던스를 갖는 복수(4개)의 단위 저항 "Ra"으로 구성된다.

정전류 회로(34)는 제2 및 제3 분압 회로(51, 52), 연산 증폭기(53), 제1, 제2 커런트 미러 회로(54, 55)를 포함한다.

제2 분압 회로(51)는 제1 기준 전원 "VRP"와 제2 기준 전원 "VRN"이 각각 공급되는 제1 단자(T1)와 제2 단자(T2) 사이에 직렬 접속된 32개의 단위 저항 소자 "Rb"를 포함한다. 모든 저항 소자 "Rb"는 제1 분압 회로(31)를 구성하는 단위 저항 "Ra"와 실질적으로 동일한 임피던스를 갖는다. 따라서, 제1 단자(T1)로부터 16번째의 저항 "Rb"와 17번째의 저항 "Rb" 사이의 노드 "N21"은 제1 기준 전원 "VRP"와 제2 기준 전원 "VRN" 사이의 중간 전위 [(VRP-VRN)/2]를 갖는다.

제3 분압 회로(52)는 제1 단자(T1)와 제2 단자(T2) 사이에 직렬 접속된 32개의 단위 저항 소자 "Rc"를 포함한다. 모든 저항 소자 "Rc"는 제1 분압 회로(31)를 구성하는 단위 저항 "Ra"와 실질적으로 동일한 임피던스를 갖는다. 따라서, 8, 9번째의 저항 "Rc" 사이의 노드 "N22"와 제1 단자(T1) 사이의 합성 저항치와, 24, 25번째의 저항 "Rc" 사이의 노드 "N23"과 제2 단자(T2) 사이의 합성 저항치는 실질적으로 동일하다.

14, 15번째의 저항 "Rc" 사이의 노드 "N24"와 노드 "N22" 사이의 합성 저항치는 제2 분압 회로(51)의 노드 "N21"과 제1 단자(T1) 사이의 합성 저항치보다도 2개의 저항 "Rc", 즉 단위 저항 "Ra"의 저항치의 2배의 값만큼 작은 값($=14 \times Ra$)을 갖는다. 노드 "N24"와 노드 "N23" 사이의 합성 저항치는 노드 "N21"과 제2 단자(T2) 사이의 합성 저항치보다도 2개의 저항 "Rc", 즉 단위 저항 "Ra"의 저항치의 2배의 값만큼 큰 값($=18 \times Ra$)을 갖는다.

연산 증폭기(53)의 플러스 입력 단자는 제2 분압 회로(51)의 노드 "N21"에 접속되고, 마이너스 입력 단자는 제3 분압 회로(52)의 노드 "N24"에 접속되어 있다. 연산 증폭기(53)의 출력 단자는 제1 커런트 미러 회로(54)에 접속되어 있다.

제1 커런트 미러 회로(54)는 P채널 MOS 트랜지스터(TP1, TP2)로 구성되며, 트랜지스터(TP1, TP2)의 소스는 제1 기준 전원 "VRP"보다도 높은 전위를 갖는 고전위 전원(VDD)이 공급되는 제3 단자(T3)에 접속되어 있다. 입력측의 제1 PMOS 트랜지스터(TP1)의 드레인은 연산 증폭기(53)의 출력 단자에 접속되고, 출력측의 제2 PMOS 트랜지스터(TP2)의 드레인은 제2 커런트 미러 회로(55)에 접속되어 있다.

제2 커런트 미러 회로(55)는 N 채널 MOS 트랜지스터(TN1, TN2, TN3)로 구성되고, 각 트랜지스터(TN1 ~ TN3)의 소스는 제2 기준 전원 "VRN"보다도 낮은 전위를 갖는 저전위 전원(VSS)이 공급되는 제4 단자(T4)에 접속되어 있다. 입력측의 제1 NMOS 트랜지스터(TN1)의 드레인이 제2 트랜지스터(TP2)의 드레인에 접속되고, 출력측의 제2 NMOS 트랜지스터(TN2)와 제3 NMOS 트랜지스터(TN3)의 드레인이 제3 분압 회로(52)의 노드 "N22, N23"에 각각 접속되어 있다.

제2 PMOS 트랜지스터(TP2)는 제1 PMOS 트랜지스터(TP1)와 실질적으로 동일치의 전류를 흐르도록 형성되며, 제2 및 제3 NMOS 트랜지스터(TN2, TN3)는 제1 NMOS 트랜지스터(TN1)와 실질적으로 동일치의 전류를 흐르도록 형성되어 있다. 따라서, 제2 NMOS 트랜지스터(TN2)와 제3 NMOS 트랜지스터(TN3)는 연산 증폭기(53)의 출력 전류치와 실질적으로 동일한 값의 전류 "I11, I12"가 각각 노드 "N22, N23"으로부터 제4 단자(T4)에 흐르게 한다.

연산 증폭기(53)는 양 입력 단자에 동일 전압값을 받도록 출력 단자로부터 전류를 출력한다. 연산 증폭기(53)의 입력 단자 차 전압, 즉 노드 "N21, N24"의 전위차는 단위 저항 "Ra"의 양단에 관한 전위의 2배의 값이 되고, 이 차전압이 제로가 되도록 저항 "Rc" 8개만큼에 대해 전류를 인가하도록 연산 증폭기(53)가 동작한다.

연산 증폭기(53)의 출력 전류치는 제2 PMOS 트랜지스터(TP2)가 흐르게 하는 전류치와 실질적으로 동일하며, 이 전류치는 제2 NMOS 트랜지스터(TN2)와 제3 NMOS 트랜지스터(TN3)가 각각 흐르게 하는 전류 "I11, I12"의 값과 실질적으로 동일하다.

단위 저항 "Ra"(=Rb=Rc)의 저항치를 「1」로 하면, 전류 I11, I12는 다음과 같다.

$$I_{11}=I_{12}=(VRP-VRN) \times (2/32)/8$$

$$=(VRP-VRN) \times (1/128)$$

$$=(VRP-VRN)/128$$

이 전류 "I11, I12"의 값과 동일한 전류치를 갖는 전류가 단위 전류이다. 이후, 단위 전류를 I(t)로 나타낸다.

또한, 노드 "N21"이 제1 기준 전원 "VRP"와 제2 기준 전원 "VRN" 사이의 중간 전위((VRP-VRN)/2)로 설정되면, 제2 분압 회로(51)를 구성하는 저항의 수가 변경되어도 좋다. 또한, 각 저항이 다른 값을 갖고 있어도 좋다.

제어 전류 발생 회로(32)는 제2 커런트 미러 회로(55)의 입력측 트랜지스터(TN1)와 커런트 미러 접속된 NMOS 트랜지스터(TN21 ~ TN24)를 포함한다. 트랜지스터(TN21 ~ TN24)는 제2 커런트 미러 회로(55)의 출력측 트랜지스터(TN2)와 실질적으로 동일한 전기적 특성을 갖는다. 따라서, 각 트랜지스터(TN21 ~ TN24)는 트랜지스터(TN2)가 흐르게 하는 전류 "I11"과 동일한 전류치, 즉 단위 전류 I(t)와 동일한 값을 갖는 전류 "I21 ~ I24"를 흐르게 한다.

출력 전압 보정 회로(35)는 제2 커런트 미러 회로(55)의 트랜지스터(TN1)와 커런트 미러 접속된 NMOS 트랜지스터(TN31)을 포함한다. 트랜지스터(TN31)은 제2 커런트 미러 회로(55)의 출력측 트랜지스터(TN2)의 전기적 특성과 실질적으로 4배의 전기적 특성을 갖는다. 따라서, 트랜지스터(TN31)는 단위 전류 I(t)의 전류치의 4배의 전류치를 갖는 전류 "I31"를 흐르게 한다.

제2 전류 보정 회로(37)는 제2 커런트 미러 회로(55)의 트랜지스터(TN1)와 커런트 미러 접속된 NMOS 트랜지스터(TN41)를 포함한다. 트랜지스터(TN41)은 제2 커런트 미러 회로(55)의 출력측 트랜지스터(TN2)와 실질적으로 동일한 전기적 특성을 갖는다. 따라서, 트랜지스터(TN41)는 단위 전류 $I(t)$ 와 동일한 전류치를 갖는 전류 "I41"을 흐르게 한다.

다음에, 제어 전류 발생 회로(32)와 제어 전류 반전 회로(33)의 구성 및 동작을 도 6에 따라서 설명한다.

제어 전류 발생 회로(32)는 트랜지스터(TN21~TN24), 인버터(61~66), 스위치 회로(67~69)를 포함한다. 트랜지스터(TN21~TN23)는 소스가 저전위 전원(VSS)이 공급되는 제4 단자(T4 : 도 4 참조)에 접속되어며, 드레인이 각 스위치 회로(67~69)에 접속되어 있다.

각 스위치 회로(67~69)는, 트랜지스터쌍(TN25a, TN25b, TN26a, TN26b, TN27a, TN27b)을 포함한다. 제1 트랜지스터쌍(TN25a, TN25b)에서 소스는 서로 접속되어, 그 접속점이 제1 트랜지스터(TN21)의 드레인에 접속되어 있다. 제2 트랜지스터쌍(TN26a, TN26b)에서 소스가 서로 접속되고, 그 접속점이 제2 트랜지스터(TN22)의 드레인에 접속되어 있다. 제3 트랜지스터쌍(TN27a, TN27b)에서 소스가 서로 접속되고, 그 접속점이 제3 트랜지스터(TN23)의 드레인에 접속되어 있다.

제1 인버터(61)에는 디지털 신호 "D0"이 입력되고, 출력 단자는 트랜지스터(TN25a)의 게이트와 제2 인버터(62)의 입력 단자에 접속되며, 제2 인버터(62)의 출력 단자는 트랜지스터(TN25b)의 게이트에 접속되어 있다. 제3 인버터(63)에는 디지털 신호 "D1"이 입력되고, 출력 단자는 트랜지스터(TN26a)의 게이트와 제2 인버터(64)의 입력 단자에 접속되며, 제4 인버터(64)의 출력 단자는 트랜지스터(TN26b)의 게이트에 접속되어 있다. 제5 인버터(65)에는 디지털 신호 "D1"이 입력되고, 출력 단자는 트랜지스터(TN27a)의 게이트와 제2 인버터(66)의 입력 단자에 접속되며, 제6 인버터(66)의 출력 단자는 트랜지스터(TN27b)의 게이트에 접속되어 있다.

트랜지스터(TN21~TN24)는 정전류 회로(34)의 트랜지스터(TN3)와 커런트 미러 접속되어 각각 전류 "I21~I24"를 출력한다.

인버터(61)는 디지털 신호 D0에 응답하여 트랜지스터(TN25a)와 인버터(62)를 구동한다. 인버터(62)는 인버터(61)로부터의 신호에 응답하여 트랜지스터(TN25b)를 구동한다. 이에 따라 트랜지스터쌍(TN25a, TN25b)은 디지털 신호 "D0"에 응답하여 상보적으로 온·오프한다.

인버터(63)는 디지털 신호 "D1"에 응답하여 트랜지스터(TN26a)와 인버터(64)를 구동한다. 인버터(64)는 인버터(63)로부터의 신호에 응답하여 트랜지스터(TN26b)를 구동한다. 이에 따라 트랜지스터쌍(TN26a, TN26b)은 디지털 신호 "D1"에 응답하여 상보적으로 온·오프한다.

인버터(65)는 디지털 신호 "D1"에 응답하여 트랜지스터(TN27a)와 인버터(66)를 구동한다. 인버터(66)는 인버터(65)로부터의 신호에 응답하여 트랜지스터(TN27b)를 구동한다. 이에 따라, 트랜지스터쌍(TN27a, TN27b)은 디지털 신호 "D1"에 응답하여 상보적으로 온·오프한다.

이와 같이, 제어 전류 발생 회로(32)는 디지털 신호 "D1, D0"에 응답하여 온된 트랜지스터의 조합에 의하여 제어 전류 "Ia"와 그 전류 "Ia"의 값과 상관치를 갖는 전류 "Ic"를 흐르게 한다.

[L 레벨의 디지털 신호 "D1, D0"의 경우]

디지털 신호 "D1, D0"에 응답하여 트랜지스터(TN25a, TN26a, TN27a)가 온된다. 이에 따라, 제어 전류 발생 회로(32)는 제1 내지 제4 트랜지스터(TN21~TN24)가 흐르게 하는 전류 "I21~I24"의 합계치, 즉 단위 전류 $I(t)$ 의 4배의 값을 갖는 제어 전류 "Ia"를 흐르게 한다. 덧붙여서 말하면, 이때의 전류 "Ic"의 값은 0이다.

[H 레벨의 디지털 신호 "D0", L 레벨의 디지털 신호 "D1"의 경우]

디지털 신호 "D0"에 응답하여 트랜지스터 TN25b가 온하고, 디지털 신호 "D1"에 응답하여 트랜지스터(TN26a, TN27a)가 온된다. 이에 따라, 제어 전류 발생 회로(32)는 제1 트랜지스터(TN21)이 흐르게 하는 전류 "I21"의 값, 즉 단위 전류 $I(t)$ 와 동일한 값을 갖는 제어 전류 "Ic"와 제2 내지 제4 트랜지스터(TN22~TN24)가 흐르게 하는 전류 "I22~I24"의 합계치, 즉 단위 전류 $I(t)$ 의 3배의 값을 갖는 제어 전류 "Ia"를 흐르게 한다.

[L 레벨의 디지털 신호 "D0", H 레벨의 디지털 신호 "D1"의 경우]

디지털 신호 "D0"에 응답하여 트랜지스터(TN25a)가 온되며, 디지털 신호 "D1"에 응답하여 트랜지스터(TN26b, TN27b)가 온된다. 이에 따라, 제어 전류 발생 회로(32)는 제1 트랜지스터(TN21)과 제4 트랜지스터(TN24)가 각각 흐르게 하는 전류 "I21, I24"의 합계치, 즉 단위 전류 $I(t)$ 의 2배의 값을 갖는 제어 전류 "Ia"와 제2 내지 제4 트랜지스터(TN22~TN24)가 흐르게 하는 전류 "I22, I23"의 합계치, 즉 단위전류 $I(t)$ 의 2배의 값을 갖는 제어 전류 "Ic"를 흐르게 한다.

[H 레벨의 디지털 신호 "D1, D0"의 경우]

디지털 신호 "D1, D0"에 응답하여 트랜지스터(TN25b, T26b, T27b)가 온된다. 이에 따라, 제어 전류 발생 회로(32)는 제1 내지 제3 트랜지스터(TN21~TN23)이 흐르게 하는 전류 "I21~I23"의 합계치, 즉 단위 전류 $I(t)$ 의 3배의 값을 갖는 제어전류 "Ic"와 제4 트랜지스터(TN24)가 흐르게 하는 전류 "I24"의 값, 즉 단위 전류 $I(t)$ 와 동일치를 갖는 제어 전류 "Ia"를 흐르게 한다.

상기를 통합하면, 다음과 같이 된다.

제어 전류 발생 회로(32)는 디지털 신호 "D1, D0"에 대응하고,

10 진수 환산치“0”일 때, $Ia=4\times I(t)$, $Ic=0\times I(t)$,

10 진수 환산치“1”일 때, $Ia=3\times I(t)$, $Ic=1\times I(t)$,

10 진수 환산치“2”일 때, $Ia=4\times I(t)$, $Ic=2\times I(t)$,

10 진수 환산치“3”일 때, $Ia=1\times I(t)$, $Ic=3\times I(t)$

를 각각 출력한다.

제어 전류 반전 회로(33)는 PMOS 트랜지스터(TP51, TP52)를 포함하고, 트랜지스터(TP51, TP52)는 전류 미러 회로(71)를 형성한다. 입력측 트랜지스터 (TP51)의 드레인은 제어 전류 발생 회로(32)의 스위치 회로(67~69)를 구성하는 제2 트랜지스터(TN25b, TN26b, TN27b)의 소스에 접속되어 제어 전류 "Ic"가 흐른다. 출력측의 제2 트랜지스터(TP52)는 드레인이 제1 분압 회로(31)의 노드 "N14"에 접속되어 있다. 제2 트랜지스터(TP52)는 제1 트랜지스터(TP51)와 실질적으로 동일한 전기적 특성을 가지고, 트랜지스터(TP51)에 흐르는 전류 "Ic"의 값과 동일치를 갖는 제어 전류 "Ib"를 노드 "N14"에 공급한다.

제1 분압 회로(31)의 노드 "N14"에는 도 5의 출력 전압 보정 회로(35)가 접속되어, 그 출력 전압 보정 회로(35)로부터 단위 전류 $I(t)$ 의 값의 4배의 값을 갖는 설정 전류 "Id"가 공급된다. 즉, 노드 "N14"에는 제어 전류 반전 회로(33)에 의한 제어 전류(Ib)와 출력 전압 보정 회로(35)에 의한 설정 전류 "Id"의 합성 전류 "Ig"가 공급된다.

제어 전류 "Ib" (=Ic)는 디지털 신호 "D1, D0"의 10 진수 환산치에 대응하는 값을 가지며, 설정 전류 "Id"는 항상 일정한 값을 갖는다. 따라서, 노드 "N14"에 공급되는 제어 전류 "Ig"은 디지털 신호 "D1, D0"에 대응하여,

10 진수 환산치“0”일 때, $Ig= 4\times I(t)$,

10 진수 환산치“1”일 때, $Ig= 5\times I(t)$,

10 진수 환산치“2”일 때, $Ig= 6\times I(t)$,

10 진수 환산치“3”일 때, $Ig= 7\times I(t)$,

가 된다.

다음에, 출력 전압 보정 회로(35), 제1 전류 보정 회로(36), 제2 전류 보정 회로(37)의 구성 및 동작을 도 5를 참조하여 설명한다.

출력 전압 보정 회로(35)는 NMOS 트랜지스터(TN31), PMOS 트랜지스터(TP31, TP32)를 포함한다.

트랜지스터(TN31)는 정전류 회로(34)의 트랜지스터(TN1)와 커런트 미러 접속되어 단위 전류 $I(t)$ 의 4배의 값을 갖는 전류(I31)를 흐르게 한다.

트랜지스터(TP31, TP32)는 커런트 미러 회로(72)를 형성하며, 트랜지스터(TP31, TP32)의 소스에는 고전위 전원(VDD)이 공급된다. 입력측 트랜지스터(TP31)의 드레인은 트랜지스터(TN31)의 드레인에 접속되어 트랜지스터(TN31)의 출력 전류 "I31"을 받는다. 출력측 트랜지스터(TP32)는 트랜지스터(TP31)와 실질적으로 동일한 전기적 특성을 가지며, 트랜지스터(TP31)가 흐르게 하는 전류 "I31"의 값과 동일치(단위 전류 $I(t)$ 의 4배의 값)를 갖는 설정 전류 "Id"를 출력한다.

제1 전류 보정 회로(36)는 PMOS 트랜지스터(TP61)와 NMOS 트랜지스터(TN61, TN62)를 포함한다. 트랜지스터(TP61)는 소스에 고전위 전원(VDD)이 공급되며, 드레인은 NMOS 트랜지스터(TN61)에 접속되어 있다. 트랜지스터(TP61)는 제어 전류 반전 회로(33)의 전류 커런트 미러(71)를 구성하는 입력 트랜지스터(TP51)와 커런트 미러 접속되어 상기 트랜지스터(TP51)가 흐르게 하는 전류 "Ic"의 값과 동일치를 갖는 전류 "I61"을 흐르게 한다.

NMOS 트랜지스터(TN61, TN62)는 커런트 미러 회로(73)를 형성한다. 트랜지스터(TN61, TN62)의 소스에는 저전위 전원(VSS)이 공급되며, 입력측 트랜지스터(TN61)의 PMOS 트랜지스터(TP61)의 드레인에 접속되어 있다. 출력측 트랜지스터(TN62)의 드레인은 제1 기준 전원 "VRP"가 공급되는 제1 단자(T1 : 도 2참조)에 접속되어 있다.

출력측 트랜지스터(TN62)는 입력측 트랜지스터(TN61)와 실질적으로 동일한 전기적 특성을 갖는다. 따라서, 출력측 트랜지스터(TN62) 입력측 트랜지스터(TN61)에 흐르는 전류 "I61"의 값과 동일한 값을 갖는 제1 보정 전류 "Ie"를 제1 기준 전원 "VRP" [제1 단자(T1)]로부터 저전위 전원(VSS)에 흐르게 한다.

트랜지스터(TN61)에 흐르는 전류 "I61"의 값은 제어 전류 반전 회로(33)가 제1 분압 회로(31)의 노드 "N14"에 공급하는 제어 전류 "Ib"의 값과 동일하다. 따라서, 제1 전류 보정 회로(36)는 제어 전류 "Ib"의 값과 동일치를 갖는 보정 전류 "Ie"를 제1기준 전원 "VRP"에서 저전위 전원(VSS)에 흐르게 한다. 이것을 디지털 신호 "D1, D0"의 10 진수 환산치에 대응하여 도시하면,

10 진수 환산치“0”일 때, $Ie=0 \times I(t)$,

10 진수 환산치“1”일 때, $Ie=1 \times I(t)$,

10 진수 환산치“2”일 때, $Ie=2 \times I(t)$,

10 진수 환산치“3”일 때, $Ie=3 \times I(t)$,

가 된다.

제2 전류 보정 회로(37)는 NMOS 트랜지스터(TN41, TN42), PMOS 트랜지스터(TP41~TP44)를 포함한다.

NMOS 트랜지스터(TN41)는 정전류 회로(34)의 트랜지스터(TN1)와 커런트 미러 접속되어 단위 전류 $I(t)$ 와 동일치를 갖는 전류 "I41"을 흐르게 한다.

NMOS 트랜지스터(TN42)는 제1 전류 보정 회로(36)의 트랜지스터(TN61)와 커런트 미러 접속되어, 보정 전류 "Ie" 즉, 제어 전류 "Ib"와 동일치를 갖는 전류 "I42"를 흐르게 한다.

PMOS 트랜지스터(TP41, TP42)는 커런트 미러 회로(74)를 형성하며, 트랜지스터(TP41, TP42)의 소스에는 고전위 전원 (VDD)이 공급되고, 드레인이 커런트 미러 회로(74)를 형성하는 트랜지스터(TP43, TP44)의 소스에 접속되어 있다. 또한,

트랜지스터(TP42)의 드레인은 트랜지스터(TN42)의 드레인에 접속되어 있다. 트랜지스터(TP43)의 드레인은 트랜지스터(TN41)의 드레인에 접속되며, 트랜지스터(TP44)의 드레인은 제2 기준 전원 "VRN"이 공급되는 제2 단자(T2 : 도 2 참조)에 접속되어 있다.

커런트 미러 회로(74)를 구성하는 출력측 트랜지스터(TP42)는 입력측 트랜지스터(TP41)가 갖는 전기적 특성의 3배의 전기적 특성을 갖는다. 따라서, 커런트 미러 회로(74)는 트랜지스터(TN41)가 흐르게 하는 전류 "I41"을 입력측 트랜지스터(TP41)로 받아 출력측 트랜지스터(TP42)로부터 전류 "I41"의 3배의 값을 [단위 전류 $I(t)$ 의 3배의 값을] 갖는 전류 "I43"를 흐르게 한다.

제2 커런트 미러 회로(75)는 제1 커런트 미러 회로(74)에 캐스케이드 접속되어 있다. 커런트 미러 회로(75)를 구성하는 출력측 트랜지스터(TP44)는 입력측 트랜지스터(TP43)가 갖는 전기적 특성의 3배의 값을 갖는다.

입력측 트랜지스터(TP43)는 제1 전류 미러 회로(74)의 입력측 트랜지스터(TP41)의 출력 전류를 그대로 트랜지스터(TN41)에 통과시킨다. 출력측 트랜지스터(TP44)는 트랜지스터(TN42)의 출력 전류 "I42"와 트랜지스터(TP42)의 출력 전류 "I43"을 합성한 제2 보정 전류 "If"를 제2 기준 전원 "VRN"에 공급한다.

트랜지스터(TP42)는 일정치를 갖는 전류 "I43"을 흐르게 한다. 따라서, 트랜지스터(TP44)가 흐르게 하는 보정 전류 "If"는 다음과 같다.

$$If = I43 - I42$$

따라서, 디지털 신호 "D1, D0"의 10 진수 환산치에 대응하여 나타내면,

10 진수 환산치 "0" 일 때, $If = 3 \times I(t)$,

10 진수 환산치 "1" 일 때, $If = 2 \times I(t)$,

10 진수 환산치 "2" 일 때, $If = 1 \times I(t)$,

10 진수 환산치 "3" 일 때, $If = 0 \times I(t)$,

가 된다.

다음에, 선택 회로(23)의 구성 및 동작을 도 6을 참조하여 설명한다.

선택 회로(23)는 제1 및 제2 스위치 회로(81, 82), 인버터(83)를 포함한다. 제1 스위치 회로(81)는 제1 분압 회로(31)의 노드 "N11"에 접속되고, 제2 스위치 회로(82)는 노드 "N12"에 접속되어 있다.

제1 및 제2 스위치 회로(81, 82)는 각각 병렬 접속된 한쌍의 PMOS 트랜지스터와 NMOS 트랜지스터로 구성되어 있다. 제1 스위치 회로(81)의 NMOS 트랜지스터와 제2 스위치 회로(82)의 PMOS 트랜지스터의 게이트에는 디지털 신호 "D2"가 입력되며, 제1 스위치 회로(81)의 PMOS 트랜지스터와 제2 스위치 회로(82)의 NMOS 트랜지스터의 게이트에는 디지털 신호 "D2"가 입력되는 인버터(83)의 출력 신호가 입력된다.

이와 같이 구성된 제1 및 제2 스위치 회로(81, 82)는 디지털 신호 "D2"에 응답하여 상보적으로 온·오프된다. 그리고, 온된 스위치 회로(81, 82)를 통해 출력신호(Vout0, Vout1) 중의 한쪽이 아날로그 신호(Aout)로서 출력된다.

다음에, 상기한 바와 같이 구성된 D/A 변환 회로(21)의 작용을 설명한다.

[10 진수 환산치 "0"의 경우(D0=Low, D1=Low, D2=Low)]

단위 전류 $I(t)$ 의 4배의 값을 갖는 제어 전류 "Ia"와, 단위 전류 $I(t)$ 의 4배의 값을 갖는 제어 전류 "Ig"를 받고, 제1 분압 회로(31)의 노드 "N13"의 전위는 제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 8개째와 9개째의 접점 전압과 동일한 전압 값에 제1 분압 회로(31)의 노드 "N14"의 전위는 제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 24개째와 25개째의 접점 전압과 동일한 전압 값이 된다.

따라서, 제1 분압 회로(31)의 노드 "N13"으로부터 노드 "N14"까지의 저항 소자간 접점 17개소의 전압은 제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 8개째와 9개째의 접점으로부터 제1 기준 전원 "VRP"에서 24개째와 25개째의 접점까지의 저항 소자간 접점 17개소의 전압과 각각 일치한다.

L 레벨의 디지털 신호 "D2"에 응답하여 스위치 회로(82)가 온하여, 출력 신호 Vout0, 즉 노드 N11의 전위(제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 20개째와 21개째의 접점의 전위)를 갖는 아날로그 신호(Aout)가 출력된다. 이 아날로그 신호(Aout)의 전압치는,

$$Aout = (VRP - VRN) \times (12/32) + VRN$$

이 된다.

[10 진수 환산치“1“의 경우(D0=High, D1=Low, D2=Low)]

단위 전류 I(t)의 4배의 값을 갖는 제어 전류 "Ia"와, 단위 전류 I(t)의 4배의 값을 갖는 제어 전류 Ig를 받고, 제1 분압 회로(31)의 노드 "N13"의 전위는 제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 7개째와 8개째의 접점 전압과 동 전압값에, 제1 분압 회로(31)의 노드 "N14"의 전위는 제2 분압 회로(51)의 제1 기준 전원 "VRP"로부터 23개째와 24개째의 접점 전압과 동 전압값이 된다.

따라서, 제1 분압 회로(31)의 노드 "N13"으로부터 노드 "N14"까지의 저항 소자간 접점 17개소의 전압은 제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 7개째와 8개째의 접점에서, 제1 기준 전원 "VRP"에서 23개째와 24개째의 접점까지의 저항 소자간 접점 17개소의 전압과 각각 일치한다.

L 레벨의 디지털 신호 "D2"에 응답하여 스위치 회로(82)가 온하여, 출력 신호 Vout0, 즉 노드 N11의 전위(제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 19개째와 20개째의 접점의 전위)를 갖는 아날로그 신호(Aout)가 출력된다. 이 아날로그 신호(Aout)의 전압치는,

$$Aout = (VRP - VRN) \times (13/32) + VRN$$

이 된다.

[10 진수 환산치“2”의 경우(D0=Low, D1=High, D2=Low)]

단위 전류 I(t)의 4배의 값을 갖는 제어 전류 "Ia"와, 단위 전류 I(t)의 4배의 값을 갖는 제어 전류 Ig를 받고, 제1 분압 회로(31)의 노드 "N13"의 전위는 제2 분압 회로(51)의 제1 기준 전원 "VRP"로부터 6개째와 7개째의 접점 전압과 동 전압값으로, 제1 분압 회로(31)의 노드 "N14"의 전위는 제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 22개째와 23개째의 접점 전압과 동 전압값이 된다.

따라서, 제1 분압 회로(31)의 노드 "N13"으로부터 노드 "N14"까지의 저항 소자간 접점 17개소의 전압은 제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 6개째와 7개째의 접점에서, 제1 기준 전원 "VRP"에서 22개째와 23개째의 접점까지의 저항 소자간 접점 17개소의 전압과 각각 일치한다.

L 레벨의 디지털 신호 "D2"에 응답하여 스위치 회로(82)가 온하여, 출력 신호 Vout0, 즉 노드 N11의 전위(제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 18개째와 19개째의 접점의 전위)를 갖는 아날로그 신호(Aout)가 출력된다. 이 아날로그 신호(Aout)의 전압치는 다음과 같다.

$$Aout = (VRP - VRN) \times (14/32) + VRN$$

[10 진수 환산치“3”의 경우(D0=High, D1=High/, D2=Low)]

단위 전류 $I(t)$ 의 1배의 값을 갖는 제어 전류 "Ia"와 단위 전류 $I(t)$ 의 7배의 값을 갖는 제어 전류 "Ig"를 받고, 제1 분압 회로(31)의 노드 "N13"의 전위는 제2 분압 회로(51)의 제1 기준 전원 "VRP"로부터 5개째와 6개째의 접점 전압과 동일한 전압 값이 되며, 제1 분압 회로(31)의 노드 "N14"의 전위는 제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 20개째와 21개째의 접점 전압과 동일한 전압 값이 된다.

따라서, 제1 분압 회로(31)의 노드 "N13"으로부터 노드 "N14"까지의 저항 소자간 접점 17개소의 전압은, 제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 5개째와 6개째의 접점에서 제1 기준 전원 "VRP"로부터 20개째와 21개째의 접점까지의 저항 소자간 접점 17개소의 전압과 각각 일치한다.

L 레벨의 디지털 신호 "D2"에 응답하여 스위치 회로(82)가 온되어 출력 신호(Vout0) 즉, 노드 "N11"의 전위[제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 17개째와 18개째의 접점의 전위]를 갖는 아날로그 신호(Aout)가 출력된다. 이 아날로그 신호(Aout)의 전압치는 다음과 같다.

$$Aout = (VRP - VRN) \times (15/32) + VRN$$

[10 진수 환산치“4”의 경우(D0=Low, D1=Low, D2=High)]

이 경우는 10 진수 환산치가 “0”의 경우와 동일한 전위 설정을 행한다. 그리고, H 레벨의 디지털 신호 "D2"에 응답하여 스위치 회로(81)가 온되어 출력 신호(Vout1) 즉, 노드 "N12"의 전위[제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 16개째와 17개째의 접점의 전위]를 갖는 아날로그 신호(Aout)가 출력된다. 이 아날로그 신호(Aout)의 전압치는 다음과 같다.

$$Aout = (VRP - VRN) \times (16/32) + VRN$$

[10 진수 환산치“5”의 경우(D0=High, D1= Low, D2=High)]

이 경우는 10 진수 환산치가“1”의 경우와 동일한 전위 설정을 행한다. 그리고, H 레벨의 디지털 신호 "D2"에 응답하여 스위치 회로(81)가 온되어 출력 신호(Vout1) 즉, 노드 "N12"의 전위[제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 15개째와 16개째의 접점의 전위]를 갖는 아날로그 신호(Aout)가 출력된다. 이 아날로그 신호(Aout)의 전압치는 다음과 같다.

$$Aout = (VRP - VRN) \times (17/32) + VRN$$

[10 진수 환산치“6”의 경우(D0=Low, D1=High, D2=High)]

이 경우는 10 진수 환산치가“2”의 경우와 동일한 전위 설정을 행한다. 그리고, H 레벨의 디지털 신호 "D2"에 응답하여 스위치 회로(81)가 온되어 출력 신호(Vout1) 즉, 노드 "N12"의 전위[제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 14개째와 15개째의 접점의 전위]를 갖는 아날로그 신호(Aout)가 출력된다. 이 아날로그 신호(Aout)의 전압치는 다음과 같다.

$$Aout = (VRP - VRN) \times (18/32) + VRN$$

[10 진수 환산치“7”의 경우(D0=High, D1=High, D2=High)]

이 경우는 10 진수 환산치가“3”의 경우와 동일한 전위 설정을 행한다. 그리고, H 레벨의 디지털 신호 "D2"에 응답하여 스위치 회로(81)가 온되어 출력 신호(Vout1) 즉, 노드 "N12"의 전위[제2 분압 회로(51)의 제1 기준 전원 "VRP"에서 13개째와 14개째의 접점의 전위]를 갖는 아날로그 신호(Aout)가 출력된다. 이 아날로그 신호(Aout)의 전압치는 다음과 같다.

$$Aout = (VRP - VRN) \times (19/32) + VRN$$

다음에, 제1 전류 보정 회로(36)에 의한 제1 단자(T1)에 공급되는 제1 기준전원 "VRP"에 대한 전류 변동 보정 동작을 설명한다.

상기한 바와 같이, 제1 기준 전원 "VRP"가 공급되는 제1 단자(T1)로부터 제1 분압 회로(31)로의 유입 전류는 제어 전류 "Ia"에 의해서 변동된다. 이것을 상쇄하기 위해서, 제1 전류 보정 회로(36)에 의해 제1 단자(T1)로부터 보정 전류 "Ie"를 흐르게 한다.

[10 진수 환산치“0” 또는“4”의 경우(D0=Low, D1=Low)]

이 경우, 단위 전류 $I(t)$ 의 4배의 값을 갖는 제어 전류 "Ia"가 노드 "N13"으로부터 끌어내어진다. 따라서, 제1 전류 보정 회로(36)는 단위 전류 $I(t)$ 의 0배의 값을 갖는 보정 전류 "Ie"를 흐르게 한다.

[10 진수 환산치“1”또는“5”의 경우(D0=High, D1=Low)]

이 경우, 단위 전류 $I(t)$ 의 3배의 값을 갖는 제어 전류 "Ia"가 노드 "N13"으로부터 끌어내어진다. 따라서, 제1 전류 보정 회로(36)는 단위 전류 $I(t)$ 의 1배의 값을 갖는 보정 전류 "Ie"를 흐르게 한다.

[10 진수 환산치“2”또는“6”의 경우(D0=Low, D1=High)]

이 경우, 단위 전류 $I(t)$ 의 2배의 값을 갖는 제어 전류 "Ia"가 노드 "N13"으로부터 끌어내어진다. 따라서, 제1 전류 보정 회로(36)는 단위 전류 $I(t)$ 의 2배의 값을 갖는 보정 전류 "Ie"를 흐르게 한다.

[10 진수 환산치“3”또는“7”의 경우(D0=High, D1=High)]

이 경우, 단위 전류 $I(t)$ 의 1배의 값을 갖는 제어 전류 "Ia"가 노드 "N13"으로부터 끌어내어진다. 따라서, 제1 전류 보정 회로(36)는 단위 전류 $I(t)$ 의 3배의 값을 갖는 보정 전류 "Ie"를 흐르게 한다.

이상과 같이, 제1 전류 보정 회로(36)는 제어 전류 "Ia"의 절대치와 보정 전류 "Ie"의 절대치의 합을 항상 일정치 [=단위 전류 $I(t)$ 의 4배의 값]로 유지하도록 보정 전류 "Ie"의 값을 제어한다. 이에 따라, 제1 단자(T1)의 전위 변동이 억제되어 출력 신호(Vout0, Vout1)의 전압 정밀도, 즉 아날로그 신호(Aout)의 변환 정밀도가 높아진다.

이어, 제2 전류 보정 회로(37)에 의한 제2 단자(T2)에 공급되는 제2 기준 전원 "VRN"에 대한 전류 변동 보정 동작을 설명한다.

상기한 바와 같이 제1 분압 회로(31)로부터 제2 기준 전원 "VRN"이 공급되는 제2 단자(T2)로의 유출 전류는 제어 전류 "Ig"(제어 전류 "Ib"와 설정 전류 "Id"의 합성 전류)에 의해서 변동한다. 이것을 상쇄하기(절대치의 합을 일정치로 유지) 위해서 제2 전류 보정 회로(37)로부터 제2 단자(T2)로 보정 전류 "If"를 유입시킨다.

[10 진수 환산치“0” 또는“4”의 경우(D0=Low, D1=Low)]

이 경우, 단위 전류 $I(t)$ 의 4배의 값을 갖는 제어 전류 "Ig"가 노드 "N14"에 공급된다. 따라서, 제2 전류 보정 회로(37)는 단위 전류 $I(t)$ 의 3배의 값을 갖는 보정 전류 "If"를 흐르게 한다.

[10 진수 환산치“1”또는“5”의 경우(D0=High, D1=Low)]

이 경우, 단위 전류 $I(t)$ 의 5배의 값을 갖는 제어 전류 "Ig"가 노드 "N14"에 공급된다. 따라서, 제2 전류 보정 회로(37)는 단위 전류 $I(t)$ 의 2배의 값을 갖는 보정 전류 "If"를 흐르게 한다.

[10 진수 환산치“2”또는“6”의 경우(D0=Low, D1=High)]

이 경우, 단위 전류 $I(t)$ 의 6배의 값을 갖는 제어 전류 "Ig"가 노드 "N14"에 공급된다. 따라서, 제2 전류 보정 회로(37)는 단위 전류 $I(t)$ 의 1배의 값을 갖는 보정 전류 "If"를 흐르게 한다.

[10 진수 환산치“3”또는“7”의 경우(D0=High, D1=High)]

이 경우, 단위 전류 $I(t)$ 의 7배의 값을 갖는 제어 전류 "Ig"가 노드 "N14"에 공급된다. 따라서, 제2 전류 보정 회로(37)는 3배의 단위 전류 $I(t)$ 의 0배의 값을 갖는 보정 전류 "If"를 흐르게 한다.

이상과 같이, 제2 전류 보정 회로(37)는 제어 전류 "Ig"의 절대치와 보정 전류 "If"의 절대치의 합을 항상 일정치(=단위 전류 I(t)의 7배의 값)로 유지하도록 보정 전류 "If"의 값을 제어한다. 이에 따라, 제2 단자(T2)의 전위 변동이 억제되고, 출력 신호(Vout0, Vout1)의 전압 정밀도, 즉 아날로그 신호(Aout)의 변환 정밀도가 높아진다.

상기한 바와 같이, 본 실시예에 따르면 이하의 효과를 얻을 수 있다.

(1) 제1 기준 전원 "VRP"가 공급되는 제1 단자(T1)에 접속된 제1 저항(R11)과, 제2 기준 전원 "VRN"이 공급되는 제2 단자(T2)에 접속되어 제1 저항(R11)과 동일 임피던스를 갖는 제6 저항(R16)과, 양 저항 "R11, R16" 사이에 직렬 접속된 저항 "R12~R15"를 포함한다. 제1 저항(R11)과 제2 저항(R12) 사이의 노드 "N13"으로부터 제1 제어 전류 "Ia"를 끌어내어, 제5 저항(R15)과 제6 저항(R16) 사이의 노드 "N14"에 제1 제어 전류 "Ia"와 상관치를 갖는 제2 제어 전류 "Ib"를 공급한다. 그리고, 제1 및 제2 제어 전류 "Ia, Ib"를 제어하여 노드 "N13, N14" 사이의 전위차를 일정치로 유지한 채, 이를 노드 "N13, N14"의 전위를 변경하여 제4 저항(R14) 양단의 전위를 갖는 제1, 제2 출력 신호(Vout0, Vout1)가 출력되도록 하였다. 이와 같이, 제어 전류 "Ia, Ib"의 값을 제어함으로써 제1 및 제2 출력 신호(Vout0, Vout1)의 전압을 변경할 수 있다. 그 결과, 제1 내지 제6 저항(R11~R16)에 스위치 회로 등의 저항분의 영향없이 제1 및 제2 출력 신호(Vout0, Vout1)의 전압 정밀도를 높게 할 수 있다. 이에 따라, D/A 변환 회로(21)는 정밀도가 높은 아날로그 신호(Aout)를 생성할 수 있다.

(2) 제1 전류 보정 회로(36 : 고전위 단자 전류 보정 회로)는 제1 기준 전원 "VRP"가 공급되는 제1 단자(T1)로부터 제2 제어 전류 "Ib"와 동일치를 갖는 제1 보정 전류 "Ie"를 끌어낸다. 제2 전류 보정 회로(37 : 정전이단시전류보정회로)는 제2 기준 전원 "VRN"이 공급되는 제2 단자(T2)로 제1 제어 전류 "Ia"와 동일치를 갖는 제2 보정 전류 "If"를 공급한다. 이에 따라, 제2 제어 전류 "Ib"에 의해 제1 및 제2 기준 전원 "VRP", VRN의 전위가 변동하는 것을 방지하여 정밀도가 높은 제1 및 제2 출력 신호 "Vout0, Vout1"을 출력할 수 있다.

(3) 전압 보정 회로(35)는 노드 "N14"로 소정치의 설정 전류 Id를 공급한다. 이에 따라, 노드 "N14"와 제2 단자(T2) 사이의 저항(R16)의 실효 임피던스를 변경하여, 제1 단자(T1)와 제2 단자(T2) 사이의 분압 전압을 소정의 전압 스텝에 용이하게 초기 설정할 수 있다.

또한, 상기 실시예는 이하의 형태로 변경하여도 좋다.

○ 제어 전류 발생 회로(32)에 포함되고, 정전류 회로(34)의 커런트 미러 회로(55)를 구성하는 입력측 트랜지스터(TN1)와 커런트 미러 접속된 트랜지스터(TN21~TN24)를 디지털 신호 "D1, D0"의 비트 위치에 따라서 부가하여 구성하여도 좋다.

발명의 효과

상기한 바와 같이, 청구항 5 내지 13에 기재된 발명에 따르면, 출력 신호의 전압을 변경하기 위해 분압 회로에 대하여 여분의 스위치 회로 등의 저항분의 영향없이 정밀도가 높은 출력 신호를 얻는 것이 가능한 전압 발생 회로를 제공할 수 있다.

청구항 14에 기재된 발명에 따르면, 출력 신호의 전압을 변경하기 위해 분압 회로에 대하여 여분의 스위치 회로 등의 저항분의 영향없이 정밀도가 높은 아날로그 신호를 얻는 것이 가능한 D/A 변환 회로를 제공할 수 있다.

이상의 설명에 관해서 이하의 항을 개시한다.

(1) 제1 내지 제3 임피던스 소자는 소정의 저항치를 갖는 단위 저항 소자를 복수 접속하여 구성되는 것을 특징으로 하는 청구항 5 내지 13 중의 어느 한 항에 기재된 전압 발생 회로.

(2) 상기 제3 임피던스 소자는 제1 임피던스 소자와 동일 임피던스를 갖는 복수의 부임피던스 소자를 직렬 접속하여 구성되고, 상기 복수의 부임피던스 소자 사이의 노드로부터 출력 신호를 출력하는 것을 특징으로 하는 청구항 5 내지 13 및 상기 (1) 중의 어느 한 항에 기재된 전압 발생 회로.

(3) 단위 전류를 발생하는 정전류 회로를 구비하고, 상기 제1 전류원과 제2 전류원은 단위 전류에 기초하여 제1 제어 전류와 제2 제어 전류를 각각 변경하는 것을 특징으로 하는 청구항 5 내지 13 및 상기 (1) 내지 (2) 중의 어느 한 항에 기재된 전압 발생 회로.

(4) 상기 단위 전류는 상기 출력 신호의 전압 가변 스텝에 대응하여 설정되는 것을 특징으로 하는 상기 (3)에 기재된 전압 발생 회로.

(5) 상기 정전류 회로는 제1 기준 전원과 제2 기준 전원의 차전압을 분압하여 제1 분압 전압을 생성하는 제2 분압 회로와, 상기 제1 기준 전원과 제2 기준 전원이 각각 공급되는 동일 임피던스를 갖는 제1 및 제2 임피던스 소자와, 상기 제1 임피던스 소자와 제2 임피던스 소자 사이에 접속된 제3 임피던스 소자를 포함하는 제3 분압 회로와, 상기 제3 임피던스 소자는 제1 분압 전압과 소정의 전위차를 갖는 제2 분압 전압을 생성하기 위한 복수의 부임피던스 소자를 포함하는 데, 상기 제1 분압 전압과 제2 분압 전압이 일치하도록 출력 전류를 출력하는 차동 회로와, 상기 오프 전류를 받아 제1 임피던스 소자와 제2 임피던스 소자 사이의 노드와, 상기 제2 임피던스 소자와 제3 임피던스 소자 사이의 노드로부터 상기 출력 전류와 동일치를 갖는 단위 전류를 각각 흐르게 하는 커런트 미러 회로를 포함한 것을 특징으로 하는 상기(3) 또는 (4)에 기재된 전압 발생 회로.

(6) 상기 제1 전류원과 상기 제2 전류원은 디지털 신호에 응답하여 상기 단위 전류의 스텝으로 변화시킨 상기 제1 제어 전류를 발생하는 동시에, 그 제1 제어 전류와 상관치를 갖는 제3 제어 전류를 발생하는 제어 전류 발생 회로와, 상기 제3 제어 전류의 방향을 반전한 상기 제2 제어 전류를 생성하는 제어 전류 반전 회로로 구성된 것을 특징으로 하는 청구항 5 내지 13 및 상기 (1) 내지 (5) 중의 어느 한 항에 기재된 전압 발생 회로.

(7) 상기 제어 전류 발생 회로는 상기 단위 전류와 동일치의 전류를 흐르게 하는 트랜지스터를 복수 비트의 디지털 신호에 대응한 수만 설치하고, 상기 복수의 트랜지스터 중 복수 비트의 디지털 신호에 대응하는 트랜지스터가 흐르게 하는 전류에 기초하여 제1 제어 전류를 발생시키는 동시에, 다른 트랜지스터가 흐르게 하는 전류에 기초하여 제3 제어 전류를 발생시키는 것을 특징으로 하는 상기 (6)에 기재된 전압 발생 회로.

(8) 상기 복수의 트랜지스터 중의 하나는 제1 제어 전류를 발생시키기 위해 항상 이용되는 것을 특징으로 하는 상기 (7)에 기재된 전압 발생 회로.

(9) 상기 제어 전류 반전 회로는 제3 제어 전류를 받아 반대 방향으로 흐르는 제2 제어 전류를 발생시키는 커런트 미러 회로인 것을 특징으로 하는 상기 (6)에 기재된 전압 발생 회로.

(10) 상기 제1 분압 회로를 구성하는 단위 저항 소자는 제1 기준 전원과 제2 기준 전원 사이의 분할수보다도 적게 설치되고, 상기 제1 및 제2 노드의 적어도 한쪽에 소정치의 설정 전류를 공급하는 전압 보정 회로를 구비하고, 상기 제1 기준 전원과 제2 기준 전원 사이의 합성 임피던스가 분할수에 대응하도록 상기 정전류를 공급하는 노드와 기준 전원 사이의 실효 임피던스를 보정하는 것을 특징으로 하는 상기 (1)에 기재된 전압 발생 회로.

(11) 상기 제1 단자에 접속되어 그 단자로부터 제2 제어 전류와 동일치를 갖는 제1 보정 전류를 끌어내는 제1 전류 보정 회로를 포함한 것을 특징으로 하는 청구항 5 내지 13 및 상기 (1) 내지 (10) 중의 어느 한 항에 기재된 전압 발생 회로.

(12) 상기 제2 단자에 접속되고, 상기 단자로 제1 제어 전류와 동일치를 갖는 제2 보정 전류를 공급하는 제2 전류 보정 회로를 포함한 것을 특징으로 하는 청구항 5 내지 13 및 상기 (1) 내지 (11) 중의 어느 한 항에 기재된 전압 발생 회로.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

전압 발생 회로에 있어서,

제1 기준 전원이 공급되는 제1 단자에 접속된 제1 임피던스 소자와, 상기 제1 임피던스 소자와 실질적으로 동일한 임피던스를 가지고 제2 기준 전원이 공급되는 제2 단자에 접속된 제2 임피던스 소자와, 상기 제1 임피던스 소자와 제2 임피던스 소자 사이에 접속된 소정의 임피던스를 갖는 제3 임피던스 소자를 포함하며, 제1 기준 전원과 제2 기준 전원 사이를 분할한 분압 전압을 갖는 출력 신호를 발생시키는 제1 분압 회로;

상기 제1 임피던스 소자와 제3 임피던스 소자 사이의 제1 노드에 접속된 제1 전류원과;

상기 제2 임피던스 소자와 제3 임피던스 소자 사이의 제2 노드에 접속된 제2 전류원을 포함하고,

상기 제1 전류원과 제2 전류원은 서로 상관치를 갖는 제1 제어 전류와 제2 제어 전류를 상기 제1 노드와 제2 노드에 공급하며,

상기 제1 노드와 제2 노드의 전위차를 유지하는 동시에, 상기 제1 노드와 제2 노드의 전위를 제1 제어 전류와 제2 제어 전류의 값에 대응하는 전위로 변경하는 것인 전압 발생 회로.

청구항 6.

제5항에 있어서, 상기 제1 기준 전원은 고전위 전원이고, 상기 제2 기준 전원은 저전위 전원인 것인 전압 발생 회로.

청구항 7.

제5항에 있어서, 상기 제1 제어 전류와 제2 제어 전류는 반대 방향으로 흐르는 것인 전압 발생 회로.

청구항 8.

제5항에 있어서, 상기 제1 전류원과 제2 전류원은 제1 제어 전류와 제2 제어 전류의 절대치의 합계가 항상 일정치가 되도록 상기 양 제어 전류를 공급하는 것인 전압 발생 회로.

청구항 9.

제5항에 있어서, 상기 제1 내지 제3 임피던스 소자 각각은 소정의 저항값을 갖는 복수의 단위 저항 소자를 포함하는 것인 전압 발생 회로.

청구항 10.

제5항에 있어서, 상기 제3 임피던스 소자는 직렬 접속된 복수의 부임피던스 소자를 포함하고, 상기 부임피던스 소자들 각각은 상기 제1 임피던스 소자와 실질적으로 동일한 임피던스를 가지며, 상기 제1 분압 회로의 상기 출력 신호는 상기 복수의 부임피던스 소자 중 소정의 두 소자 사이에서 제3 노드로부터의 출력인 것인 전압 발생 회로.

청구항 11.

제5항에 있어서, 상기 제1 및 제2 전류원에 접속된 정전류 회로를 더 포함하며, 단위 전류를 발생시키고, 상기 제1 및 제2 전류원은 상기 단위 전류에 기초하여, 제1 및 제2 제어 전류를 변경하는 것인 전압 발생 회로.

청구항 12.

제5항에 있어서, 상기 제1 전류원은, 디지털 신호에 응답하여 모든 단위 전류 스텝에서 변화하는 상기 제1 제어 전류를 발생시키고, 상기 제1 제어 전류와 상관치를 갖는 제3 제어 전류를 발생시키기 위한 제어 전류 발생 회로를 포함하고,

상기 제2 전류원은, 상기 제어 전류 발생 회로로부터 상기 제3 제어 전류를 수신하고, 상기 제3 제어 전류의 반대 방향으로 흐르는 상기 제2 제어 전류를 발생시키기 위한 제어 전류 반전 회로를 포함하는 것인 전압 발생 회로.

청구항 13.

전압 발생 회로에 있어서,

제1 기준 전원이 공급되는 제1 단자에 접속된 제1 임피던스 소자와, 상기 제1 임피던스 소자와 실질적으로 동일한 임피던스를 가지고 제2 기준 전원이 공급되는 제2 단자에 접속된 제2 임피던스 소자와, 상기 제1 임피던스 소자와 제2 임피던스 소자 사이에 접속된 소정의 임피던스를 갖는 제3 임피던스 소자를 포함하며, 제1 기준 전원과 제2 기준 전원 사이를 분할한 분압 전압을 갖는 출력 신호를 발생시키는 제1 분압 회로와;

상기 제1 임피던스 소자와 제3 임피던스 소자 사이의 제1 노드에 접속된 제1 전류원과;

상기 제2 임피던스 소자와 제3 임피던스 소자 사이의 제2 노드에 접속된 제2 전류원과;

단위 전류, 상기 제1 및 제2 전류원을 발생하고, 상기 단위 전류에 기초하여 제1 및 제2 제어 전류를 각각 변환하기 위해 상기 제1 및 제2 전류원에 접속된 정전류 회로와;

소정의 전류 세트를 상기 제1 및 제2 노드 중 적어도 어느 하나에 공급하도록, 상기 제1 및 제2 노드 중 적어도 어느 하나에 접속된 전압 보정 회로와;

상기 제2 제어 전류와 실질적으로 동일한 크기를 가지는 제1 보정 전류를 상기 제1 단자로부터 수신하도록, 상기 제1 단자에 접속된 제1 전류 보정 회로와;

상기 제1 제어 전류와 실질적으로 동일한 크기를 가지는 제2 보정 전류를 상기 제2 단자에 공급하도록, 상기 제2 단자에 접속된 제2 전류 보정 회로

를 포함하고,

상기 제1 전류원과 제2 전류원은 서로 상관치를 갖는 제1 제어 전류와 제2 제어 전류를 상기 제1 노드와 제2 노드에 공급하며,

상기 제1 노드와 제2 노드의 전위차를 유지하는 동시에, 상기 제1 노드와 제2 노드의 전위를 제1 제어 전류와 제2 제어 전류의 값에 대응하는 전위로 변경하는 것인 전압 발생 회로.

청구항 14.

상위 비트와 하위 비트를 포함하는 디지털 신호를 아날로그 신호로 변환하는 D/A 변환 회로에 있어서,

하위 비트 디지털 신호의 비트 수에 대응하는 복수의 출력 전압을 발생하는 전압 발생 회로와;

상위 비트 디지털 신호에 기초하여 상기 복수의 출력 전압 중의 하나를 선택하여 생성한 아날로그 신호를 출력하는 선택 회로를 포함하고,

상기 전압 발생 회로는,

상기 제1 기준 전원이 공급되는 제1 단자에 접속된 제1 임피던스 소자와, 상기 제1 임피던스 소자와 실질적으로 동일한 임피던스를 가지고 제2 기준 전원이 공급되는 제2 단자에 접속된 제2 임피던스 소자와, 상기 제1 임피던스 소자와 제2 임피던스 소자 사이에 접속된 소정의 임피던스를 갖는 제3 임피던스 소자를 포함하며, 상기 제1 단자와 상기 제2 단자 사이의 소정의 노드에서 제1 기준 전원과 제2 기준 전원 사이를 분할한 분압 전압을 갖는 출력 신호를 발생시키는 제1 분압 회로와;

상기 제1 임피던스 소자와 제3 임피던스 소자 사이의 제1 노드에 접속된 제1 전류원과;

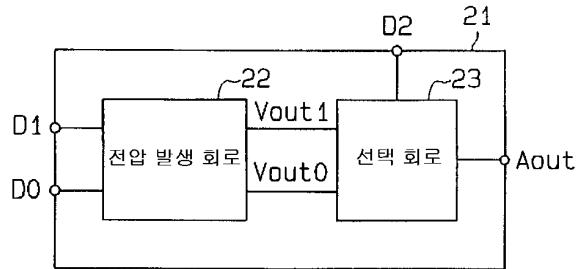
상기 제2 임피던스 소자와 제3 임피던스 소자 사이의 제2 노드에 접속된 제2 전류원을 포함하고,

상기 제1 전류원과 제2 전류원은 서로 상관치를 갖는 제1 제어 전류와 제2 제어 전류를 상기 제1 노드와 제2 노드에 공급 하며,

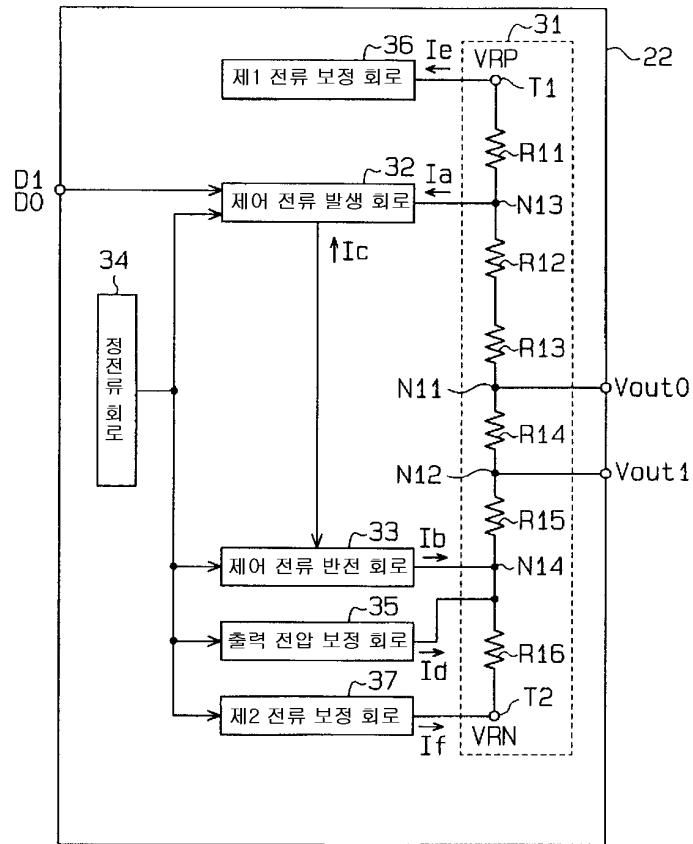
상기 제1 노드와 제2 노드의 전위차를 유지하는 동시에, 상기 제1 노드와 제2 노드의 전위를 제1 제어 전류와 제2 제어 전류의 핵에 대응하는 전위로 변경하는 것인 D/A 변환 회로.

도면

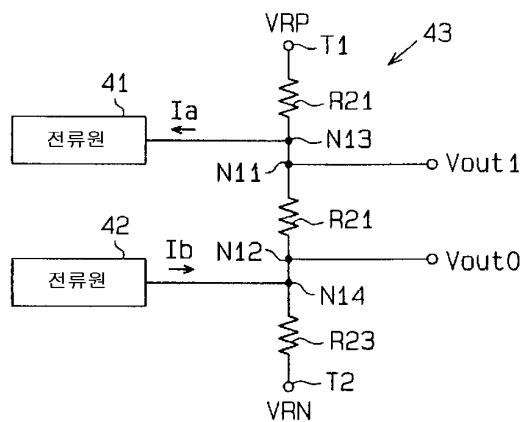
도면1



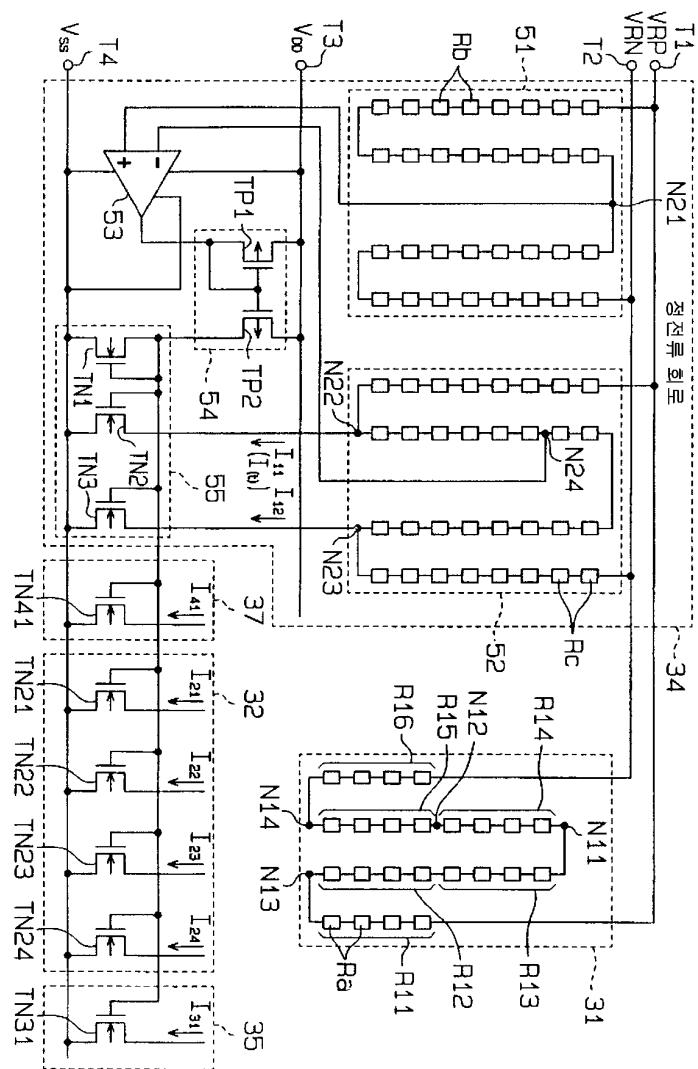
도면2



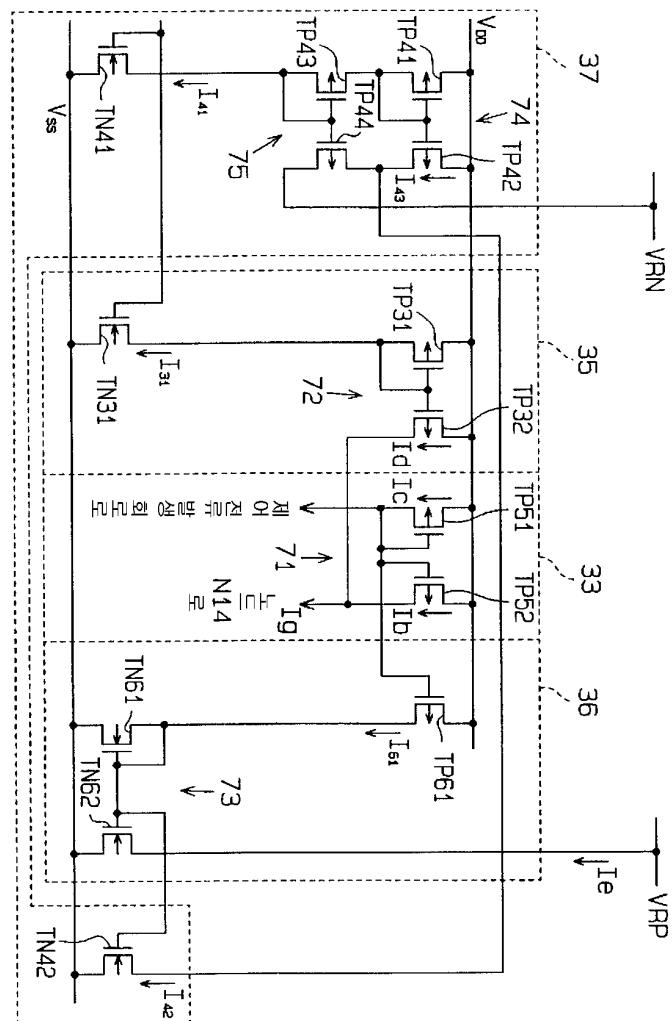
도면3



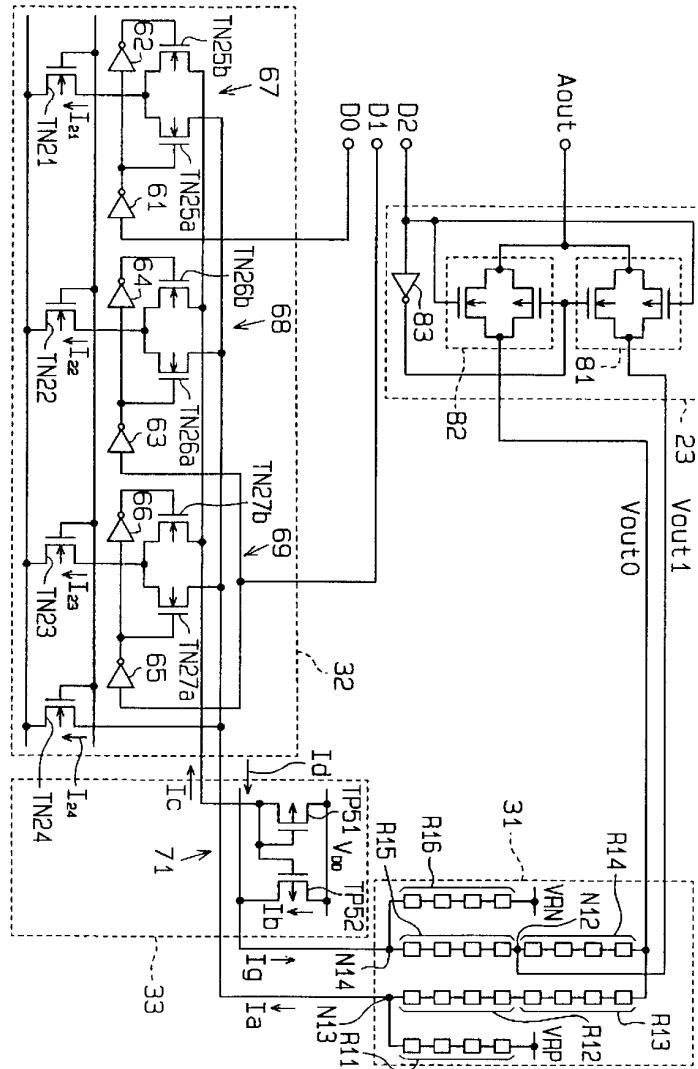
도면4



도면5



도면6



도면7

