

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/407	(45) 공고일자 1999년11월 15일	(11) 등록번호 10-0230407
(21) 출원번호 10-1997-0004778	(24) 등록일자 1999년08월23일	(65) 공개번호 특1998-0068266
(22) 출원일자 1997년02월 17일	(43) 공개일자 1998년10월 15일	

(73) 특허권자	삼성전자주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416 정우섭
(74) 대리인	경기도 수원시 팔달구 매탄1동 170-5 권석흠, 노민식, 이영필

심사관 : 장현근

(54) 반도체장치의 클럭 발생회로 및 클럭발생방법

요약

본 발명은 반도체 장치의 클럭 발생 회로 및 클럭 발생 방법에 관한 것이다. 본 발명은 클럭 버퍼와, 내부 클럭 발생부와, 칩 선택 버퍼와, 및 내부 클럭 제어부를 구비한다. 상기 클럭 버퍼는 외부 클럭 신호를 입력으로 하고 상기 외부 클럭 신호의 전압 레벨을 변환한다. 상기 내부 클럭 발생부는 상기 클럭 버퍼의 출력을 입력으로 하여 내부 클럭 신호를 발생한다. 상기 칩 선택 버퍼는 인에이블시 반도체 장치가 활성화 되는 칩 선택 신호를 입력으로 하고 상기 칩 선택 신호의 전압 레벨을 변환한다. 상기 내부 클럭 제어부는 상기 칩 선택 버퍼의 출력을 입력으로하고 출력 신호는 상기 내부 클럭 신호 발생부로 입력된다. 상기 내부 클럭 제어부의 출력 신호가 디세이블 되면 상기 내부 클럭 신호는 중단되고 상기 내부 클럭 제어부의 출력 신호가 인에이블 되면 상기 내부 클럭 신호는 상기 외부 클럭 신호에 따라 상기 외부 클럭 신호가 인에이블 되면 인에이블 되고 상기 외부 클럭 신호가 디세이블 되면 디세이블 된다.

대표도

도5

명세서

도면의 간단한 설명

- 도 1은 종래의 동기식 디램 반도체 장치의 클럭 발생 회로의 블록도.
- 도 2는 상기 도 1에 도시된 내부 클럭 발생부의 회로도.
- 도 3은 상기 도 1에 도시된 클럭 버퍼의 회로도.
- 도 4는 상기 도 1에 도시된 블록도에 도시된 신호들의 타이밍도.
- 도 5는 본 발명에 따른 동기식 디램 반도체 장치의 클럭 발생 회로의 블록도.
- 도 6은 상기 도 5에 도시된 내부 클럭 발생부의 회로도.
- 도 7은 상기 도 5에 도시된 내부 클럭 제어부의 회로도.
- 도 8은 상기 도 5에 도시된 클럭 버퍼의 회로도.
- 도 9는 상기 도 5에 도시된 칩 선택 버퍼의 회로도.
- 도 10은 상기 도 5에 도시된 블록도에 도시된 신호들의 타이밍도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로서 특히 반도체 장치의 클럭 발생 회로 및 클럭 발생 방법에 관한 것이다.

일반적으로 반도체 메모리 장치는 메모리 셀에 디지털 정보를 기억하고, 필요할 때 저장된 정보를 읽어서 외부기기로 전송하는 기능을 갖는다. 최근 각종 기기의 디지털화가 대단한 기세로 진행되고 있는 가운데

반도체 메모리 장치는 필수불가결한 제품으로서 각종 분야에서 사용되고 있다. 반도체 메모리 장치에 사용되는 메모리 수단으로서 전원 공급 없이는 기억 정보를 보존할 수 없는 램(RAM:Random Access Memory)이 있다. 램은 전원이 공급되는 동안에는 기억 정보를 계속 보존하지만 전원 공급이 중단되면 기억 정보를 상실한다. 램의 종류로는 다이내믹 램(DRAM, 이하, 디램으로 약함)과 스태틱 램(SRAM)이 있다. 스태틱 램은 전원이 공급되지 않는 상태에서도 기억 정보를 계속 보존하지만 메모리 셀의 집적도가 낮다. 반면, 디램은 전원이 중단되면 기억 정보를 모두 상실한다. 또, 전원 공급이 계속되더라도 일정 시간이 지나면 기억 정보가 상실되기 때문에 기억 정보를 계속 보존하기 위해서 메모리를 계속 리프레쉬(refresh)시켜주어야 하는 단점이 있다. 하지만 디램은 메모리 셀의 집적도가 높다. 그래서 많은 용량을 필요로 하는 시스템, 예를 들면 컴퓨터에 많이 사용되고 있다.

디램 반도체 장치의 사용이 이와 같이 증가되면서 디램 반도체 장치의 제어를 용이하게 하기 위하여 최근에는 동기식 디램(Synchronous DRAM) 반도체 장치가 사용되고 있다. 동기식 디램 반도체 장치는 입력되는 모든 신호들이 외부 클럭 신호를 기준으로 하여 동작한다. 그리고 상기 외부 클럭 신호와 동일한 주기를 갖는 내부 클럭 신호를 생성하여 내부의 각종 소자들을 제어한다. 이와 같이 외부 클럭 신호로부터 내부 클럭 신호를 생성하는 회로를 클럭 발생 회로라 한다. 동기식 디램 반도체 장치에 있어서 클럭 발생 회로는 내부의 각종 회로를 제어하는데 있어서 매우 중요한 역할을 담당하고 있다.

도 1은 종래의 동기식 디램 반도체 장치의 클럭 발생 회로의 블록도이다. 상기 도 1을 참조하면 동기식 디램 반도체 장치(11) 내에 외부 클럭 신호를 입력으로 하는 클럭 버퍼(13)가 있고, 상기 클럭 버퍼(13)에서 출력되는 신호를 입력으로 하여 내부 클럭 신호인 PCLK 신호를 발생하는 내부 클럭 발생부(15)가 있다.

상기 동기식 디램 반도체 장치(11) 내의 모든 신호들은 CMOS 레벨로 동작한다. 그런데 외부 클럭 신호는 TTL(Transistor Transistor Logic) 레벨로 되어 있기 때문에 상기 동기식 디램 반도체 장치(11)에서 사용되기 위해서는 일단 CMOS 레벨로 변환되어야 한다. 이와 같이 TTL 레벨의 외부 클럭 신호를 CMOS 레벨로 변환시켜주는 역할을 상기 클럭 버퍼(13)가 한다. CMOS 레벨로 변환된 외부 클럭 신호는 상기 내부 클럭 발생부(15)로 입력되고, 상기 내부 클럭 발생부(15)는 상기 외부 클럭 신호를 입력으로 하여 상기 PCLK 신호를 발생한다.

도 2는 상기 도 1에 도시된 내부 클럭 발생부(15)의 회로도이다. 도 2를 참조하면, 상기 도 1에 도시된 클럭 버퍼(13)에서 출력되는 신호에 제1 내지 제5 인버터들(21,22,23,24,25)이 직렬로 연결되어 있어서 상기 클럭 버퍼(13)에서 출력되는 신호를 일정 시간동안 지연시킨다. 또 상기 클럭 버퍼(13)에서 출력되는 신호는 상기 제5 인버터(25)를 통과하면서 그 위상이 반전된다. 상기 제5 인버터(25)에서 출력되는 신호와 상기 클럭 버퍼(13)에서 출력되는 신호는 제1 낸드 게이트(27)로 입력된다. 상기 제1 낸드 게이트(27)는 입력되는 신호들이 모두 논리 하이(high) 레벨일 경우만 논리 로우(low) 레벨의 신호를 출력한다. 상기 제1 낸드 게이트(27)의 출력단에는 제6 내지 제8 인버터들(29,30,31)이 연결되어 있어서 상기 제1 낸드 게이트(27)에서 출력되는 신호를 안정시킨다. 그리고 상기 제1 낸드 게이트(27)에서 출력되는 신호는 상기 제8 인버터(31)를 통과하면서 그 위상이 반전된다. 상기 제8 인버터(31)로부터 PCLK 신호가 출력된다.

상기 동기식 디램 반도체 장치(11)에 입력되는 신호들 중에서 CSB(Chip Select Bar) 신호는 상기 외부 클럭 신호와 CKE(Clock Enable) 신호 및 DQM 신호가 아닌 다른 모든 신호들을 제어한다. 즉, 상기 CSB 신호가 논리 로우로 인에이블(enable)되면 상기 외부 클럭 신호와 CKE 신호 및 DQM 신호가 아닌 다른 모든 신호들이 상기 동기식 디램 반도체 장치(11)의 내부로 입력되고, 상기 CSB 신호가 논리 하이로 디스에이블(disable)되면 상기 외부 클럭 신호와 CKE 신호 및 DQM 신호가 아닌 다른 모든 신호들은 상기 동기식 디램 반도체 장치(11)의 내부로 입력되지 못한다.

도 3은 상기 도 1에 도시된 클럭 버퍼(13)의 회로도이다. 상기 클럭 버퍼(13)는 상기 외부 클럭 신호와 1.4 볼트의 기준 전압을 입력으로 하는 차동 증폭기(33)로 구성되어 있다. 상기 차동 증폭기(33)의 구조는 CMOS 레벨의 전원 전압인 Vdd에 소오스가 연결되고 게이트는 접지된 제1 PMOS트랜지스터(35)와, 상기 제1 PMOS트랜지스터(35)에 연결된 제2 내지 제3 PMOS트랜지스터들(37,39)과, 상기 제2 내지 제3 PMOS트랜지스터들(37,39)과 접지 전압인 GND 사이에 각각 연결된 제1 내지 제2 NMOS트랜지스터(41,43)로 이루어져 있다. 그리고 상기 제3 PMOS트랜지스터(39)와 상기 제2 NMOS트랜지스터(43)의 연결된 노드에서 상기 차동 증폭기(33)의 출력 신호가 출력된다.

상기 차동 증폭기(33)는 상기 외부 클럭 신호가 상기 기준 전압보다 높으면 상기 Vdd를 출력하고, 상기 외부 클럭 신호가 상기 기준 전압보다 낮으면 접지 전압인 GND 레벨이 된다. 상기 Vdd는 CMOS 레벨의 전원 전압이다.

상기 차동 증폭기(33)의 출력 신호를 제어하기 위하여 상기 차동 증폭기(33)의 출력 신호에 제9 내지 제10 인버터들(45,47) 및 제2 낸드 게이트(49)가 연결되어 사용된다. 그리고 상기 제2 낸드 게이트(49)의 입력단에 제어 신호, 예컨대 PCKE 신호가 입력된다. 상기 PCKE 신호에 따라 상기 제2 낸드 게이트(49)의 출력이 제어된다. 즉, 상기 PCKE 신호가 논리 로우이면 상기 제2 낸드 게이트(49)의 출력은 항상 논리 하이이고, 상기 PCKE 신호가 논리 하이이면 상기 제2 낸드 게이트(49)의 출력은 상기 제10 인버터(47)에 따른다.

결과적으로 상기 외부 클럭 신호가 상기 기준 전압보다 낮으면 상기 클럭 버퍼(13)의 출력은 논리 로우가 되고, 상기 외부 클럭 신호가 상기 기준 전압보다 높으면 상기 클럭 버퍼(13)의 출력은 논리 하이가 된다.

도 4는 상기 도 1에 도시된 블록도에 이용되는 신호들의 타이밍도이다. 상기 도 4를 참조하여 상기 도 1에 도시된 회로의 동작을 설명하기로 한다. 상기 CSB 신호가 인에이블 되면 외부에서 명령어가 입력되어 상기 동기식 디램 반도체 장치(11)가 액티브(active)된다. 상기 CSB 신호가 디스에이블(disable)되더라도 상기 동기식 디램 반도체 장치(11)는 액티브 상태로 계속 유지된다. 그러다가 상기 CSB 신호가 다시 논리 로우 레벨이 되면 상기 명령어가 상기 동기식 디램 반도체 장치(11)의 내부로 입력되고 상기 명령어가 독출(read) 명령이면 독출 동작을 수행하고 쓰기(write) 명령이면 쓰기 동작을 수행한다.

그리고, 상기 도 1에 도시된 클럭 발생 회로는 상기 CSB 신호와 상기 명령어에 관계없이 상기 외부 클럭 신호가 논리 하이 레벨로 인에이블 될 때마다 논리 하이 레벨의 PCLK 신호를 발생한다. 즉, 상기 PCLK 신호는 상기 CSB 신호와 상기 명령어의 영향을 전혀 받지 않고 상기 외부 클럭이 인에이블 되는 동안은 계속 발생하게 된다.

여기서 상기 동기식 디램 반도체 장치(11)는 상기 CSB 신호가 인에이블될 때, 즉 액티브 동작과 독출 및 쓰기 동작에서만 동작하면 된다. 다시 말하면, 상기 도 4에 도시된 PCLK 신호에서 P0 펄스와 P4 펄스만 필요하고 나머지 P1, P2, P3, P5, P6, P7, P8 펄스들은 불필요하다. 그럼에도 불구하고 P1, P2, P3, P5, P6, P7, P8 펄스들이 발생하므로써 전력 소모가 증가된다. 뿐만 아니라 상기 PCLK 신호에 의해 제어되는 상기 동기식 디램 반도체 장치(11) 내의 많은 부분들이 상기 PCLK 신호가 발생하는 동안 계속 동작하게 되므로 전력 소모가 더욱 증가된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 전력 소모가 감소되는 반도체 장치의 클럭 발생 회로를 제공하는 데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 전력 소모가 감소되는 반도체 장치의 클럭 발생 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명은 클럭 버퍼와, 내부 클럭 발생부와, 칩 선택 버퍼와, 및 내부 클럭 제어부를 구비한다.

상기 클럭 버퍼는 외부 클럭 신호를 입력으로 하고 상기 외부 클럭 신호의 전압 레벨을 변환한다. 상기 내부 클럭 발생부는 상기 클럭 버퍼의 출력을 입력으로하여 내부 클럭 신호를 발생한다. 상기 칩 선택 버퍼는 인에이블시 반도체 장치가 활성화되는 칩 선택 신호를 입력으로하고 상기 칩 선택 신호의 전압 레벨을 변환한다. 상기 내부 클럭 제어부는 상기 칩 선택 버퍼의 출력을 입력으로하고 출력 신호는 상기 내부 클럭 신호 발생부로 입력된다. 상기 내부 클럭 제어부의 출력 신호가 디세이블 되면 상기 내부 클럭 신호는 중단되고 상기 내부 클럭 제어부의 출력 신호가 인에이블 되면 상기 내부 클럭 신호는 상기 외부 클럭 신호에 따라 상기 외부 클럭 신호가 인에이블 되면 인에이블 되고 상기 외부 클럭 신호가 디세이블 되면 디세이블 된다.

상기 다른 기술적 과제를 이루기 위하여 본 발명은 칩 선택 신호와 명령어 및 외부 클럭 신호를 입력으로 하여 내부 클럭 신호를 발생하는 반도체 장치에 있어서, 상기 칩 선택 신호가 인에이블 되고 상기 외부 클럭 신호가 인에이블 되면 상기 내부 클럭 신호가 발생하여 상기 반도체 장치는 상기 명령어에 따라 동작한다. 상기 칩 선택 신호가 디세이블 되면 0상기 내부 클럭 신호의 발생이 중단되어 상기 반도체 장치는 상기 명령어에 관계없이 동작하지 않는다. 상기 칩 선택 신호가 인에이블 되면 상기 반도체 장치는 상기 명령어에 따라 동작하고 상기 칩 선택 신호가 디세이블 되면 상기 반도체 장치는 상기 명령어에 관계없이 동작하지 않는다.

이하, 실시예를 통하여 본 발명을 상세히 설명하기로 한다.

도 5는 본 발명에 따른 동기식 디램 반도체 장치의 클럭 발생 회로의 블록도이다. 상기 도 5를 참조하면, 동기식 디램 반도체 장치(101)에 본 발명의 클럭 발생 회로가 구성되어 있다. 상기 클럭 발생 회로는 외부 클럭 신호가 입력되는 클럭 버퍼(103)와, 상기 클럭 버퍼(103)의 출력을 입력으로하여 내부 클럭 신호인 PCLK 신호를 발생하는 내부 클럭 발생부(105)와, 외부에서 인가되는 칩 선택 신호 예컨대 CSB 신호를 입력으로하는 칩 선택 버퍼(107)와, 상기 칩 선택 버퍼(107)의 출력과 데이터의 버스트(burst) 길이를 나타내는 신호 및 데이터의 레이턴시(latency)를 나타내는 신호를 입력으로하고 출력 신호인 PCLKP 신호가 상기 내부 클럭 발생부(105)로 입력되는 내부 클럭 제어부(109)로 구성되어 있다. 그리고 외부로부터 상기 동기식 디램 반도체 장치(101)의 동작을 지시하는 데이터가 포함된 명령어가 입력된다.

상기 동기식 디램 반도체 장치(101)는 상기 외부 클럭 신호가 입력되면 상기 CSB 신호를 입력으로 받아들여서 동작한다. 즉, 외부에서 어떤 명령어, 예를 들면 RAS(Row Address Strobe) 액티브나 쓰기(write) 또는 독출(read) 명령이 입력되면 상기 동기식 디램 반도체 장치(101)는 상기 외부 클럭 신호를 기준으로 하여 상기 명령어에 맞는 입력 신호, 예를 들면 상기 CSB 신호를 입력으로 받아들여서 동작하게 된다. 상기 CSB 신호는 상기 외부 클럭 신호를 기준으로 소정의 시간동안 발생하여야 하는데 이것이 셋업 타임(Setup time)으로서 tSS로 나타내고, 또 상기 외부 클럭 신호를 기준으로 소정의 시간동안 유지되어야 하는데 이것이 유지 시간(Hold time)으로서 tSH로 나타낸다. 상기 동기식 디램 반도체 장치(101)로 입력되는 TTL 레벨의 상기 CSB 신호는 상기 외부 클럭 신호를 기준으로 셋업 타임과 유지 시간만 보장해주면 되므로 상기 CSB 신호에 대하여 셋업 타임과 유지 시간동안에만 상기 칩 선택 버퍼(107)가 동작하면 된다.

상기 CSB 신호가 논리 로우로 인에이블 되면 상기 동기식 디램 반도체 장치(101)는 상기 명령어에 따라 동작하고, 상기 CSB 신호가 논리 하이로 디세이블 되면 상기 동기식 디램 반도체 장치(101)는 상기 명령어와 관계없이 동작하지 않는다.

상기 외부 클럭 신호가 상기 내부 클럭 발생부(105)로 입력되면 상기 내부 클럭 발생부(105)는 내부 클럭 신호인 PCLK 신호를 발생한다. 상기 PCLK 신호는 상기 동기식 디램 반도체 장치(101) 내의 모든 버퍼들(도시안됨)의 동작을 제어한다. 즉, 상기 PCLK 신호가 논리 하이로 인에이블될 때 상기 PCLK을 입력으로 하는 버퍼들(도시안됨)은 활성화되고, 상기 PCLK 신호가 논리 로우로 디세이블 되면 상기 PCLK 신호를 입력으로 하는 버퍼들(도시안됨)은 비활성화 된다. 따라서 상기 동기식 디램 반도체 장치(101)에 있어서 필수적인 신호이다.

도 6은 상기 도 5에 도시된 내부 클럭 발생부(105)의 회로도이다. 상기 내부 클럭 발생부(105)의 구조는 상기 클럭 버퍼(103)의 출력단에 직렬로 연결된 제1 내지 제5 인버터들(111, 112, 113, 114, 115)과, 상기 제5 인버터(115)의 출력과 상기 클럭 버퍼(도 5의 103)의 출력을 입력으로 하고 입력 신호들이 모두 논리 하이일 때만 출력 신호는 논리 하이 레벨이 되는 제1 논리 게이트(121), 및 상기 제1 논리 게이트(121)의 출력과 상기 PCLKP 신호를 입력으로 하고 상기 제1 논리 게이트(121)의 출력과 상기 내부 클럭 제어부(도 5의 109)의 출력이 모두 논리 하이일 때만 PCLK 신호를 발생하는 제2 논리 게이트(131)로 구성되어 있다.

상기 클럭 버퍼(도 5의 103)의 출력은 상기 제1 내지 제5 인버터들(111, 112, 113, 114, 115)을 통과하면서 일정한 시간 지연되고 또 그 위상이 반전된다. 예를 들면, 상기 클럭 버퍼(도 5의 103)의 출력이 논리 하이 레벨이면 상기 제5 인버터(115)의 출력은 논리 로우 레벨이 된다. 상기 클럭 버퍼(도 5의 103)의 출력이 논리 로우 레벨이면 상기 제5 인버터(115)의 출력은 논리 하이 레벨이 된다.

상기 제1 논리 게이트(121)는 상기 제5 인버터(115)의 출력과 상기 클럭 버퍼(도 5의 103)의 출력을 입력으로 하는 제1 낸드 게이트(123)와, 상기 제1 낸드 게이트(123)의 출력을 입력으로 하는 제6 인버터(125)로 구성되어 있다.

상기 제1 논리 게이트(123)의 동작은 상기 제5 인버터(115)의 출력과 상기 클럭 버퍼(도 5의 103)의 출력이 모두 논리 하이 레벨일 경우만 상기 제6 인버터(125)의 출력은 논리 하이가 되고, 상기 제5 인버터(115)의 출력과 상기 클럭 버퍼(도 5의 103)의 출력 중 어느 하나라도 논리 로우 레벨이면 상기 제6 인버터(125)의 출력은 논리 로우 레벨이 된다.

상기 제2 논리 게이트(131)는 상기 제6 인버터(125)의 출력과 상기 내부 클럭 제어부(도 5의 109)의 출력을 입력으로 하는 제2 낸드 게이트(133)와, 상기 제1 낸드 게이트(133)의 출력을 입력으로 하고 상기 PCLKP 신호를 출력하는 제7 인버터(135)로 구성되어 있다.

상기 제2 논리 게이트(131)의 동작은 상기 제6 인버터(125)의 출력과 상기 내부 클럭 제어부(도 5의 109)의 출력이 모두 논리 하이일 경우만 상기 PCLKP 신호는 논리 하이가 되고, 상기 제6 인버터(125)의 출력과 상기 내부 클럭 제어부(도 5의 109)의 출력 중 어느 하나라도 논리 로우이면 상기 PCLKP 신호는 논리 로우가 된다.

도 7은 상기 도 5에 도시된 내부 클럭 제어부(109)의 회로도이다. 상기 내부 클럭 제어부(109)의 구조는 상기 칩 선택 버퍼(도 5의 107)의 출력단에 직렬로 연결된 제8 내지 제11 인버터들(141, 142, 143, 144)과, 칼럼 어드레스 신호인 CAi 신호와 Latency 신호를 입력으로 하는 노아 게이트(NOR Gate)(146), 및 상기 노아 게이트(146)의 출력과 상기 제11 인버터(144)의 출력 및 상기 칩 선택 버퍼(도 5의 107)의 출력을 입력으로 하고 출력은 상기 내부 클럭 발생부(도 5의 105)로 입력되는 제3 논리 게이트(148)로 이루어져 있다.

상기 제3 논리 게이트(148)는 상기 노아 게이트(146)의 출력과 상기 제11 인버터(144)의 출력 및 상기 칩 선택 버퍼(도 5의 107)의 출력 중 어느 하나라도 논리 로우이면 그 출력은 논리 하이가 되고, 상기 노아 게이트(146)의 출력과 상기 제11 인버터(144)의 출력 및 상기 칩 선택 버퍼(도 5의 107)의 출력이 모두 논리 하이이면 그 출력은 논리 로우가 되는 제3 낸드 게이트(149)로 구성되어 있다.

상기 칩 선택 버퍼(도 5의 107)의 출력은 상기 제8 내지 제11 인버터들(141, 142, 143, 144)을 통과하면서 일정시간동안 지연된다. 이렇게 상기 칩 선택 버퍼(도 5의 107)의 출력을 지연시키는 이유는 상기 CSB 신호가 논리 로우로 되었을 때 상기 외부 클럭에 의해 발생한 PCLK 신호가 상기 CSB 신호가 논리 하이로 디세이블됨에 따라 도중에 디세이블 되는 것을 방지하기 위함이다. 즉, 도 10에 도시된 P4가 디세이블 된 후에 상기 PCLKP 신호가 디세이블 되도록 하기 위함이다. 상기 PCLKP 신호는 상기 PCSB 신호가 디세이블 되면 디세이블 되고, 상기 PCSB 신호는 상기 CSB 신호가 디세이블되면 디세이블 된다.

또, 상기 CAi 신호와 상기 Latency 신호 중에서 어느 하나라도 논리 하이가 되면 상기 노아 게이트(146)의 출력은 논리 로우가 되어 상기 PCLKP 신호를 논리 하이로 만든다.

도 8은 상기 도 5에 도시된 클럭 버퍼(103)의 회로도이다. 상기 클럭 버퍼(103)는 상기 외부 클럭 신호와 기준 전압, 예컨대 1.4 볼트의 전압을 입력으로 하는 제1 차동 증폭기(151)와, 상기 제1 차동 증폭기(151)의 출력단에 직렬로 연결된 제12 내지 제13 인버터들(153, 155), 및 상기 제13 인버터(155)의 출력과 제어 신호 예컨대 PCKE 신호를 입력으로 하는 제4 낸드 게이트(157)로 구성되어 있다.

상기 제1 차동 증폭기(151)는 전원 전압인 Vdd에 소오스가 연결되고 게이트는 접지된 제1 PMOS트랜지스터(161)와, 상기 제1 PMOS트랜지스터(161)에 연결된 제2 내지 제3 PMOS트랜지스터들(163, 165)과, 상기 제2 내지 제3 PMOS트랜지스터들(163, 165)과 GND 사이에 각각 연결된 제1 내지 제2 NMOS트랜지스터들(167, 169)로 이루어져 있다. 그리고 상기 제3 PMOS트랜지스터(165)와 상기 제2 NMOS트랜지스터(169)가 공통으로 연결된 노드에서 상기 제1 차동 증폭기(151)의 출력 신호가 출력된다.

상기 동기식 디램 반도체 장치(도 5의 101) 내의 모든 신호들은 CMOS 레벨로 동작한다. 그런데 외부 클럭 신호는 TTL(Transistor Transistor Logic) 레벨로 되어 있기 때문에 상기 동기식 디램 반도체 장치(도 5의 101)에서 사용되기 위해서는 일단 CMOS 레벨로 변환되어야 한다. 이와 같이 TTL 레벨의 외부 클럭 신호를 CMOS 레벨로 변환시켜 주는 역할을 상기 클럭 버퍼(103)가 한다.

상기 제1 차동 증폭기(151)는 상기 외부 클럭 신호가 상기 기준 전압보다 낮으면 상기 Vdd를 출력하고, 상기 외부 클럭 신호가 상기 기준 전압보다 높으면 그 출력은 접지 전압인 GND 레벨이 된다. 상기 Vdd는 CMOS 레벨의 전원 전압이다.

상기 제1 차동 증폭기(151)의 출력 신호를 제어하기 위하여 상기 제1 차동 증폭기(151)의 출력단에 제12 내지 제13 인버터들(153, 155)과 제4 낸드 게이트(157)가 연결되어 사용된다. 그리고 상기 제4 낸드 게이트(157)의 입력단에 PCKE 신호가 입력된다. 상기 PCKE 신호에 따라 상기 제4 낸드 게이트(157)의 출력이 제어된다. 즉, 상기 PCKE 신호가 논리 로우이면 상기 제4 낸드 게이트(157)의 출력은 항상 논리 하이이고, 상기 PCKE 신호가 논리 하이이면 상기 제4 낸드 게이트(157)의 출력은 상기 제13 인버터(155)에 따른

다.

결과적으로 상기 외부 클럭 신호가 상기 기준 전압보다 낮으면 상기 클럭 버퍼(103)의 출력은 논리 로우가 되고, 상기 외부 클럭 신호가 상기 기준 전압보다 높으면 상기 클럭 버퍼(103)의 출력은 논리 하이가 된다.

도 9는 상기 도 5에 도시된 칩 선택 버퍼(107)의 회로도이다. 상기 칩 선택 버퍼(107)는 상기 CSB 신호와 기준 전압 예컨대 1.4볼트의 전압을 입력으로하는 제2 차동 증폭기(171)와, 상기 제2 차동 증폭기(171)의 출력을 입력으로하는 제14 인버터(173)로 구성되어 있다. 상기 제2 차동 증폭기(171)의 구조는 전원 전압인 Vdd에 소오스가 연결되고 게이트는 접지된 제4 PMOS트랜지스터(181)와, 상기 제4 PMOS트랜지스터(181)에 연결된 제5 내지 제6 PMOS트랜지스터들(183,185)과, 상기 제5 내지 제6 PMOS트랜지스터들(183,185)과 GND 사이에 각각 연결된 제3 내지 제4 NMOS트랜지스터들(187,189)로 이루어져 있다. 그리고 상기 제6 PMOS트랜지스터(185)와 상기 제4 NMOS트랜지스터(189)가 공통으로 연결된 노드에서 상기 제2 차동 증폭기(171)의 출력 신호가 출력된다. 상기 제2 차동 증폭기(171)의 출력 신호는 상기 제14 인버터(173)에 의해 반전되며, 상기 제14 인버터(173)로부터 상기 칩 선택 버퍼(107)의 출력 신호인 PCSB 신호가 출력된다.

상기 CSB 신호는 TTL 레벨로 되어있기 때문에 상기 동기식 디램 반도체 장치(도 5의 101)에서 사용되기 위해서는 일단 CMOS 레벨로 변환되어야 한다. 이와같이 TTL 레벨의 상기 CSB 신호를 CMOS 레벨로 변환시켜주는 역할을 상기 칩 선택 버퍼(107)가 한다.

상기 제2 차동 증폭기(171)는 상기 CSB 신호가 상기 기준 전압보다 낮으면 상기 Vdd 레벨의 전압을 출력하고, 상기 CSB 신호가 상기 기준 전압보다 높으면 그 출력은 접지 전압인 GND 레벨이 된다. 상기 Vdd는 CMOS 레벨의 전원 전압이다.

상기 제2 차동 증폭기(171)의 동작을 제어하기 위하여 상기 제4 PMOS트랜지스터(181)의 게이트에 제어 신호, 예컨대 CKEBPU 신호가 하나의 인버터(191)를 통해 연결된다. 그래서 상기 CKEBPU 신호가 논리 하이이면 상기 제4 PMOS트랜지스터(181)가 활성화되어 상기 제2 차동 증폭기(171)는 동작하고, 상기 CKEBPU 신호가 논리 로우이면 상기 제4 NMOS트랜지스터(181)가 비활성화되어 상기 제2 차동 증폭기(171)는 동작하지 않게 된다.

도 10은 상기 도 5에 도시된 블록도에 이용되는 신호들의 타이밍도이다. 상기 도 10을 참조하여 본 발명의 클럭 발생 회로의 동작을 설명하기로 한다. 상기 도 6에 도시된 제5 인버터(115)의 출력단을 N1 노드라 하고 상기 클럭 버퍼(도 5의 103)의 출력단을 N2 노드라 한다. 초기 상태에서는 상기 외부 클럭 신호는 논리 로우로 디세이블 되어 있으므로 상기 클럭 버퍼(도 5의 103)의 출력은 논리 로우이다. 그러므로 상기 N2는 논리 로우이고 상기 N1은 상기 클럭 버퍼(도 5의 103)의 출력이 반전된 논리 하이 상태이다. 따라서 도 6에 도시된 상기 제6 인버터(125)의 출력은 논리 로우이다. 또 초기 상태에서는 상기 CSB 신호는 논리 하이로 디세이블되어 있으므로 상기 PCSB 신호는 논리 하이이다. 초기 상태에서 상기 CAi 신호와 상기 Latency 신호도 논리 로우이므로 상기 노아 게이트(도 7의 146)는 논리 하이이다. 따라서 상기 PCLKP 신호는 논리 로우이다. 상기 PCLKP 신호가 논리 로우이고 상기 제6 인버터(도 6의 125)의 출력도 논리 로우이므로 상기 제2 낸드 게이트(도 6의 133)의 출력은 논리 하이이다. 따라서 상기 PCLK 신호는 논리 로우로 디세이블 되어 있다.

상기 동기식 디램 반도체 장치(도 5의 101)에서 상기 CSB 신호는 상기 외부 클럭 신호보다 셋업(set-up) 시간이 더 빠르다. 그러므로 먼저 상기 CSB 신호가 상기 외부 클럭 신호보다 먼저 인에이블 된다.

먼저 액티브 명령어가 입력될 경우에 대해 설명하기로 한다. 액티브 명령어가 입력되고 상기 CSB 신호가 논리 로우로 인에이블 되면 상기 PCSB 신호는 논리 로우로 된다. 그러면 상기 제3 낸드 게이트(도 7의 149)의 출력은 논리 하이로 된다. 이 상태에서 상기 외부 클럭 신호가 논리 하이로 인에이블 되면 상기 클럭 버퍼(도 5의 103)의 출력은 논리 하이로 되어 상기 N2 노드는 논리 로우에서 논리 하이로 천이된다. 이 때 상기 N1 노드는 초기 상태의 논리 하이로 그대로 유지하고 있으므로 상기 제1 낸드 게이트(도 6의 123)의 출력은 논리 로우로 된다. 그러면 상기 제6 인버터(도 6의 125)의 출력은 논리 하이로 된다. 상기 제2 낸드 게이트(도 6의 133)의 출력은 상기 PCLKP가 논리 하이인 동안에는 상기 제6 인버터(도 6의 125)의 출력에 의해 결정된다. 상기 제6 인버터(도 6의 125)의 출력이 논리 하이이므로 상기 제2 낸드 게이트(도 6의 133)의 출력은 논리 로우로 된다. 상기 제2 낸드 게이트(도 6의 133)의 출력은 상기 제7 인버터(도 6의 135)에 의해 반전되므로 상기 PCLK 신호는 논리 하이로 된다.

다음에 상기 클럭 버퍼(도 5의 103)의 출력은 상기 제1 내지 제5 인버터들(도 6의 111,112,113,114,115)을 통과하면서 지연 및 반전되어 상기 도 6의 N1노드에 도달한다. 따라서 상기 도 6의 N1 노드는 논리 하이에서 논리 로우로 천이된다. 그러면 제1 낸드 게이트(도 6의 123)의 출력은 논리 로우에서 논리 하이로 천이되고 제6 인버터(도 6의 125)를 통과하면서 다시 논리 로우로 천이된다. 상기 제6 인버터(도 6의 125)의 출력이 논리 로우이고 상기 PCLKP 신호가 논리 하이이므로 상기 제2 낸드 게이트(도 6의 133)는 논리 하이로 천이되고 다시 상기 제7 인버터(도 6의 135)에 의해 반전된다. 따라서 상기 PCLK 신호는 논리 로우로 천이된다. 즉, 도 10의 P0 클럭이 발생한다.

여기서 상기 PCLKP 신호가 논리 하이로 인에이블 되어 있는 시간(도 10의 T2)은 상기 CSB 신호가 논리 로우로 인에이블 되어지는 시간(도 10의 T1)보다 길다. 그 이유는 상기 칩 선택 버퍼(도 5의 107)의 출력 신호인 PCSB 신호는 그 일부가 상기 제8 내지 제11 인버터들(도 7의 141,142,143,144)을 통과하면서 지연되어 상기 제3 낸드 게이트(도 7의 149)로 입력되고, 상기 PCSB 신호에 의해 논리 하이로 된 PCLKP 신호는 상기 제11 인버터(도 7의 144)의 출력에 의해 논리 하이 상태를 계속 유지하게 된다. 즉, 상기 T2는 상기 T1 보다 상기 PCSB 신호가 상기 제8 내지 제11 인버터들(도 7의 141,142,143,144)에 의해 지연된 시간만큼 길어진다.

그러다가 상기 CSB 신호가 논리 하이로 디세이블 되면 상기 PCSB 신호는 논리 하이로 된다. 상기 제11 인버터(도 7의 144)의 출력이 논리 하이로 되면 상기 노아 게이트(도 7의 146)의 출력은 논리 하이이므로 상기 제3 낸드 게이트(도 7의 149)의 출력은 논리 로우로 천이된다. 그러면 상기 제2 낸드 게이트(도 7

의 149)의 출력은 상기 제6 인버터(도 6의 125)의 출력에 관계없이 논리 하이가 된다. 이것은 상기 제7 인버터(도 7의 135)에 의해 반전되므로 상기 PCLK 신호는 논리 로우로 천이된다. PCLK가 논리 로우인 상태는 상기 CSB 신호가 논리 로우로 인에이블되지않는한 계속 유지된다. 즉, 도 10에서 종래에 발생하던 P1, P2, 및 P3는 발생하지않는다.

액티브 명령어가 입력된 후 독출 또는 쓰기 명령어가 상기 동기식 디램 반도체 장치(도 5의 101)로 입력된다. 독출 또는 쓰기 명령어가 입력되고 상기 CSB 신호가 다시 논리 로우로 인에이블되면 상기 액티브 명령어가 입력되었을 때와 동일한 동작에 의해 상기 P4가 발생한다. 그런데 독출 또는 쓰기 명령어가 입력될 경우, 상기 동기식 디램 반도체 장치(도 5의 101)로부터 독출되는 데이터 또는 상기 동기식 디램 반도체 장치(도 5의 101)로 기입되는 데이터의 버스트 길이가 긴 경우 상기 PCLK 신호는 중단되지 않고 상기 데이터의 독출 또는 기입동안 계속 발생되어야한다. 상기 독출 또는 쓰기 명령어가 입력될 경우 상기 PCLK 신호가 중단되는 것을 막기 위해서 상기 칼럼 어드레스 신호인 CAi 신호가 사용된다. 상기 CAi 신호가 논리 하이로 인에이블 되면 상기 노아 게이트(도 7의 146)의 출력이 논리 로우로 되므로 상기 제3 낸드 게이트(도 7의 149)의 출력은 논리 하이가 된다. 상기 제3 낸드 게이트(도 7의 149)의 출력이 논리 하이인 동안에 상기 외부 클럭 신호가 논리 하이로 인에이블 되면 상기 PCLK 신호가 인에이블 되어 상기 도 10에 도시된 P5 클럭이 발생한다. 상기 CAi 신호가 인에이블되어있는 동안에는 상기 CSB 신호가 논리 하이로 디세이بل되어도 상기 PCLKP 신호는 중단되지 않는다. 그렇지만, 상기 CSB 신호가 논리 하이이고 상기 Latency 신호가 논리 로우인 상태에서 상기 CAi 신호가 논리 로우로 되면 상기 PCLKP 신호가 논리 로우로 되어 상기 PCLK 신호는 더 이상 발생되지 않는다.

그런데 독출 명령어가 입력될 경우 상기 동기식 디램 반도체 장치(도 5의 101)에서 독출되는 데이터는 외부에서 입력되는 제어 신호 예컨대 CAS(Column Address Strobe) 신호의 레이턴시에 따라 제어 방법이 달라진다. 만일 CAS(Column Address Strobe) 레이턴시가 2이면, 상기 도 10에 도시된 P6 펄스가 발생되어야만 한다. 그래야 독출되는 데이터가 상기 동기식 디램 반도체 장치(도 5의 101)로부터 외부로 안전하게 전달될 수가 있다. 상기 도 10에 도시된 P6 펄스가 발생되기 위해서는 상기 Latency 신호가 논리 하이로 인에이블 되어야 한다. 상기 Latency 신호가 논리 하이로 되면 상기 노아 게이트(도 7의 146)의 출력은 논리 로우로 된다. 그러면 상기 PCLKP 신호는 논리 하이가 된다. 이 상태에서 상기 외부 클럭 신호가 논리 하이가 되면 계속 PCLK 신호는 중단되지 않고 도 10에 도시된 바와 같이 P6가 발생한다. 상기 Latency 신호가 논리 로우로 디세이بل 되면 상기 노아 게이트(도 7의 146)의 출력은 논리 하이로 되고 그로 인하여 상기 PCLK 신호는 논리 로우로 되어 상기 PCLK 신호의 발생이 중단된다. 따라서 상기 도 10에 도시된 P7과 P8은 발생하지 않는다.

상술한 바와 같이 PCLK 신호는 상기 동기식 디램 반도체 장치(도 5의 101)에서 필요로 할 때만 발생한다. 즉, 도 10에 도시된 바와 같이 P0, P4, P5, P6 펄스만 발생되어 상기 P1, P2, P3, P7, P8 의 발생으로 인해 소모되는 전력은 방지된다. 따라서 불필요한 내부 클럭 신호의 동작으로 인한 전력 소모가 방지되어 그만큼 상기 동기식 디램 반도체 장치(도 5의 101)의 전력 소모는 감소된다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 내부 클럭 신호는 동기식 디램 반도체 장치가 동작하는데 있어서 꼭 필요한 때에만 발생된다. 따라서 불필요한 내부 클럭 신호의 발생이 방지되어 동기식 디램 반도체 장치에서 소모되는 전력은 종래에 비해 매우 많이 감소된다.

(57) 청구의 범위

청구항 1

외부 클럭 신호를 입력으로하고 상기 외부 클럭 신호의 전압 레벨을 변환하는 클럭 버퍼;

상기 클럭 버퍼의 출력을 입력으로하여 내부 클럭 신호를 발생하는 내부 클럭 신호 발생부;

인에이블시 반도체 장치가 활성화되는 칩 선택 신호를 입력으로 하고 상기 칩 선택 신호의 전압 레벨을 변환하는 칩 선택 버퍼; 및

상기 칩 선택 버퍼의 출력을 입력으로하고 출력 신호는 상기 내부 클럭 신호 발생부로 입력되는 내부 클럭 제어부를 구비하며, 상기 내부 클럭 제어부의 출력 신호가 디세이بل 되면 상기 내부 클럭 신호는 중단되고 상기 내부 클럭 제어부의 출력 신호가 인에이블 되면 상기 내부 클럭 신호는 상기 외부 클럭 신호에 따라 상기 외부 클럭 신호가 인에이블 되면 인에이블 되고 상기 외부 클럭 신호가 디세이블되면 디세이블되는 것을 특징으로하는 반도체 장치의 클럭 발생 회로.

청구항 2

제1항에 있어서, 상기 클럭 버퍼는 TTL 레벨의 상기 외부 클럭 신호를 CMOS 레벨로 변환하는 것을 특징으로하는 반도체 장치의 클럭 발생 회로.

청구항 3

제2항에 있어서, 상기 클럭 버퍼는 상기 외부 클럭 신호와 소정의 전압을 갖는 기준 전압을 입력으로 하고 상기 외부 클럭 신호가 상기 기준 전압보다 높으면 출력 신호는 접지 전압을 출력하고 상기 외부 클럭 신호가 상기 기준 전압보다 낮으면 출력 신호는 CMOS 레벨의 전원 전압을 출력하는 차동 증폭기와, 상기 차동 증폭기의 출력 신호를 반전시키는 인버터를 구비하는 것을 특징으로하는 반도체 장치의 클럭 발생 회로.

청구항 4

제1항에 있어서, 상기 칩 선택 버퍼는 TTL 레벨의 상기 칩 선택 신호를 CMOS 레벨로 변환하는 것을 특징으로 하는 반도체 장치의 클럭 발생 회로.

청구항 5

제4항에 있어서, 상기 칩 선택 버퍼는 상기 칩 선택 신호와 소정의 전압을 갖는 기준 전압을 입력으로 하고 상기 칩 선택 신호가 상기 기준 전압보다 높으면 출력 신호는 접지 전압을 출력하고 상기 외부 클럭 신호가 상기 기준 전압보다 낮으면 출력 신호는 CMOS 레벨의 전원 전압을 출력하는 다른 차동 증폭기와, 상기 다른 차동 증폭기의 출력 신호를 반전시키는 다른 인버터를 구비하는 것을 특징으로 하는 반도체 장치의 클럭 발생 회로.

청구항 6

제1항에 있어서, 상기 내부 클럭 신호 발생부는 상기 클럭 버퍼의 출력단에 직렬로 연결되어 상기 클럭 버퍼의 출력을 지연 및 반전시키는 기수개의 버퍼들;

상기 기수개의 버퍼들 중 마지막 버퍼의 출력과 상기 클럭 버퍼의 출력을 입력으로 하고 입력 신호들이 모두 논리 하이일 때만 출력 신호는 논리 하이 레벨이 되는 제1 논리 게이트; 및

상기 제1 논리 게이트의 출력과 상기 내부 클럭 제어부의 출력을 입력으로 하고 상기 제1 논리 게이트의 출력과 상기 내부 클럭 제어부의 출력이 모두 논리 하이일 때만 내부 클럭 신호를 발생하는 제2 논리 게이트를 구비하는 것을 특징으로 하는 반도체 장치의 클럭 발생 회로.

청구항 7

제6항에 있어서, 상기 제1 논리 게이트는 상기 기수개의 버퍼들 중 마지막 버퍼의 출력과 상기 클럭 버퍼의 출력을 입력으로 하는 제1 낸드 게이트, 및 상기 낸드 게이트의 출력을 입력으로 하는 인버터로 구성하는 것을 특징으로 하는 반도체 장치의 클럭 발생 회로.

청구항 8

제6항에 있어서, 상기 제2 논리 게이트는 상기 제1 논리 게이트의 출력과 상기 내부 클럭 제어부의 출력을 입력으로 하는 낸드 게이트, 및 상기 낸드 게이트의 출력을 입력으로 하는 인버터로 구성하는 것을 특징으로 하는 반도체 장치의 클럭 발생 회로.

청구항 9

제1항에 있어서, 상기 내부 클럭 제어부는 상기 칩 선택 버퍼의 출력단에 직렬로 연결되어 상기 칩 선택 버퍼의 출력을 지연시키는 우수개의 인버터들과, 상기 우수개의 인버터들 중 마지막 인버터의 출력과 상기 칩 선택 버퍼의 출력을 입력으로 하고 출력은 상기 내부 클럭 발생부로 입력되는 제3 논리 게이트를 구비하며 상기 칩 선택 버퍼의 출력이 논리 하이일 때 상기 내부 클럭 신호는 발생하지 않는 것을 특징으로 하는 반도체 장치의 클럭 발생 회로.

청구항 10

제9항에 있어서, 상기 제3 논리 게이트는 낸드 게이트인 것을 특징으로 하는 반도체 장치의 클럭 발생 회로.

청구항 11

제1항에 있어서, 상기 내부 클럭 제어부는 입력단에 쓰기 동작시 기입되는 데이터의 버스트 길이를 나타내는 버스트 신호와 독출 동작시 독출되는 데이터의 가상 길이(latency)를 나타내는 레이턴시 신호를 입력으로 하고 상기 버스트 신호와 상기 레이턴시 신호들 중 어느 하나라도 인에이블 되면 출력은 인에이블 되어 상기 내부 클럭 제어부의 출력은 인에이블되는 제4 논리 게이트를 더 구비하는 것을 특징으로 하는 반도체 장치의 클럭 발생 회로.

청구항 12

제11항에 있어서, 상기 제4 논리 게이트는 노아 게이트인 것을 특징으로 하는 반도체 장치의 클럭 발생 회로.

청구항 13

칩 선택 신호와 명령어 및 외부 클럭 신호를 입력으로 하여 내부 클럭 신호를 발생하는 반도체 장치에 있어서,

상기 칩 선택 신호가 인에이블 되는 단계;

상기 외부 클럭 신호가 인에이블 되면 상기 내부 클럭 신호가 발생하여 상기 반도체 장치는 상기 명령어에 따라 동작하는 단계; 및

상기 칩 선택 신호가 디세이블 되면 상기 내부 클럭 신호의 발생이 중단되어 상기 반도체 장치는 상기 명령어에 관계없이 동작하지 않는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 클럭 신호 발생 방법.

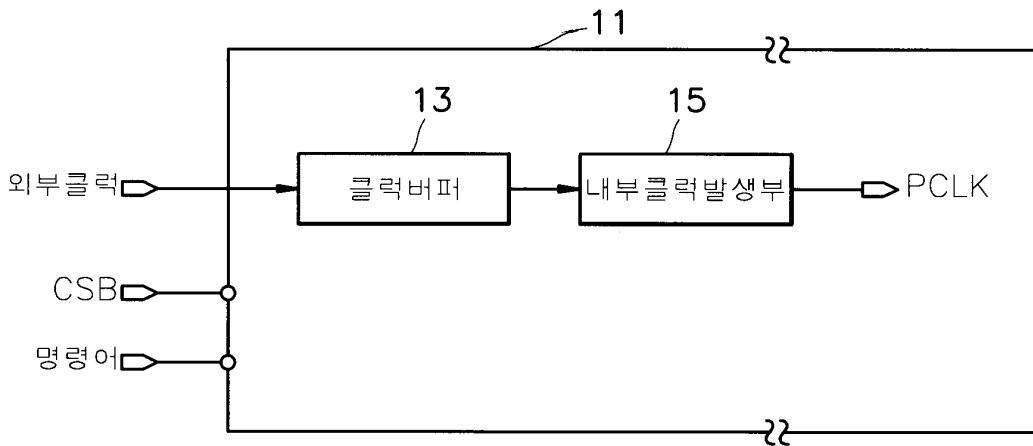
청구항 14

제13항에 있어서, 상기 칩 선택 신호가 인에이블 되면 상기 반도체 장치는 상기 명령어에 따라 동작하고 상기 칩 선택 신호가 디세이블 되면 상기 반도체 장치는 상기 명령어에 관계없이 동작하지 않는 것을 특

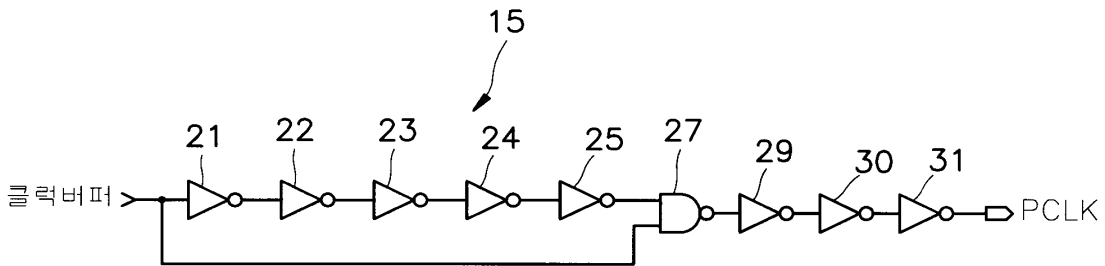
징으로 하는 반도체 장치의 클럭 신호 발생 방법.

도면

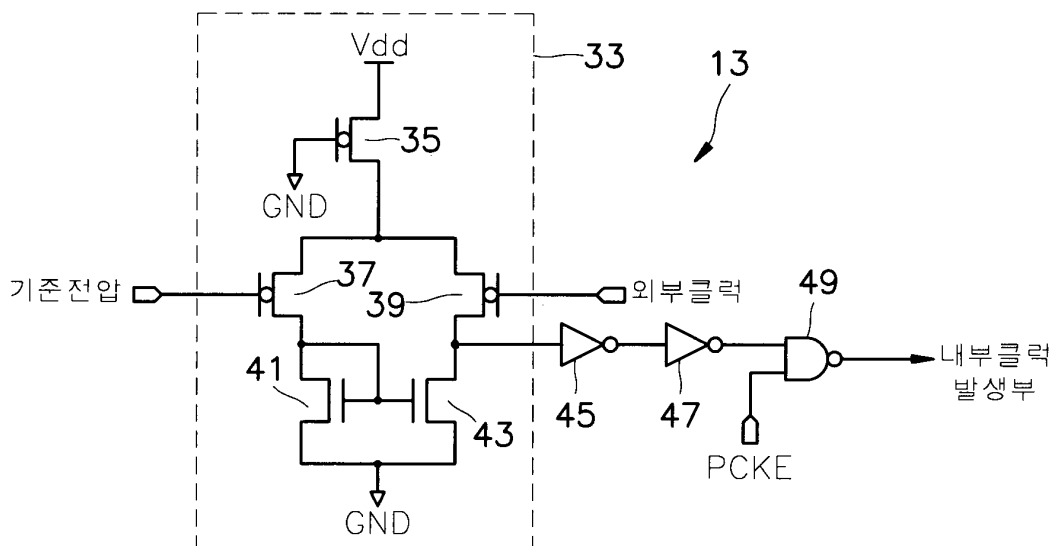
도면1



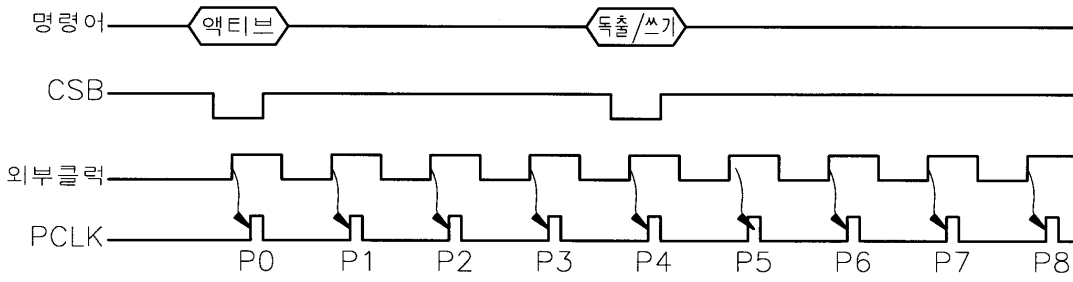
도면2



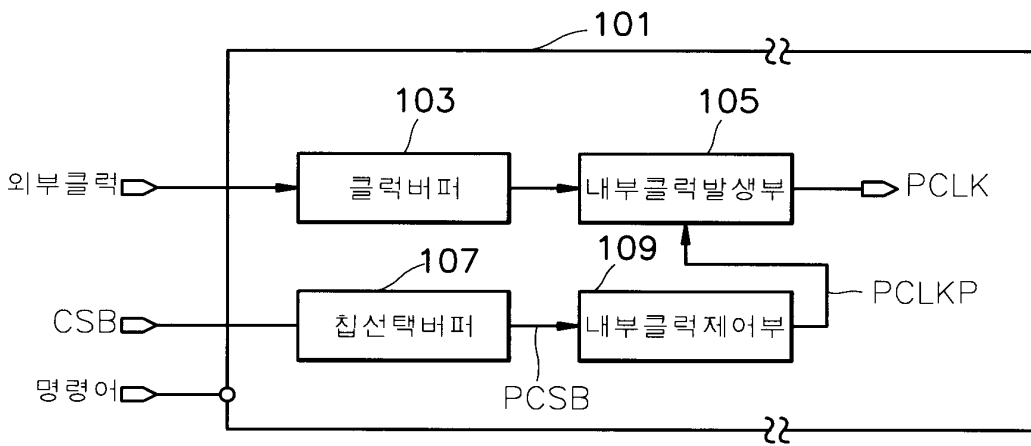
도면3



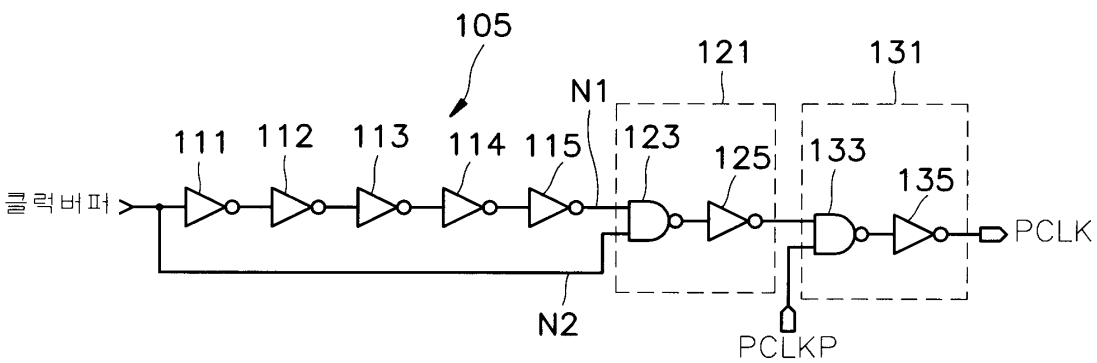
도면4



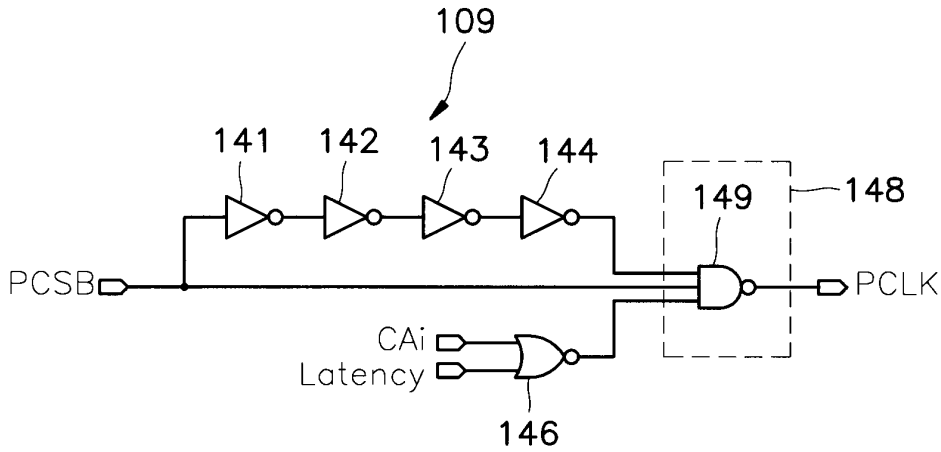
도면5



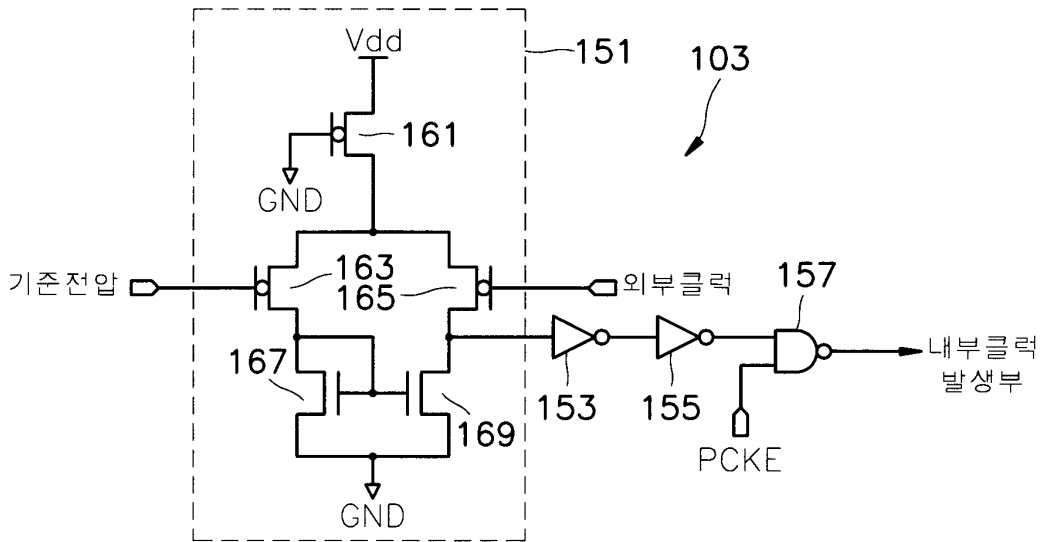
도면6



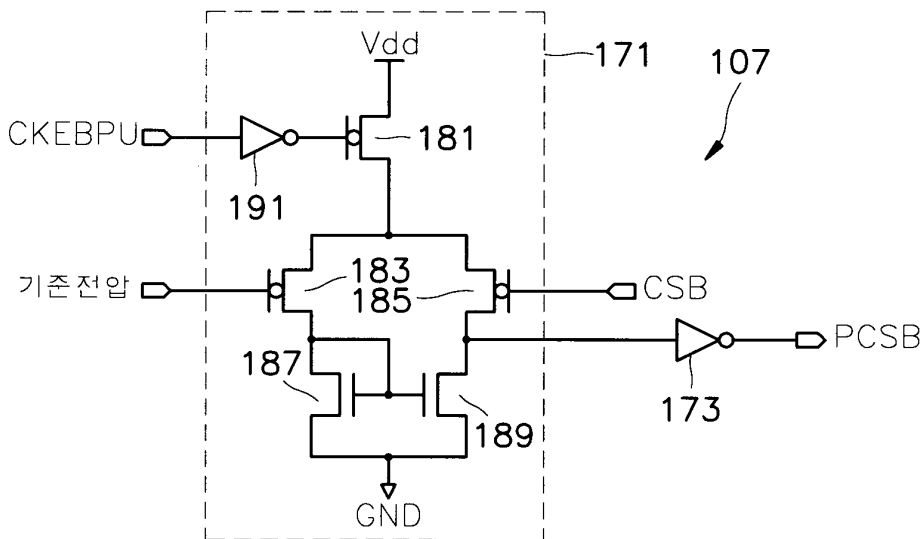
도면7



도면8



도면9



도면 10

