



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월12일  
(11) 등록번호 10-1141084  
(24) 등록일자 2012년04월23일

(51) 국제특허분류(Int. C1.)  
*H03L 7/089* (2006.01) *H03L 7/093* (2006.01)  
(21) 출원번호 10-2009-7010190  
(22) 출원일자(국제) 2007년11월27일  
    심사청구일자 2009년05월19일  
(85) 번역문제출일자 2009년05월19일  
(65) 공개번호 10-2009-0074081  
(43) 공개일자 2009년07월03일  
(86) 국제출원번호 PCT/US2007/085658  
(87) 국제공개번호 WO 2008/067324  
    국제공개일자 2008년06월05일  
(30) 우선권주장  
    11/565,062 2006년11월30일 미국(US)

(56) 선행기술조사문헌

US06049233 A1\*

US06605935 B2\*

US7092475 B1

US7042970 B1

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

퀄컴 인코포레이티드

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

(72) 발명자

장 강

미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775

(74) 대리인

특허법인코리아나

전체 청구항 수 : 총 35 항

심사관 : 김기완

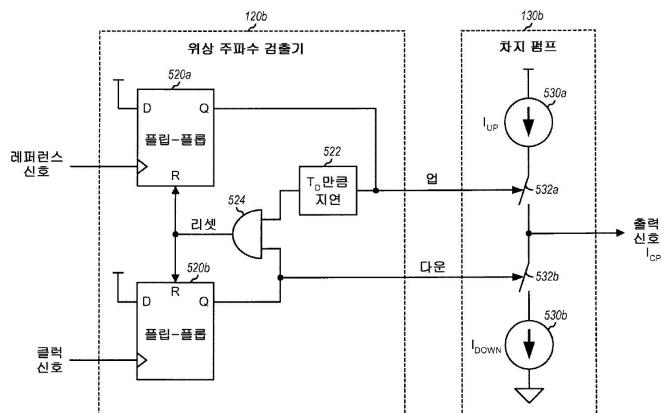
(54) 발명의 명칭 위상 동기 루프를 위한 선형 위상 주파수 검출기 및 차지 펌프

### (57) 요 약

위상 동기 루프 (PLL) 내의 위상 주파수 검출기 및 차지 펌프에 대한 선형 동작을 달성하기 위한 기술이 기재되어 있다. 위상 주파수 검출기는 레퍼런스 신호 및 클럭 신호를 수신하고, 레퍼런스 신호 및 클럭 신호에 기초하여 제 1 신호 및 제 2 신호를 발생시키며, 제 1 신호에만 기초하여 제 1 신호 및 제 2 신호를 리셋한다.

제 1 신호 및 제 2 신호는 각각 업 신호 및 다운 신호일 수도 있고, 또는 각각 다운 신호 및 업 신호일 수도 있다. 위상 주파수 검출기는 제 1 신호를 미리 정해진 양만큼 지연시키고, 지연된 제 1 신호 및 제 2 신호에 기초하여 리셋 신호를 발생시키며, 리셋 신호로 제 1 신호 및 제 2 신호를 리셋한다. 차지 펌프는 제 1 신호 및 제 2 신호를 수신하여 레퍼런스 신호와 클럭 신호 간의 위상 오차를 지시하는 출력 신호를 발생시킨다.

### 대 표 도



## 특허청구의 범위

### 청구항 1

레퍼런스 신호 및 클럭 신호를 수신하고, 상기 레퍼런스 신호 및 상기 클럭 신호에 기초하여 제 1 신호 및 제 2 신호를 발생시키며, 상기 제 1 신호를 미리 정해진 양의 지연만큼 지연시키고, 상기 지연된 제 1 신호에 기초하여 리셋 신호를 발생시키며, 상기 리셋 신호에 기초하여 상기 제 1 신호 및 상기 제 2 신호를 리셋하도록 구성되는, 위상 주파수 검출기 (phase frequency detector); 및

상기 제 1 신호 및 상기 제 2 신호를 수신하여, 상기 레퍼런스 신호와 상기 클럭 신호 간의 위상 오차 (phase error)를 지시하는 출력 신호를 발생시키도록 구성되는 차지 펌프 (charge pump)를 포함하고,

상기 미리 정해진 양의 지연은, 상기 차지 펌프의 데드 존 (dead zone)을 수용하는 온 (on) 시간 및 주파수 동기가 달성된 후의 상기 레퍼런스 신호와 상기 클럭 신호 간의 예상 최대 시간차의 합보다 더 큰, 디바이스.

### 청구항 2

제 1 항에 있어서,

상기 제 1 신호는 상기 클럭 신호에 비해서 앞선 상기 레퍼런스 신호를 지시하는 업 신호이고,

상기 제 2 신호는 상기 클럭 신호에 비해서 뒤진 상기 레퍼런스 신호를 지시하는 다운 신호인, 디바이스.

### 청구항 3

제 1 항에 있어서,

상기 제 1 신호는 상기 클럭 신호에 비해서 뒤진 상기 레퍼런스 신호를 지시하는 다운 신호이고,

상기 제 2 신호는 상기 클럭 신호에 비해서 앞선 상기 레퍼런스 신호를 지시하는 업 신호인, 디바이스.

### 청구항 4

삭제

### 청구항 5

제 1 항에 있어서,

상기 위상 주파수 검출기는 상기 제 2 신호에 또한 기초하여 상기 리셋 신호를 발생시키도록 구성되는, 디바이스.

### 청구항 6

제 1 항에 있어서,

상기 위상 주파수 검출기는,

상기 레퍼런스 신호를 수신하여 상기 제 1 신호를 제공하도록 구성되는 제 1 플립-플롭 (flip-flop);

상기 클럭 신호를 수신하여 상기 제 2 신호를 제공하도록 구성되는 제 2 플립-플롭;

상기 제 1 신호를 미리 정해진 양만큼 지연시키도록 구성되는 지연 장치; 및

상기 지연된 제 1 신호 및 상기 제 2 신호에 기초하여 상기 제 1 플립-플롭 및 상기 제 2 플립-플롭에 대해 리셋 신호를 발생시키도록 구성되는 회로를 포함하는, 디바이스.

### 청구항 7

제 1 항에 있어서,

상기 위상 주파수 검출기는,

상기 클럭 신호를 수신하여 상기 제 1 신호를 제공하도록 구성되는 제 1 플립-플롭;

상기 레퍼런스 신호를 수신하여 상기 제 2 신호를 제공하도록 구성되는 제 2 플립-플롭;

상기 제 1 신호를 미리 정해진 양만큼 지연시키도록 구성되는 지연 장치; 및

상기 지연된 제 1 신호 및 상기 제 2 신호에 기초하여 상기 제 1 플립-플롭 및 상기 제 2 플립-플롭에 대한 리셋 신호를 발생시키도록 구성되는 회로를 포함하는, 디바이스.

### 청구항 8

제 1 항에 있어서,

상기 차지 펌프는,

상기 출력 신호에 대해 제 1 전류를 제공하도록 구성되는 제 1 전류원;

상기 출력 신호에 대해 제 2 전류를 제공하도록 구성되는 제 2 전류원으로서 상기 제 1 전류 및 상기 제 2 전류는 상반된 극성을 가지는 상기 제 2 전류원;

상기 제 1 신호에 의해서 이네이블 (enable) 상태로 되면, 상기 제 1 전류원을 상기 출력 신호에 연결하도록 구성되는 제 1 스위치; 및

상기 제 2 신호에 의해서 이네이블 상태로 되면, 상기 제 2 전류원을 상기 출력 신호에 연결하도록 구성되는 제 2 스위치를 포함하는, 디바이스.

### 청구항 9

제 1 항에 있어서,

상기 클럭 신호를 발생시키기 위해 다수의 정수 인수들로 오실레이터 (oscillator) 신호를 분할하도록 구성되는 디바이더 (divider) 를 더 포함하는, 디바이스.

### 청구항 10

제 9 항에 있어서,

정수가 아닌 디바이더 비율을 수신하고 디바이더 컨트롤을 생성하여 상기 디바이더에 대해 상기 다수의 정수 인수들을 선택하도록 구성되는 시그마-델타 변조기를 더 포함하는, 디바이스.

### 청구항 11

삭제

### 청구항 12

삭제

### 청구항 13

제 1 항에 있어서,

상기 미리 정해진 양의 지연은 프로그램 가능한, 디바이스.

### 청구항 14

레퍼런스 신호 및 클럭 신호를 수신하고, 상기 레퍼런스 신호 및 상기 클럭 신호에 기초하여 제 1 신호 및 제 2 신호를 발생시키며, 상기 제 1 신호를 미리 정해진 양의 지연만큼 지연시키고, 상기 지연된 제 1 신호에 기초하여 리셋 신호를 발생시키며, 상기 리셋 신호에 기초하여 상기 제 1 신호 및 상기 제 2 신호를 리셋하도록 구성되는, 위상 주파수 검출기; 및

상기 제 1 신호 및 상기 제 2 신호를 수신하여, 상기 레퍼런스 신호와 상기 클럭 신호 간의 위상 오차를 지시하는 출력 신호를 발생시키도록 구성되는 차지 펌프를 포함하고,

상기 미리 정해진 양의 지연은, 상기 차지 펌프의 데드 존 (dead zone) 을 수용하는 온 (on) 시간 및 주파수 동기가 달성된 후의 상기 레퍼런스 신호와 상기 클럭 신호 간의 예상 최대 시간차의 합보다 더 큰, 집적

회로.

### 청구항 15

삭제

### 청구항 16

위상 동기 루프(PLL)의 위상 주파수 검출기 및 차지 펌프에서의 선형 동작을 달성하기 위한 방법으로서,

상기 위상 주파수 검출기에서 레퍼런스 신호 및 클럭 신호에 기초하여 제 1 신호 및 제 2 신호를 발생시키는 단계;

상기 제 1 신호를 미리 정해진 양만큼 지연시키는 단계;

상기 지연된 제 1 신호에 기초하여 리셋 신호를 발생시키는 단계; 및

상기 발생된 리셋 신호에 기초하여 상기 제 1 신호 및 상기 제 2 신호를 리셋하는 단계; 및

상기 차지 펌프에서 상기 제 1 신호 및 상기 제 2 신호에 기초하여 출력 신호를 발생시키는 단계를 포함하고,

상기 출력 신호는 상기 레퍼런스 신호 및 상기 클럭 신호 간의 위상 오차를 지시하고,

상기 미리 정해진 양의 지연은, 상기 차지 펌프의 데드 존 (dead zone) 을 수용하는 온 (on) 시간 및 주파수 동기가 달성된 후의 상기 레퍼런스 신호와 상기 클럭 신호 간의 예상 최대 시간차의 합보다 더 큰, 선형 동작을 달성하기 위한 방법.

### 청구항 17

삭제

### 청구항 18

제 16 항에 있어서,

상기 출력 신호를 발생시키는 단계는,

상기 제 1 신호에 기초하여 상기 출력 신호에 제 1 전류를 공급하는 단계; 및

상기 제 2 신호에 기초하여 상기 출력 신호에 제 2 전류를 공급하는 단계를 포함하고,

상기 제 1 전류 및 상기 제 2 전류는 상반된 극성을 가지는, 선형 동작을 달성하기 위한 방법.

### 청구항 19

제 16 항에 있어서,

상기 클럭 신호를 발생시키기 위해 다수의 정수 인수들로 오실레이터 신호를 분할하는 단계; 및

정수가 아닌 디바이더 비율을 달성하기 위해 상기 다수의 정수 인수들을 선택하는 디바이더 컨트롤을 발생시키는 단계를 더 포함하는, 선형 동작을 달성하기 위한 방법.

### 청구항 20

레퍼런스 신호 및 클럭 신호에 기초하여 제 1 신호 및 제 2 신호를 발생시키는 수단;

상기 제 1 신호를 미리 정해진 양만큼 지연시키는 수단;

상기 지연된 제 1 신호에 기초하여 리셋 신호를 발생시키는 수단;

상기 발생된 리셋 신호에 기초하여 상기 제 1 신호 및 상기 제 2 신호를 리셋하는 수단; 및

상기 제 1 신호 및 상기 제 2 신호에 기초하여 출력 신호를 발생시키는 수단을 포함하고,

상기 출력 신호는 상기 레퍼런스 신호와 상기 클럭 신호 간의 위상 오차를 지시하고,

상기 미리 정해진 양의 지연은, 차지 펌프의 데드 존 (dead zone) 을 수용하는 온 (on) 시간 및 주파수 동기

가 달성된 후의 상기 레퍼런스 신호와 상기 클럭 신호 간의 예상 최대 시간차의 합보다 더 큰, 장치

#### 청구항 21

삭제

#### 청구항 22

레퍼런스 신호 및 클럭 신호를 수신하고, 상기 레퍼런스 신호 및 상기 클럭 신호에 기초하여 제 1 신호 및 제 2 신호를 발생시키며, 상기 제 1 신호를 미리 정해진 양의 지연만큼 지연시키고, 상기 지연된 제 1 신호에 기초하여 리셋 신호를 발생시키며, 상기 리셋 신호에 기초하여 상기 제 1 신호 및 상기 제 2 신호를 리셋하도록 구성되는, 위상 주파수 검출기; 및

상기 제 1 신호 및 상기 제 2 신호를 수신하여, 상기 레퍼런스 신호와 상기 클럭 신호 간의 위상 오차를 지시하는 출력 신호를 발생시키도록 구성되는 차지 펌프 (130)를 포함하는 위상 동기 루프를 포함하고,

상기 미리 정해진 양의 지연은, 상기 차지 펌프의 데드 존 (dead zone)을 수용하는 온 (on) 시간 및 주파수 동기가 달성된 후의 상기 레퍼런스 신호와 상기 클럭 신호 간의 예상 최대 시간차의 합보다 더 큰, 무선 디바이스.

#### 청구항 23

제 22 항에 있어서,

상기 위상 동기 루프는,

상기 클럭 신호를 발생시키기 위해 다수의 정수 인수들로 오실레이터 신호를 분할하도록 구성되는 디바이더; 및

정수가 아닌 디바이더 비율을 수신하고 디바이더 컨트롤을 생성하여 상기 디바이더에 대해 상기 다수의 정수 인수들을 선택하도록 구성되는 시그마-델타 변조기를 더 포함하는, 무선 디바이스.

#### 청구항 24

제 14 항에 있어서,

상기 제 1 신호는 상기 클럭 신호에 비해서 앞선 상기 레퍼런스 신호를 지시하는 업 신호이고,

상기 제 2 신호는 상기 클럭 신호에 비해서 뒤진 상기 레퍼런스 신호를 지시하는 다운 신호인, 집적회로.

#### 청구항 25

제 14 항에 있어서,

상기 제 1 신호는 상기 클럭 신호에 비해서 뒤진 상기 레퍼런스 신호를 지시하는 다운 신호이고,

상기 제 2 신호는 상기 클럭 신호에 비해서 앞선 상기 레퍼런스 신호를 지시하는 업 신호인, 집적회로.

#### 청구항 26

제 14 항에 있어서,

상기 위상 주파수 검출기는 상기 제 2 신호에 또한 기초하여 상기 리셋 신호를 발생시키도록 구성되는, 집적회로.

#### 청구항 27

제 14 항에 있어서,

상기 위상 주파수 검출기는,

상기 레퍼런스 신호를 수신하여 상기 제 1 신호를 제공하도록 구성되는 제 1 플립-플롭 (flip-flop);

상기 클럭 신호를 수신하여 상기 제 2 신호를 제공하도록 구성되는 제 2 플립-플롭;

상기 제 1 신호를 미리 정해진 양만큼 지연시키도록 구성되는 지연 장치; 및

상기 지연된 제 1 신호 및 상기 제 2 신호에 기초하여 상기 제 1 플립-플롭 및 상기 제 2 플립-플롭에 대해 리셋 신호를 발생시키도록 구성되는 회로를 포함하는, 집적회로.

### 청구항 28

제 14 항에 있어서,

상기 위상 주파수 겹출기는,

상기 클럭 신호를 수신하여 상기 제 1 신호를 제공하도록 구성되는 제 1 플립-플롭;

상기 레퍼런스 신호를 수신하여 상기 제 2 신호를 제공하도록 구성되는 제 2 플립-플롭;

상기 제 1 신호를 미리 정해진 양만큼 지연시키도록 구성되는 지연 장치; 및

상기 지연된 제 1 신호 및 상기 제 2 신호에 기초하여 상기 제 1 플립-플롭 및 상기 제 2 플립-플롭에 대해 리셋 신호를 발생시키도록 구성되는 회로를 포함하는, 집적회로.

### 청구항 29

제 14 항에 있어서,

상기 차지 펌프는,

상기 출력 신호에 대해 제 1 전류를 제공하도록 구성되는 제 1 전류원;

상기 출력 신호에 대해 제 2 전류를 제공하도록 구성되는 제 2 전류원으로서, 상기 제 1 전류 및 상기 제 2 전류는 상반된 극성 (polarity) 을 가지는, 상기 제 2 전류원;

상기 제 1 신호에 의해서 이네이블 (enable) 상태로 되면, 상기 제 1 전류원을 상기 출력 신호에 연결하도록 구성되는 제 1 스위치; 및

상기 제 2 신호에 의해서 이네이블 상태로 되면, 상기 제 2 전류원을 상기 출력 신호에 연결하도록 구성되는 제 2 스위치를 포함하는, 집적회로.

### 청구항 30

제 14 항에 있어서,

상기 클럭 신호를 발생시키기 위해 다수의 정수 인수들로 오실레이터 (oscillator) 신호를 분할하도록 구성되는 디바이더 (divider) 를 더 포함하는, 집적회로.

### 청구항 31

제 30 항에 있어서,

정수가 아닌 디바이더 비율을 수신하고 디바이더 컨트롤을 생성하여 상기 디바이더에 대해 상기 다수의 정수 인수들을 선택하도록 구성되는 시그마-델타 변조기를 더 포함하는, 집적회로.

### 청구항 32

제 14 항에 있어서,

상기 미리 정해진 양의 지연은 프로그램 가능한, 집적회로.

### 청구항 33

제 20 항에 있어서,

상기 출력 신호를 발생시키는 수단은,

상기 제 1 신호에 기초하여 상기 출력 신호에 제 1 전류를 공급하는 수단; 및

상기 제 2 신호에 기초하여 상기 출력 신호에 제 2 전류를 공급하는 수단을 포함하고,

상기 제 1 전류 및 상기 제 2 전류는 상반된 극성을 가지는, 장치.

#### 청구항 34

제 20 항에 있어서,

상기 클럭 신호를 발생시키기 위해 다수의 정수 인수들로 오실레이터 신호를 분할하는 수단; 및

정수가 아닌 디바이더 비율을 달성하기 위해 상기 다수의 정수 인수들을 선택하는 디바이더 컨트롤을 발생시키는 수단을 더 포함하는, 장치.

#### 청구항 35

제 22 항에 있어서,

상기 제 1 신호는 상기 클럭 신호에 비해서 앞선 상기 레퍼런스 신호를 지시하는 업 신호이고,

상기 제 2 신호는 상기 클럭 신호에 비해서 뒤진 상기 레퍼런스 신호를 지시하는 다운 신호인, 무선 디바이스.

#### 청구항 36

제 22 항에 있어서,

상기 제 1 신호는 상기 클럭 신호에 비해서 뒤진 상기 레퍼런스 신호를 지시하는 다운 신호이고,

상기 제 2 신호는 상기 클럭 신호에 비해서 앞선 상기 레퍼런스 신호를 지시하는 업 신호인, 무선 디바이스.

#### 청구항 37

제 22 항에 있어서,

상기 위상 동기 루프의 상기 위상 주파수 검출기는 상기 제 2 신호에 또한 기초하여 상기 리셋 신호를 발생시키도록 구성되는, 무선 디바이스.

#### 청구항 38

제 22 항에 있어서,

상기 위상 동기 루프의 상기 위상 주파수 검출기는,

상기 레퍼런스 신호를 수신하여 상기 제 1 신호를 제공하도록 구성되는 제 1 플립-플롭 (flip-flop);

상기 클럭 신호를 수신하여 상기 제 2 신호를 제공하도록 구성되는 제 2 플립-플롭;

상기 제 1 신호를 미리 정해진 양만큼 지연시키도록 구성되는 지연 장치; 및

상기 지연된 제 1 신호 및 상기 제 2 신호에 기초하여 상기 제 1 플립-플롭 및 상기 제 2 플립-플롭에 대해 리셋 신호를 발생시키도록 구성되는 회로를 포함하는, 무선 디바이스.

#### 청구항 39

제 22 항에 있어서,

상기 위상 동기 루프의 상기 위상 주파수 검출기는,

상기 클럭 신호를 수신하여 상기 제 1 신호를 제공하도록 구성되는 제 1 플립-플롭;

상기 레퍼런스 신호를 수신하여 상기 제 2 신호를 제공하도록 구성되는 제 2 플립-플롭;

상기 제 1 신호를 미리 정해진 양만큼 지연시키도록 구성되는 지연 장치; 및

상기 지연된 제 1 신호 및 상기 제 2 신호에 기초하여 상기 제 1 플립-플롭 및 상기 제 2 플립-플롭에 대한 리셋 신호를 발생시키도록 구성되는 회로를 포함하는, 무선 디바이스.

#### 청구항 40

제 22 항에 있어서,

상기 위상 동기 루프의 상기 차지 펌프는,

상기 출력 신호에 대해 제 1 전류를 제공하도록 구성되는 제 1 전류원;

상기 출력 신호에 대해 제 2 전류를 제공하도록 구성되는 제 2 전류원으로서, 상기 제 1 전류 및 상기 제 2 전류는 상반된 극성을 가지는, 상기 제 2 전류원;

상기 제 1 신호에 의해서 이네이블 (enable) 상태로 되면, 상기 제 1 전류원을 상기 출력 신호에 연결하도록 구성되는 제 1 스위치; 및

상기 제 2 신호에 의해서 이네이블 상태로 되면, 상기 제 2 전류원을 상기 출력 신호에 연결하도록 구성되는 제 2 스위치를 포함하는, 무선 디바이스.

## 청구항 41

제 22 항에 있어서,

상기 미리 정해진 양의 지연은 프로그램 가능한, 무선 디바이스.

## 명세서

[0001]

### 배경

#### I. 분야

[0003]

본 개시내용은 일반적으로 회로와 관련되며, 보다 상세하게는, 위상 동기 루프 (phase-locked loop, PLL) 와 관련된다.

[0004]

#### II. 배경

[0005]

PLL은 많은 전자 회로에 통상적으로 사용되고 있으며, 통신 회로에 있어서 특히 중요하다. 예를 들어, 디지털 시스템은, 예를 들어, 플립-플롭 (flip-flop) 과 같은 동기화된 회로를 트리거하기 위해 클럭 신호를 사용한다. 송신기 및 수신기 시스템은 각각 주파수 상향 변환 (upconversion) 및 하향 변환 (downconversion)을 위해 로컬 오실레이터 (LO) 신호를 사용한다. 무선 통신 시스템에서 무선 디바이스 (예를 들어, 휴대폰)는 대체로 디지털 회로의 경우에는 클럭 신호를 사용하고 송신기 및 수신기 회로의 경우에는 LO 신호를 사용한다. 클럭 신호 및 LO 신호는 주로 PLL 내부에서 동작하는 전압 제어 오실레이터 (voltage-controlled oscillator, VCO) 를 사용하여 생성된다.

[0006]

PLL은 대체로 위상 주파수 검출기 (phase frequency detector), 차지 펌프 (charge pump), 루프 필터 및 VCO 를 포함한다. 위상 주파수 검출기, 차지 펌프, 루프 필터는 총괄해서, VCO로부터 얻어지는 레퍼런스 신호와 클럭 신호 간의 위상 오차를 검출하여 VCO에 대해 컨트롤 신호를 발생시킨다. 컨트롤 신호는 클럭 신호가 레퍼런스 신호에 동기되도록 VCO의 주파수를 조정한다.

[0007]

위상 주파수 검출기는 대체로 업 신호 및 다운 신호로 지칭되는 한 쌍의 신호들을 발생시킨다. 일 신호는 레퍼런스 신호에 비하여 클럭 신호가 앞서거나 뒤지는지 여부에 따라서 각 클럭 사이클에서 대체로 더 길게 턴 온 (turn on) 상태로 있다. 업 신호 및 다운 신호는 차지 펌프 내부의 전류원을 출력에 연결하기 위해 사용된다. 이상적으로, 위상 주파수 검출기 및 차지 펌프는 위상 오차에 대한 출력 차지의 선형 전달 함수를 가져야 한다. 그러나, 차지 펌프에 사용되는 회로의 부정합 때문에, 이러한 선형 전달 함수는 대체로 달성되지 않는다. 그 결과, 동일 크기이지만 상반된 극성을 가지는 위상 오차 때문에 업 신호로부터의 출력 차지는 다운 신호로부터의 출력 차지와 종종 일치되지 않는다. 이러한 차지 오차는 트랜지스터 디바이스 부정합 및 기타 요인들로부터 기인할 수도 있는, 차지 펌프 내의 업/다운 전류 부정합에 기인한다. 전류 부정합에 따른 차지 펌프의 비선형성은 성능 저하를 가져올 수도 있는 추가적인 위상 잡음을 야기할 수도 있다.

[0008]

따라서, 관련 기술 분야에서는, PLL에 양질의 성능을 제공할 수 있는, 위상 주파수 검출기 및 차지 펌프에 대한 기술의 필요성이 존재한다.

### 요약

[0010] 본 출원에는 PLL 내의 위상 주파수 검출기 및 차지 펌프에 대한 선형 연산을 달성하기 위한 기술이 기재되어 있다. 일 양태에서, 위상 주파수 검출기는 우선적으로 차지 펌프 내의 업/다운 전류 부정합이 비선형 왜곡에 기여하지 않도록 하기 위해서 새로운 타이밍/클럭 방식을 사용하여 업 신호 및 다운 신호를 발생시킨다.

새로운 타이밍 방식은 위상 주파수 검출기 내부의 플립-플롭들을 리셋하기 위해서 업 신호만을 사용하거나 다운 신호만을 사용한다. 새로운 타이밍 방식을 사용하면, 차지 펌프 내의 업/다운 전류 부정합이 차지 펌프의 출력에서 나타나지 않는다. 따라서, 트랜지스터 디바이스 부정합이 존재하여도 양질의 성능이 달성될 수도 있다.

[0011] 일 디자인에서, PLL은 위상 주파수 검출기 및 차지 펌프를 포함한다. 위상 주파수 검출기는 레퍼런스 신호 및 클럭 신호를 수신하고, 레퍼런스 신호 및 클럭 신호에 기초하여 제 1 신호 및 제 2 신호를 발생시키며, 제 1 신호에만 기초하여 제 1 신호 및 제 2 신호를 리셋한다. 제 1 신호 및 제 2 신호는 각각 업 신호 및 다운 신호일 수도 있다. 다른 방법으로, 제 1 신호 및 제 2 신호는 각각 다운 신호 및 업 신호일 수도 있다. 위상 주파수 검출기는 제 1 신호를 미리 정해진 양만큼 지연시키고, 지연된 제 1 신호 및 제 2 신호에 기초하여 리셋 신호를 발생시키며, 리셋 신호로 제 1 신호 및 제 2 신호를 리셋할 수도 있다. 차지 펌프는 제 1 신호 및 제 2 신호를 수신하여 레퍼런스 신호와 클럭 신호 간의 위상 오차를 지시하는 출력 신호를 발생시킨다. 위상 주파수 검출기 및 차지 펌프는 아래에 기재된 대로 구현될 수도 있다.

[0012] 본 개시내용의 다양한 양태들과 특징들이 이하에서 보다 상세하게 기술된다.

### 도면의 간단한 설명

[0014] 도 1은 분수-N (fractional-N) PLL의 블록도를 도시한다.

[0015] 도 2는 PLL에 대한 위상 주파수 검출기 및 차지 펌프를 도시한다.

[0016] 도 3은 도 2의 위상 주파수 검출기에 대한 타이밍도를 도시한다.

[0017] 도 4a는 도 2의 차지 펌프에 대한 차지 전달 함수를 도시한다.

[0018] 도 4b는 도 2의 차지 펌프에 대한 이득 함수를 도시한다.

[0019] 도 5a는 선형 위상 주파수 검출기 및 차지 펌프를 도시한다.

[0020] 도 5b는 또 다른 선형 위상 주파수 검출기 및 차지 펌프를 도시한다.

[0021] 도 6은 도 5a의 위상 주파수 검출기에 대한 타이밍도를 도시한다.

[0022] 도 7은 PLL을 작동하는 프로세스를 도시한다.

[0023] 도 8은 무선 통신 디바이스의 블록도를 도시한다.

### 상세한 설명

[0025] 본 출원에 기재된 기술은 정수-N PLL, 분수-N PLL, 멀티-모듈러스 디바이더 (MMD), 시그마-델타 주파수 합성기 등과 같은 다양한 종류의 회로에 사용될 수도 있다. 정수-N PLL은 VCO로부터의 오실레이터 신호의 주파수를 정수 디바이더 비율  $N$ 으로 분할하며, 이때  $N \geq 1$  이다. 분수-N PLL은 오실레이터 신호의 주파수를 정수가 아닌 디바이더 비율  $R$ , 예를 들어, 어떤 경우에는  $N$ 으로, 다른 어떤 경우에는  $N+1$ 로 분할하며, 이때  $N < R < N+1$  이다. 시그마-델타 주파수 합성기는 분수-N PLL에 대해 정수가 아닌 디바이더 비율  $R$ 을 발생시키기 위해 시그마-델타 변조기를 이용한다.

[0026] 도 1은 분수-N PLL (110) 및 시그마-델타 변조기 (170)를 구비하는 시그마-델타 주파수 합성기 (100)의 디자인에 대한 블록도를 도시한다. PLL (110)은 위상 주파수 검출기 (120), 차지 펌프 (130), 루프 필터 (140), VCO (150) 및 디바이더 (160)를 포함한다.

[0027] 위상 주파수 검출기 (120)는 레퍼런스 오실레이터 (도 1에는 도시되지 않음)로부터 레퍼런스 신호를 수신하고 디바이더 (160)로부터 클럭 신호를 수신하여, 두 신호의 위상을 비교하고, 레퍼런스 신호와 클럭 신호간의 위상 오차/차이를 지시하는 업 신호 및 다운 신호를 제공한다. 또한, 클럭 신호는 분할된 클럭 신호, 피드백 신호 등으로 지정될 수도 있다. 또한, 업 신호 및 다운 신호는 통상적으로 앞선 신호 및 뒤진 신호, 전진 신호 및 지연 신호 등으로 지정된다. 차지 펌프 (130)는 업 신호 및 다운 신호를 수신하여 출력 신호를 발생시키며, 출력 신호는 검출된 위상 오차를 지시하는 전류  $I_{CP}$  이다.

[0028] 루프 필터 (140)는 차지 펌프 (130)로부터의 출력 신호를 필터링하여 VCO (150)에 대해 컨트롤 신호  $V_{CTRL}$ 을 발생시킨다. 루프 필터 (140)는 클럭 신호의 위상 또는 주파수가 레퍼런스 신호의 위상 또는 주파수에 대하여 동기화되도록 컨트롤 신호를 조정한다. 루프 필터 (140)는 PLL (110)에 대해 바람직한 폐루프 (closed-loop) 응답을 달성하기 위해 전형적으로 선택된 주파수 응답을 가진다. 예를 들어, 루프 필터 (140)의 주파수 응답은 획득 및 트래킹 성능과 PLL 잡음 성능 간의 트레이드오프 (tradeoff)에 기초하여 선택될 수도 있다.

[0029] VCO (150)는 루프 필터 (140)로부터의 컨트롤 신호에 의해서 결정되는 주파수를 가지는 오실레이터 신호를 발생시킨다. 디바이더 (160)는 오실레이터 신호를 정수 인수  $N$  및  $N+1$ 로 주파수를 분할하여 클럭 신호에 공급한다. 일반적으로,  $N$ 은 임의의 양의 정수 값일 수도 있다. 시그마-델타 변조기 (170)는 디바이더 비율  $R$ 을 수신하는데, 이는 다음과 같이 표현될 수 있으며,

### 수학식 1

$$R = \frac{f_{vco}}{f_{ref}}$$

[0030]

[0031] 이 때  $f_{vco}$ 는 VCO (150)에 대한 바람직한 주파수이고,  $f_{ref}$ 는 레퍼런스 신호의 주파수이다.

[0032] 시그마-델타 변조기 (170)는 디바이더 비율  $R$ 을 달성하기 위해 디바이더 (160)에 대해 디바이더 컨트롤을 발생시킨다. 이 디바이더 컨트롤은 디바이더 (160)에게  $N$  또는  $N+1$ 에 의한 분할을 명령하는 1 비트의 컨트롤일 수도 있다. 예를 들어, 디바이더 컨트롤에 대한 로직 로우 (logic low, '0')는  $N$ 에 의한 분할에 대응하고, 디바이더 컨트롤에 대한 로직 하이 (logic high, '1')는  $N+1$ 에 의한 분할에 대응할 수도 있다. 디바이더 컨트롤에 대한 0과 1의 비율은 디바이더 비율  $R$ 에 의해서 결정된다. 그러나, 양자화 잡음이 고주파수로 시프트되고 VCO (150)로부터의 오실레이터 신호에 대해서 양질의 위상 잡음 특성이 달성될 수 있는 방법으로 디바이더 컨트롤에 대해 0이 분배된다.

[0033] 도 1은 PLL과 주파수 합성기의 예시적인 디자인을 도시한다. 일반적으로, PLL과 주파수 합성기는 도 1에 도시된 것보다 더 적고/적거나, 추가적이고/추가적이나, 상이한 회로 블록들로 구현될 수도 있다. 예를 들어, VCO (150)는 전류 디지털-아날로그 컨버터 (iDAC) 및 전류 제어 오실레이터 (ICO)로 대체될 수도 있다. 디바이더 (160)는 고정된 정수- $N$  디바이더일 수도 있다. 루프 필터 (140)는 다양한 루프 응답을 가지는 적응 루프 필터일 수도 있으며, PLL 루프 대역폭 및/또는 감쇠 (damping)를 변화시키는데 사용될 수도 있다. 또한, 기타 필요한 주파수의 클럭 신호를 추가적으로 하나 이상 발생시키기 위해 하나 이상의 추가적인 디바이더를 사용하여 오실레이터 신호를 분할할 수도 있다.

[0034] 도 2는 위상 주파수 검출기 (120a) 및 차지 펌프 (130a)의 일 디자인을 도시하는 것으로, 각각 도 1의 위상 주파수 검출기 (120) 및 차지 펌프 (130)에 사용될 수도 있다.

[0035] 위상 주파수 검출기 (120a) 내부에서, 레퍼런스 신호 및 클럭 신호는 각각 D 플립-플롭들 (220a 및 220b)의 클럭 입력에 제공된다. 플립-플롭들 (220a 및 220b)의 데이터 (D) 입력들은 전원에 연결되어 있으며 로직 하이를 수신한다. 플립-플롭들 (220a 및 220b)의 데이터 (Q) 출력들은 각각 업 신호 및 다운 신호를 제공한다. 업 신호는 클럭 신호에 비하여 앞선 레퍼런스 신호를 지시한다. 다운 신호는 클럭 신호에 비하여 뒤진 레퍼런스 신호를 지시한다. AND 게이트 (222)는 업 신호 및 다운 신호를 수신하여 두 신호에 대해 논리 AND를 수행한다. 지연 장치 (224)는 AND 게이트 (222)의 출력을 미리 정해진 양의 시간  $T_{ON}$ 만큼 지연시키고 플립-플롭들 (220a 및 220b)의 리셋 (R) 입력에 리셋 신호를 제공한다.

[0036] 차지 펌프 (130a) 내부에서, 전류원들 (230a 및 230b) 및 스위치들 (232a 및 232b)은 전원과 회로 접지 사이에 직렬로 연결된다. 전류원 (230a)은 전류  $I_{UP}$ 을 공급하고, 전류원 (230b)은 전류  $I_{DOWN}$ 을 공급한다. 스위치 (232a)는 업 신호를 수신하고, 업 신호의 로직 하이에 의해서 턴 온되어 전류원 (230a)을 차지 펌프 (130a)의 출력에 연결한다. 스위치 (232b)는 다운 신호를 수신하고, 다운 신호의 로직 하이에 의해서 턴 온되어 전류원 (230b)을 차지 펌프 (130a)의 출력에 연결한다.

[0037] 지연 장치 (224)에 의한  $T_{ON}$  지연은 차지 펌프의 데드 존 (dead zone)을 처리하기 위해 사용된다. 전류

원들 (230a 및 230b) 은 켜고 꺼지는데 있어서 일정한 양의 시간을 필요로 한다. 이러한 과도 시간은 데드 존으로 지칭되는데, 이는 과도 시간 중에 업 신호 및 다운 신호의 위상 정보가 손실되기 때문이다.  $T_{ON}$  지연은 이러한 데드 존을 처리한다.

[0038] 도 3은 도 2의 위상 주파수 검출기 (120a)의 동작을 도시하는 타이밍도를 나타낸다. 최초에 업 신호 및 다운 신호는 로직 로우 상태에 있다. 시점  $T_{11}$ 에서, 레퍼런스 신호가 로직 로우에서 로직 하이로 전이 (transition) 되고, 플립-플롭 (220a) 이 트리거되며, 업 신호가 로직 하이로 전이된다. 시점  $T_{12}$ 에서, 클럭 신호가 로직 로우에서 로직 하이로 전이되고, 플립-플롭 (220b) 이 트리거되며, 다운 신호가 로직 하이로 전이된다. 업 신호 및 다운 신호가 둘 다 로직 하이인 상태가 되면, AND 게이트 (222)의 출력이 로직 하이로 전이된다.  $T_{12}$ 보다 약  $T_{ON}$ 만큼 늦은 시점  $T_{13}$ 에서, 리셋 신호가 로직 하이로 전이되고, 플립-플롭들 (220a 및 220b) 이 둘 다 리셋되며, 업 신호 및 다운 신호가 로직 로우로 전이된다.

[0039] 시점  $T_{14}$ 에서, 클럭 신호가 로직 로우에서 로직 하이로 전이되고, 플립-플롭 (220b) 이 트리거되며, 다운 신호가 로직 하이로 전이된다. 시점  $T_{15}$ 에서, 레퍼런스 신호가 로직 로우에서 로직 하이로 전이되고, 플립-플롭 (220a) 이 트리거되며, 업 신호가 로직 하이로 전이된다. 업 신호 및 다운 신호가 둘 다 로직 하이가 되면, AND 게이트 (222)의 출력이 로직 하이로 전이된다.  $T_{15}$ 보다 약  $T_{ON}$ 만큼 늦은 시점  $T_{16}$ 에서, 리셋 신호가 로직 하이로 전이되고, 플립-플롭들 (220a 및 220b) 이 둘 다 리셋되며, 업 신호 및 다운 신호가 로직 로우로 전이된다.

[0040] 도 3에서 도시된 것과 같이, 2 개의 펠스가 각 클럭 사이클에서 업 신호 및 다운 신호 상에 발생한다. 레퍼런스 신호가 클럭 신호에 비해서 앞선 경우에, 업 신호는 다운 신호보다 앞서고 더 긴 펠스를 가진다. 반대의 경우, 레퍼런스 신호가 클럭 신호에 비해서 뒤진 경우에, 다운 신호가 업 신호보다 앞서고 더 긴 펠스를 가진다. 각 클럭 사이클에서, 보다 앞선 상승 엣지 (rising edge)를 가지는 신호는 자신의 플립-플롭을 먼저 세팅하고, 보다 뒤진 상승 엣지를 가지는 신호는 양 쪽 플립-플롭을 리셋한다. 따라서, 레퍼런스 신호가 클럭 신호보다 뒤진 경우 레퍼런스 신호가 양 쪽 플립-플롭을 리셋하고, 클럭 신호가 레퍼런스 신호보다 뒤진 경우에는 클럭 신호가 양 쪽 플립-플롭을 리셋한다.

[0041] 또한, 도 3은 도 2의 차지 펌프 (130a)의 동작을 도시한다. 업 신호가 다운 신호보다 앞서는 경우, 전류원 (230a) 은 시점  $T_{11}$ 에서 시점  $T_{13}$ 까지 소싱 (sourcing) 전류  $I_{UP}$ 을 제공하고, 전류원 (230b) 은 시점  $T_{12}$ 에서 시점  $T_{13}$ 까지 싱킹 (sinking) 전류  $I_{DOWN}$ 을 제공한다. 순 출력 전류는 시점  $T_{11}$ 에서 시점  $T_{13}$ 까지 소싱 전류와 싱킹 전류 간의 차이이다.

[0042] 다운 신호가 업 신호를 앞서는 경우, 전류원 (230b) 은 시점  $T_{14}$ 에서 시점  $T_{16}$ 까지 싱킹 전류  $I_{DOWN}$ 을 제공하고, 전류원 (230a) 은 시점  $T_{15}$ 에서 시점  $T_{16}$ 까지 소싱 전류  $I_{UP}$ 을 제공한다. 순 출력 전류는 시점  $T_{14}$ 에서 시점  $T_{16}$ 까지 소싱 전류와 싱킹 전류 간의 차이이다.

[0043] 이상적으로, 전류원들 (230a 및 230b) 은 동일한 양의 전류를 공급해야하므로  $I_{UP} = I_{DOWN}$ 이다. 그러나, 트랜지스터 디바이스 부정합 및 기타 요인들에 의해서  $I_{UP}$ 은 대체로  $I_{DOWN}$ 과 동일하지 않다.  $I_{UP}$ 과  $I_{DOWN}$ 간의 부정합은  $I_{DOWN} = I$  및  $I_{UP} = I + \Delta I$  로 모델링될 수도 있으며, 이때  $I$ 는 공칭 (nominal) 전류이며  $\Delta I$ 는 전류 부정합의 양이다.

[0044] 업 신호가 다운 신호보다 앞서는 경우, 예를 들어, 시점  $T_{11}$ 에서 시점  $T_{13}$ 까지, 차지 펌프 (130a)로부터의 순 출력 차지는 다음과 같이 표현될 수도 있으며,

## 수학식 2

$$Q(dt) = I * dt + \Delta I * dt + \Delta I * T_{ON}$$

[0045]

[0046] 이때  $dt$ 는 레퍼런스 신호의 상승 엣지와 클럭 신호의 상승 엣지간의 시간 차이이고,  $Q(dt)$ 는 다운 신호보다 앞서는 업 신호를 갖는 순 출력 차지이다.

[0047]

다운 신호가 업 신호보다 앞서는 경우, 예를 들어, 시점  $T_{14}$ 에서 시점  $T_{16}$ 까지, 차지 펌프 (130a)로부터의 순

출력 차지는 다음과 같이 표현될 수도 있으며,

### 수학식 3

$$Q(-dt) = -I * dt + \Delta I * T_{ON}$$

[0048] 이때  $-dt$ 는 레퍼런스 신호의 상승 엣지와 클럭 신호의 상승 엣지간의 시간 차이이고,  $Q(-dt)$ 는 업 신호보다 앞서는 다운 신호를 갖는 순 출력 차지이다.

[0050] 수학식 2 및 수학식 3에서, " $I * dt$ " 및 " $-I * dt$ " 항은 필요한 성분에 대응하고, " $\Delta I * dt$ " 항은 비선형 왜곡 성분에 대응하며,  $\Delta I * T_{ON}$  항은 직류 전류 (DC) 오프셋에 대응한다. DC 오프셋은 레퍼런스 신호와 클럭 신호 간의 정적 위상 오프셋으로 되며, 일반적으로 성능에 영향을 미치지 않는다. 그러나, 비선형 성분은 위상 잡음의 질을 떨어뜨리고 기타 유해한 효과들을 야기할 수도 있다.

[0051] 도 4a는 위상 오차  $d\Theta$ 에 대한 차지 펌프 (130a)로부터의 출력 차지  $Q$ 의 전달 함수를 도시한다. 위상 오차와 시간차는 관련되어 있으며,  $d\Theta = 2\pi * dt / T_{REF}$  와 같이 주어지는데, 이때  $T_{REF}$ 는 레퍼런스 신호의 한 사이클의 지속 시간이다. 이상적으로, 전달 함수는 전류  $I$ 에 의해서 결정되는 기울기를 가지는 직선이어야 한다. 그러나, 전류 부정합  $\Delta I$  때문에, 전달 함수는 음의 위상 오차에 대한 하나의 직선과 양의 위상 오차에 대한 또 하나의 직선으로 구성된다. 도 3 및 도 4a에서 나타나듯이,  $I_{UP} > I_{DOWN}$  이면 양의 위상 오차에 대한 직선이 더 큰 기울기를 가진다.

[0052] 도 4b는 위상 오차  $d\Theta$ 에 대한 차지 펌프 (130a)의 이득 함수를 도시한다. 차지 펌프 이득  $G$ 는  $G = dQ/d\Theta$  와 같이 주어진다. 이상적으로 차지 펌프 이득은 모든 위상 오차에 대해서 상수이어야 한다. 그러나, 전류 부정합  $\Delta I$  때문에, 차지 펌프 이득은 음의 위상 오차에 대해서 하나의 값이고 양의 위상 오차에 대해서 또 다른 값이다. 도 3 및 도 4b에서 나타나듯이,  $I_{UP} > I_{DOWN}$  이면 양의 위상 오차에 대한 차지 펌프 이득이 더 크다.

[0053] 전류 부정합  $\Delta I$ 는 전류원들 (230a 및 230b)을 구현하는데 사용되는 트랜지스터 디바이스들의 부정합, 차지 펌프에 대한 전원 전압의 변화 및 기타 요인들로부터 기인할 수도 있다. 디바이스 부정합은 디바이스 크기를 키우고 양질의 설계 가이드라인을 따름으로써 감소시킬 수도 있다. 그러나, 디바이스 크기를 키우는 것은 더 많은 회로 면적을 차지하게 되므로 바람직하지 않다. 더욱이, 디바이스 크기를 키우는 것으로도 디바이스 부정합이 완전히 제거되지는 않는다. 그러므로, 차지 펌프는 약간의 전류 부정합을 가진다고 예상할 수 있다.

[0054] 일 양태에서, 위상 주파수 검출기는 우선적으로 차지 펌프 내의 업/다운 전류 부정합이 비선형 왜곡에 기여하지 않도록 업 신호 및 다운 신호를 발생시키기 위해 새로운 타이밍/클럭킹 방식을 사용한다. 새로운 타이밍 방식은 위상 주파수 검출기 내부의 플립-플롭들을 리셋하기 위해서 업 신호만을 사용하거나 다운 신호만을 사용한다. 이것은 업 신호 및 다운 신호가 둘 다 플립-플롭들을 리셋할 수 있는 도 2에 도시된 타이밍 방식과는 다르다. 이 새로운 타이밍 방식을 사용하면, 차지 펌프 내의 업/다운 전류 부정합은 차지 펌프의 출력에서 나타나지 않는다. 그러므로, 차지 펌프 내에 트랜지스터 디바이스 부정합이 존재하여도 양질의 성능이 달성될 수도 있을 것이다.

[0055] 도 5a는 위상 주파수 검출기 (120b) 및 차지 펌프 (130b)의 일 디자인을 도시하는 것으로, 각각 도 1의 위상 주파수 검출기 (120) 및 차지 펌프 (130)에 사용될 수도 있다. 위상 주파수 검출기 (120b)는 업 신호에만 기초하여 자신의 플립-플롭들을 리셋한다.

[0056] 위상 주파수 검출기 (120b) 내부에서, 레퍼런스 신호 및 클럭 신호는 각각 D 플립-플롭들 (520a 및 520b)의 클럭 입력에 제공된다. 플립-플롭들 (520a 및 520b)의 D 입력은 전원에 연결되어 있다. 플립-플롭들 (520a 및 520b)의 Q 출력은 각각 업 신호 및 다운 신호를 제공한다. 지연 장치 (522)는 업 신호를 미리 정해진 양의 시간  $T_D$ 만큼 지연시킨다. AND 게이트 (524)는 지연된 업 신호 및 다운 신호를 수신하여, 두 신호에 대해 논리 AND를 수행하고, 플립-플롭들 (520a 및 520b)의 R 입력에 리셋 신호를 제공한다.

[0057] 차지 펌프 (130b)는 전원과 회로 접지 사이에 직렬로 연결되는 전류원들 (530a 및 530b) 및 스위치들 (532a 및 532b)을 포함한다. 스위치 (532a)는 업 신호를 수신하여 전류원 (530a)을 차지 펌프 출력에 연결한다. 스위치 (532b)는 다운 신호를 수신하여 전류원 (530b)을 차지 펌프 출력에 연결한다.

[0058] 도 5b는 위상 주파수 검출기 (120c) 의 일 디자인을 도시하는 것으로, 이 위상 주파수 검출기 (120c) 는 도 1의 위상 주파수 검출기 (120) 에 사용될 수도 있다. 위상 주파수 검출기 (120c) 는 오직 다운 신호에만 기초하여 자신의 플립-플롭들을 리셋한다. 위상 주파수 검출기 (120c) 는 플립-플롭들 (520a 및 520b), 지연 장치 (522) 및 AND 게이트 (524) 를 포함한다. 그러나, 도 5a와 다르게, 지연 장치 (522) 가 다운 신호를 미리 정해진 양의 시간  $T_D$  만큼 지연시킨다. AND 게이트 (524) 는 지연된 다운 신호 및 업 신호를 수신하여 플립-플롭들 (520a 및 520b) 에 리셋 신호를 제공한다.

[0059] 도 5a 및 도 5b에 도시된 것과 같이, 위상 주파수 검출기에 대한 새로운 타이밍 방식은 약간의 회로 설계만으로 구현될 수도 있다. 또한, 업 신호에만 또는 다운 신호에만 기초하여 플립-플롭들을 리셋하기 위하여 기타의 회로들이 디자인될 수도 있다.

[0060] 도 6은 도 5a의 위상 주파수 검출기 (120b) 의 동작을 도시하는 타이밍도를 나타낸다. 최초에 업 신호 및 다운 신호는 로직 로우 상태에 있다. 시점  $T_{21}$ 에서, 레퍼런스 신호가 로직 하이로 전이되고, 플립-플롭 (520a) 이 트리거되며, 업 신호가 로직 하이로 전이된다. 시점  $T_{22}$ 에서, 클럭 신호가 로직 하이로 전이되고, 플립-플롭 (520b) 이 트리거되며, 다운 신호가 로직 하이로 전이된다.  $T_{21}$ 보다 약  $T_D$ 만큼 늦은 시점  $T_{23}$ 에서, AND 게이트 (522) 의 입력들에서 지연된 업 신호 및 다운 신호가 둘 다 로직 하이 상태이며, AND 게이트 (522) 는 리셋 신호에 대해 로직 하이를 제공한다. 그리고 나서, 플립-플롭들 (520a 및 520b) 은 둘 다 리셋되며, 업 신호 및 다운 신호가 로직 로우로 전이된다.

[0061] 시점  $T_{24}$ 에서, 클럭 신호가 로직 하이로 전이되고, 플립-플롭 (520b) 이 트리거되며, 다운 신호가 로직 하이로 전이된다. 시점  $T_{25}$ 에서, 레퍼런스 신호는 로직 하이로 전이되고, 플립-플롭 (520a) 이 트리거되며, 업 신호가 로직 하이로 전이된다.  $T_{25}$ 보다 약  $T_D$ 만큼 늦은 시점  $T_{26}$ 에서, AND 게이트 (522) 의 입력들에서 지연된 업 신호 및 다운 신호가 둘 다 로직 하이 상태이며, AND 게이트 (522) 는 리셋 신호에 대해 로직 하이를 제공한다. 그리고 나서, 플립-플롭들 (520a 및 520b) 은 둘 다 리셋되며, 업 신호 및 다운 신호가 로직 로우로 전이된다.

[0062] 도 6에서 도시된 것과 같이, 레퍼런스 신호가 앞서는지 클럭 신호가 앞서는지에 상관없이 오직 업 신호만이 플립-플롭들을 리셋한다. 각 클럭 사이클에서, 보다 앞선 상승 엣지를 가지는 신호가 자신의 플립-플롭을 먼저 세팅하고 업 신호가 양 쪽 플립-플롭들을 리셋한다.

[0063] 또한, 도 6은 도 5a의 차지 펌프 (130b) 의 동작을 도시한다. 업 신호가 다운 신호보다 앞서는 경우, 예를 들어, 시점  $T_{21}$ 에서 시점  $T_{23}$ 까지, 차지 펌프 (130b) 로부터의 출력 차지는 다음과 같이 표현될 수도 있다.

#### 수학식 4

$$\begin{aligned} Q(dt) &= I * dt + \Delta I * dt + \Delta I * (T_D - dt) \\ &= I * dt + \Delta I * T_D \end{aligned}$$

[0064]

[0065] 다운 신호가 업 신호보다 앞서는 경우, 예를 들어, 시점  $T_{24}$ 에서 시점  $T_{26}$ 까지, 차지 펌프 (130b) 로부터의 출력 차지는 다음과 같이 표현될 수도 있다.

#### 수학식 5

[0066]

$$Q(-dt) = -I * dt + \Delta I * T_D$$

[0067]

수학식 2 및 수학식 3에서, "I\*dt" 항과 "-I\*dt" 항은 필요한 성분에 대응하며, " $\Delta I * T_D$ " 항은 DC 오프셋에 대응한다. 전류원들 (530a 및 530b) 내의 업/다운 전류 부정합은 차지 펌프 (130b) 의 출력에서 나타나지 않는다. 비선형 성분은 업 신호의 상승 엣지 이후에 고정된 지연  $T_D$ 를 도입함으로써 상쇄된다. 비선형 성분의 상쇄로 (a) 위상 오차  $d\theta$ 에 대한 출력 차지 Q의 전달함수는 도 4a에서 도시한 이상적인 전달 함수에 근접하게 되고, (b) 차지 펌프 이득은 도 4b에서 도시한 이상적인 이득 함수에 근접하게 된다.

[0068]

고정된 지연  $T_D$ 는 다음과 같이 선택될 수도 있으며,

## 수학식 6

$$T_D > T_{ON} + dt_{MAX}$$

[0069]

이때,  $T_{ON}$ 은 차지 펌프의 데드 존을 수용하기 위해 사용되는 온 (on) 시간이며,  $dt_{MAX}$ 는 PLL이 동기화되는 경우 레퍼런스 신호와 클럭 신호의 상승 엣지 간의 예상 최대 시간차이다.

[0071]

위상 주파수 검출기 및 차지 펌프에 의한 선형 동작은 대체로 PLL이 동기화되는 경우에만 필요하다. 위상 잡음, 불요 신호 (spurious signal) 레벨 및 기타 사양들은 보통 동기화된 PLL에 적용이 가능하다. PLL이 동기화되는 경우, 위상 주파수 검출기 입력에서 레퍼런스 신호와 클럭 신호 간에 일정 범위의 시간/위상 차이가 존재한다. 이러한 일정 범위의 시간/위상 차이는, 예를 들어, 디바이더 (160)에 사용되는 인수  $N$  및  $N+1$ , (델타-시그마 변조기의 토플로지 (topology) 또는 디자인에 의해서 좌우될 수도 있는) 델타-시그마 변조기 (170)로부터의 디바이더 컨트롤 등과 같은 다양한 요인에 의해서 달라질 수도 있다. 이 일정 범위의 시간/위상 차이는 컴퓨터 시뮬레이션, 경험적 측정 등을 통해서 결정될 수도 있다. 예를 들어, 특정 PLL 및 델타-시그마 변조기 디자인에 대한 주파수 동기 동안에 다수의 클럭 사이클에 대해서 시간/위상 차이의 히스토그램을 구할 수도 있다. 그리고 나서,  $dt_{MAX}$ 는 히스토그램에 기초하여 선택될 수도 있는데, 예를 들어, 클럭 사이클의 목표 백분율 (예를 들어, 99%)을 포함하는 시간/위상 차이와 동일하게 세팅될 수도 있다.

[0072]

예를 들어, 수학식 6에서 나타낸 것과 같이, 충분히 긴 고정 지연  $T_D$ 를 선택하는 것은 차지 펌프 내부의 전류 원들이 모든 입력 조건에 대해서 완전히 턴 온되는 것을 보장한다. 또한, 이것은 플립-플롭들을 리셋하도록 설정된 신호 (예를 들어, 도 5a의 업 신호) 가 PLL이 동기화되는 경우  $T_D$ 만큼의 지연 이후에 플립-플롭들을 실제로 리셋하는 것을 보장한다. 또한, 고정된 지연은 프로그램 가능한 값이 될 수도 있다.

[0073]

PLL이 동기화되지 않는 경우, 시간/위상 차이  $dt$ 는  $dt_{MAX}$ 보다 클 수도 있다. 업 신호가 다운 신호보다 앞서는 경우,  $T_{ON}$  시간이 지난 후에 다운 신호의 상승 엣지에 의해서 플립-플롭들이 리셋된다. 다운 신호가 업 신호보다 앞서는 경우,  $T_D$  시간이 지난 후에 업 신호의 상승 엣지에 의해서 플립-플롭들이 리셋된다. 위상 주파수 검출기 및 차지 펌프는 PLL이 동기화되지 않는 경우에도 여전히 정상적으로 작동하지만 선형화되지는 않는데, 이는 보통 허용 가능한 거동이다.

[0074]

일반적으로, PLL은 레퍼런스 신호 및 클럭 신호를 수신하고, 레퍼런스 신호 및 클럭 신호에 기초하여 제 1 신호 및 제 2 신호를 발생시키며, 제 1 신호에만 기초하여 제 1 신호 및 제 2 신호를 리셋하는 위상 주파수 검출기를 포함할 수도 있다. 예를 들어, 도 5a에 도시한 바와 같이, 제 1 신호 및 제 2 신호는 각각 업 신호 및 다운 신호에 대응할 수도 있으며, 각각 레퍼런스 신호 및 클럭 신호에 기초하여 발생할 수도 있다. 다른 방법으로는, 예를 들어, 도 5b에 도시한 바와 같이, 제 1 신호 및 제 2 신호는 각각 다운 신호 및 업 신호에 대응할 수도 있으며, 각각 클럭 신호 및 레퍼런스 신호에 기초하여 발생할 수도 있다. 위상 주파수 검출기는 제 1 신호를 미리 정해진 양만큼 지연시킬 수도 있고, 지연된 제 1 신호 및 제 2 신호에 기초하여 리셋 신호를 발생시킬 수도 있으며, 리셋 신호에 기초하여 제 1 신호 및 제 2 신호를 리셋할 수도 있다. 미리 정해진 양의 지연은, 예를 들어, 수학식 6에 나타낸 것과 같이 선택될 수도 있으며, 프로그램 가능할 수도 있다.

[0075]

차지 펌프는 제 1 신호 및 제 2 신호를 수신하여 레퍼런스 신호와 클럭 신호 간의 위상 오차를 지시하는 출력 신호를 발생시킨다. 차지 펌프는 제 1 신호에 기초하여 출력 신호에 제 1 전류를 제공할 수도 있으며, 제 2 신호에 기초하여 출력 신호에 제 2 전류를 제공할 수도 있고, 제 1 전류 및 제 2 전류는 상반된 극성을 갖는다. 위상 주파수 검출기 및 차지 펌프는 도 5a 또는 도 5b에 도시된 것과 같이 구현될 수도 있으며, 또는 기타 임의의 디자인으로 구현될 수도 있다.

[0076]

도 7은 PLL을 작동하는 프로세스 (700)를 도시한다. 제 1 신호 및 제 2 신호는 레퍼런스 신호 및 클럭 신호에 기초하여 발생한다 (블록 712). 제 1 신호 및 제 2 신호는 제 1 신호에만 기초하여 리셋된다 (블록 714). 레퍼런스 신호와 클럭 신호 간의 위상 오차를 지시하는 출력 신호는 제 1 신호 및 제 2 신호에 기초하여 발생한다 (블록 716). 출력 신호는 VCO에 대해 컨트롤 신호를 발생시키기 위해 루프 필터로 필

터링될 수도 있다 (블록 718). VCO로부터의 오실레이터 신호는 클럭 신호를 발생시키기 위해 다수의 정수 인수들 (예를 들어, N 및 N+1)로 분할될 수도 있다 (블록 720). 디바이더 컨트롤은 정수가 아닌 디바이더 비율을 달성하기 위해 다수의 정수 인수들을 선택하도록 (시그마-델타 변조기에 의한 잡음 성형 (noise shaping)을 사용하여) 발생할 수도 있다 (블록 722).

[0077] 본 출원에 기재된 선형 위상 주파수 검출기 및 차지 펌프는, 상기한 바와 같이, 다양한 종류의 PLL에 사용될 수도 있으며, 특히 시그마-델타 분수-N PLL에 있어서 유익하다. 시그마-델타 분수-N PLL은 양자화 잡음을 고주파수로 밀어내기 위해 시그마-델타 변조기에 의한 잡음 성형을 사용하는데, 이는 루프 필터 (140)에 의해서 보다 쉽게 필터링될 수도 있다. 차지 펌프의 비선형성은 고주파수 잡음이 저주파수로 중첩되는 것을 야기할 수도 있으며, 성능의 저하를 가져올 수도 있다. 상기한 것과 같이 차지 펌프를 선형화하는 것은 잡음 중첩 효과를 감소시킨다. 또한, 차지 펌프를 선형화하는 것은 비선형 믹싱 및 인터-모듈레이션 (inter-modulation)으로부터 발생하는 부분적인 스파 (fractional spur) 또는 외부적인 톤 (extraneous tone)을 감소시킬 수도 있다.

[0078] 본 출원에 기재된 선형 위상 주파수 검출기 및 차지 펌프는 다양한 이점을 제공할 수도 있다. 트랜지스터 디바이스들의 부정합과 차지 펌프 내의 전류원들의 유한한 출력 임피던스가 존재하여도 선형 동작이 달성될 수도 있다. 그 결과, 전류원에 대한 전류 정합 요건들이 완화될 수도 있고, 차지 펌프에 대한 전압 커플라이언스 (compliance) 요건들이 개선될 수도 있으며, 차지 펌프에 대해서 사용되는 트랜지스터의 크기가 더 작아질 수도 있다. 또한, 클로즈-인 (close-in) 위상 잡음이 개선될 수도 있으며, 부분적인 불요 신호 레벨이 낮아질 수도 있으며, 전체적인 PLL의 성능이 향상될 수도 있다. 트랜지스터 디바이스 부정합은 이제 오직 레퍼런스 스파만을 야기하며, 이는 적정한 디자인의 분수-N PLL에서 잡음 레벨 이하로 억제될 수도 있다.

[0079] 본 출원에 기재된 선형 위상 주파수 검출기 및 차지 펌프는 다양한 전자 회로에 사용될 수도 있다. 무선 통신 디바이스에 대한 선형 위상 주파수 검출기 및 차지 펌프의 사용에 대해서 아래에 기술한다.

[0080] 도 8은 무선 통신 시스템에서 무선 디바이스 (800)의 일 디자인에 대한 블록도를 도시한다. 무선 디바이스 (800)는 휴대폰, 단말기, PDA (personal digital assistant), 핸드셋, 또는 기타 임의의 디바이스일 수도 있다. 무선 통신 시스템은 코드 분할 다중 접속 (CDMA) 시스템, 시분할 다중 접속 (TDMA) 시스템, 주파수 분할 다중 접속 (FDMA) 시스템, 이동 통신 세계화 (GSM) 시스템, 직교 주파수 분할 다중 접속 (OFDMA) 시스템, 무선 근거리 통신망 (WLAN) 등일 수도 있다.

[0081] 무선 디바이스 (800)는 양방향 통신을 지원하는 디지털 프로세서 (810) 및 송수신기 (830)를 포함한다. 디지털 프로세서 (810)는 하나 이상의 주문형 반도체 (ASIC) 등으로 구현될 수도 있다. 송수신기 (830)는 하나 이상의 무선 주파수 접속 회로 (RFIC) 등으로 구현될 수도 있다.

[0082] 데이터 전송을 위해, 인코더 (812)는 전송될 데이터를 처리 (예를 들어, 포맷, 인코딩 및 인터리브) 하며, 또한, 변조기 (814)는 데이터 칩을 생성하기 위해 코딩된 데이터를 처리 (예를 들어, 변조 및 스크램블) 한다. 송수신기 (830) 내부에서, 송신 (TX) 기저대역 (baseband) 장치 (832)는 디지털-아날로그 변환, 필터링, 증폭 등과 같은 기저대역 프로세스를 수행한다. 믹서 (834)는 기저대역 신호를 무선 주파수 (RF)로 상향 변환한다. TX RF 장치 (836)는 필터링 및 파워 증폭과 같은 신호 컨디셔닝 (conditioning)을 수행하고, 안테나 (840)를 통해 송신되는 RF 변조 신호를 발생시킨다.

[0083] 데이터 수신을 위해서, 수신 (RX) RF 장치 (842)는 안테나 (840)로부터 입력 RF 신호를 수신하고, 저잡음 증폭 및 필터링과 같은 신호 컨디셔닝을 수행한다. 믹서 (844)는 컨디셔닝된 RF 신호를 RF로부터 기저대역으로 하향 변환한다. RX 기저대역 장치 (846)는 필터링, 증폭, 아날로그-디지털 변환 등과 같은 기저대역 프로세스를 수행한다. 복조기 (Demod) (816)는 RX 기저대역 장치 (846)로부터의 입력 샘플들을 처리 (디스크램블 및 복조) 하여 심벌 추정 (symbol estimate)을 제공한다. 디코더 (818)는 심벌 추정을 처리 (디인터리브 및 디코딩) 하여, 디코딩된 데이터를 제공한다. 일반적으로, 데이터 프로세서 (810) 및 송수신기 (830)에 의한 프로세스는 무선 시스템의 디자인에 따라 달라진다.

[0084] 프로세서 (820)는 비디오, 오디오, 그래픽 및 기타 등등의 다양한 애플리케이션들을 지원할 수도 있다. 컨트롤러/프로세서 (860)는 무선 디바이스 (800) 내부의 다양한 처리 장치들의 동작을 지시한다. 메모리 (862)는 무선 디바이스 (800)를 위한 프로그램 코드 및 데이터를 저장한다.

[0085] VCO/PLL (822)은 디지털 프로세서 (810) 내부의 처리 장치들에 대해 클럭 신호를 발생시킨다. VCO/PLL

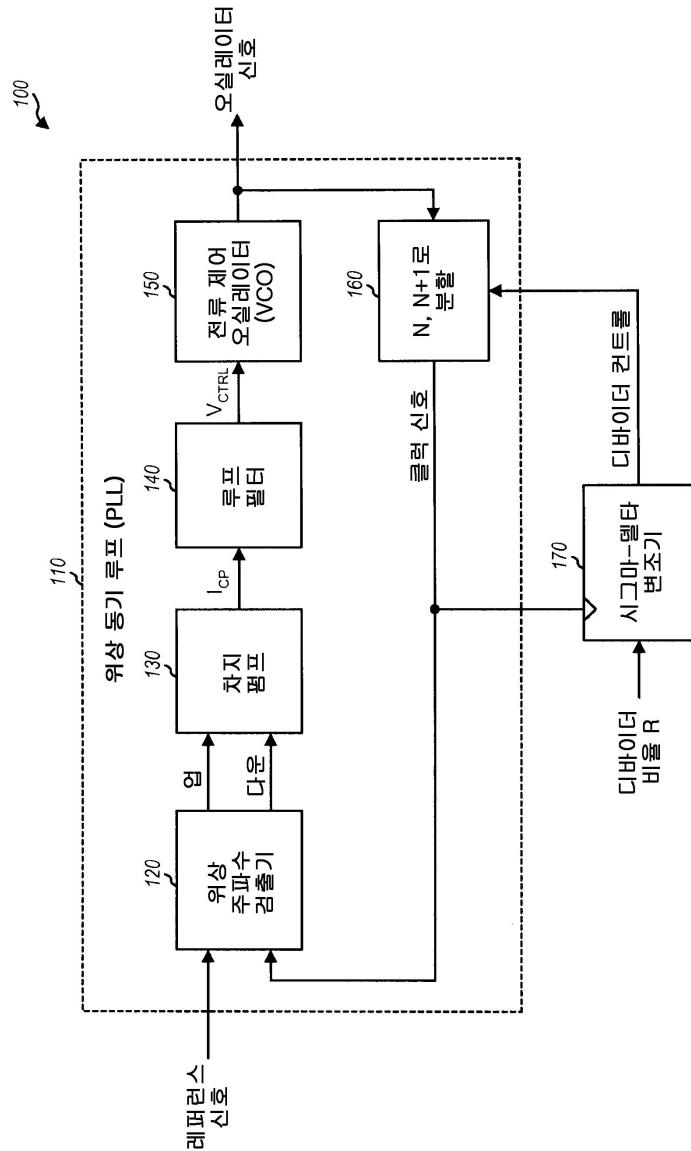
(850) 은 주파수 상향 변환을 위해 믹서 (834)에 의해서 사용되는 송신 LO 신호를 발생시키고, 주파수 하향 변환을 위해 믹서 (844)에 의해서 사용되는 수신 LO 신호를 발생시킨다. VCO/PLL (822) 및 VCO/PLL (850)은 각각 성능 향상을 위해 선형 위상 주파수 검출기 및 차지 펌프를 사용한다. 레퍼런스 오실레이터 (864)는 VCO/PLL (822) 및/또는 VCO/PLL (850)에 대해 레퍼런스 신호를 발생시킨다. 레퍼런스 오실레이터 (864)는 크리스탈 오실레이터 (XO), 전압 제어 XO (VCXO), 온도 보상 XO (TCXO), 또는 기타 임의의 종류의 오실레이터가 될 수도 있다.

[0086] 본 출원에 기재된 위상 주파수 검출기, 차지 펌프 및 PLL은 아날로그 IC, RFIC, ASIC, 디지털 신호 프로세서 (DSP), 디지털 신호 처리 다바이스 (DSPD), 프로그램 가능 로직 디바이스 (PLD), 현장 프로그램 가능 게이트 배열 (FPGA), 프로세서, 컨트롤러, 마이크로-컨트롤러, 마이크로프로세서 및 기타 전자 장치들 내에서 구현될 수도 있다. 위상 주파수 검출기, 차지 펌프 및 PLL은 N-MOS, P-MOS, CMOS, BJT, GaAs 및 기타 등등과 같은 다양한 IC 프로세스 기술로 제조될 수도 있다. 또한, 위상 주파수 검출기, 차지 펌프 및 PLL은 개별 컴포넌트들로 구현될 수도 있다.

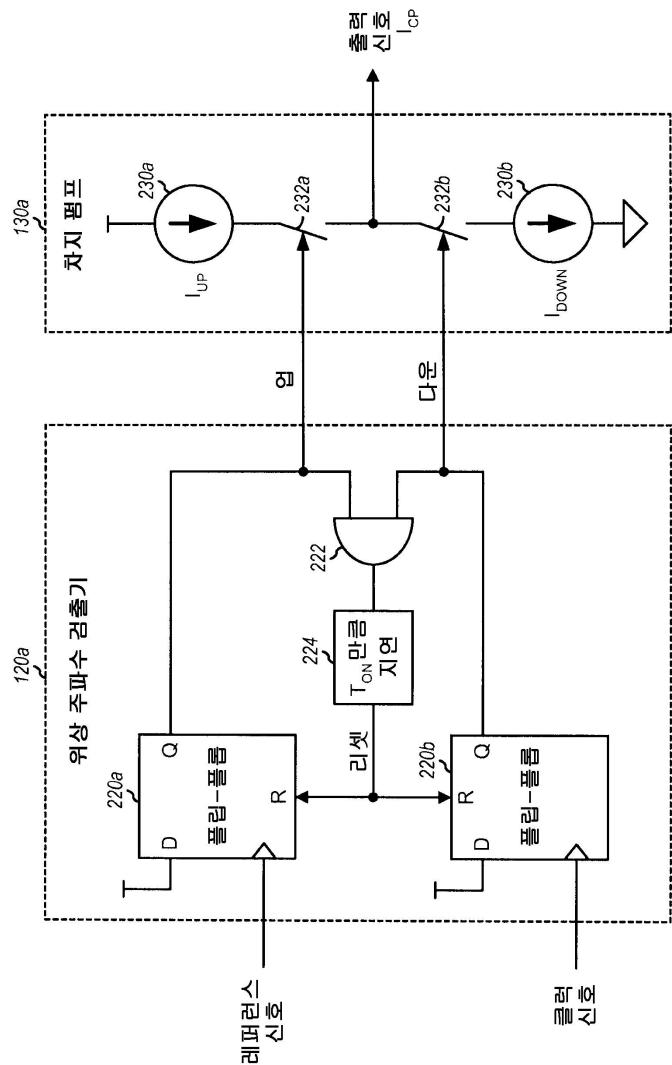
[0087] 앞서 설명한 본 개시내용은 당해 기술 분야에 통상의 지식을 가진 이라면 누구나 본 개시내용을 실시하거나 사용할 수 있도록 제공된다. 본 개시내용에 대한 다양한 변형은 당해 기술 분야에 통상의 지식을 가진 이에게 별다른 어려움 없이 명백할 것이며, 본 출원에 정의된 일반적인 원리들은 본 개시내용의 요지나 범위를 일탈하지 않고도 기타 변형예들에 적용될 수도 있다. 따라서, 본 개시내용은 여기에 기재된 실시예들에 한정되도록 의도되는 것이 아니라, 본 출원에 개시된 원리들 및 신규성 있는 특징들과 일치하는 가장 넓은 범위에서 인정되어야 한다.

도면

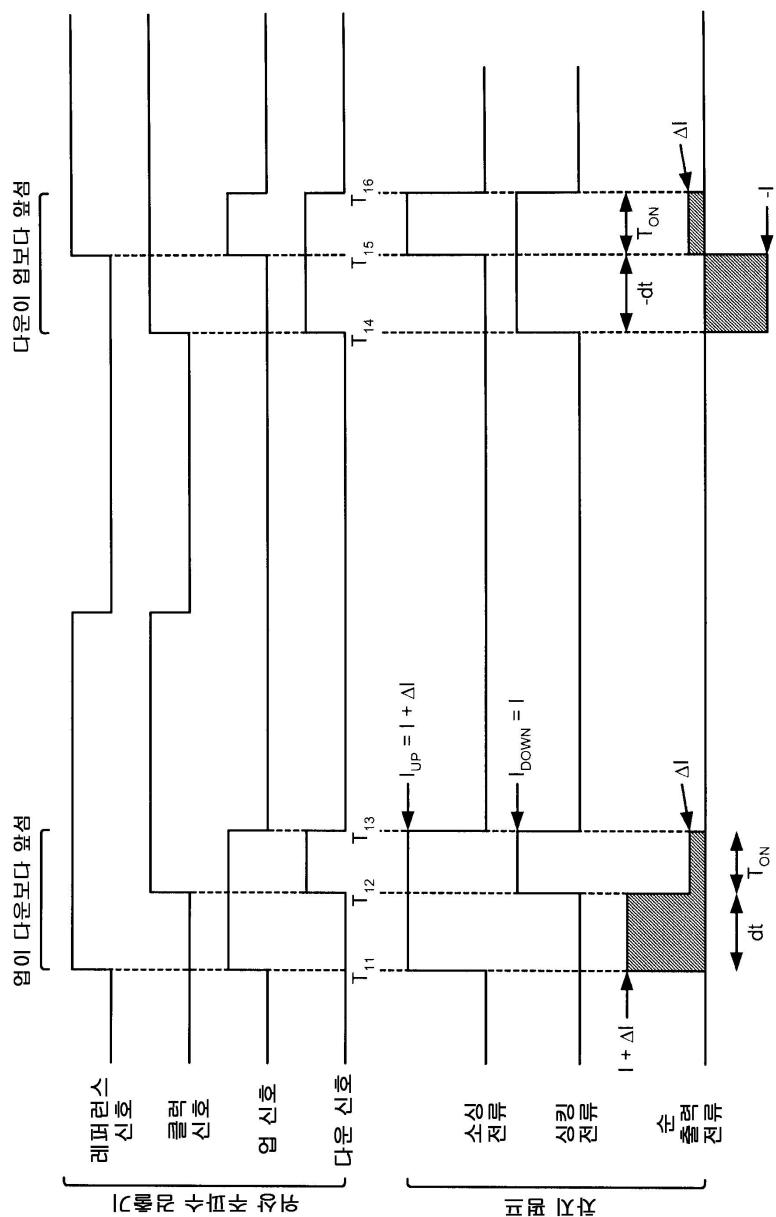
도면1



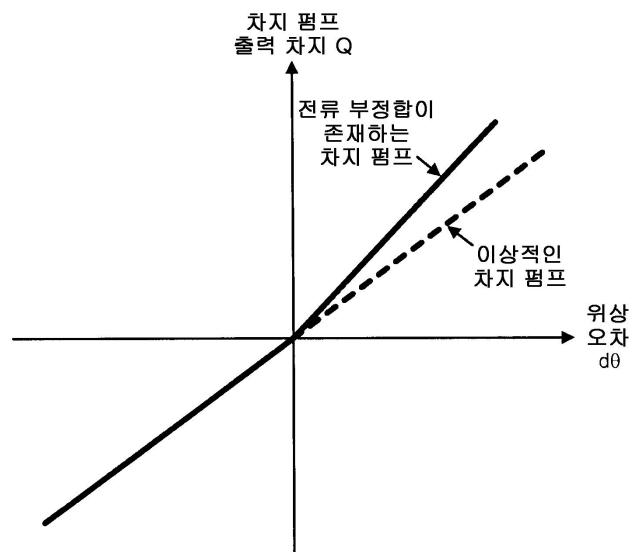
## 도면2



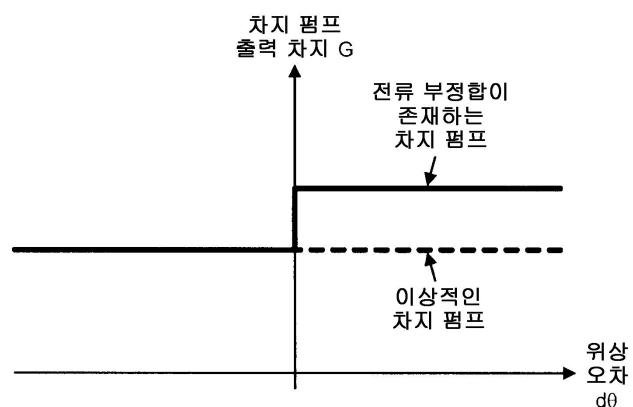
도면3



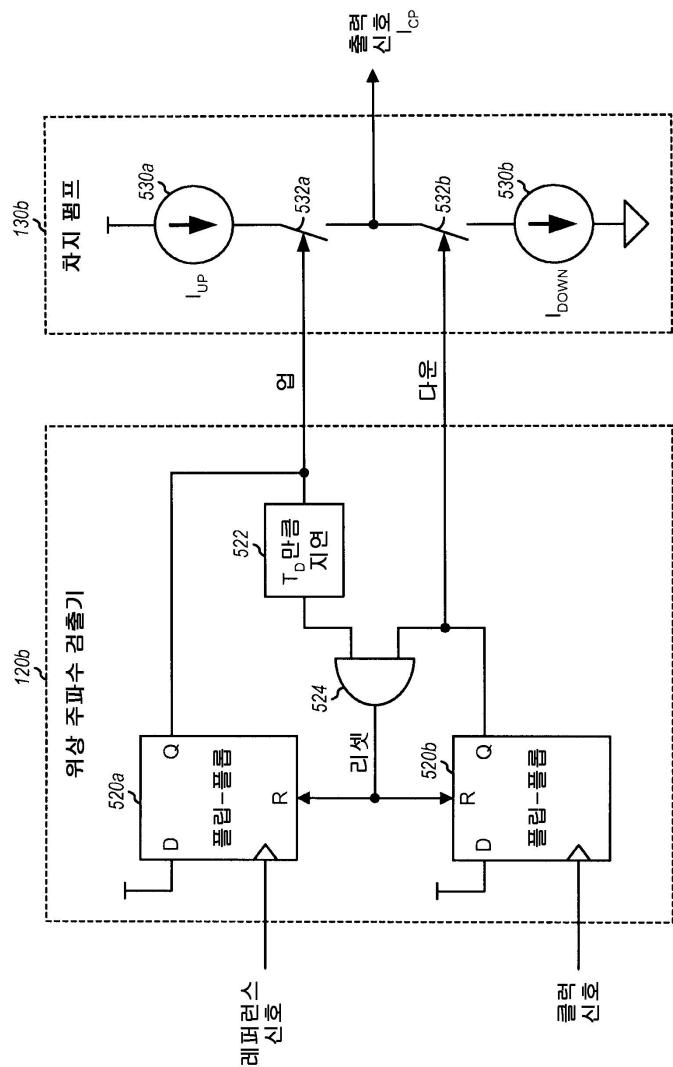
도면4a



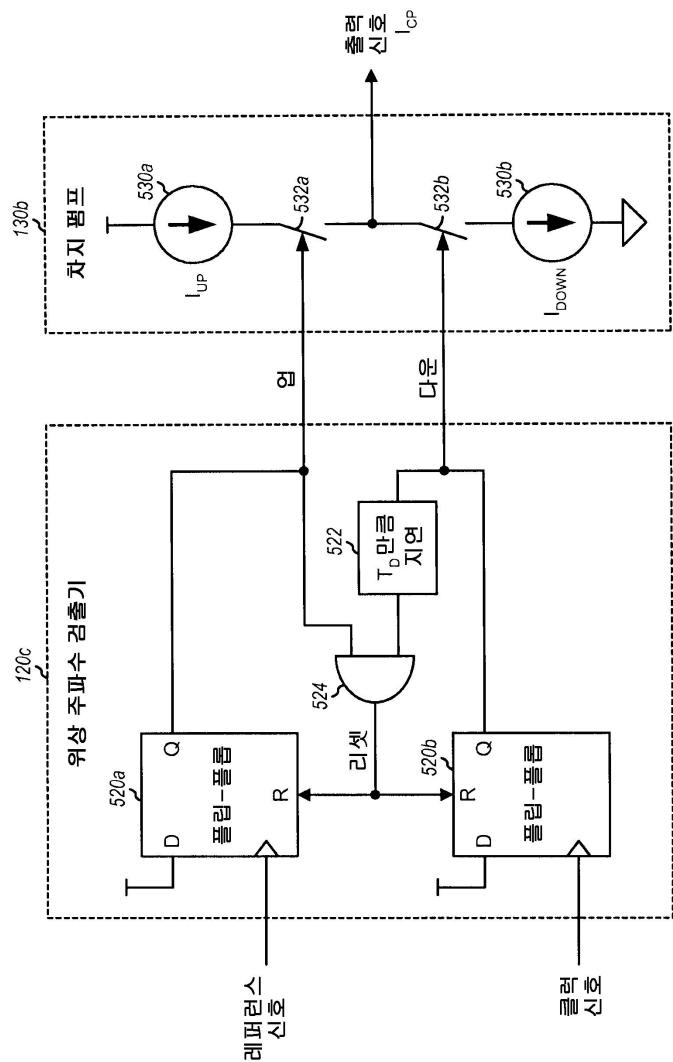
도면4b



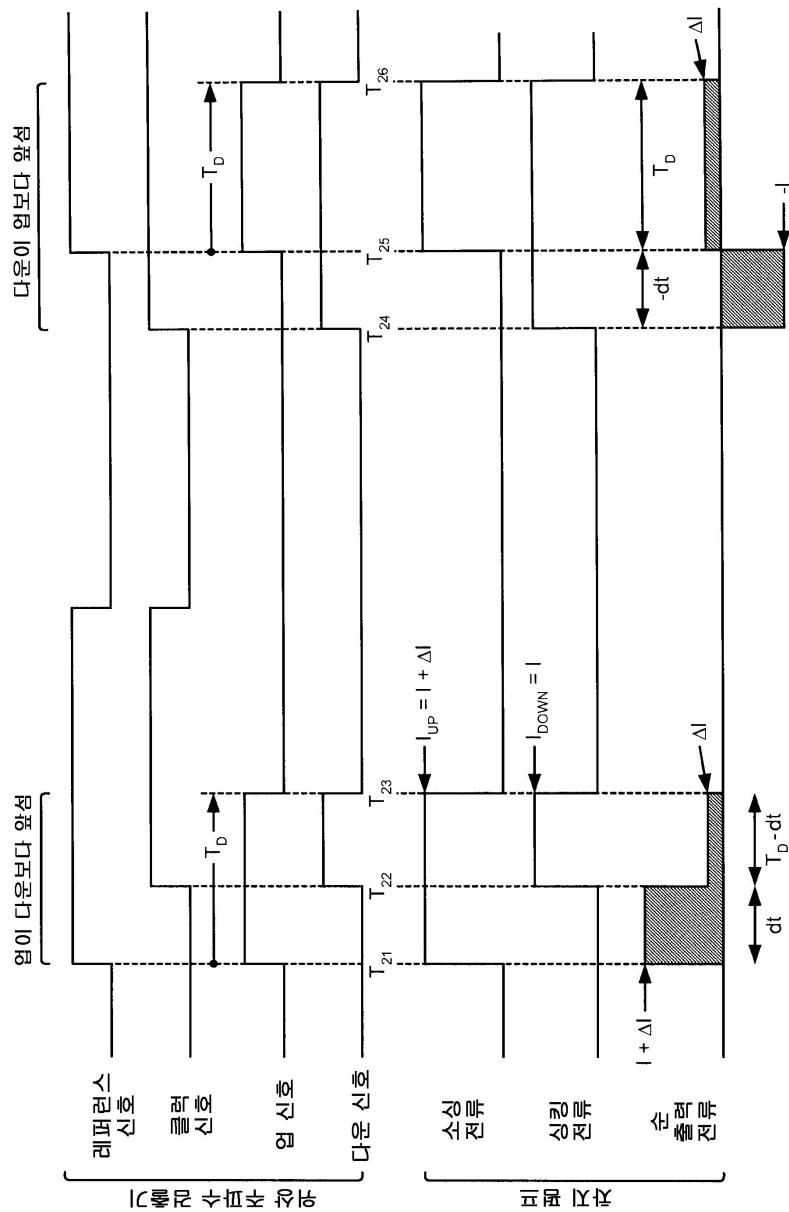
도면5a



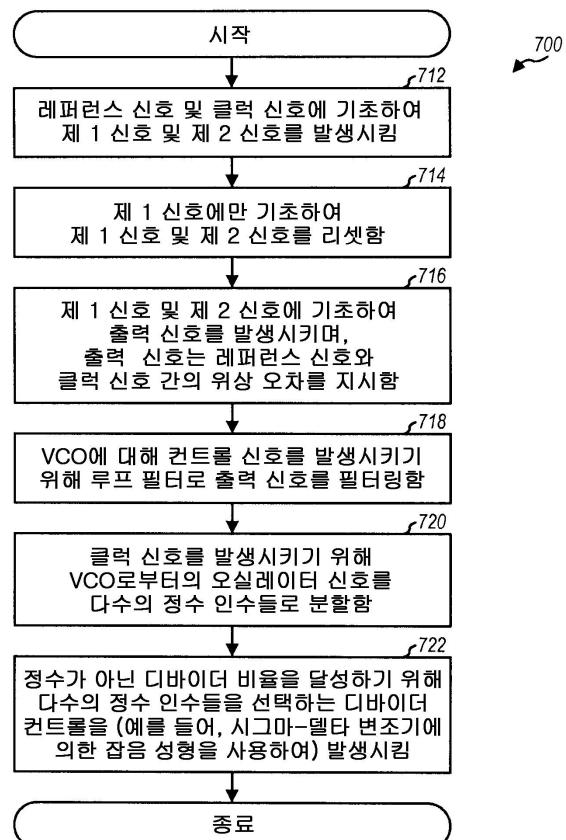
도면5b



도면6



## 도면7



도면8

