201929201

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201929201 A

(43)公開日： 中華民國 108 (2019) 年 07 月 16 日

(21)申請案號：107135907 (22)申請日： 中華民國 98 (2009) 年 10 月 16 日

(51)Int. Cl.： *H01L27/12 (2006.01)* *H01L29/24 (2006.01)*
H01L29/45 (2006.01) *H01L29/66 (2006.01)*
H01L29/786 (2006.01) *G09G3/20 (2006.01)*

(30)優先權：2008/10/24 日本 2008-274564

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：伊藤俊一 ITO,SHUNICHI (JP) ；佐佐木俊成 SASAKI,TOSHINARI (JP) ；細羽美雪 HOSOBA,MIYUKI (JP) ；坂田淳一郎 SAKATA,JUNICHIRO (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：8 項 圖式數：18 共 57 頁

(54)名稱

氧化物半導體、薄膜電晶體、和顯示裝置

OXIDE SEMICONDUCTOR, THIN FILM TRANSISTOR, AND DISPLAY DEVICE

(57)摘要

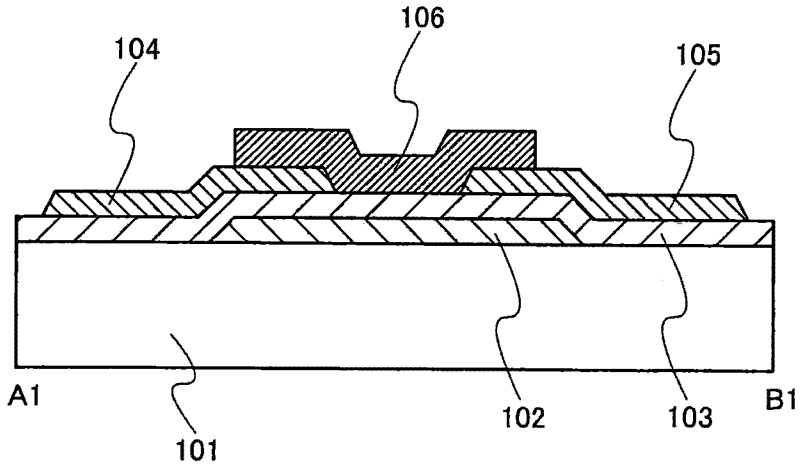
本發明提供一種氧化物半導體、使用該氧化物半導體的薄膜電晶體、和使用該薄膜電晶體的顯示裝置，其一個目的是控制氧化物半導體的組成和缺陷，另一個目的是提高薄膜電晶體的場效應遷移率，並通過減小截止電流來獲得充分的通斷比。所採用的技術方案是採用其組成用 $InMO_3(ZnO)_m$ 表示的氧化物半導體，其中 M 為選自 Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素，且 m 較佳的為大於 0 且小於 1 的非整數。Zn 的濃度低於 In 和 M 的濃度。氧化物半導體具有非晶結構。可以配置氧化物層和氮化物層以防止氧化物半導體的污染和劣化。

An object is to control composition and a defect of an oxide semiconductor, another object is to increase a field effect mobility of a thin film transistor and to obtain a sufficient on-off ratio with a reduced off current. A solution is to employ an oxide semiconductor whose composition is represented by $InMO_3(ZnO)_m$, where M is one or a plurality of elements selected from Ga, Fe, Ni, Mn, Co, and Al, and m is preferably a non-integer number of greater than 0 and less than 1. The concentration of Zn is lower than the concentrations of In and M. The oxide semiconductor has an amorphous structure. Oxide and nitride layers can be provided to prevent pollution and degradation of the oxide semiconductor.

指定代表圖：

TW 201929201 A

圖1B



符號簡單說明：

101・・・基板

102・・・閘極電極

103・・・閘極絕緣層

104・・・源極電極

105・・・汲極電極

106・・・氧化物半導體層

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

氧化物半導體、薄膜電晶體、和顯示裝置

OXIDE SEMICONDUCTOR, THIN FILM TRANSISTOR, AND DISPLAY DEVICE

【技術領域】

本發明係關於氧化物半導體、使用該氧化物半導體的薄膜電晶體、和使用該薄膜電晶體的顯示裝置。

【先前技術】

薄膜電晶體最常用的材料是氫化非晶矽（a-Si:H）。氫化非晶矽可以在 300℃或更低的溫度下在基板之上被沈積為薄膜。然而，a-Si:H 的缺點是它的遷移率（在薄膜電晶體情況下為場效應遷移率）只有約 1 $cm^2/V \cdot sec$。

已知一種透明薄膜場效應電晶體，其中，作為能夠像 a-Si:H 那樣形成薄膜的氧化物半導體材料，同系化合物 $InMO_3(ZnO)_m$（M 為 In、Fe、Ga、或 Al，且 m 為大於或等於 1 且小於 50 的整數）被用作主動層（見專利文獻 1）。

另外，已知一種薄膜電晶體，其中，電子載流子濃度小於 $10^{18}/cm^3$ 的非晶氧化物被用於通道層，並且其為包含 In、Ga、和 Zn 的氧化物，其中 In 原子對 Ga 和 Zn 原子的

比例為 1：1：m（m<6）（見專利文獻 2）。

[專利文獻 1]

日本特開第 2004-103957 號

[專利文獻 2]

PCT 國際公開第 WO2005/088726 號

【發明內容】

然而，迄今為止，用傳統的使用氧化物半導體的薄膜電晶體只得到了約 10^3 的通斷比（on-off ratio）。換句話說，即使獲得了具有預定的導通電流的薄膜電晶體，也不能被考慮作為常斷型（normally-off type），因為截止電流太大。因此，薄膜電晶體還沒有達到實際應用的水準。這樣的約 10^3 的通斷比處於使用傳統的使用非晶矽的薄膜電晶體能夠容易地達到的水準。

本發明的目的是提高使用金屬氧化物的薄膜電晶體的場效應遷移率，並通過減小截止電流來得到充分的通斷比。

根據用作示例的實施例，氧化物半導體包含 In、Ga、和 Zn 作為成分，並且具有其中 Zn 的濃度低於 In 和 Ga 的濃度的組成。氧化物半導體較佳的具有非晶結構。

根據用作示例的實施例，氧化物半導體由 $InMO_3(ZnO)_m$（M 為選自 Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素，且 m 為大於 0 且小於 1 的非整數）表示，並具有其中 Zn 的濃度低於 In 和 M（M 為選自

Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素）的濃度的組成。氧化物半導體較佳的具有非晶結構。

此處，m 較佳的為大於 0 且小於 1 的非整數。

根據用作示例的實施例，在薄膜電晶體中，根據上述實施例的任意的氧化物半導體的層被用作通道形成區。氧化物絕緣層較佳的被配置成與氧化物半導體層相接觸。更佳的是，氧化物絕緣層被配置於氧化物半導體層的上方和下方。氮化物絕緣層較佳的被配置於氧化物半導體層的外部。

根據用作示例的實施例，在顯示裝置中，對於至少一個像素，配置根據上述實施例的任意的薄膜電晶體。

根據用作示例的實施例，在顯示裝置中，對於至少一個像素和用於控制要傳輸到配置於像素中的薄膜電晶體的信號的驅動電路，配置根據任意的上述實施例的薄膜電晶體。

關於被包含作為氧化物半導體的成分的 In、Ga、和 Zn，Zn 的濃度被設定為低於 In 和 Ga 的濃度，由此可以降低載流子濃度，並且，氧化物半導體可以具有非晶結構。

此類氧化物半導體層被用作通道形成區，由此可以降低薄膜電晶體的截止電流並且可以提高其通斷比。

【圖式簡單說明】

圖 1A 為具有氧化物半導體層的 TFT 的結構的俯視

圖，圖 1B 為上述結構的截面圖。

圖 2A 為具有氧化物半導體層的 TFT 的結構的俯視圖，圖 2B 為上述結構的截面圖。

圖 3A 為具有氧化物半導體層的 TFT 的結構的俯視圖，圖 3B 為上述結構的截面圖。

圖 4A 和 4B 為具有氧化物半導體層的 TFT 的結構的截面圖。

圖 5 為包括具有氧化物半導體層的 TFT 的顯示裝置的一種模式的方塊圖。

圖 6 為包括具有氧化物半導體層的 TFT 的選擇器電路的結構的電路圖。

圖 7 為選擇器電路的工作示例的時序圖。

圖 8 為包括具有氧化物半導體層的 TFT 的移位暫存器的方塊圖。

圖 9 為包括具有氧化物半導體層的 TFT 的觸發器電路的電路圖。

圖 10 為包括具有氧化物半導體層的 TFT 和發光元件的像素的等效電路圖。

圖 11 為包括具有氧化物半導體層的 TFT 的發光裝置的像素結構的俯視圖。

圖 12A 和 12B 為包括具有氧化物半導體層的 TFT 的發光裝置的像素結構的截面圖。

圖 13A 到 13C 為包括具有氧化物半導體層的 TFT 的發光裝置的輸入端子部分的方塊圖。

圖 14 為包括具有氧化物半導體層的 TFT 的對比介質顯示裝置（電子紙）的結構的截面圖。

圖 15 為包括具有氧化物半導體層的 TFT 的液晶顯示裝置的像素結構的俯視圖。

圖 16 為包括具有氧化物半導體層的 TFT 的液晶顯示裝置的像素結構的截面圖。

圖 17 為氧化物半導體層（在沈積之後、在 350℃下的熱處理之後、和在 500℃下的熱處理之後）的 X 光衍射圖案。

圖 18 為薄膜電晶體的閘極電壓（Vg）－汲極電流（Id）特性。

【實施方式】

下文中，結合附圖說明本發明的實施例。注意，本領域技術人員容易理解的是，本發明可以以很多不同方式實施，且在不偏離本發明的精神和範圍的前提下可以以各種方式對此處所公開的方式和細節進行修改。因此，本發明不應被理解成受到實施例的下列說明的限制。

（氧化物半導體材料）

本實施方式的氧化物半導體材料作為成分包含 In、Ga、和 Zn，並且具有其中 Zn 的濃度低於 In 和 Ga 的濃度的組成。例如，本實施方式的氧化物半導體材料是由 $InMO_3(ZnO)_m$ 表示的氧化物半導體材料，並且具有其中

Zn 的濃度低於 In 和 M（M 為選自 Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素）的濃度的組成。另外，在所述氧化物半導體中，在有些情況下，除了金屬元素 M 以外，作為雜質元素還包含諸如 Fe 或 Ni 的過渡金屬元素或者過渡金屬的氧化物。

在上述由 $InMO_3(ZnO)_m$（M 為選自 Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素，且 m 為大於 0 且小於 1 的非整數）表示的氧化物半導體中，m 表示大於 0 且小於 1 的非整數。已知由 $InGaO_3(ZnO)_m$ 表示在晶態下的組成的氧化物半導體，其中 m 為大於或等於 1 且小於 50 的整數。然而，從製造過程中的控制方面考慮，較佳的其中 m 為非整數 的 $InMO_3(ZnO)_m$ 的組成，在此情況下易於進行控制。另外，m 較佳的為非整數，使得氧化物半導體材料的非晶結構維持穩定。

此處，m 較佳的為大於 0 且小於 1 的非整數。

在由 $InMO_3(ZnO)_m$（M 為選自 Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素，且 m 為大於 0 且小於 1 的非整數）表示的氧化物半導體中，下列組成是較佳的：當 In、M、Zn、和 O 的濃度的總和被定義為 100%時，含 In 的濃度小於 20 原子%，含 M（例如 Ga）的濃度小於 20 原子%，而含 Zn 的濃度小於 10 原子%。包含 In、作為 M 的 Ga、以及 Zn 的氧化物半導體材料的更佳的組成如下：所含的 In 和 Ga 中的每個的濃度都大於或等於 15.0 原子%且小於或等於 20.0 原子%，且所含的 Zn 的濃度大於或等

於 5.0 原子%且小於或等於 10.0 原子%。

氧化物半導體具有非晶結構，並且即使通過在氮氣氛下在 500℃下的熱處理也不被晶化。當熱處理溫度增加到 700℃時，在有的情況下在非晶結構中產生了奈米晶體。在這兩種情況下，氧化物半導體都是非單晶半導體。

使 Zn 的濃度低於 In 和 Ga 的濃度使得氧化物半導體具有非晶結構。在氧化物半導體中，Zn 的濃度較佳的小於或等於 In 和 Ga 的每個的濃度的一半。在氧化物半導體中 Zn 或 ZnO 的比例高的情況中，由濺射法形成的薄膜是晶化膜。另外，在氧化物半導體中 Zn 或 ZnO 的比例高的情況中，即使氧化物半導體的初始態為非晶的，它也易於通過幾百攝氏度下的熱處理被晶化。另一方面，當使 Zn 的濃度低於 In 和 Ga 的濃度時，可以擴大用於在氧化物半導體中得到非晶結構的組成的範圍。

（用於形成氧化物半導體膜的方法）

氧化物半導體膜較佳的藉由物理氣相沈積（PVD）法形成。雖然濺射法、電阻加熱蒸鍍法、電子束蒸鍍法、或離子束沈積法等方法可以如 PVD 法一樣被用於形成氧化物半導體膜，但是較佳的使用濺射法從而易於在大基板上方沈積氧化物半導體膜。

作為較佳的沈積法，可以採用反應濺射法，其中由 In、M（M 為選自 Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素）、和 Zn 等製成的金屬靶材被使用並且與氧

氣反應以將氧化物半導體膜沈積於基板上方。作為另一種沈積法，可以採用濺射法，其中使用藉由燒結 In、M（M 為選自 Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素）和 Zn 的氧化物製成的靶材。此外，作為又一種沈積法，可以採用反應濺射法，其中使用藉由燒結 In、M（M 為選自 Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素）和 Zn 的氧化物製成的靶材並使靶材發生反應以將氧化物半導體膜沈積於基板上方。

作為濺射法中所用的靶材的示例，可以使用 In_2O_3、Ga_2O_3、和 ZnO 的燒結體。此類靶材的元素比例較佳的被設定如下：In_2O_3、Ga_2O_3、和 ZnO 的比例被設定為相同值，或者 ZnO 的比例小於 In_2O_3 和 Ga_2O_3 的比例。雖然沈積於基板上方的氧化物半導體膜的組成是根據靶材材料對濺射氣體的濺射速率而改變的，但是至少使用上述靶材的組成能夠得到作為成分包含 In、Ga、和 Zn，且 Zn 的濃度低於 In 和 Ga 的濃度的氧化物半導體膜。

濺射按如下方式進行：在上述靶材上施加 DC 電源以在沈積室中產生電漿。較佳的使用脈衝 DC 電源，這樣以減少灰塵並且能使膜厚度分佈均勻化。

關於作為氧化物半導體的成分而被包含的 In、Ga、和 Zn，Zn 的濃度被設定得低於 In 和 Ga 的濃度，由此可以降低載流子濃度，且氧化物半導體可以具有非晶結構。

（薄膜電晶體）

作為用於製造對於通道形成區使用了氧化物半導體膜的薄膜電晶體的基板，可以使用玻璃基板、塑膠基板、或塑膠膜等。作為玻璃基板，可以使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋁矽酸鹽玻璃等玻璃基板。例如，較佳的使用所含的氧化鋇（BaO）的成分比高於氧化硼（B_2O_3）的成分比且具有 730℃或更高的應變點的玻璃基板。氧化物半導體膜可以藉由濺射法在 200℃或更低溫度下形成，並且可以使用由以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚碸（PES）、或聚酰亞胺為代表的塑膠材料、由上述塑膠材料製成的厚度為 200 μm 或更小的塑膠膜製成的基板。

圖 1A 和 1B 為在基板 101 表面上方製造的薄膜電晶體的示例。圖 1A 為薄膜電晶體的俯視圖，而圖 1B 為沿 A1-B1 線截取的截面圖。

圖 1A 和 1B 所示的薄膜電晶體具有底閘極結構，其中閘極電極 102 和閘極絕緣層 103 被順序地形成於基板 101 上方且氧化物半導體層 106 被形成於閘極絕緣層 103 上方。源極電極 104 和汲極電極 105 被配置於閘極絕緣層 103 和氧化物半導體層 106 之間。換句話說，氧化物半導體層 106 被配置成與閘極電極 102 重疊並且與閘極絕緣層 103 的上部的一部分以及源極電極 104 和汲極電極 105 的上部和側部的一部分相接觸。源極電極 104 和汲極電極 105 在氧化物半導體層 106 之前被配置於閘極絕緣層 103 上方的結構其優點在於，可以在底面上形成氧化物半導體

層 106 之前利用電漿處理來清潔底面。

閘極電極 102 較佳的由難熔金屬諸如 Ti、Mo、Cr、Ta、或 W 形成。替代地，閘極電極 102 可以具有在 Al 膜的上方或者在添加了 Si、Ti、Nd、Sc、或 Cu 等的 Al 膜的上方設置以 Mo、Cr、或 Ti 為代表的難熔金屬的層的結構。

閘極絕緣層 103 較佳的由矽的氧化物或氮化物諸如氧化矽、氮化矽、或氧氮化矽形成。具體地，當閘極絕緣層 103 由氧化矽形成時，源極電極和閘極電極之間的以及汲極電極和閘極電極之間的洩漏電流可以為 10^{-10} A 或更低。這些絕緣層可以通過電漿 CVD 法、或濺射法等形成。

例如，作為閘極絕緣層 103，可以藉由使用有機矽烷氣體的 CVD 法形成氧化矽層。作為有機矽烷氣體，可以使用含矽的化合物，諸如四乙氧基矽烷（TEOS）（化學式：$Si(OC_2H_5)_4$）、四甲基矽烷（TMS）（化學式：$Si(CH_3)_4$）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（$SiH(OC_2H_5)_3$）、或者三（二甲基氨基）矽烷（$SiH(N(CH_3)_2)_3$）。

源極電極 104 和汲極電極 105 較佳的使用難熔金屬諸如 Ti、Mo、Cr、Ta、或 W 形成。具體地，較佳的使用對氧具有高親合力（affinity for oxygen）的金屬材料，典型地是 Ti。這是因為這種金屬材料易於產生與氧化物半導體

層 106 的歐姆接觸。除了 Ti，也可以使用 Mo 以得到類似效果。源極電極 104 和汲極電極 105 較佳的被蝕刻加工以具有錐形端部（tapered end）形狀。以此方式，可以增大它們與氧化物半導體層 106 的接觸面積。在源極電極和汲極電極 104 和 105 與氧化物半導體膜之間，可以配置具有氧缺乏缺陷（oxygen-deficient defect）的氧化物半導體膜（電阻比通道形成區的氧化物半導體膜的電阻低的氧化物半導體膜）。

作為源極電極 104 和汲極電極 105 的另一個模式，電極可以具有這樣的結構，其中以 Mo、Cr、或 Ti 為代表的難熔金屬的層被形成於 Al 膜上方和/或下方、或者被形成於添加了 Si、Ti、Nd、Sc、或 Cu 等的 Al 膜的上方和/或下方。該結構在與用於形成源極電極 104 和汲極電極 105 的層同時並且用相同的層形成用於傳輸信號的佈線時是較佳的。較佳的以與 Al 膜相接觸的方式配置難熔金屬層，以防止在 Al 膜上形成小丘（hillock）或晶鬚（whisker）。注意術語“小丘”是指這樣的現象：當 Al 的晶體生長在進行時，生長成分相互碰撞而形成隆起。術語“晶鬚”是指 Al 由於異常生長而生長成針狀的現象。

利用以濺射法為代表的 PVD 法形成氧化物半導體層 106。作為金屬靶材，可以較佳的使用上述的 In、M（M 為選自 Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素）和 Zn 的氧化物的燒結體。例如氧化物半導體膜可以使用 In_2O_3、Ga_2O_3、和 ZnO 的燒結體作為靶材，藉由濺

射法形成。

作為濺射氣體，使用以氬氣為代表的稀有氣體。為了控制氧化物半導體膜的氧缺乏缺陷，可以在稀有氣體中加入預定量的氧氣。藉由增加濺射氣體中氧氣對稀有氣體之比，可以減少氧化物半導體中的氧缺乏缺陷。控制氧化物半導體中的氧缺乏缺陷使得能夠控制薄膜電晶體的臨界值電壓。

在形成氧化物半導體層 106 之前，較佳的藉由將氬氣導入濺射裝置的沈積室中並產生電漿來進行處理以清潔沈積表面。替代氬氣氛，可以使用氮、或氦等。替代地，上述處理可以在通過向氬氣氛中加入氧、或 N_2O 等而得到的氣氛中進行。作為另一個選擇，處理可以在藉由向氬氣氛中加入 Cl_2、或 CF_4 等而得到的氣氛中進行。

在形成氧化物半導體層 106 之後，在空氣或氮氣氛中，在 200℃到 600℃下、較佳的在 300℃到 400℃下進行熱處理。經過該熱處理，可以提高薄膜電晶體的場效應遷移率。具有本實施例所述的氧化物半導體的薄膜電晶體的場效應遷移率可以為 5 $cm^2/V \cdot sec$ 或更高。

當在上述的薄膜電晶體的源極電極和汲極電極之間施加約 5V 的電壓、並且不對閘極電極施加電壓時，源極電極和汲極電極之間流動的電流可以為 1×10^{-11} A 或更低。即使在對閘極電極施加 -10V 的電壓的狀態下，源極電極和汲極電極之間流過的電流也為 1×10^{-11} A 或更低。

圖 2A 和 2B 表示了在基板 101 的表面上方製造的薄

膜電晶體的示例。圖 2A 為薄膜電晶體的俯視圖，而圖 2B 為沿 A2-B2 線截取的截面圖。

圖 2A 和 2B 所示的薄膜電晶體具有底閘結構，其中閘極電極 102 和閘極絕緣層 103 被順序地形成於基板 101 上方且氧化物半導體層 106 被形成於閘極絕緣層 103 上方。在該結構中，源極電極 104 和汲極電極 105 與氧化物半導體層 106 的側表面和上表面相接觸。

在具有這種結構的薄膜電晶體中，可以連續地形成閘極絕緣層 103、氧化物半導體層 106、和用於形成源極電極 104 和汲極電極 105 的導電層。換句話說，這些層可以被層疊而不將閘極絕緣層 103 和氧化物半導體層 106 之間的介面以及氧化物半導體層 106 和導電層之間的介面暴露於空氣；因而，可以防止每個介面被污染。

另外，可以藉由執行蝕刻以去除氧化物半導體層 106 的暴露於源極電極 104 和汲極電極 105 之間的淺表部分來減小截止電流。此外，藉由在氧化物半導體層 106 的暴露部分或者在藉由蝕刻去除所獲得的表面上執行氧電漿處理，可以提高暴露於電漿的淺表部分的電阻。這是因為氧化物半導體中的氧缺乏缺陷被氧化，從而減小了載流子濃度（電子濃度）。藉由該氧電漿處理，可以降低薄膜電晶體的截止電流。

圖 3A 和 3B 表示了在基板 101 表面上方製造的薄膜電晶體的示例。圖 3A 為薄膜電晶體的俯視圖，而圖 3B 為沿 A3-B3 線截取的截面圖。

圖 3A 和 3B 所示的薄膜電晶體具有頂閘極結構，其中源極電極 104 和汲極電極 105、氧化物半導體層 106、閘極絕緣層 103、和閘極電極 102 被順序地形成於基板 101 之上。在如下情況下，可以降低薄膜電晶體的截止電流並提高其通斷比，即、前述薄膜電晶體的氧化物半導體層 106 用由 $InMO_3(ZnO)_m$（M 是選自 Ga、Fe、Ni、Mn、Co、和 Al 的一種或多種元素，且 m 為大於 0 且小於 1 的非整數）表示的氧化物半導體材料形成並且具有下列組成：當 In、M、Zn、和 O 的濃度總和被定義為 100%時，含 In 的濃度小於 20 原子%，含 M（例如 Ga）的濃度小於 20 原子%，且含 Zn 的濃度小於 10 原子%。

圖 4A 表示了這樣的示例，其中氧化物絕緣層 107 被配置於氧化物半導體層 106 上方，其與閘極絕緣層 103 相對置（在背通道一側）。對於氧化物絕緣層 107，可以使用氧化鋁、氧氮化鋁、氧化釔、或氧化鉿，以及上述的氧化矽中的任何一種。利用圖 4A 所示的氧化物半導體層 106 被夾在包含氧化矽的閘極絕緣層 103 與氧化物絕緣層 107 之間的結構，可以防止由於從氧化物半導體層 106 中釋放的氧而形成的氧缺乏缺陷。

圖 4B 表示了這樣的結構，其中氮化物絕緣層 108 被配置於氧化物絕緣層 107 上方。對於氮化物絕緣層 108，可以使用氮化矽、或氮化鋁等。利用氮化物絕緣層 108，可以防止來自外部環境的水蒸汽、有機物、和離子金屬造成的污染。注意，在圖 4B 的結構中，具有氮化矽層和氧

化矽層的雙層結構的閘極絕緣層 103 也是有效的。在該情況中，氧化物半導體層 106 被夾在上方的氧化物和氮化物絕緣層與下方的氧化物和氮化物絕緣層之間；因而，可以進一步增強上述效果。進一步地，圖 4B 是沿著電晶體的通道長度方向的截面圖，並且示出氧化物半導體層與源極電極 104 或汲極電極 105 所接觸的每一點與該閘極電極 102 重疊。

（包括薄膜電晶體的裝置）

具有本實施例所述的氧化物半導體的薄膜電晶體因為其高場效應遷移率和高通斷比而可以被用於各多種應用。下面以顯示裝置的方式為例進行說明。

圖 5 表示了顯示裝置 109，其中像素部分 110、掃描線驅動電路 111、和信號線一側的選擇器電路 112 被配置於基板 101 上方。被配置於像素部分 110、掃描線驅動電路 111、和信號線一側的選擇器電路 112 中的開關元件包括每個的通道形成區都被形成於氧化物半導體層中的薄膜電晶體。使用通道形成區被形成於氧化物半導體層中且場效應遷移率為 5 $cm^2/V \cdot sec$ 到 20 $cm^2/V \cdot sec$ 的薄膜電晶體，可以形成掃描線驅動電路 111 和信號線一側的選擇器電路 112。選擇器電路 112 是在預定定時選擇信號線 116 並將從驅動 IC 114 傳輸的視頻信號分配給預定信號線 116 的電路。在本例中，薄膜電晶體是 n 通道型的，因而掃描線驅動電路 111 和信號線一側的選擇器電路 112 包括 n 通

道薄膜電晶體。

在包括多個掃描線 115 和與掃描線 115 相交的多個信號線 116 的像素部分 110 中，配置有像素電晶體 117。像素電晶體 117 被排列成矩陣。對於像素電晶體 117，掃描信號經由掃描線 115 輸入而視頻信號經由信號線 116 輸入。視頻信號從驅動 IC 114 被輸入到輸入端子 113。驅動 IC 114 被形成於單晶基板上並藉由帶式自動接合（TAB）法或玻璃上晶片接合（COG）法安裝。

圖 6 表示了包括 n 通道薄膜電晶體的選擇器電路 112 的結構的示例。選擇器電路 112 包括多個被排列的開關電路 119。在每個開關電路 119 中，配置一個視頻信號輸入線 120，而多個信號線 116（S1 到 S3）延伸到像素部分 110。開關電路 119 配置有數量與信號線 116 的數量相對應的開關元件 121。當這些開關元件 121 包括每個的通道形成區都被形成於氧化物半導體層中的薄膜電晶體時，開關電路 119 可以與視頻信號的頻率一致地高速工作。圖 6 表示了開關電路 119 的示例，其中信號線 116（S1）、信號線 116（S2）、和信號線 116（S3）分別配置有開關元件 121a、開關元件 121b、和開關元件 121c。關於是導通還是關斷開關元件 121 的判斷是利用經由與視頻信號輸入線 120 不同路徑的同步信號輸入線 122 所輸入的信號控制的。

下面結合圖 7 所示的時序圖說明圖 6 所示的選擇器電路 112 的操作。作為示例，圖 7 的時序圖表示了第 i 列掃

描線被選中並且給定列的視頻信號輸入線 120 被連接到選擇器電路 112 的情況。第 i 列掃描線的選擇期間被劃分成第一子選擇期間 T1、第二子選擇期間 T2、和第三子選擇期間 T3。該時序圖還表示了開關元件 121a、開關元件 121b、和開關元件 121c 導通或關斷的定時和被輸入到視頻信號輸入線 120 的信號。

如圖 7 所示，在第一子選擇期間 T1，開關元件 121a 導通而開關元件 121b 和開關元件 121c 關斷。此時，輸入到視頻信號輸入線 120 的視頻信號 VD（1）經由開關元件 121a 輸出到信號線 116（S1）。在第二子選擇期間 T2，開關元件 121b 導通而開關元件 121a 和開關元件 121c 關斷，視頻信號 VD（2）經由開關元件 121b 輸出到信號線 116（S2）。在第三子選擇期間 T3，開關元件 121c 導通而開關元件 121a 和開關元件 121b 關斷，視頻信號 VD（3）經由開關元件 121c 輸出到信號線 116（S3）。

藉由將柵選擇期間如上所述一分為三，圖 6 的選擇器電路 112 可以在一個柵選擇期間經由一根視頻信號輸入線 120 將視頻信號輸入到三根信號線 116（S1 到 S3）。這樣，當選擇器電路 112 和像素電晶體 117 一起被配置於基板 101 上方時，被輸入驅動 IC 信號的輸入端子 113 的數量可以被減少到不配置選擇器電路 112 的情況時的數量的 1/3。因此，可以降低驅動 IC 和輸入端子 113 之間發生接觸缺陷的概率。

掃描線驅動電路 111 還可以利用每個通道形成區都被

配置於氧化物半導體層中的薄膜電晶體來形成。掃描線驅動電路 111 包括移位暫存器作為部件。當時鐘信號（CLK）和啓動脈衝信號（SP）被輸入到移位暫存器中時，生成選擇信號。所生成的選擇信號被緩衝器緩衝和放大，且所得的信號被提供給相應的掃描線 115。一行的像素電晶體 117 的閘極電極被連接到每根掃描線 115。在此處，將結合圖 8 和圖 9 說明掃描線驅動電路 111 的一部分中所包括的移位暫存器 123 的模式。

圖 8 表示了移位暫存器 123 的結構。移位暫存器 123 包括被連接起來的多級正反器電路 124。正反器電路 124 的示例如圖 9 所示。圖 9 所示的正反器電路 124 包括多個薄膜電晶體（在以下關於圖 9 的說明中稱為“TFT”）。圖 9 所示的正反器電路 124 包括 n 通道 TFT，即 TFT（1）125、TFT（2）126、TFT（3）127、TFT（4）128、TFT（5）129、TFT（6）130、TFT（7）131、和 TFT（8）132。n 通道 TFT 在閘極－源極電壓（Vgs）超過臨界值電壓（Vth）時導通。

注意，雖然此處在圖 9 所示的正反器電路 124 中所包括的所有 TFT 都為增強型 n 通道電晶體，但是，例如，如果將耗盡型 n 通道晶體管用作 TFT（3）127，驅動電路也可以被驅動。

TFT（1）125 的第一電極（源極電極和汲極電極中的一個）被連接到佈線（4）136，而 TFT（1）125 的第二電極（源極電極和汲極電極中的另一個）被連接到佈線

（3）135。

TFT（2）126 的第一電極被連接到佈線（6）138，而 TFT（2）126 的第二電極被連接到佈線（3）135。

TFT（3）127 的第一電極被連接到佈線（5）137；TFT（3）127 的第二電極被連接到 TFT（2）126 的閘極電極；而 TFT（3）127 的閘極電極被連接到佈線（5）137。

TFT（4）128 的第一電極被連接到佈線（6）138；TFT（4）128 的第二電極被連接到 TFT（2）126 的閘極電極；而 TFT（4）128 的閘極電極被連接到 TFT（1）125 的閘極電極。

TFT（5）129 的第一電極被連接到佈線（5）137；TFT（5）129 的第二電極被連接到 TFT（1）125 的閘極電極；而 TFT（5）129 的閘極電極被連接到佈線（1）133。

TFT（6）130 的第一電極被連接到佈線（6）138；TFT（6）130 的第二電極被連接到 TFT（1）125 的閘極電極；而 TFT（6）130 的閘極電極被連接到 TFT（2）126 的閘極電極。

TFT（7）131 的第一電極被連接到佈線（6）138；TFT（7）131 的第二電極被連接到 TFT（1）125 的閘極電極；而 TFT（7）131 的閘極電極被連接到佈線（2）134。TFT（8）132 的第一電極被連接到佈線（6）138；TFT（8）132 的第二電極被連接到 TFT（2）126 的閘極電

極；而 TFT（8）132 的閘極電極被連接到佈線（1）133。

通道形成區被配置於氧化物半導體層中的薄膜電晶體具有高場效應遷移率，因而其工作頻率可以被設得高。另外，因為薄膜電晶體的頻率特性高，所以掃描線驅動電路 111 可以高速工作，且顯示裝置可以以高幀頻工作。

在圖 5 中，像素部分 110 的結構隨顯示介質 118 的不同而變化。當顯示介質 118 是在電極之間夾著液晶材料的液晶元件時，顯示介質 118 可以如圖 5 所示由像素電晶體 117 控制。在一對電極之間夾著顯影介質（電子墨水或者電泳材料）的顯示介質 118 的情況同樣適用。可以藉由與上述驅動電路組合來操作包括這些顯示介質 118 的像素部分 110。

當被用作顯示介質 118 時，使用電致發光材料形成的發光元件比液晶元件更適合於時間灰度法，因為其回應速度高於液晶元件等的回應速度。例如在利用時間灰度法進行顯示的情況中，一個幀期間被劃分成多個子幀期間。然後，根據視頻信號，發光元件在每個子幀期間中被設定為發光態或非發光態。藉由將一個幀期間劃分成多個子幀期間，可以用視頻信號控制像素在一個幀期間中實際發光的時間的總長度，從而可以顯示灰度。

在像素部分 110 包括發光元件的情況下的像素的示例如圖 10 所示。圖 10 表示了可以採用數位時間灰度驅動法的像素結構。此處所述為這樣的示例，其中，每個的通道

形成區都使用氧化物半導體層而形成的兩個 n 通道薄膜電晶體被包括在一個像素中。

像素 139 包括開關 TFT 140、驅動 TFT 141、發光元件 142、和電容 145。開關 TFT 140 的閘極被連接到掃描線 115；開關 TFT 140 的第一電極（源極電極和汲極電極中的一個）被連接到信號線 116；且開關 TFT 140 的第二電極（源極電極和汲極電極中的另一個）被連接到驅動 TFT 141 的閘極。驅動 TFT 141 的閘極極經由電容 145 被連接到電源線 146；驅動 TFT 141 的第一電極被連接到電源線 146；且驅動 TFT 141 的第二電極被連接到發光元件 142 的第一電極（像素電極）143。發光元件 142 的第二電極（對置電極）144 被連接到公共電位線 147。

發光元件 142 的第二電極（對置電極）144 被設為低電源電位。注意，低電源電位是指基於對電源線 146 所設的高電源電位滿足以下公式的電位：（低電源電位）<（高電源電位）。作為低電源電位，例如可以採用 GND、或 0V 等。為了藉由將高電源電位和低電源電位之間的電位差施加到發光元件 142 從而將電流供給到發光元件 142 而使發光元件 142 發光，每個電位都被設定使得高電源電位和低電源電位之間的電位差等於或高於發光元件 142 的正向臨界值電壓。

在電壓輸入電壓驅動法的情況中，視頻信號被輸入到驅動 TFT 141 的閘極使得驅動 TFT 141 處於被充分地導通和關斷這兩個狀態中的某一個狀態。即，驅動 TFT 141 工

作在線性區。比電源線 146 電壓更高的電壓被施加到驅動 TFT 141 的閘極使得驅動 TFT 141 工作在線性區。注意，比由公式（電源線的電壓）+（驅動 TFT 141 的臨界值電壓）所表示的電壓更高或相等的電壓被施加到信號線 116。

替代數位時間灰度驅動法，類比灰度驅動法也可以被應用於圖 10 所示的像素結構。在進行類比灰度驅動的情況中，比由公式（發光元件 142 的正向電壓）+（驅動 TFT 141 的臨界值電壓）所表示的電壓更高或相等的電壓被施加到驅動 TFT 141 的閘極。發光元件 142 的正向電壓是指要獲得所需照明所需的電壓，並且至少包括正向臨界值電壓。注意，當輸入使驅動 TFT 141 工作在飽和區的視頻信號時，電流可以被供給到發光元件 142。電源線 146 的電位被設定得高於驅動 TFT 141 的閘極電位，使驅動 TFT 141 工作在飽和區。當視頻信號為類比信號時，能夠將符合視頻信號的電流供給到發光元件 142 並進行類比灰度驅動。

雖然圖 10 表示了對發光元件 142 的驅動進行控制的驅動 TFT 141 被電連接到發光元件的示例，但是可以採用在驅動 TFT 141 和發光元件 142 之間連接電流控制 TFT 的結構。

雖然圖 5 表示了配置有用於選擇信號線 116 的選擇器電路 112 的顯示裝置 109 的示例，但是當薄膜電晶體具有 10 cm/V·sec 或更高的場效應遷移率時，可以利用使用了

用於通道形成區的氧化物半導體層形成的薄膜電晶體來實現驅動 IC 114 的功能。即，可以利用每個都使用用於通道形成區的氧化物半導體層形成的薄膜電晶體，在基板 101 上方形成掃描線驅動電路和信號線驅動電路。

（發光裝置）

下面結合圖 11 以及圖 12A 和 12B 說明作為顯示裝置的一種模式的發光裝置的像素結構。圖 11 是像素的俯視圖的示例；圖 12A 為沿 C1-D1 線截取的截面圖；而圖 12B 為沿 C2-D2 線截取的截面圖。在下列說明中，參考圖 11 以及圖 12A 和 12B。注意，圖 11 所示像素的等效電路與圖 10 所示類似。

開關 TFT 140 的通道形成區被形成於氧化物半導體層 153 中。氧化物半導體層 153 類似於本實施例所述的氧化物半導體層。開關 TFT 140 具有用與掃描線 115 相同的層形成的閘極電極 148，且氧化物半導體層 153 被配置於閘極絕緣層 152 上方。氧化物半導體層 153 與利用與信號線 116 相同的層形成於閘極絕緣層 152 上方的源極/汲極電極 155 和源極/汲極電極 156 相接觸。源極/汲極電極 156 經由配置於閘極絕緣層 152 中的接觸孔 159 而被連接到驅動 TFT 141 的閘極電極 149。

注意，術語“源極/汲極電極”是指被配置在包括源極、汲極、和閘極極作為主要部件的薄膜電晶體中的用作源極或汲極的部分處的電極。

信號線 116、源極/汲極電極 155、和源極/汲極電極 156 較佳的用 Al 膜或者添加有 Si、Ti、Nd、Sc、或 Cu 等的 Al 膜形成，從而可以降低佈線或電極的電阻。以 Mo、Cr、或 Ti 為代表的難熔金屬的層被較佳的配置於 Al 膜的上方和/或下方，從而防止在 Al 膜上產生小丘或晶鬚。

閘極電極 149 還起著電容 145 的電容電極 150 的作用。藉由層疊電容電極 150、閘極絕緣層 152、和由與電源線 146 相同的層形成的電容電極 151 來形成電容 145。

驅動 TFT 141 的閘極電極 149 用與掃描線 115 相同的層形成，且氧化物半導體層 154 被配置於閘極絕緣層 152 上方。氧化物半導體層 154 與利用與電源線 146 相同的層形成於閘極絕緣層 152 上方的源極/汲極電極 157 和源極/汲極電極 158 相接觸。

氧化物絕緣層 107 被配置於氧化物半導體層 153 和氧化物半導體層 154 上方。第一電極（像素電極）143 被配置於氧化物絕緣層 107 上方。第一電極（像素電極）143 和源極/汲極電極 158 經由配置於氧化物絕緣層 107 中的接觸孔 160 而被相互連接。利用無機絕緣材料或有機絕緣材料形成具有到第一電極（像素電極）143 的開口的分隔層 161。形成分隔層 161 使得其在開口處的端部具有平緩曲面。

發光元件 142 具有這樣的結構，其中 EL 層 162 被配置於第一電極（像素電極）143 和第二電極（對置電極）144 之間。第一電極（像素電極）143 和第二電極（對置

電極）144 中的一個為電洞注入電極；而另一個為電子注入電極。電洞注入電極較佳的利用功函數為 4 eV 或更高的材料以及諸如含氧化鎢的氧化銦、含氧化鎢的氧化銦鋅、含氧化鈦的氧化銦、含氧化鈦的氧化銦錫、氧化銦錫、氧化銦鋅、或添加了氧化矽的氧化銦錫等材料來形成。電子注入電極較佳的利用功函數低於 4 eV 的材料形成，較佳的是鈣（Ca）、鋁（Al）、氟化鈣（CaF）、鎂－銀（MgAg）、或鋁－鋰（AlLi）等。EL 層 162 是用於藉由電致發光獲得發光的層，是藉由適當地組合載流子（電洞或電子）傳輸層和發光層而形成的。

圖 13A 到 13C 表示了發光裝置的輸入端子 113 的結構。圖 13A 為輸入端子 113 的俯視圖。輸入端子 113 被配置於基板 101 的端部。沿圖 13A 中 G-H 線截取的截面圖如圖 13B 或圖 13C 所示。

圖 13B 表示了用與掃描線 115 相同的層形成輸入端子層 170 的示例。在輸入端子層 170 上方層疊閘極絕緣層 152 和氧化物絕緣層 107，並在這些絕緣層中配置開口 173 從而經由絕緣層中的開口 173 暴露輸入端子層 170。用與輸入端子層 170 相接觸的透明導電膜 172 覆蓋開口 173。配置透明導電膜 172 以避免當撓性印刷佈線和輸入端子 113 被連接起來時的高接觸電阻。由金屬形成的輸入端子層 170 的表面的氧化導致接觸電阻的增加；在配置有由氧化物導電材料形成的透明導電膜 172 的情況下，可以防止接觸電阻的增加。

圖 13C 表示了利用與信號線 116 相同的層形成輸入端子層 171 的示例。在輸入端子層 171 上方配置氧化物絕緣層 107，並在該絕緣層中配置開口 173 從而經由絕緣層中的開口 173 暴露輸入端子層 171。出於與上述相同的原因，配置透明導電薄膜 172。

（對比介質顯示裝置）

圖 14 表示了包括對比介質 163 的顯示裝置的一個方式（這種顯示裝置也被稱為“電子紙”）。對比介質 163 與填充物 164 一起夾在第一電極（像素電極）143 和第二電極（對置電極）144 之間，並在電位差被施加於電極之間時改變對比度。第二電極（對置電極）144 配置於對置基板 165 上。

例如，有一種被稱為扭轉球顯示法的顯示方法，其中在第一電極（像素電極）143 和第二電極（對置電極）144 之間放置每個都被著色成黑色和白色的球形顆粒，並且球形顆粒的取向受在電極之間所產生的電位差所控制。

替代扭轉球，也可以使用電泳元件。使用直徑為約 10 μm 到 200 μm 的微囊，其中密封了透明填充物 164、帶正電的白色微粒、和帶負電的黑色微粒。微囊被夾在第一電極（像素電極）143 和第二電極（對置電極）144 之間，而帶正電的白色微粒和帶負電的黑色微粒利用電極之間的電位差而分別在不同方向上移動。使用該原理的顯示元件為電泳顯示元件並且通常被稱為電子紙。電泳顯示元

件的反射率高於液晶顯示裝置，因而不需要輔助光且功耗低，並且在暗處也可以識別顯示部分。另外，即使不向顯示部分供電，已經被顯示過一次的圖像也能被保持。因此，即使具有顯示功能的半導體裝置（其可以被簡稱為顯示裝置或配置有顯示裝置的半導體裝置）遠離電波源，所顯示的圖像也可以被儲存。

（液晶顯示裝置）

下面結合圖 15 以及圖 16 說明作為顯示裝置的一種模式的液晶顯示裝置的像素結構。圖 15 為像素的俯視圖，而圖 16 為沿 E1-F1 線截取的截面圖。在下列說明中參考圖 15 和圖 16。

圖 15 和圖 16 所示的液晶顯示裝置的像素包括被連接到掃描線 115 和信號線 116 的開關 TFT 140。開關 TFT 140 的源極/汲極電極 155 被連接到信號線 116，而其源極/汲極電極 156 經由配置於氧化物絕緣層 107 中的接觸孔 167 被連接到第一電極（像素電極）143。電容 145 是藉由層疊利用與閘極電極 148 相同的層形成的電容線 166、閘極絕緣層 152、和源極/汲極電極 156 而形成的。開關 TFT 140 控制對第一電極（像素電極）143 的信號的輸入。開關 TFT 140 的結構類似於圖 12A 所示的結構。

液晶層 169 被配置於第一電極（像素電極）143 和第二電極（對置電極）144 之間。第一電極（像素電極）143 被配置於氧化物絕緣層 107 上方。取向膜 168 被配置

於第一電極（像素電極）143 和第二電極（對置電極）144 上。

如上所述，可以利用通道形成區被形成於如本實施例所述的氧化物半導體層中的薄膜電晶體來實現具有優良的工作特性的顯示裝置。

[實施例 1]

（氧化物半導體層的組成）

氧化物半導體層藉由濺射法在下列條件下被形成於玻璃基板之上。

（條件 1）

靶材組成：In_2O_3：Ga_2O_3：ZnO＝1：1：1

（In：Ga：Zn＝1：1：0.5）

氬氣流速：40 sccm

壓力：0.4 Pa

電功率（DC）：500 W

基板溫度：室溫

（條件 2）

靶材組成：In_2O_3：Ga_2O_3：ZnO＝1：1：1

（In：Ga：Zn＝1：1：0.5）

氬氣流速：10 sccm

氧氣流速：5 sccm

壓力：0.4 Pa

電功率（DC）：500 W

基板溫度：室溫

在條件 1 和 2 下形成的氧化物半導體層藉由感應耦合電漿質譜法（ICP-MS）來評價。表 1 表示了測量的典型示例。在條件 1 下得到的氧化物半導體層具有由下列化學式表示的組成：$InGa_{0.95}Zn_{0.41}O_{3.33}$。在條件 2 下得到的氧化物半導體層具有由下列化學式表示的組成：$InGa_{0.94}Zn_{0.40}O_{3.31}$。

[表 1]

	組成（原子%）				組成化學式
	In	Ga	Zn	O	
條件 1	17.6	16.7	7.2	58.6	$InGa_{0.95}Zn_{0.41}O_{3.33}$
條件 2	17.7	16.7	7	58.6	$InGa_{0.94}Zn_{0.40}O_{3.31}$

如上所述，ICP-MS 的測量確認了在 $InMO_3(ZnO)_m$ 中 m 為非整數。另外，成分的比例證明 Zn 的濃度低於 In 和 Ga 的濃度。

（氧化物半導體層的結構）

利用 X 光衍射來評價在上述條件 2 下在玻璃基板上方所形成的厚度 400 nm 的氧化物半導體層的結構。

圖 17 表示了在條件 2 下所形成的樣品（剛被沈積後）的 X 光衍射圖、在沈積之後在氮氣氛中經受了一小時的 350℃下的熱處理的樣品的 X 光衍射圖、和在沈積之後

在氮氣氛中經受了一小時的 500℃下的熱處理的樣品的 X 光衍射圖。在所有樣品中都觀察到了光暈圖案，這確認了樣品具有非晶結構。

注意，當也用 X 光衍射評價用 In_2O_3 對 Ga_2O_3 和 ZnO 的組成比為 1：1：2 的靶材所形成的樣品時，得到了類似的評價結果，這確認了本實施例中所形成的氧化物半導體層具有非晶結構。

（薄膜電晶體的特性）

圖 18 表示了薄膜電晶體的閘極極電壓（Vg）－汲極電流（Id）特性。薄膜電晶體具有如圖 2A 和 2B 所示的底閘極結構，且通道長度為 100 μm，通道寬度為 100 μm。氧化物半導體層在上述條件 2 下形成。可以獲得大於或等於 15 $cm^2/V \cdot sec$ 的場效應遷移率、小於或等於 1×10^{-11} A 的截止電流、和大於或等於 10^8 的導通電流對截止電流之比（通斷比）。如上所述，可以得到具有無法用傳統薄膜電晶體得到的高通斷比的薄膜電晶體。

【符號說明】

101：基板

102：閘極電極

103：閘極絕緣層

104：源極電極

105：汲極電極

106：氧化物半導體層

107：氧化物絕緣層

108：氮化物絕緣層

109：顯示裝置

110：像素部份

111：掃描線驅動電路

112：選擇器電路

113：輸入端子

114：驅動 IC

115：掃描線

116：信號線

117：像素電晶體

118：顯示介質

119：開關電路

120：視頻信號輸入線

121：開關元件

122：同步信號輸入線

123：移位暫存器

124：正反器電路

125-132：TFT

140：開關 TFT

141：驅動 TFT

142：發光元件

145：電容

146：電源線

143：第一電極

144：第二電極

147：公共電位線

153：氧化物半導體層

148：閘極電極

152：閘極絕緣層

155：源極/汲極電極

156：源極/汲極電極

149：閘極電極

159：接觸孔

150：電容電極

151：電容電極

154：氧化物半導體層

157：源極/汲極電極

158：源極/汲極電極

170：輸入端子層

171：輸入端子層

172：透明導電膜

173：開口

163：對比介質

164：填充物

167：接觸孔

166：電容線

169：液晶層

165：基板

201929201

發明摘要

【發明名稱】(中文/英文)

氧化物半導體、薄膜電晶體、和顯示裝置

OXIDE SEMICONDUCTOR, THIN FILM TRANSISTOR, AND DISPLAY DEVICE

【中文】

本發明提供一種氧化物半導體、使用該氧化物半導體的薄膜電晶體、和使用該薄膜電晶體的顯示裝置，其一個目的是控制氧化物半導體的組成和缺陷，另一個目的是提高薄膜電晶體的場效應遷移率，並通過減小截止電流來獲得充分的通斷比。所採用的技術方案是採用其組成用 $InMO_3(ZnO)_m$ 表示的氧化物半導體，其中 M 為選自 Ga、Fe、Ni、Mn、Co、和 Al 中的一種或多種元素，且 m 較佳的為大於 0 且小於 1 的非整數。Zn 的濃度低於 In 和 M 的濃度。氧化物半導體具有非晶結構。可以配置氧化物層和氮化物層以防止氧化物半導體的污染和劣化。

【英文】

An object is to control composition and a defect of an oxide semiconductor, another object is to increase a field effect mobility of a thin film transistor and to obtain a sufficient on-off ratio with a reduced off current. A solution is to employ an oxide semiconductor whose composition is represented by $InMO_3(ZnO)_m$, where M is one or a plurality of elements selected from Ga, Fe, Ni, Mn, Co, and Al, and *m* is preferably a non-integer number of greater than 0 and less than 1. The concentration of Zn is lower than the concentrations of In and M. The oxide semiconductor has an amorphous structure. Oxide and nitride layers can be provided to prevent pollution and degradation of the oxide semiconductor.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

101：基板

102：閘極電極

103：閘極絕緣層

104：源極電極

105：汲極電極

106：氧化物半導體層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，其包含：

包含電晶體的像素部分，

該電晶體包含：

閘極；

在該閘極上方的第一絕緣層；

在該第一絕緣層上方且與該第一絕緣層接觸的第二絕緣層；

在該第二絕緣層上方且與該第二絕緣層接觸的半導體層；

在該半導體層上方且與該半導體層接觸的第三絕緣層；

在該第三絕緣層上方且與該第三絕緣層接觸的第四絕緣層；和

各自均電連接到該半導體層的源極和汲極；以及

顯示元件，包含：

透過在該第三絕緣層中的接觸孔以電連接到該源極和該汲極的一者的第一電極；和

在該第一電極上方的第二電極，

其中：

該半導體層包括含有 In、Ga 和 Zn 的氧化物半導體，

該第二絕緣層和該第三絕緣層均含有矽和氧，

該第一絕緣層和該第四絕緣層均含有矽和氮，且

在該電晶體的通道長度方向，該第二絕緣層和該第三

絕緣層彼此接觸，其間有該半導體層。

2. 一種半導體裝置，其包含：

包含電晶體的像素部分，

該電晶體包含：

閘極；

在該閘極上方的第一絕緣層；

在該第一絕緣層上方且與該第一絕緣層接觸的第二絕緣層；

在該第二絕緣層上方且與該第二絕緣層接觸的半導體層；

在該半導體層上方且與該半導體層接觸的第三絕緣層；

在該第三絕緣層上方且與該第三絕緣層接觸的第四絕緣層；和

各自均電連接到該半導體層的源極和汲極；以及

顯示元件，包含：

透過在該第三絕緣層中的接觸孔以電連接到該源極和該汲極的一者的第一電極；和

在該第一電極上方的第二電極，

其中：

該半導體層包括含有 In、Ga 和 Zn 的氧化物半導體，

該第二絕緣層和該第三絕緣層均含有矽和氧，

該第一絕緣層和該第四絕緣層均含有矽和氮，且

在該電晶體的通道長度方向，該半導體層由該第二絕

緣層和該第三絕緣層圍繞。

3. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該顯示元件更包含在該第一電極和該第二電極間的液晶層。

4. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該閘極包含含有 Ti 的第一層和含有 Cu 且在該第一層上方的第二層。

5. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該閘極包含含有 Mo 的第一層和含有 Cu 且在該第一層上方的第二層。

6. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該源極和該汲極均包含含有 Cu 的層。

7. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該氧化物半導體包括奈米晶體。

8. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該氧化物半導體是非單晶半導體。