

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月22日(22.02.2018)



(10) 国際公開番号

WO 2018/033964 A1

(51) 国際特許分類:
H02M 7/48 (2007.01) *H02M 7/483* (2007.01)

(21) 国際出願番号: PCT/JP2016/073928

(22) 国際出願日: 2016年8月16日(16.08.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 東芝三菱電機産業システム株式会社(TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL SYSTEMS CORPORATION) [JP/JP]; 〒1040031 東京都中央区京橋三丁目1番1号 Tokyo (JP).

(72) 発明者: 古川 幹子(FURUKAWA, Motoko); 〒1040031 東京都中央区京橋三丁目1番1号 東

芝三菱電機産業システム株式会社内 Tokyo (JP).
木下 雅博(KINOSHITA, Masahiro); 〒1040031 東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内 Tokyo (JP).

(74) 代理人: 日向寺 雅彦, 外(HYUGAJI, Masahiko et al.); 〒2318966 神奈川県横浜市中区桜木町一丁目1番地8 日石横浜ビル Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME,

(54) Title: SYSTEM INTERCONNECTION INVERTER DEVICE AND RUNNING METHOD THEREFOR

(54) 発明の名称: 系統連系インバータ装置及びその運転方法

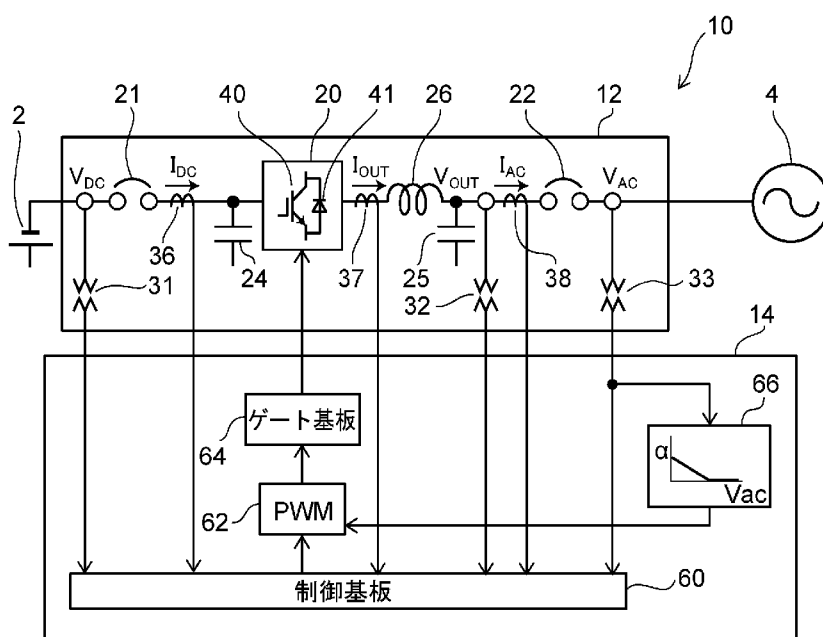


FIG. 1:
60 Control board
64 Gate board

(57) Abstract: Provided is a system interconnection inverter device that comprises a three-level inverter, a voltage detector, and a control unit. The three-level inverter includes multiple switching elements, is connected to a DC power source and an AC power system, converts DC power, supplied from the DC power source, to AC power by turning on/off the switching elements, and supplies the AC power to the power system. The voltage detector detects the AC voltage of the power system. The control unit performs detection of a sudden reduction in the voltage of the power system on the basis of the result of the detection by the voltage detector so as to control the switching elements by using a unipolar modulation method in a state where no sudden reduction in the voltage is detected and so as to control the switching elements by using

MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,
TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

a dipolar modulation method in a state where a sudden reduction in voltage is detected, thereby controlling conversion by the three-level inverter from DC power to AC power. Accordingly, the present invention provides a system interconnection inverter device that suppresses switching loss, and thus, stably operates.

(57) 要約：3レベルインバータと電圧検出器と制御部とを備えた系統連系インバータ装置が提供される。3レベルインバータは、複数のスイッチング素子を有し、直流電源及び交流の電力系統に接続され、直流電源から供給された直流電力を各スイッチング素子のオン・オフによって直流電力から交流電力に変換し、交流電力を電力系統に供給する。電圧検出器は、電力系統の交流電圧を検出する。制御部は、電圧検出器の検出結果を基に、電力系統の瞬時電圧低下の検出を行い、瞬時電圧低下を検出していない状態では、ユニポーラ変調方式を用いて各スイッチング素子を制御し、瞬時電圧低下を検出している状態では、ダイポーラ変調方式を用いて各スイッチング素子を制御することにより、3レベルインバータによる直流電力から交流電力への変換を制御する。これにより、スイッチング損失を抑制し、安定した動作の系統連系インバータ装置が提供される。

明 細 書

発明の名称： 系統連系インバータ装置及びその運転方法

技術分野

[0001] 本発明の実施形態は、系統連系インバータ装置及びその運転方法に関する。

背景技術

[0002] 直流電力を交流電力に変換し、変換後の交流電力を交流電力系統に供給する系統連系インバータ装置がある。系統連系インバータ装置では、3レベルインバータを用い、3レベルの電圧を出力することが行われている。3レベルインバータは、複数のスイッチング素子を有する。3レベルインバータの各スイッチング素子のオン・オフは、例えば、3レベルPWM変調方式によって制御される。これにより、3レベルの電圧が出力される。3レベルインバータでは、2レベルインバータに比べて、出力電圧波形をより正弦波に近付けることができる。例えば、高調波成分を抑制し、出力側のフィルタの小型化を図ることができる。

[0003] 3レベルPWM変調方式としては、例えば、正のパルス状電圧又は負のパルス状電圧を連続的に出力するユニポーラ変調方式や正負のパルス状電圧をゼロ電圧を介して交互に出力するダイポーラ変調方式などが知られている（例えば、非特許文献1）。ダイポーラ変調方式では、ユニポーラ変調方式に比べて、出力電圧の波形をより正弦波に近付けることができる。一方、ユニポーラ変調方式では、ダイポーラ変調方式に比べて、定常運転中の直流電圧の高い場合に、各スイッチング素子のオン・オフにともなうスイッチング損失を抑制することができる。

[0004] 近年では、系統連系インバータ装置において、瞬時電圧低下などの一時的な交流電力系統の不具合が発生した場合にも、異常停止せずに動作を継続させるF R T（Fault Ride Through）機能が求められている。

[0005] F R T機能を有する系統連系インバータ装置にユニポーラ変調方式を用い

ると、瞬時電圧低下が発生して変調率が低くなった場合に、低次の高調波が発生し易くなってしまいます。換言すれば、F R Tの運転期間中に、出力電圧波形が歪んでしまう。ダイポーラ変調方式を用いた場合には、F R Tの運転期間中における高調波の発生を抑制できる反面、定常運転中のスイッチング損失が増大してしまう。

[0006] このため、系統連系インバータ装置では、スイッチング損失を抑制しつつ、より安定した動作を得ることが望まれる。

先行技術文献

非特許文献

[0007] 非特許文献1：福田昭治、鈴木邦生、「キャリア波を用いたマルチレベルPWM法の高調波特性評価」、電気学会論文誌D（産業応用部門誌）、119巻6号、平成11年、p. 769－775

発明の概要

発明が解決しようとする課題

[0008] 本発明の実施形態は、スイッチング損失を抑制し、かつ安定した動作の系統連系インバータ装置及びその運転方法を提供する。

課題を解決するための手段

[0009] 本発明の実施形態によれば、3レベルインバータと、電圧検出器と、制御部と、を備えた系統連系インバータ装置が提供される。前記3レベルインバータは、複数のスイッチング素子を有し、直流電源及び交流の電力系統に接続され、前記直流電源から供給された直流電力を前記複数のスイッチング素子のオン・オフによって直流電力から交流電力に変換し、前記交流電力を前記電力系統に供給する。前記電圧検出器は、前記電力系統の交流電圧を検出する。前記制御部は、前記電圧検出器の検出結果を基に、前記電力系統の瞬時電圧低下の検出を行い、前記瞬時電圧低下を検出していない状態では、ユニポーラ変調方式を用いて前記複数のスイッチング素子の動作を制御し、前記瞬時電圧低下を検出している状態では、ダイポーラ変調方式を用いて前記

複数のスイッチング素子の動作を制御することにより、前記 3 レベルインバータによる前記直流電力から前記交流電力への変換を制御する。

発明の効果

[0010] 本発明の実施形態によれば、スイッチング損失を抑制し、かつ安定した動作の系統連系インバータ装置及びその運転方法が提供される。

図面の簡単な説明

[0011] [図1]実施形態に係る系統連系インバータ装置を模式的に表すブロック図である。

[図2]図 2 (a) 及び図 2 (b) は、実施形態に係る PWM 制御器の動作の一例を模式的に表すグラフ図である。

[図3]実施形態に係る系統連系インバータ装置の運転方法の一例を模式的に表すフローチャートである。

[図4]実施形態に係る 3 レベルインバータの一例を模式的に表すブロック図である。

[図5]実施形態に係る 3 レベルインバータの別の一例を模式的に表すブロック図である。

発明を実施するための形態

[0012] 以下に、各実施の形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0013] 図 1 は、実施形態に係る系統連系インバータ装置を模式的に表すブロック図である。

図 1 に表したように、系統連系インバータ装置 10 は、主回路部 12 と、制御部 14 と、を備える。主回路部 12 は、3 レベルインバータ 20 と、遮

断器 21、22 と、フィルタコンデンサ 24、25 と、フィルタリアクトル 26 と、電圧検出器 31～33 と、電流検出器 36～38 と、を有する。

[0014] 3レベルインバータ 20 は、遮断器 21 を介して直流電源 2 に接続されている。また、3レベルインバータ 20 は、遮断器 22 を介して交流の電力系統 4 に接続されている。3レベルインバータ 20 は、直流電源 2 から供給される直流電力を交流電力に変換し、変換後の交流電力を電力系統 4 に供給する。

[0015] 直流電源 2 は、例えば、太陽光発電機である。この場合、系統連系インバータ装置 10 は、パワーコンディショナーと呼ばれる場合もある。直流電源 2 は、太陽光発電機に限ることなく、直流電力を系統連系インバータ装置 10 に供給可能な任意の発電機や電源でよい。

[0016] 電力系統 4 の交流電力は、単相交流電力でもよいし、三相交流電力などでもよい。3レベルインバータ 20 は、直流電力を単相交流電力に変換してもよいし、直流電力を三相交流電力に変換してもよい。

[0017] 3レベルインバータ 20 は、各スイッチング素子 40 のオン・オフにより、直流電源 2 から供給された直流電力を交流電力に変換する。

[0018] 3レベルインバータ 20 は、例えば、直流電源 2 から供給された直流電圧 V_{DC} を基に、 $0V$ 、 $1/2 V_{DC}$ 、 V_{DC} の 3 レベルの電圧を出力する。より詳しくは、 $-V_{DC}$ 、 $-1/2 V_{DC}$ 、 $0V$ 、 $1/2 V_{DC}$ 、 V_{DC} の電圧を出力する。これにより、3レベルインバータ 20 は、直流電力を交流電力に変換する。3レベルインバータ 20 の回路構成は、3レベルの電圧を出力可能な任意の回路構成でよい。

[0019] 各スイッチング素子 40 には、例えば、GTO (Gate Turn-Off thyristor) や IGBT (Insulated Gate Bipolar Transistor) などの自己消弧型の半導体素子が用いられる。各スイッチング素子 40 は、一对の主端子と、制御端子と、を有する。制御端子は、例えば、ゲート端子である。各スイッチング素子 40 は、制御端子の電圧に応じて、オン状態とオフ状態とを切り替える。各スイッチング素子 40 の制御端子は、制御部 14 に接続されている。

制御部 14 は、各スイッチング素子 40 のオン・オフを切り替えることにより、3 レベルインバータ 20 における直流電力から交流電力への変換を制御する。

[0020] 遮断器 21 は、直流電源 2 と 3 レベルインバータ 20 との間に設けられている。遮断器 21 は、3 レベルインバータ 20 を直流電源 2 に接続した状態と、3 レベルインバータ 20 を直流電源 2 から切り離した状態と、を切り替える。遮断器 22 は、電力系統 4 と 3 レベルインバータ 20 との間に設けられている。遮断器 22 は、3 レベルインバータ 20 を電力系統 4 に接続した状態と、3 レベルインバータ 20 を電力系統 4 から切り離した状態と、を切り替える。各遮断器 21、22 の各状態の切り替えは、例えば、制御部 14 によって制御される。各遮断器 21、22 は、例えば、電流値や電圧値などに応じて自動的に各状態の切り替えを行ってもよい。各遮断器 21、22 は、必要に応じて設けられ、省略可能である。

[0021] フィルタコンデンサ 24 は、直流電源 2 と 3 レベルインバータ 20 との間に設けられる。この例において、フィルタコンデンサ 24 は、遮断器 21 と 3 レベルインバータ 20 との間に設けられる。フィルタコンデンサ 24 は、例えば、直流電源 2 からの直流電力に含まれるノイズを抑制する。換言すれば、フィルタコンデンサ 24 は、直流電圧を平滑化する。

[0022] フィルタコンデンサ 25 及びフィルタリアクトル 26 は、電力系統 4 と 3 レベルインバータ 20 との間に設けられる。この例において、フィルタコンデンサ 25 及びフィルタリアクトル 26 は、遮断器 22 と 3 レベルインバータ 20 との間に設けられる。

[0023] フィルタリアクトル 26 の一端は、3 レベルインバータ 20 の交流出力端子に接続される。フィルタコンデンサ 25 及びフィルタリアクトル 26 は、3 レベルインバータ 20 から出力される出力電圧 V_{OUT} 及び出力電流 I_{OUT} の高調波成分を抑制し、出力電圧波形及び出力電流波形をより正弦波に近付ける。

[0024] この例では、便宜的に、1 つのフィルタコンデンサ 25 及び 1 つのフィル

タリアクトル 26 を図示している。例えば、電力系統 4 の交流電力が三相交流電力である場合には、フィルタコンデンサ 25 及びフィルタリアクトル 26 は、交流電力の各相に対応して設けられる。すなわち、三相交流電力の場合、フィルタコンデンサ 25 及びフィルタリアクトル 26 は、それぞれ 3 つずつ設けられる。

[0025] 電圧検出器 31 は、直流電源 2 と遮断器 21 との間に設けられている。電圧検出器 31 は、制御部 14 に接続されている。電圧検出器 31 は、直流電源 2 の直流電圧 V_{DC} を検出し、検出結果を制御部 14 に入力する。

[0026] 電圧検出器 32 は、フィルタリアクトル 26 と遮断器 22 との間に設けられている。電圧検出器 32 は、制御部 14 に接続されている。電圧検出器 32 は、3 レベルインバータ 20 の出力電圧 V_{OUT} を検出し、検出結果を制御部 14 に入力する。

[0027] 電圧検出器 33 は、遮断器 22 と電力系統 4 との間に設けられている。電圧検出器 33 は、制御部 14 に接続されている。電圧検出器 33 は、電力系統 4 の交流電圧 V_{AC} を検出し、検出結果を制御部 14 に入力する。

[0028] また、3 レベルインバータ 20 の出力電圧 V_{OUT} 及び電力系統 4 の交流電圧 V_{AC} が三相交流電圧である場合、電圧検出器 32 及び電圧検出器 33 は、三相交流電圧の各相の電圧値を検出し、検出結果を制御部 14 に入力する。

[0029] 電流検出器 36 は、遮断器 21 と 3 レベルインバータ 20 との間に設けられている。電流検出器 36 は、制御部 14 に接続されている。電流検出器 36 は、直流電源 2 の直流電流 I_{DC} を検出し、検出結果を制御部 14 に入力する。

[0030] 電流検出器 37 は、3 レベルインバータ 20 とフィルタリアクトル 26 との間に設けられている。電流検出器 37 は、制御部 14 に接続されている。電流検出器 37 は、3 レベルインバータ 20 の出力電流 I_{OUT} を検出し、検出結果を制御部 14 に入力する。

[0031] 電流検出器 38 は、フィルタリアクトル 26 と遮断器 22 との間に設けられている。電流検出器 38 は、制御部 14 に接続されている。電流検出器 3

8は、電力系統4の交流電流 I_{AC} を検出し、検出結果を制御部14に入力する。

[0032] 3レベルインバータ20の出力電流 I_{OUT} 及び電力系統4の交流電流 I_{AC} が三相交流電流である場合、電流検出器37及び電流検出器38は、三相交流電流の各相の電流値を検出し、検出結果を制御部14に入力する。

[0033] 制御部14は、制御基板60と、PWM (Pulse Width Modulation) 制御器62と、ゲート基板64と、瞬低検出部66と、を有する。制御基板60には、各電圧検出器31～33及び各電流検出器36～38のそれぞれの検出結果が入力される。また、制御基板60には、3レベルインバータ20の出力電流 I_{OUT} の電流指令値が入力される。出力電流 I_{OUT} の電流指令値は、換言すれば、電力系統4の交流電流 I_{AC} の電流指令値である。電流指令値は、例えば、 dq 変換後の実効値換算値である。電流指令値は、例えば、正弦波状の信号でもよい。電流指令値は、予め決められた一定の値でもよいし、上位のコントローラからの入力などによって変化させてもよい。

[0034] 制御基板60は、入力された各電圧検出器31～33の検出結果、各電流検出器36～38の検出結果、及び電流指令値を基に、出力電流 I_{OUT} を電流指令値に近付けるための電圧基準 V_R (図2参照)を生成する。そして、制御基板60は、生成した電圧基準 V_R をPWM制御器62に入力する。電圧基準 V_R は、例えば、正弦波状の信号である。3レベルインバータ20の出力が三相交流電力である場合には、制御基板60は、各相毎に電圧基準 V_R を生成する。

[0035] PWM制御器62は、入力された電圧基準 V_R を基に、3レベルインバータ20の各スイッチング素子40のオン・オフを切り替えるためのPWM信号を生成する。PWM制御器62は、電圧基準 V_R とキャリア信号 $CS1$ 、 $CS2$ (図2参照)とを比較することによって、PWM信号を生成する。キャリア信号 $CS1$ 、 $CS2$ は、例えば、三角波状の信号である。PWM制御器62は、例えば、各スイッチング素子40に対応する複数のPWM信号を生成する。PWM制御器62は、生成した各PWM信号をゲート基板64に

入力する。

- [0036] ゲート基板 64 は、PWM制御器 62 に接続されるとともに、各スイッチング素子 40 の制御端子に接続されている。ゲート基板 64 は、入力された各 PWM 信号から各スイッチング素子 40 毎の複数のゲート信号（駆動信号）を生成し、生成した各ゲート信号を各スイッチング素子 40 のそれぞれの制御端子に入力する。これにより、制御部 14 は、各スイッチング素子 40 のオン・オフを制御する。
- [0037] 瞬低検出部 66 には、電圧検出器 33 による電力系統 4 の交流電圧 V_{AC} の検出結果が入力される。瞬低検出部 66 は、入力された交流電圧 V_{AC} の検出結果を基に、電力系統 4 の瞬時電圧低下の検出を行い、検出結果を PWM 制御器 62 に入力する。瞬低検出部 66 は、例えば、交流電圧 V_{AC} の残電圧が第 1 閾値未満になった場合に、電力系統 4 の瞬時電圧低下の発生を検出する。瞬低検出部 66 は、例えば、瞬時電圧低下を検出した後、交流電圧 V_{AC} の残電圧が第 2 閾値以上になった場合に、電力系統 4 の瞬時電圧低下からの復帰を検出する。
- [0038] 残電圧とは、低下前の電圧に対する低下後の電圧の比率である。第 1 閾値は、例えば、80%である。第 2 閾値は、例えば、90%である。瞬低検出部 66 は、例えば、交流電圧 V_{AC} の残電圧が 80%未満になった場合に、電力系統 4 の瞬時電圧低下の発生を検出し、90%以上になった場合に、電力系統 4 の瞬時電圧低下からの復帰を検出する。このように、第 2 閾値は、第 1 閾値よりも大きくする。換言すれば、交流電圧 V_{AC} の残電圧の判定にヒステリシスを持たせる。これにより、瞬低検出部 66 の出力が、瞬時電圧低下の検出状態と非検出状態とで交互に切り替わってしまうことを抑制することができる。なお、交流電圧 V_{AC} の残電圧の判定は、必ずしもヒステリシスを持たなくてもよい。第 2 閾値は、第 1 閾値と同じでもよい。第 2 閾値は、第 1 閾値以上であればよい。
- [0039] 図 2 (a) 及び図 2 (b) は、実施形態に係る PWM 制御器の動作の一例を模式的に表すグラフ図である。

図 2 (a) は、PWM制御器 62 のユニポーラ変調方式の動作の一例を模式的に表す。図 2 (b) は、PWM制御器 62 のダイポーラ変調方式の動作の一例を模式的に表す。PWM制御器 62 は、ユニポーラ変調方式とダイポーラ変調方式とを用い、各方式を切り替えて PWM 信号の生成を行う。

[0040] 図 2 (a) 及び図 2 (b) に表したように、PWM制御器 62 は、ユニポーラ変調方式及びダイポーラ変調方式のそれぞれにおいて、1つの電圧基準 V_R と、2つのキャリア信号 $CS1$ 、 $CS2$ と、を用いる。キャリア信号 $CS2$ の直流バイアス成分は、キャリア信号 $CS1$ の直流バイアス成分と異なる。この例において、ユニポーラ変調方式は、換言すれば、ダブルキャリアユニポーラ PWM 方式であり、ダイポーラ変調方式は、換言すれば、ダブルキャリアダイポーラ PWM 方式である。

[0041] ユニポーラ変調方式において、キャリア信号 $CS1$ 、 $CS2$ のそれぞれの振幅は、0.5 である。また、ユニポーラ変調方式において、キャリア信号 $CS1$ の直流バイアス成分は、0.5 であり、キャリア信号 $CS2$ の直流バイアス成分は、-0.5 である。

[0042] ダイポーラ変調方式において、キャリア信号 $CS1$ 、 $CS2$ のそれぞれの振幅は、1.0 である。また、ダイポーラ変調方式において、キャリア信号 $CS1$ の直流バイアス成分は、0.5 であり、キャリア信号 $CS2$ の直流バイアス成分は、-0.5 である。

[0043] なお、各方式におけるキャリア信号 $CS1$ 、 $CS2$ の振幅及び直流バイアス成分は、上記に限ることなく、3レベルインバータ 20 の動作を制御可能な範囲において、任意に設定可能である。各方式による PWM 信号の生成方法、及び 3レベルインバータ 20 の各スイッチング素子 40 の制御方法については、例えば、上記の非特許文献 1 などに、より詳細に記載されている。

[0044] PWM制御器 62 は、瞬低検出部 66 の検出結果に応じて、ユニポーラ変調方式とダイポーラ変調方式とを切り替える。PWM制御器 62 は、瞬低検出部 66 が瞬時電圧低下を検出していない場合に、ユニポーラ変調方式を用いて PWM 信号の生成を行う。そして、PWM制御器 62 は、瞬低検出部 6

6が瞬時電圧低下を検出した場合に、ダイポーラ変調方式を用いてPWM信号の生成を行う。

[0045] PWM制御器62は、瞬低検出部66による瞬時電圧低下の検出に応じてユニポーラ変調方式からダイポーラ変調方式に切り替え、瞬時電圧低下からの復帰の検出に応じてダイポーラ変調方式からユニポーラ変調方式に切り替える。

[0046] PWM制御器62は、例えば、各キャリア信号CS1、CS2の振幅を変化させることによって、ユニポーラ変調方式とダイポーラ変調方式とを切り替える。PWM制御器62は、例えば、各キャリア信号CS1、CS2の振幅を0.5から1.0に変化させることにより、ユニポーラ変調方式からダイポーラ変調方式に切り替える。この際、PWM制御器62は、例えば、各キャリア信号CS1、CS2の振幅を所定時間かけて0.5から1.0に単調増加させることにより、ユニポーラ変調方式からダイポーラ変調方式に徐々に変化させる。これにより、変調方式の急変を抑制することができる。例えば、変調方式の急変にともなうノイズの発生などを抑制することができる。

[0047] 同様に、PWM制御器62は、例えば、各キャリア信号CS1、CS2の振幅を所定時間かけて1.0から0.5に単調減少させることにより、ダイポーラ変調方式からユニポーラ変調方式に徐々に変化させる。

[0048] ユニポーラ変調方式とダイポーラ変調方式との切り替えは、各キャリア信号CS1、CS2の振幅に限ることなく、各キャリア信号CS1、CS2の直流バイアス成分を用いて行ってもよい。PWM制御器62は、例えば、各キャリア信号CS1、CS2の振幅及び直流バイアス成分の少なくとも一方を用いてユニポーラ変調方式とダイポーラ変調方式とを切り替える。ユニポーラ変調方式とダイポーラ変調方式との切り替えにおいては、例えば、電圧基準VRの振幅をさらに変化させてもよい。

[0049] ユニポーラ変調方式とダイポーラ変調方式との切り替えにおいては、例えば、各キャリア信号CS1、CS2の周波数（キャリア周波数）を変化させ

てもよい。ダイポーラ変調方式における各キャリア信号CS1、CS2の周波数は、例えば、ユニポーラ変調方式における各キャリア信号CS1、CS2の周波数の半分に設定する。これにより、例えば、3レベルインバータ20の各スイッチング素子40のスイッチング周波数を各方式間で実質的に同じにすることができる。

[0050] ユニポーラ変調方式とダイポーラ変調方式との切り替えにおいて、各キャリア信号CS1、CS2の振幅及び直流バイアス成分の少なくとも一方は、上記のように、徐々に変化させてもよいし、ユニポーラ変調方式の値とダイポーラ変調方式の値とに選択的に切り替えてもよい。振幅及び直流バイアス成分の少なくとも一方を徐々に変化させる場合、振幅及び直流バイアス成分の少なくとも一方の値は、連続的に変化させてもよいし、段階的に変化させてもよい。

[0051] また、振幅及び直流バイアス成分の少なくとも一方を徐々に変化させる場合、各方式の変化に要する所定時間は、0.1秒未満であることが好ましい。所定時間は、例えば、0.01秒以上0.1秒未満程度であることが好ましい。

[0052] 図3は、実施形態に係る系統連系インバータ装置の運転方法の一例を模式的に表すフローチャートである。

図3に表したように、系統連系インバータ装置10の制御部14は、動作を開始すると、瞬低検出部66に瞬時電圧低下の検出を行わせる（図3のステップS1）。瞬低検出部66は、電圧検出器33から入力された交流電圧 V_{AC} の検出結果を基に、電力系統4の瞬時電圧低下の検出を行い、検出結果をPWM制御器62に入力する。

[0053] また、制御部14は、動作を開始すると、制御基板60に電圧基準VRの生成を開始させる。制御基板60は、各電圧検出器31～33の検出結果、各電流検出器36～38の検出結果、及び電流指令値などに基づいて電圧基準VRを生成し、電圧基準VRをPWM制御器62に入力する。

[0054] PWM制御器62は、瞬時電圧低下が検出されていない場合、ユニポーラ

変調方式を用いてPWM信号を生成し、PWM信号をゲート基板64に入力する（図3のステップS2）。

[0055] ゲート基板64は、入力されたPWM信号を基に、3レベルインバータ20の各スイッチング素子40のゲート信号を生成し、各ゲート信号を各スイッチング素子40の制御端子に入力することにより、各スイッチング素子40のオン・オフを制御する。すなわち、3レベルインバータ20による直流電力から交流電力への変換を制御する（図3のステップS3）。

[0056] 制御部14は、瞬低検出部66によって瞬時電圧低下が検出されていない場合、上記のステップS1～ステップS3の処理を繰り返し実行する。これにより、直流電源2の直流電力が交流電力に変換され、変換後の交流電力が電力系統4に供給される。

[0057] 一方、PWM制御器62は、瞬低検出部66によって瞬時電圧低下が検出された場合、変調方式をユニポーラ変調方式からダイポーラ変調方式に切り替える。この際、PWM制御器62は、ユニポーラ変調方式からダイポーラ変調方式に所定時間かけて徐々に変化させる。そして、PWM制御器62は、ダイポーラ変調方式を用いてPWM信号を生成し、PWM信号をゲート基板64に入力する（図3のステップS4）。

[0058] ゲート基板64は、ステップS3と同様に、PWM信号から各スイッチング素子40のゲート信号を生成し、各スイッチング素子40のオン・オフを制御する（図3のステップS5）。これにより、制御部14は、瞬時電圧低下の発生時にも運転を継続するFRT機能を提供する。より詳しくは、LVRT（Low Voltage Ride Through）機能を提供する。

[0059] 制御部14は、瞬低検出部66によって瞬時電圧低下の発生が検出された場合、瞬時電圧低下の検出のタイミングから計時を開始し、所定時間が経過したか否かを判定する（図3のステップS6）。所定時間は、例えば、1秒である。

[0060] 所定時間が経過していない場合、制御部14は、ステップS1に戻る。瞬時電圧低下が継続している場合には、ステップS4～ステップS6の処理が

繰り返され、瞬時電圧低下の発生時の運転継続の動作が実行される。一方、所定時間の経過の前に、瞬時電圧低下からの復帰が検出された場合には、PWM制御器62が、変調方式をダイポーラ変調方式からユニポーラ変調方式に切り替え、ステップS1～ステップS3の定常時の動作に戻る。

[0061] 制御部14は、瞬時電圧低下の発生から所定時間が経過したと判定した場合、3レベルインバータ20の各スイッチング素子40の制御を停止する。換言すれば、制御部14は、電圧低下の検出から所定時間経過した場合には、電力系統4の系統事故であると判断し、3レベルインバータ20の動作をエラー停止させる。

[0062] このように、本実施形態に係る系統連系インバータ装置10では、瞬時電圧低下の発生を検出していない状態では、ユニポーラ変調方式を用いて3レベルインバータ20の各スイッチング素子40の動作を制御し、瞬時電圧低下の発生を検出している状態では、ダイポーラ変調方式を用いて3レベルインバータ20の各スイッチング素子40の動作を制御する。換言すれば、系統連系インバータ装置10は、変調率の高い状態においては、ユニポーラ変調方式を用い、変調率の低い状態においては、ダイポーラ変調方式を用いる。なお、変調率は、 V_{AC} （実効値）／ V_{DC} で表される直流電圧と交流電圧との比率である。

[0063] ダイポーラ変調方式では、変調率が高い場合（例えば0.5以上）に、ユニポーラ変調方式に比べて各スイッチング素子40のオン・オフにともなうスイッチング損失が増大してしまう。系統連系インバータ装置10は、瞬時電圧低下の発生を検出していない変調率の高い状態において、ユニポーラ変調方式を用いる。これにより、系統連系インバータ装置10では、定常運転時におけるスイッチング損失の増大を抑制することができる。

[0064] また、ユニポーラ変調方式では、変調率が低い場合（例えば0.5未満）に、ダイポーラ変調方式に比べて低次の高調波が発生し易くなってしまう。系統連系インバータ装置10は、瞬時電圧低下の発生を検出している変調率の低い状態において、ダイポーラ変調方式を用いる。これにより、系統連系

インバータ装置 10 では、F R T の運転期間中における高調波の発生を抑制することができる。例えば、F R T の運転期間中においても、正弦波に近い波形を出力し、安定した動作を得ることができる。

[0065] このように、本実施形態に係る系統連系インバータ装置 10 では、瞬時電圧低下の検出結果に応じて、ユニポーラ変調方式とダイポーラ変調方式とを切り替える。これにより、スイッチング損失を抑制し、かつ安定した動作を得ることができる。

[0066] 例えば、太陽光発電の F R T 機能では、残電圧が 20 % 以上で継続時間が 1 秒以内の瞬時電圧低下に対して、ゲートブロックせずに運転継続を行い、電圧の復帰後 0.1 秒以内に、電圧低下前の 80 % 以上の出力に復帰することが求められている。

[0067] これに対して、系統連系インバータ装置 10 では、例えば、残電圧が 80 % 未満になった場合に瞬時電圧低下の発生を検出し、瞬時電圧低下の検出から 0.1 秒以内にユニポーラ変調方式からダイポーラ変調方式に切り替えて運転を継続し、残電圧が 90 % 以上になった場合に瞬時電圧低下からの復帰を検出し、復帰の検出から 0.1 秒以内にダイポーラ変調方式からユニポーラ変調方式に切り替えて、電圧低下前の 80 % 以上の交流電圧を出力する。これにより、系統連系インバータ装置 10 において、太陽光発電の F R T 機能を満たすことができる。

[0068] 図 4 は、実施形態に係る 3 レベルインバータの一例を模式的に表すブロック図である。図 4 に表したように、3 レベルインバータ I N V 1 (20) は、複数のスイッチング素子 40 と、複数の整流素子 41、42 と、複数の電荷蓄積素子 43、44 と、を有する。この例において、3 レベルインバータ I N V 1 は、三相ブリッジ型である。この例において、電力系統 4 の交流電力及び 3 レベルインバータ I N V 1 の変換する交流電力は、三相交流電力である。

[0069] 3 レベルインバータ I N V 1 は、直流端子 20p、20n と、交流端子 20u、20v、20w と、6 つのアーム A U、A V、A W、A X、A Y、A

Zと、を有する。3レベルインバータINV1は、直流端子20p、20nを介して直流電源2に接続される。そして、3レベルインバータINV1は、交流端子20u、20v、20wを介して電力系統4に接続される。

[0070] 各アームAU、AV、AW、AX、AY、AZは、直流端子20p、20nの間に設けられる。3レベルインバータINV1では、アームAUとアームAXとの接続点、アームAVとアームAYとの接続点、及びアームAWとアームAZとの接続点のそれぞれが、交流端子20u、20v、20wになる。

[0071] この例において、3レベルインバータINV1は、12個のスイッチング素子40と、12個の整流素子41と、6個の整流素子42と、2個の電荷蓄積素子43、44と、を有する。各スイッチング素子40は、三相ブリッジ接続されている。各整流素子41は、各スイッチング素子40に逆並列に接続されている。電荷蓄積素子43、44は、直流端子20p、20nの間に直列に接続されている。電荷蓄積素子43、44は、例えば、コンデンサである。これにより、電荷蓄積素子43、44の接続点が、中性点20cになる。

[0072] 各交流端子20u、20v、20wに接続される各相のアームAU、AV、AW、AX、AY、AZのそれぞれの構成は、実質的に同じである。従って、ここでは例示として交流端子20u（U相）に接続される2つのアームAU、AXについて説明する。

[0073] 正側のアームAUは、直列に接続された2つのスイッチング素子Q1、Q2と、これらのスイッチング素子Q1、Q2のそれぞれに逆並列に接続された整流素子DF1、DF2と、各スイッチング素子Q1、Q2の直列接続点と中性点20cとの間に接続された整流素子DC1と、を有する。

[0074] 同様に、負側のアームAXは、直列に接続された2つのスイッチング素子Q3、Q4と、これらのスイッチング素子Q3、Q4のそれぞれに逆並列に接続された整流素子DF3、DF4と、各スイッチング素子Q3、Q4の直列接続点と中性点20cとの間に接続された整流素子DC2と、を有する。

[0075] 両アームAU、AXは、直流端子20p、20nとの間に直列に接続され、両アームAU、AXの直列接続点がU相の交流端子20uに接続される。スイッチング素子Q1、Q2の直列接続点の電位は、整流素子DC1を介して中性点電位にクランプされる。同様に、スイッチング素子Q3、Q4の直列接続点の電位は、整流素子DC2を介して中性点電位にクランプされる。整流素子DF1～DF4（各整流素子41）は、いわゆる還流ダイオードである。整流素子DC1、DC2（各整流素子42）は、いわゆるクランプダイオードである。

[0076] アームAV、AWの構成は、アームAUの構成と実質的に同じである。アームAY、AZの構成は、アームAXの構成と実質的に同じである。これにより、各スイッチング素子40のスイッチングに応じて、交流端子20u、20v、20wの電位が、直流端子20p、直流端子20n、及び中性点20cの3レベルのいずれかの電位にクランプされる。3レベルインバータINV1は、いわゆる中性点クランプ型の変換器である。3レベルインバータINV1は、いわゆるNPC（NPC：Neutral-Point-Clamped）インバータである。

[0077] このようなNPC型の3レベルインバータINV1において、上述のように、瞬時電圧低下の検出結果に応じて、ユニポーラ変調方式とダイポーラ変調方式とを切り替えて制御を行う。これにより、スイッチング損失を抑制し、かつ安定した動作を得ることができる。

[0078] 図5は、実施形態に係る3レベルインバータの別の一例を模式的に表すブロック図である。

図5に表したように、3レベルインバータINV2（20）は、複数のスイッチング素子40と、複数の整流素子41と、複数の電荷蓄積素子43、44と、を有する。3レベルインバータINV2では、図4に関して説明した3レベルインバータINV1に比べて、クランプダイオードとして機能する整流素子42が省略されている。なお、図4に関して説明した3レベルインバータINV1と機能・構成上実質的に同じものについては、同符号を付

し、詳細な説明は省略する。

[0079] この例では、アーム A U、A X のそれぞれに、1 つのスイッチング素子 Q 1、Q 4 が設けられる。そして、交流端子 20 u と中性点 20 c との間に、直列に接続された 2 つのスイッチング素子 Q 2、Q 3 が設けられる。

[0080] スwitchング素子 Q 2 において電流の流れる向きは、スイッチング素子 Q 3 において電流の流れる向きと反対である。スイッチング素子 Q 2 をオン状態にした時に、スイッチング素子 Q 2 に流れる電流の向きは、中性点 20 c から交流端子 20 u に向かう方向である。スイッチング素子 Q 3 をオン状態にした時に、スイッチング素子 Q 3 に流れる電流の向きは、交流端子 20 u から中性点 20 c に向かう方向である。すなわち、この例における 3 レベルインバータ 1 N V 2 は、いわゆる T 型 N P C インバータである。

[0081] 3 レベルインバータ 1 N V 2 においても、3 レベルインバータ 1 N V 1 と同様に、瞬時電圧低下の検出結果に応じて、ユニポーラ変調方式とダイポーラ変調方式とを切り替えることにより、スイッチング損失を抑制し、かつ安定した動作を得ることができる。

[0082] このように、3 レベルインバータ 20 は、3 レベルの電圧を出力可能であり、かつユニポーラ変調方式を用いた制御とダイポーラ変調方式を用いた制御とに対応可能な任意の回路構成でよい。3 レベルインバータ 20 の回路構成は、上記の 3 レベルインバータ 1 N V 1、1 N V 2 に限ることなく、適宜変更可能である。

[0083] 以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明の実施形態は、これらの具体例に限定されるものではない。例えば、系統連系インバータ装置に含まれる、3 レベルインバータ、電圧検出器、及び制御部などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

また、各具体例のいずれか 2 つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

- [0084] その他、本発明の実施の形態として上述した系統連系インバータ装置及びその運転方法を基にして、当業者が適宜設計変更して実施し得る全ての系統連系インバータ装置及びその運転方法も、本発明の要旨を包含する限り、本発明の範囲に属する。
- [0085] その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。
- [0086] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明とその均等の範囲に含まれる。

請求の範囲

[請求項1] 複数のスイッチング素子を有し、直流電源及び交流の電力系統に接続され、前記直流電源から供給された直流電力を前記複数のスイッチング素子のオン・オフによって直流電力から交流電力に変換し、前記交流電力を前記電力系統に供給する3レベルインバータと、

前記電力系統の交流電圧を検出する電圧検出器と、

前記電圧検出器の検出結果を基に、前記電力系統の瞬時電圧低下の検出を行い、前記瞬時電圧低下を検出していない状態では、ユニポーラ変調方式を用いて前記複数のスイッチング素子の動作を制御し、前記瞬時電圧低下を検出している状態では、ダイポーラ変調方式を用いて前記複数のスイッチング素子の動作を制御することにより、前記3レベルインバータによる前記直流電力から前記交流電力への変換を制御する制御部と、

を備えた系統連系インバータ装置。

[請求項2] 前記制御部は、前記ユニポーラ変調方式と前記ダイポーラ変調方式とのそれぞれにおいて、直流バイアス成分の異なる三角波状の2つのキャリア信号と、正弦波状の電圧基準と、を用い、前記2つのキャリア信号と前記電圧基準との比較によって前記複数のスイッチング素子の動作を制御し、前記2つのキャリア信号のそれぞれの振幅及び直流バイアス成分の少なくとも一方を所定時間かけて変化させることにより、前記ユニポーラ変調方式から前記ダイポーラ変調方式に又は前記ダイポーラ変調方式から前記ユニポーラ変調方式に徐々に変化させる請求項1記載の系統連系インバータ装置。

[請求項3] 前記制御部は、前記電圧検出器によって検出された前記交流電圧の残電圧が第1閾値未満になった場合に、前記瞬時電圧低下の発生を検出し、前記瞬時電圧低下を検出した後、前記交流電圧の残電圧が第2閾値以上になった場合に、前記瞬時電圧低下からの復帰を検出し、

前記第2閾値は、前記第1閾値よりも大きい請求項1記載の系統連

系インバータ装置。

[請求項4] 前記制御部は、前記瞬時電圧低下の検出のタイミングから所定時間の計時を開始し、前記所定時間の経過の前に前記瞬時電圧低下からの復帰が検出された場合には、前記ダイポラ変調方式から前記ユニポラ変調方式に切り替えて定常時の動作に戻り、前記所定時間が経過した場合には、前記複数のスイッチング素子の制御を停止する請求項1記載の系統連系インバータ装置。

[請求項5] 複数のスイッチング素子を有し、直流電源及び交流の電力系統に接続され、前記直流電源から供給された直流電力を前記複数のスイッチング素子のオン・オフによって直流電力から交流電力に変換し、前記交流電力を前記電力系統に供給する3レベルインバータと、

前記電力系統の交流電圧を検出する電圧検出器と、

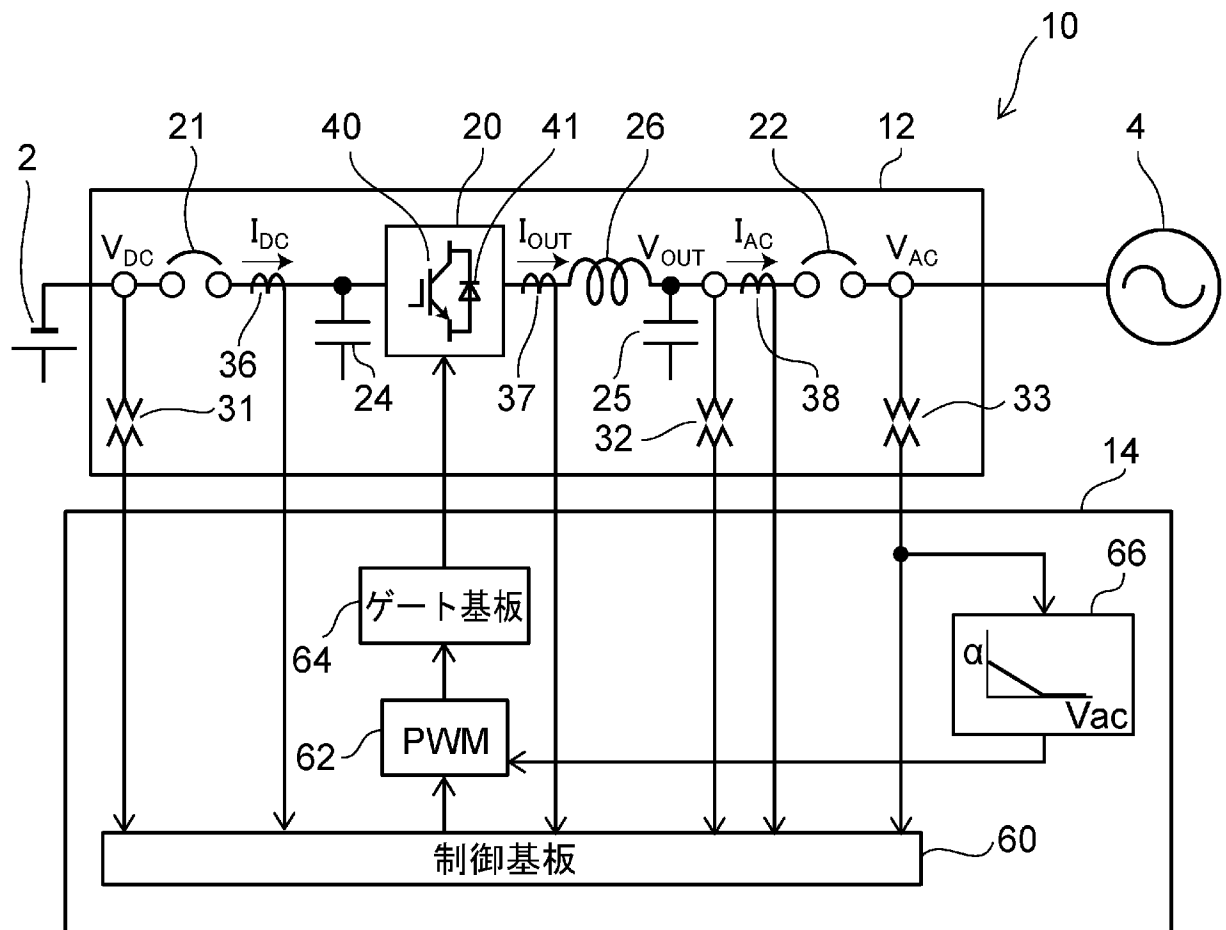
を備えた系統連系インバータ装置の運転方法であって、

前記電圧検出器の検出結果を基に、前記電力系統の瞬時電圧低下の検出を行う工程と、

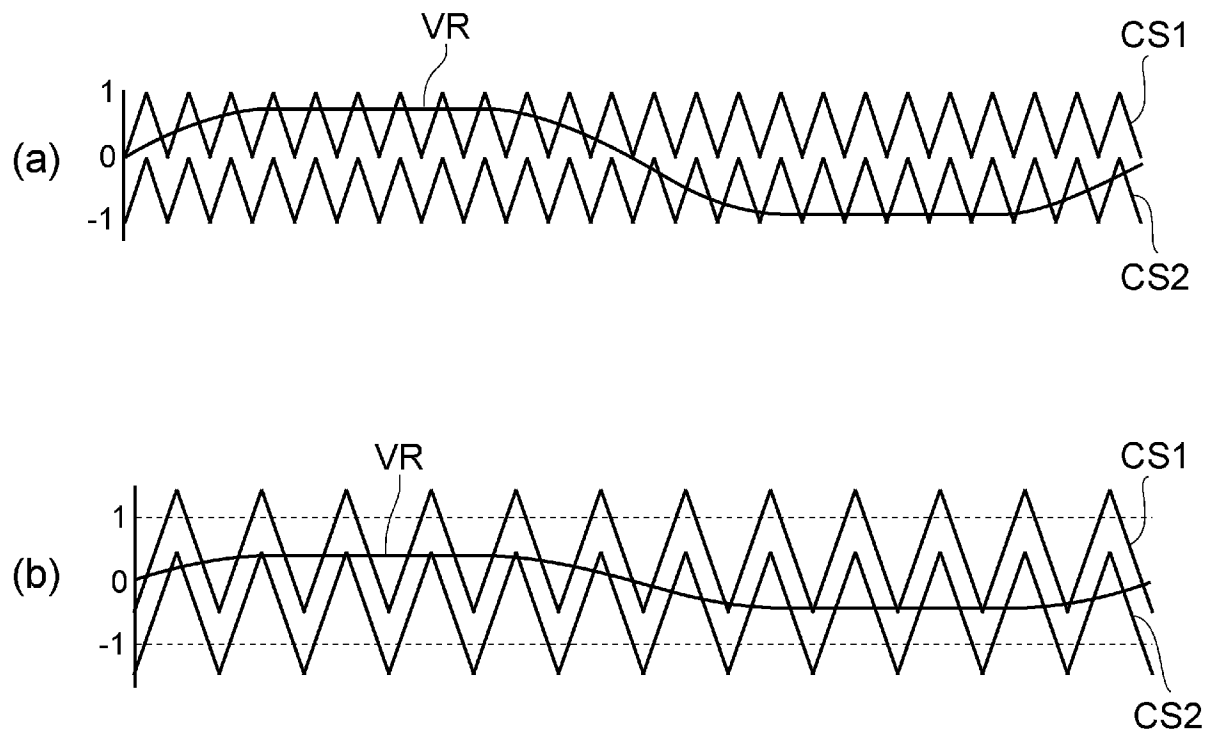
前記瞬時電圧低下を検出していない状態では、ユニポラ変調方式を用いて前記複数のスイッチング素子の動作を制御し、前記瞬時電圧低下を検出している状態では、ダイポラ変調方式を用いて前記複数のスイッチング素子の動作を制御することにより、前記3レベルインバータによる前記直流電力から前記交流電力への変換を制御する工程と、

を有する系統連系インバータ装置の運転方法。

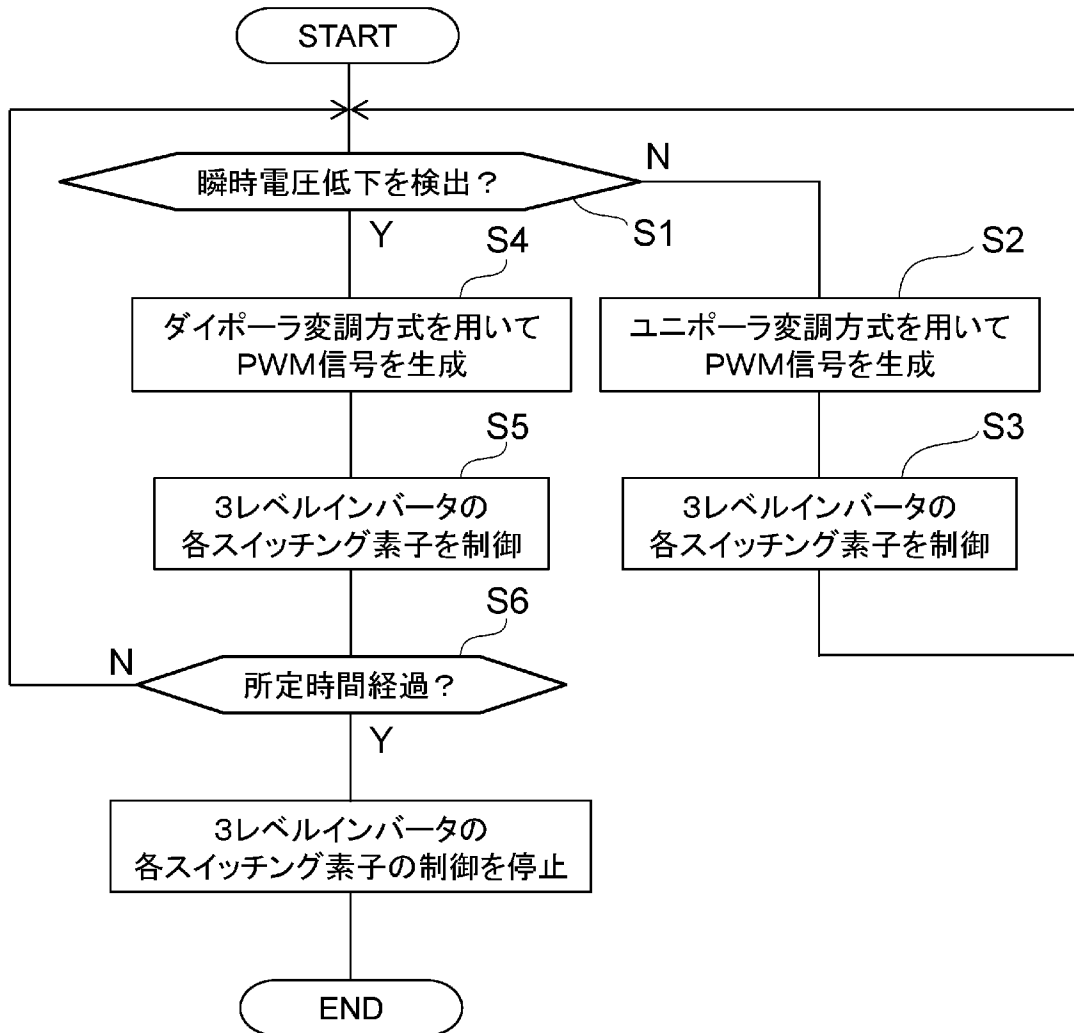
[図1]



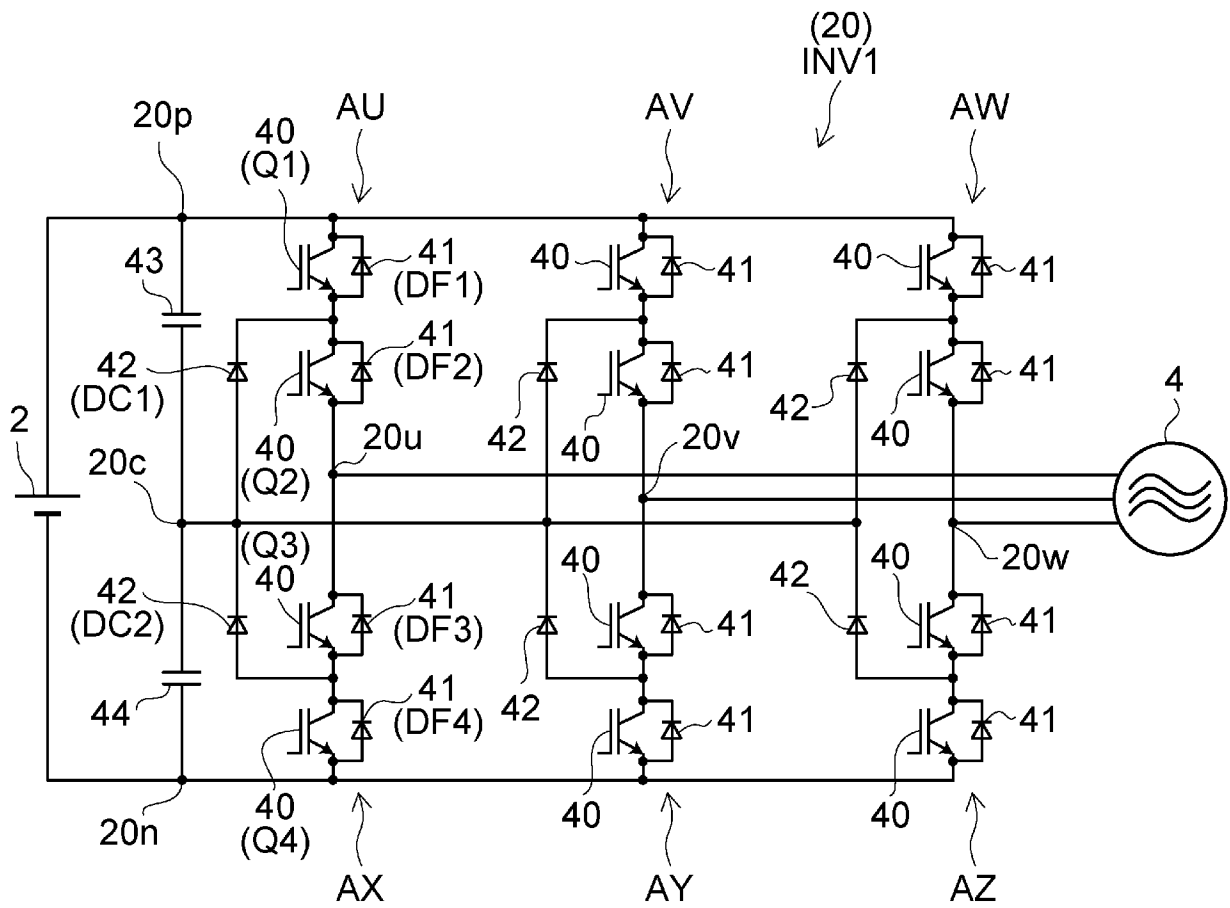
[図2]



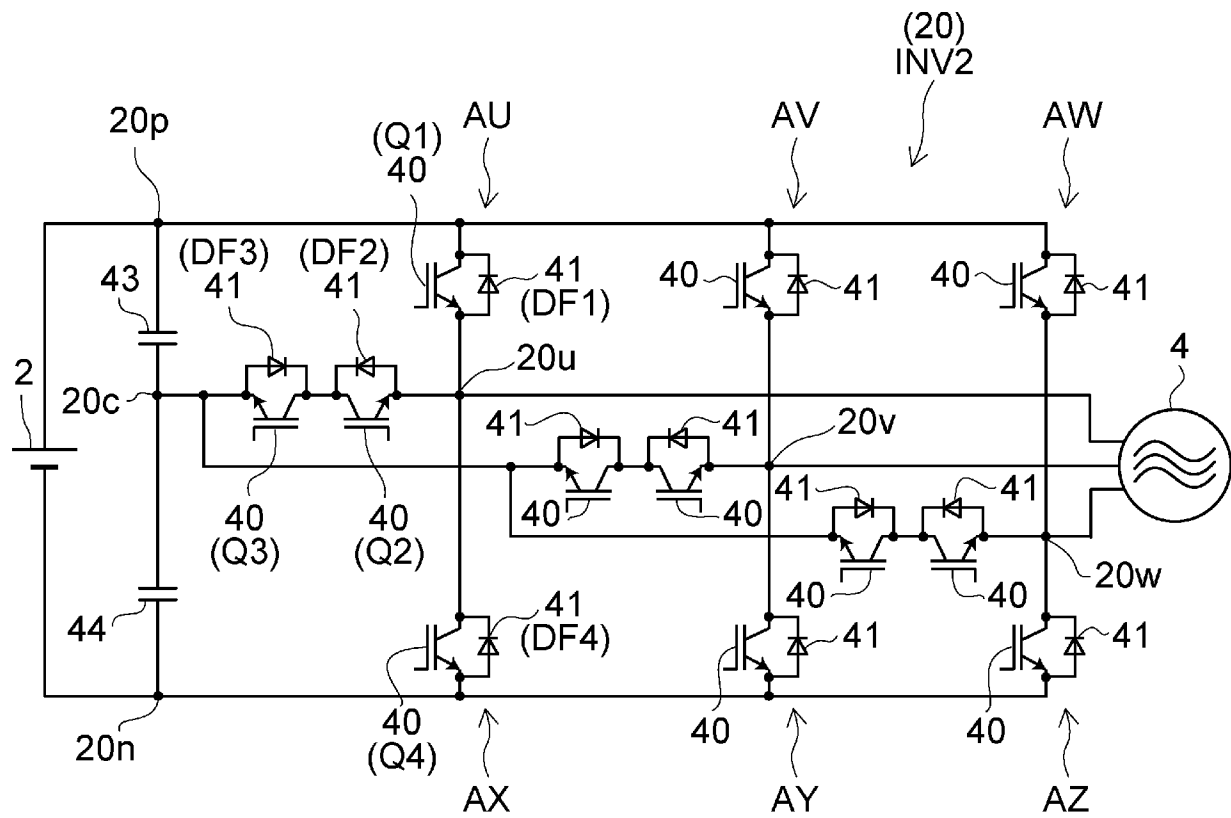
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/073928

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48(2007.01)i, H02M7/483(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-70498 A (Daihen Corp.), 05 April 2012 (05.04.2012), paragraphs [0030] to [0048]; fig. 1, 2 (Family: none)	1, 3-5 2
Y A	JP 9-149658 A (Hitachi, Ltd.), 06 June 1997 (06.06.1997), paragraphs [0003] to [0006]; fig. 16, 17 (Family: none)	1, 3-5 2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 October 2016 (17.10.16)

Date of mailing of the international search report
25 October 2016 (25.10.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/073928

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-192562 A (Toshiba Corp.), 02 November 2015 (02.11.2015), paragraphs [0011] to [0013], [0029] to [0031]; fig. 1 & US 2015/0280546 A1 paragraphs [0023] to [0025], [0041] to [0043]; fig. 1 & EP 2930840 A2	3-4
A	JP 2009-165265 A (Mitsubishi Electric Corp.), 23 July 2009 (23.07.2009), paragraphs [0008] to [0014]; fig. 1 to 3 (Family: none)	1-5
A	JP 5-344739 A (Hitachi, Ltd.), 24 December 1993 (24.12.1993), entire text; all drawings & US 5467262 A entire text; all drawings & WO 93/024989 A1 & EP 0597132 A1 & CN 1083985 A	2

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M7/48(2007.01)i, H02M7/483(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-70498 A（株式会社ダイヘン）2012.04.05, 段落 [0030] - [0048], [図1], [図2] (ファミリーなし)	1, 3-5 2
Y A	JP 9-149658 A（株式会社日立製作所）1997.06.06, 段落 [0003] - [0006], [図16], [図17] (ファミリーなし)	1, 3-5 2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

17.10.2016

国際調査報告の発送日

25.10.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

東 昌秋

5G

3139

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-192562 A (株式会社東芝) 2015. 11. 02, 段落 [0011] – [0013], [0029] – [0031], [図1] & US 2015/0280546 A1, 段落[0023]–[0025], [0041]–[0043], 図1 & EP 2930840 A2	3-4
A	JP 2009-165265 A (三菱電機株式会社) 2009. 07. 23, 段落 [0008] – [0014], [図1] – [図3] (ファミリーなし)	1-5
A	JP 5-344739 A (株式会社日立製作所) 1993. 12. 24, 全文, 全図 & US 5467262 A, 全文, 全図 & WO 93/024989 A1 & EP 0597132 A1 & CN 1083985 A	2