(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 9 月 30 日(30.09.2010)

PCT

(10) 国際公開番号
WO 2010/109562 A1

(51) 国際特許分類:
H01G 4/12 (2006.01) *H01G 4/30* (2006.01)

(21) 国際出願番号: PCT/JP2009/006500

(22) 国際出願日: 2009 年 12 月 1 日(01.12.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-078722 2009 年 3 月 27 日(27.03.2009) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所(**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 戸上敬(**TOGAMI, Takashi**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号　株式会社村田製作所内 Kyoto (JP). 藤岡真人(**FUJIOKA, Masato**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号　株式会社村田製作所内 Kyoto (JP). 吉川宣弘 (**YOSHIKAWA, Norihiro**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号　株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 西澤均(**NISHIZAWA, Hitoshi**); 〒5500002 大阪府大阪市西区江戸堀１丁目２番１１号 大同生命南館５階 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

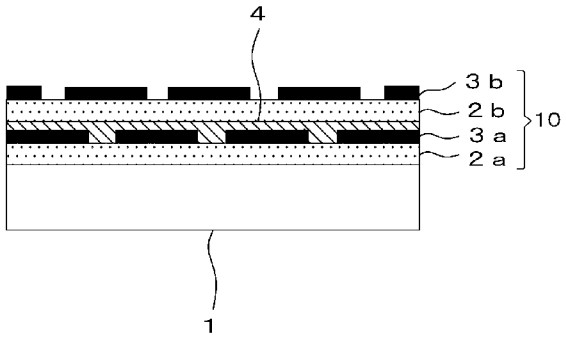
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: METHOD OF PRODUCING MULTILAYER CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称 : 積層セラミック電子部品の製造方法

[図2]



(57) **Abstract**: A method of producing a multilayer ceramic electronic component, which coats ceramic slurry over an internal electrode pattern and ceramic green sheet to suppress and prevent "sheet attacks" occurring when forming the ceramic green sheet. This method comprises: coating and drying a ceramic slurry on a substrate (1) to form a ceramic green sheet (2a); applying and drying an internal electrode paste on the sheet to form an internal electrode pattern (3a); coating and drying a resin paste on the sheet and the pattern to form an unhardened protective resin layer (4), said resin paste including a solvent and a resin, and said solvent having difficulty dissolving the organic binders contained in the ceramic green sheet and internal electrode pattern; then, in the same manner, forming a ceramic green sheet (2b) and forming an internal electrode pattern (3b) to form a composite multilayer structure (10). Then, the steps of stacking the composite multilayer structure (10) are repeated so as to form an unfired multilayer structure which will become the multilayer ceramic electronic component after firing.

(57) 要約:

[続葉有]

WO 2010/109562 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

積層セラミック電子部品の製造工程において、内部電極パターンおよびセラミックグリーンシート上にセラミックスラリーを塗布してセラミックグリーンシートを形成する際のシートアタックを抑制、防止する。 基材１上に、セラミックスラリーを塗布・乾燥してセラミックグリーンシート２ａを形成し、その上に内部電極ペーストを付与・乾燥させて内部電極パターン３ａを形成し、その上にセラミックグリーンシートおよび内部電極パターンに含まれる有機系バインダーを溶解しにくい溶剤と樹脂とを含む樹脂ペーストを塗布、乾燥して未硬化の保護樹脂層４を形成した後、同様にして、セラミックグリーンシート２ｂの形成、内部電極パターン３ｂの形成を行い、複合積層体１０を形成する。そして、この複合積層体１０を積み重ねる工程を繰り返して、焼成後に積層セラミック電子部品素子となる未焼成の積層体を形成する。

明　細　書

発明の名称 ： 積層セラミック電子部品の製造方法

技術分野

[0001] 本発明は、セラミックスラリーを塗布することによってセラミックグリーンシートを形成し、内部電極ペーストを所定のパターンで塗布することにより内部電極パターンを形成する工程を経て製造される、積層セラミック電子部品の製造方法に関する。

背景技術

[0002] 積層セラミックコンデンサのように、セラミック層と内部電極層とが交互に積層された構造を有する積層セラミック電子部品は、例えば、キャリアフィルム上にセラミックスラリーを塗工してセラミックグリーンシートを形成し、さらにセラミックグリーンシート上に内部電極ペーストを付与（印刷）して内部電極パターンを形成した後、所定パターンに打ち抜いたシートを順次積み重ねて積層体を形成し、これを焼成する工程を経て製造されるのが一般的である。

しかしながら、電子部品の薄層化、高特性化につれて、セラミックグリーンシートの積層枚数が増加し、積層工程に要する時間が長くなって、生産性が低下するに至っている。

[0003] そこで、キャリアフィルム上に形成したセラミックスラリーを印刷して形成したセラミックグリーンシート上に内部電極パターンを形成し、さらにその上にセラミックスラリーを印刷することによるグリーンシートの形成、内部電極パターンの形成を順に行うことにより、セラミックグリーンシートと内部電極パターンの少数単位積層体を形成し、これを打ち抜いた複合積層体を積み重ねることにより、積層工程に要する時間を短くして生産効率を向上させる方法が提案されている（特許文献１参照）。

[0004] しかしながら、上述のように内部電極パターンの上にさらにセラミックスラリーを印刷してセラミックグリーンシートを形成する方法の場合、上層と

して印刷したセラミックスラリーの溶剤によって下層の内部電極パターンやセラミックグリーンシート中の有機系バインダーが溶解される、いわゆるシートアタックが生じ、内部電極パターンの精度低下や、セラミックグリーンシートに生じるピンホールに起因するショート不良などが発生するという問題点がある。

[0005] また、シートアタックは、セラミックグリーンシートに含まれる有機系バインダーと内部電極ペーストとの組み合わせによっては、セラミックグリーンシート上に内部電極ペーストを付与する際にも発生する。そして、この場合のシートアタックを防止する技術として、硬化性樹脂を含有させたセラミックスラリーを用いてセラミックグリーンシートを成形し、内部電極ペーストを付与する前にセラミックグリーンシート中の硬化性樹脂を硬化させることにより、セラミックグリーンシート中の有機系バインダーが内部電極ペーストに溶解してしまうことを抑制、防止するようにした積層型電子部品の製造方法が提案されている（特許文献２参照）。

[0006] この方法の場合、硬化したセラミックグリーンシートが、内部電極ペーストによるアタックを受けにくくなるものの、上述の特許文献１に開示されている方法にこの方法を応用した場合、セラミックグリーンシート自体が硬化した状態で積層されることになるため、層間密着力が不十分になり、デラミネーションの原因となったり、積層工程で割れを生じたりするなどの問題点がある。

先行技術文献

特許文献

[0007] 特許文献1：特開平８－２５０３７０号公報

特許文献2：特開２００６－６６８５２号公報

発明の概要

発明が解決しようとする課題

[0008] 本発明は、上記課題を解決するものであり、セラミックグリーンシートを

硬化させることなく、内部電極パターンの上層として形成されるセラミックグリーンシート（セラミックスラリー）による内部電極パターンへのアタックを抑制、防止して、所望の特性を備えた、信頼性の高い積層セラミック電子部品を確実に製造することが可能で、しかも、セラミックグリーンシートや内部電極ペーストなどの構成材料（例えば、溶剤や有機系バインダーの種類など）を選択するにあたっての自由度の高い積層セラミック電子部品の製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 上記課題を解決するため、本発明（請求項１）の積層セラミック電子部品の製造方法は、

セラミック層と内部電極が積層され、セラミック層を介して内部電極が互いに対向するように配設された構造を有する積層セラミック電子部品の製造方法であって、

（ａ）基材上に、有機系バインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

（ｂ）前記セラミックグリーンシート上に、有機系バインダーと導電成分とを含む内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

（ｃ）前記セラミックグリーンシートおよび前記内部電極パターン上に、前記セラミックグリーンシートおよび前記内部電極パターンに含まれる前記有機系バインダーを溶解しにくい溶剤と樹脂とを含む樹脂ペーストを塗布、乾燥して未硬化の保護樹脂層を形成する工程と、

（ｄ）未硬化の前記保護樹脂層上に、前記セラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

（ｅ）前記セラミックグリーンシート上に、前記内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程とを備え、

前記（ｃ）～（ｅ）の工程を１回以上行うことを特徴としている。

[0010] また、本発明の積層セラミック電子部品の製造方法は、

セラミック層と内部電極が交互に積層され、セラミック層を介して内部電極が互いに対向するように配設された構造を有する積層セラミック電子部品の製造方法であって、

（ａ）基材上に、有機系バインダーと導電成分とを含む内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

（ｂ）前記内部電極パターンおよびその周囲の前記基材上に、前記内部電極パターンに含まれる前記有機系バインダーを溶解しにくい溶剤と樹脂とを含む樹脂ペーストを塗布、乾燥して未硬化の保護樹脂層を形成する工程と、

（ｃ）未硬化の前記保護樹脂層上に、有機系バインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

（ｄ）前記セラミックグリーンシート上に、前記内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

（ｅ）前記セラミックグリーンシート上および前記内部電極パターン上に、前記セラミックグリーンシートおよび前記内部電極パターンに含まれる前記有機系バインダーを溶解しにくい溶剤と樹脂とを含む樹脂ペーストを塗布、乾燥して未硬化の保護樹脂層を形成する工程と、

（ｆ）未硬化の前記保護樹脂層上に有機系バインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程とを備え、

前記（ｄ）～（ｆ）の工程を１回以上行うことを特徴としている。

[0011] また、本発明の積層セラミック電子部品の製造方法は、前記基材上に、請求項１の（ａ）～（ｅ）の工程、または、請求項２の（ａ）～（ｆ）の工程を経て形成される、複数層のセラミックグリーンシートと複数層の内部電極パターンとを備えた複合積層体を積み重ねる工程を繰り返して、焼成後に積層セラミック電子部品素子となる未焼成の積層体を形成する工程を備えていることを特徴としている。

[0012] また、本発明の積層セラミック電子部品の製造方法は、前記内部電極パターンを形成する工程の後で、形成された前記内部電極パターンの周囲の領域に、前記内部電極パターンとその周囲との段差を解消するための段差吸収層用セラミックペーストを塗布、乾燥して段差吸収層を形成する工程を備えていることを特徴としている。

[0013] また、前記内部電極パターンを形成する工程の前に、前記内部電極パターンが形成されるべき領域の周囲に、その後に形成される前記内部電極パターンとその周囲との段差を解消するための段差吸収層用セラミックペーストを塗布、乾燥して段差吸収層を形成し、その後、前記段差吸収層が形成されていない領域に前記内部電極ペーストを付与、乾燥することにより前記内部電極パターンを形成することを特徴としている。

[0014] また、本発明の積層セラミック電子部品の製造方法においては、前記保護樹脂層の厚みが、０．０３～０．２０μｍであることが望ましい。

[0015] また、本発明の積層セラミック電子部品の製造方法においては、前記保護樹脂層の形成に用いられる前記樹脂ペーストが、水系溶剤と水溶性樹脂とを含む樹脂ペーストであることが望ましい。

[0016] また、前記水系溶剤は、水と有機系溶剤とを含み、かつ、水の含有率が３０重量%以上のものであることが望ましい。

[0017] また、前記水系溶剤は、前記有機系溶剤としてアルコールを含むものであることが望ましい。

[0018] また、前記保護樹脂層に含まれる水溶性樹脂が、ポリビニルアルコールであり、重合度が５００以上、水酸基量９０%以上のものであることが望ましい。

[0019] また、前記保護樹脂層の形成に用いられる前記樹脂ペーストとして、該樹脂ペーストが硬化することにより形成される前記保護樹脂層におけるセラミック粉末の割合が、臨界粒子体積分率以下となるような割合でセラミック粉末を含有しているものを用いることが望ましい。

発明の効果

[0020] 本発明（請求項１および２）の積層セラミック電子部品の製造方法は、上述のように、保護樹脂層を介して、内部電極パターン上、または内部電極パターンおよびセラミックグリーンシート上に、セラミックスラリーを塗布するようにしているので、セラミックスラリーによるシートアタックを確実に抑制、防止して、所望の特性を備えた、信頼性の高い積層セラミック電子部品を確実に製造することが可能になる。

すなわち、本発明は、内部電極パターン上、または内部電極パターンおよびセラミックグリーンシート上に、該セラミックグリーンシートおよび内部電極パターンのバインダーを溶解しにくい溶剤と樹脂とを含む樹脂ペーストを塗布して未硬化の保護樹脂層を形成し、しかる後にその上に、セラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成するようにしているので、セラミックスラリーを直接に内部電極パターンおよびセラミックグリーンシートに接触させないようにすることが可能になり、シートアタックを確実に抑制、防止することが可能になる。

[0021] また、セラミックグリーンシートを硬化させることを必要とせずに、セラミックグリーンシートおよび内部電極パターンへのセラミックスラリーによるシートアタックを効果的に防止することが可能になるため、デラミネーションを引き起こすことなく、精度の高い内部電極を備えた積層セラミック電子部品を効率よく製造することが可能になる。

[0022] また、セラミックグリーンシートおよび内部電極パターンの有機系バインダーを溶解しにくい溶剤と樹脂とを含む保護樹脂層の上にセラミックスラリーを塗布するようにしているため、セラミックスラリーに使用する溶剤の選定の自由度を格段に向上させることが可能になる。

[0023] また、内部電極ペーストとセラミックスラリーとの間には保護樹脂層が介在する（保護樹脂層により縁が切られる）ため、セラミックスラリーが含有する溶剤や有機系バインダーとの関係で、内部電極ペーストが含有する有機系バインダーの種類が制約されることもなくなる。したがって、この点でも材料の選択の自由度が向上する。

[0024] なお、本発明において、セラミックスラリーを塗布するとは、コータ法や、ドクターブレード法などによりセラミックスラリーをシート状に成形する場合や、グラビア印刷法などによりセラミックスラリーをシート状に印刷する場合などを含む広い概念である。

[0025] また、内部電極ペーストを付与する方法としては、例えば、スクリーン印刷法などにより内部電極ペーストをセラミックグリーンシート上に印刷して付着させる方法などが例示されるが、内部電極ペーストを付与する方法はこれに限らず、その他の種々の方法を用いることが可能である。

[0026] なお、請求項２の発明においては、最初の保護樹脂層を形成する場合、用いられるべき樹脂ペーストとしては、内部電極パターンに含まれる有機系バインダーを溶解しにくいという要件を満たすものを用いればよいが、２回目以降の保護樹脂層を形成する場合には、先に形成されている内部電極パターンおよびセラミックグリーンシートのそれぞれに含まれる有機系バインダーを溶解しにくい樹脂ペーストを用いることが必要になる。ただし、溶剤の種類や有機系バインダーの種類を適切に選択することにより、通常は同じ樹脂ペーストを用いることができるように構成することが可能である。

[0027] また、複数層のセラミックグリーンシートおよび複数層の内部電極パターンを備えた複合積層体を積み重ねる工程を繰り返して、焼成後に積層セラミック電子部品素子となる未焼成の積層体を形成するようにした場合、積層工程に要する時間を減らして効率よく積層セラミック電子部品を製造することが可能になる。

[0028] また、内部電極パターンを形成した後、内部電極パターンの周囲の領域に、段差吸収層用セラミックペーストを塗布して段差吸収層を形成することにより、段差を解消して、層間剥離などの生じにくい信頼性の高い積層セラミック電子部品を得ることが可能になる。なお、段差吸収層を配設するようにした場合、使用材料の種類が増えることになるため、従来の技術では、シートアタック回避などのため、セラミックスラリーや内部電極ペーストに用いられる溶剤や有機系バインダーの選定の幅が狭くなるが、本発明においては

、保護樹脂層が上述のように所定の位置に介在して、シートアタックを防止する機能を果たすため、溶剤選定の自由度を高く維持することができる。

なお、段差吸収層用セラミックペーストは、その成分が、内部電極パターンに含まれる有機系バインダーを溶解しにくいものであることが望ましいが、内部電極パターンとはその周縁部で接するだけであることから、それほど厳密な要件となるものでない。

[0029] また、内部電極パターンを形成する前に、内部電極パターンが形成されるべき領域の周囲に、段差吸収層用セラミックペーストを塗布、乾燥して段差吸収層を形成し、その後、内部電極パターンを形成すべき領域に内部電極ペーストを付与、乾燥することにより内部電極パターンを形成するようにした場合にも、同様の作用効果を得ることが可能である。

なお、この場合、段差吸収層の形成されていない領域に付与される内部電極ペーストは、その成分が、段差吸収層に含まれる有機系バインダーを溶解しにくいものであることが望ましいが、内部電極ペーストはその周縁部において段差吸収層に接するだけであることから、それほど厳密な要件となるものでない。

[0030] また、保護樹脂層の厚さを０．０３～０．２０μｍとすることにより、シートアタックに起因する電気特性不良と、デラミネーションに起因する構造欠陥の双方を効率よく抑制することができるようになり、好ましい。

なお、保護樹脂層の厚さが０．０３μｍ未満になると、シートアタックを防止する作用が不十分になり、０．２０μｍを超えるとデラミネーションが生じやすくなる傾向がある。

[0031] また、本発明の積層セラミック電子部品の製造方法において、保護樹脂層の形成に用いられる樹脂ペーストとして、水系溶剤と水溶性樹脂とを含む樹脂ペーストを用いることにより、内部電極パターンおよびセラミックグリーンシートに含まれる有機系バインダーを溶解させてしまうことなく、内部電極パターンおよびセラミックグリーンシートを、その上に塗布されるセラミックスラリー（中の溶剤）によるアタックから保護する保護樹脂層を確実に

形成することが可能になる。

[0032] また、本発明において、水系溶剤として、水の含有率が３０重量%以上という要件を満たす範囲で有機系溶剤を含むものを用いることにより、セラミックグリーンシートおよび内部電極パターンに含まれる有機系バインダーを溶解させてしまうことを抑制、防止しつつ、乾燥時間の短縮が可能になるような水系溶剤の蒸発速度を実現することが可能になり、生産性を向上させることができる。

[0033] なお、水の含有率が３０重量%未満になり、有機系溶剤の割合が７０%以上にまで大きくなると、内部電極パターンおよびセラミックグリーンシートに含まれる有機系バインダーを溶解しやすくなってしまうため好ましくない。また、溶剤が水だけの場合や、水の含有率が高い場合、内部電極パターンおよびセラミックグリーンシートに含まれる有機系バインダーを溶解しにくい点では好ましいが、樹脂ペーストを塗布した後の乾燥工程において、長い乾燥時間が必要となり、生産性が低下するため好ましくない。

[0034] また、水系溶剤として、有機系溶剤としてアルコールを含むものを用いることにより、セラミックグリーンシートおよび内部電極パターンに含まれる有機系バインダーを溶解させてしまうことを抑制、防止しつつ、溶剤の蒸発速度を実用上問題のないレベルに保つことが可能になり本発明をより実効あらしめることができる。

[0035] また、保護樹脂層に含まれる水溶性樹脂として、重合度が５００以上、水酸基量９０%以上のポリビニルアルコールを用いることにより、保護樹脂層を介して、セラミックグリーンシート及び内部電極パターン上に塗布されるセラミックスラリーによるシートアタックを効率よく、抑制、防止し、シートアタックによるショート不良などの発生を効果的に抑制することができる。

[0036] また、樹脂ペーストとして、保護樹脂層におけるセラミック粉末の割合が臨界粒子体積分率以下となるような割合で、セラミック粉末を含有しているものを用いる、すなわち、保護樹脂層にセラミック粉末を含有させるように

した場合、焼成工程において、下層と上層のセラミックグリーンシートに保護樹脂層中のセラミック粉末を拡散させて、下層と上層のセラミックグリーンシートを強固に結合させることが可能になり、デラミネーションなどの構造欠陥の発生をさらに確実に防止することができる。

図面の簡単な説明

[0037] [図1]本発明の積層セラミック電子部品の製造方法により製造された積層セラミックコンデンサの一例を示す断面図である。

[図2]本発明の実施例１の積層コイル部品の製造方法の一工程で形成した複合積層体を示す断面図である。

[図3]本発明の実施例４の積層コイル部品の製造方法の一工程で形成した複合積層体を示す断面図である。

[図4]本発明の実施例５の積層コイル部品の製造方法の一工程で形成した複合積層体を示す断面図である。

[図5]本発明の実施例６の積層コイル部品の製造方法の一工程で形成した複合積層体を示す断面図である。

発明を実施するための形態

[0038] 以下に本発明の実施例を示して、本発明の特徴とするところをさらに詳しく説明する。

実施例 1

[0039] この実施例１では、代表的な積層セラミック電子部品の一つである、積層セラミックコンデンサを製造する場合を例にとって説明する。図１は、本発明の一実施例にかかる方法により製造される積層セラミックコンデンサの構成を示す図である。

図１に示すように、この積層セラミックコンデンサは、積層セラミック素子（積層セラミック電子部品素子）５１中に、セラミック層５２を介して、複数の内部電極５３ａ，５３ｂが積層され、かつ、セラミック層５２を介して互いに対向する内部電極５３ａ，５３ｂが交互に積層セラミック素子５１の異なる側の端面５４ａ，５４ｂに引き出されて、該端面に形成された外部

電極５５ａ，５５ｂに接続された構造を有している。

[0040] なお、この実施例１では、基材（支持フィルム）上に、第１誘電体グリーンシート（セラミックグリーンシート）、第１内部電極パターン、保護樹脂層、第２誘電体グリーンシート（セラミックグリーンシート）、第２内部電極パターンを順次積層して、複合積層体を形成し、この複合積層体を所定数だけ積層する工程を経て積層セラミックコンデンサを製造する場合について説明する。

[0041] （１）本発明の実施例１にかかる積層セラミックコンデンサの作製

炭酸バリウム（$BaCO_3$）および酸化チタン（TiO_2）を１：１のモル比となるように秤量した。そして、Ｄｙ、Ｍｇなどで変性し、ボールミルを用いて湿式混合し、脱水した後、乾燥させた。この乾燥粉末を、温度１０００℃で２時間仮焼した後、乾式粉砕することにより、セラミック原料を得た。得られたセラミック原料６０体積部と、有機系バインダーとしてポリビニルブチラールの高重合品３０体積部と、可塑剤としてフタル酸ジオクチル１０体積部と、溶剤としてトルエン／エタノール（５０／５０）の混合物９００体積部とを、直径１ｍｍのジルコニア製玉石６００体積部とともに、ボールミルに投入し、２４時間湿式混合を行って、セラミックスラリーを調製した。

なお、以下の各実施例、比較例ともセラミックグリーンシートを作製するためのセラミックスラリーとしては、ここで作製したセラミックスラリーと同じものを用いた。

[0042] また、内部電極パターンを形成するための内部電極ペーストとして、導電成分としてＮｉ粉末を、溶剤としてジヒドロターピネオールアセテートを、有機系バインダーとしてエチルセルロースを含むものを用いた。

なお、以下の各実施例、比較例とも、内部電極パターンを形成するための内部電極ペーストとしては、ここで作製した内部電極ペーストと同じものを用いている。

[0043] また、保護樹脂層を形成するための樹脂ペーストとして、ポリビニルアル

コールの高重合品（重合度：１７００、水酸基量：９８％）（水溶性樹脂）を水に溶解させた、樹脂濃度が１０重量%の樹脂水溶液を用意した。すなわち、この樹脂ペーストでは、有機溶剤を含まない水が水系溶剤として用いられている。

[0044] 上述のようにして調製したセラミックスラリーをコータ法により塗布して、図２に示すように、基材（支持フィルム）１上に厚さ１．２μｍの第１誘電体グリーンシート（セラミックグリーンシート）２ａを成形した。それから、８０℃、５分間の条件で乾燥を行った。

[0045] その後、乾燥させた第１誘電体グリーンシート２ａ上に、上述のようにして調製した内部電極ペースト（Ｎｉ電極ペースト）をスクリーン印刷法により塗布し、６０℃、５分間の条件で乾燥を行うことにより、厚さ０．５μｍの第１内部電極パターン３ａを形成した。

[0046] 次に、第１誘電体グリーンシート２ａと、その上に形成した第１内部電極パターン３ａを覆うように、樹脂ペースト、すなわち、上述のようにして作製した、有機溶剤を含まない水を水系溶剤として用い、この水系溶剤にポリビニルアルコール（ＰＶＡ）を１０重量%の割合で溶解させた樹脂ペーストを、所定の厚み（０．０１μｍ、０．０３μｍ、０．２０μｍ、０．２２μｍ）になるように塗布し、８０℃で１０分間乾燥させることにより保護樹脂層４を形成した。

[0047] なお、本発明において用いることが可能な水溶性樹脂の好ましい例としては、 ポリビニルアルコール（ＰＶＡ）以外にも、ポリビニルアセタール、ウレタン、アクリル、フッ素系樹脂、塩化ビニリデン、酢酸ビニル、アクリルスチレン、フェノール、ポリイミド、ポリアミドイミドなどが例示される。

[0048] それから、保護樹脂層４の上に、上記セラミックスラリーをコータ法により塗布して、厚さ１．２μｍの第２誘電体グリーンシート（セラミックグリーンシート）２ｂを成形し、８０℃で、５分間の条件で乾燥を行った。

[0049] 次に、第２誘電体グリーンシート２ｂ上に、スクリーン印刷法によりＮｉ

電極ペーストを塗布し、６０℃で５分間の条件で乾燥して、厚さ０．５μｍの第２内部電極パターン３ｂを形成した。そして、これにより２層の誘電体グリーンシート２ａ，２ｂと、２層の内部電極パターン３ａ，３ｂを有する複合積層体１０を得た。なお、この複合積層体１０は、１層の保護樹脂層４を備えている。

[0050] 得られた複合積層体１０を連続剥離・積層機を用いて基材（支持フィルム）から剥離させながら３００枚積み重ね、５０℃、１００ＭＰａの条件で１分間圧着することにより、焼成後に積層セラミック素子（積層セラミック電子部品素子）となる未焼成の積層体を作製した。

[0051] そして、得られた積層体をチップ状にカットし、５００℃の窒素雰囲気中において脱脂した後、還元雰囲気中において１２００℃で焼成して、積層セラミック素子５１（図１）を得た。なお、上述の保護樹脂層４は、この焼成工程で分解、燃焼して消失する。

[0052] それから、この積層セラミック素子に、外部電極形成用の導電性ペーストを塗布し、焼き付けることにより、図１に示すような構造を有する、本発明の実施例にかかる積層セラミックコンデンサ（実施例の試料１～４）を得た。

[0053] （２）比較用の積層セラミックコンデンサ（比較例１）の作製

比較のため、本発明の必須の構成要件である保護樹脂層を備えていない、比較例１の積層セラミックコンデンサを以下に説明する手順で作製した。

まず、上記実施例１の場合と同様の方法で調製された同じ組成のセラミックスラリーを用意した。

[0054] それから、このセラミックスラリーをコータ法により塗布して、基材（支持フィルム）上に厚さ１．２μｍの第１誘電体グリーンシートを成形し、８０℃、５分間の条件で乾燥を行った。

[0055] その後、乾燥させた第１誘電体グリーンシート上に、内部電極ペーストであるＮｉ電極ペースト（内部電極ペースト）をスクリーン印刷法により塗布し、６０℃、５分間の条件で乾燥を行うことにより、厚さ０．５μｍの第１

内部電極パターンを形成した。

[0056] 次に、上記セラミックスラリーをコータ法により塗布して、第１誘電体グリーンシート上に形成した第１内部電極パターン上に、厚さ１．２μｍの第２誘電体グリーンシートを成形し、８０℃で、５分間の条件で乾燥を行った。

[0057] それから、第２誘電体グリーンシート上に、スクリーン印刷法によりＮｉ電極ペーストを塗布し、６０℃で５分間の条件で乾燥して、厚さ０．５μｍの第２内部電極パターンを形成した。そして、これにより２層の誘電体グリーンシートと、２層の内部電極パターンを有する複合積層体を得た。ただし、この複合積層体は、保護樹脂層を備えていない。

[0058] 得られた複合積層体を連続剥離・積層機を用いて基材（支持フィルム）から剥離させながら３００枚積み重ね、５０℃、１００ＭＰａの条件で１分間圧着することにより、焼成後に積層セラミック素子となる未焼成の積層体を作製した。

[0059] そして、得られた積層体をチップ状にカットし、５００℃の窒素雰囲気中において脱脂した後、還元雰囲気中において１２００℃で焼成して、積層セラミック素子を得た。

それから、この積層セラミック素子に、外部電極形成用の導電性ペーストを塗布し、焼き付けることにより、図１に示すような構造を有する積層セラミックコンデンサ（比較例１）を得た。

[0060] （３）特性の評価

上述のようにして作製した実施例１の積層セラミックコンデンサ（試料１～４）と比較例１の積層セラミックコンデンサについて、電気特性不良率と、構造欠陥発生率を調べた。

[0061] なお、電気特性不良率は、上記実施例１の試料１～４と、比較例１の試料について、ショート不良発生率を調べ（ｎ＝１００）、これを電気特性不良率とした。

また、構造欠陥発生率は、上記実施例１の試料１～４および比較例１の試

料について、デラミネーション発生率を調べ（ｎ＝１００）、これを構造欠陥発生率とした。

その結果を表１に示す。

[0062]

[表1]

試　料	保護樹脂層の有無	保護樹脂層の厚さ	電気特性不良率 （ショート不良）	構造欠陥発生率 （デラミネーション）
1（実施例）	あり	あり（0.01μm）	7 %	0 %
2（実施例）		あり（0.03μm）	2 %	0 %
3（実施例）		あり（0.20μm）	1 %	0 %
4（実施例）		あり（0.22μm）	2 %	5 %
比較例1	なし	なし	100 %	0 %

[0063] 表１に示すように、製造工程で保護樹脂層を設けるようにしていない比較例１の積層セラミックコンデンサの場合、デラミネーション発生率は低いが、ショート不良発生率が高くなることが確認された。これは、誘電体シートどうしの接合力は損なわれないことからデラミネーション発生率は低いものの、製造工程でセラミックスラリーが直接に内部電極パターンやセラミックグリーンシートに接触することから、セラミックスラリー中の溶剤によるアタックを受け、ショート不良を発生したものと考えられる。なお、この比較例１の場合、ショート不良発生率は１００％であった。

[0064] これに対し、実施例１の積層セラミックコンデンサ（実施例の試料１～４）の場合、比較例１の積層セラミックコンデンサに比べて、特性を大幅に改善できることが確認された。

[0065] すなわち、実施例の試料１の場合、保護樹脂層の厚みが０．０１μｍと薄いため、ショート不良発生率が７％と少し高くなっているが、実施例の試料２～４のように、保護樹脂層の厚みを０．０３～０．２２μｍとした場合には、ショート不良発生率を２％以下に抑えられることが確認された。

[0066] また、デラミネーション発生率については、実施例の試料１～３では０％であったが、試料４では５％といくらか高くなることが確認された。これは、保護樹脂層が０．２０μｍを超えると、脱脂工程での水溶性樹脂（ポリビニルアルコール）の熱分解後に第１誘電体グリーンシートと第２誘電体グリーンシート間および第１内部電極用パターンと第２誘電体グリーンシート間に空隙層が発生するためと考えられる。

[0067] 上記の結果より、保護樹脂層４を介して、第１誘電体グリーンシート２ａおよび第１内部電極用パターン３ａ上にセラミックスラリーを塗布して第２誘電体グリーンシート２ｂを形成することにより、電気特性不良率および構造欠陥発生率の低い積層セラミックコンデンサを効率よく製造できることが確認できた。

また、保護樹脂層の厚みとしては、上記条件下では、０．０３μｍ～０．２０μｍの範囲が特に好ましいことが確認された。

実施例 2

[0068] 実施例１の試料２の構成において、水溶性樹脂であるポリビニルアルコール（ＰＶＡ）の重合度と、水酸基量の関係を、表２に示すように、重合度：３００～１７００、水酸基量：８８%～９８%の範囲で変化させて、積層セラミックコンデンサ（実施例の試料５～８の積層セラミックコンデンサ）を作製した。

[0069] そして、上述のようにして作製した試料５～８の積層セラミックコンデンサについて、上記実施例１の場合と同様の方法で、電気特性不良率と、構造欠陥発生率を調べた。

その結果を表２に併せて示す。

[0070]

[表2]

試　料	保護樹脂層の厚さ	重合度	水酸基量	電気特性不良率 （ショート不良）	構造欠陥発生率 （デラミネーション）
2（実施例）	あり（0.03μm）	1700	98 %	2 %	0 %
5（実施例）	あり（0.03μm）	500	98 %	5 %	1 %
6（実施例）	あり（0.03μm）	300	98 %	11 %	2 %
7（実施例）	あり（0.03μm）	1700	90 %	3 %	1 %
8（実施例）	あり（0.03μm）	1700	88 %	11 %	2 %

[0071] 表２に示すように、試料５～８のいずれの試料も、構造欠陥発生率は１～２％と低く、試料間に大きな差は認められないが、重合度が５００未満の水溶性樹脂（ＰＶＡ）を用いた試料６（重合度３００）、および水酸基量が９０％未満の水溶性樹脂（ＰＶＡ）を用いた試料８（水酸基量８８％）ではショート不良発生率が高くなることが確認された。

これは重合度または水酸基量が低下すると第２誘電体シートを形成する際に塗布されるセラミックスラリーが、既に形成されている誘電体グリーンシートおよび内部電極パターンをアタックしたためと考えられる。

[0072] なお、試料６および８も、上記実施例１で作製した比較例１と比べると、ショート不良発生率は大幅に改善されており、本発明の有意性は明らかであるが、水溶性樹脂としてポリビニルアルコールを用いる場合、重合度が５００以上、水酸基量が９０％以上のものを用いることが特に望ましい。

実施例 3

[0073] 実施例１の試料２の構成において、水溶性樹脂であるポリビニルアルコール（ＰＶＡ）を溶解する水系溶剤として、以下の（１）～（４）の水系溶剤を用いて、上記実施例１の場合と同じ条件で実施例の試料９～１１（表３参照）の積層セラミックコンデンサを作製した。

（１）有機系溶剤を含まない水、

（２）水にエタノールを配合した混合溶剤Ａ（水：エタノール＝７０：３０）

（３）水にエタノールを配合した混合溶剤Ｂ（水：エタノール＝５０：５０）

（４）水にエタノールを配合した混合溶剤Ｃ（水：エタノール＝３０：７０）

ただし、混合溶剤の水：エタノールの割合は重量比である。

[0074] なお、表３における試料２は、実施例１で作製したものと同じものであり、この試料２では、有機系溶剤を含まない水が水系溶剤として用いられている。

[0075] そして、上述のようにして作製した試料９～１１の積層セラミックコンデンサについて、上記実施例１の場合と同様の方法で、電気特性不良率と、構造欠陥発生率を調べた。

その結果を表３に併せて示す。

[0076]

[表3]

試　料	保護樹脂層の厚さ	保護樹脂溶媒 (水／エタノール)	乾燥終了時間 @80℃	電気特性不良率 (ショート不良)	構造欠陥発生率 (デラミネーション)
2（実施例）	あり（0.03μm）	100／0	8 min	2 %	0 %
9（実施例）	あり（0.03μm）	70／30	6 min	2 %	0 %
10（実施例）	あり（0.03μm）	50／50	4 min	2 %	0 %
11（実施例）	あり（0.03μm）	30／70	2 min	5 %	1 %

[0077] 表３に示すように、試料９～１１のいずれの試料も、構造欠陥発生率は１%以下と低く、試料間に大きな差は認められなかった。

また、ショート不良発生率については、試料９、１０では２%と低いが、水：エタノール＝３０：７０の混合溶剤Ｃを用いた試料１１の場合、ショート不良発生率が５%といくらか高くなることが確認された。しかし、保護樹脂層を設けずに製造した比較例１の試料の場合、ショート不良発生率が１００%であることから（表１の比較例１参照）、水：エタノール＝３０：７０の混合溶剤Ｃを用いる場合も十分な有意性があることは明らかである。

なお、水とエタノールの割合が、水：エタノール＝３０：７０よりもさらにエタノールリッチになると、下層である内部電極パターンなどが、無視できないシートアタックを受ける場合があるため、あまり好ましくない。

[0078] この結果から、水系溶剤として、水の含有率が３０重量%以上のものを用いることが望ましいことがわかる。なお、水系溶剤として、有機系溶剤を含み、かつ、水の含有率が３０重量%以上のものを用いることにより、ショート不良発生率を低く抑えつつ、乾燥時間を短縮して製造コストの低減を図ることが可能になる。

実施例 4

[0079] この実施例４では、基材（支持フィルム）上に、まず第１内部電極パターンを形成し、その上に順次、保護樹脂層、第１誘電体グリーンシート（セラミックグリーンシート）、第２内部電極パターン、保護樹脂層、第２誘電体グリーンシート（セラミックグリーンシート）を積層して複合積層体を形成し、この複合積層体を所定枚数積層する工程を経て積層セラミックコンデンサを製造する場合について説明する。なお、この実施例４の場合でも、上記実施例１の場合と同様に、図１に示すような構造を有する積層セラミックコンデンサを製造した。以下説明を行う。

[0080] この実施例４では、

（ａ）セラミックグリーンシートを形成するためのセラミックスラリー、

（ｂ）内部電極パターンを形成するための内部電極ペースト、および

（ｃ）保護樹脂層を形成するための樹脂ペースト

として、上述の実施例１で用いたものと同じものを用いた。

[0081] （１）本発明の実施例４にかかる積層セラミックコンデンサの作製

まず、図３に示すように、基材（支持フィルム）１上に、スクリーン印刷法により、所定パターンとなるように、内部電極ペースト（Ｎｉ電極ペースト）を印刷し、６０℃で５分間乾燥して厚さ０．５μｍの第１内部電極パターン３ａを形成した。

[0082] それから、基材１上および第１内部電極パターン３ａ上に、有機溶剤を含まない水を水系溶剤として用い、この水系溶剤にポリビニルアルコールを１０重量%の割合で溶解させた樹脂ペーストを、所定の厚み（０．０１μｍ、０．０３μｍ、０．２０μｍ、０．２２μｍ）になるように塗布し、８０℃で１０分間乾燥させることにより第１保護樹脂層４ａを形成した。

[0083] 次に、この第１保護樹脂層４ａ上に、上述のようにして作製したセラミックスラリーをコータ法により塗布して、第１保護樹脂層４ａの全面に、厚さ１．２μｍの第１誘電体グリーンシート２ａを成形し、８０℃、５分間の条件で乾燥を行った。

[0084] その後、乾燥させた第１誘電体グリーンシート２ａ上に、内部電極ペーストであるＮｉ電極ペーストをスクリーン印刷法により塗布し、６０℃、５分間の条件で乾燥を行うことにより、厚さ０．５μｍの第２内部電極パターン３ｂを形成した。

[0085] 次に、第２内部電極パターン３ｂとその周囲の第１誘電体グリーンシート２ａを覆うように、上記樹脂ペーストを、所定の厚み（０．０１μｍ、０．０３μｍ、０．２０μｍ、０．２２μｍ）になるように塗布し、８０℃で１０分間乾燥させることにより第２保護樹脂層４ｂを形成した。

[0086] それから、第２保護樹脂層４ｂの上に、上記のセラミックスラリーをコータ法により塗布し、８０℃、５分間の条件で乾燥を行って、厚さ１．２μｍの第２誘電体グリーンシート２ｂを成形することにより、２層の誘電体グリーンシート２ａ，２ｂと２層の内部電極パターン３ａ，３ｂを有する複合積

層体１０を得た。なお、この複合積層体１０は、２層の保護樹脂層４ａ，４ｂを備えている。

[0087] 得られた複合積層体１０を連続剥離・積層機を用いて基材（支持フィルム）１から剥離させながら３００枚積み重ね、５０℃、１００ＭＰａの条件で１分間圧着することにより、焼成後に積層セラミック素子となる未焼成の積層体を作製した。

[0088] そして、得られた積層体をチップ状にカットし、５００℃の窒素雰囲気中において脱脂した後、還元雰囲気中において１２００℃で焼成して、積層セラミック素子を得た。

なお、上述の保護樹脂層は、この焼成工程で分解、燃焼して消失する。

[0089] それから、この積層セラミック素子に、外部電極形成用の導電性ペーストを塗布し、焼き付けることにより、本発明の実施例４にかかる積層セラミックコンデンサ（実施例の試料２１～２４）を得た。この積層セラミックコンデンサの構造は、図１に示した上記実施例１のものと同じである。

[0090] （２）比較用の積層セラミックコンデンサ（比較例２）の作製

上記の第１および第２の保護樹脂層を設ける工程を備えていないことを除いて、実施例４の場合と同様の方法で比較用の積層セラミックコンデンサ（比較例２）を作製した。

[0091] （３）特性の評価

上述のようにして作製した実施例４の積層セラミックコンデンサ（試料２１～２４）と比較例２の積層セラミックコンデンサについて、上記実施例１の場合と同様の方法で、電気特性不良率と、構造欠陥発生率を調べた。

その結果を表４に示す。

[0092]

［表4］

試　料	保護樹脂層の有無	保護樹脂層の厚さ	電気特性不良率 (ショート不良)	構造欠陥発生率 (デラミネーション)
２１（実施例）	あり	あり（0.01μm）	7 %	0 %
２２（実施例）		あり（0.03μm）	2 %	0 %
２３（実施例）		あり（0.20μm）	1 %	0 %
２４（実施例）		あり（0.22μm）	2 %	5 %
比較例２	なし	なし	100 %	0 %

[0093] 保護樹脂層を設けるようにしていない比較例２の積層セラミックコンデンサの場合、デラミネーション発生率は低いが、シートアタックを阻止することができないため、ショート不良発生率が高くなることが確認された。なお、この比較例２の場合、ショート不良発生率は１００％であった。

[0094] これに対し、実施例４の積層セラミックコンデンサ（実施例の試料２１～２４）の場合、比較例２の積層セラミックコンデンサに比べて、特性を改善できることが確認された。

[0095] すなわち、実施例の試料２１の場合、保護樹脂層の厚みが０．０１μｍと薄いため、ショート不良発生率が７％と少し高くなっているが、実施例の試料２２～２４のように、保護樹脂層の厚みを０．０３～０．２２μｍとした場合には、ショート不良発生率を２％以下に抑えられることが確認された。

[0096] また、デラミネーション発生率については、実施例の試料２１～２３では０％であったが、試料２４では５％といくらか高くなることが確認された。これは、保護樹脂層が０．２０μｍを超えると、脱脂工程での水溶性樹脂（ポリビニルアルコール）の熱分解後に第１誘電体グリーンシートと第２誘電体グリーンシート間、第１内部電極用パターンと第１誘電体グリーンシート間、第２内部電極パターンと第２誘電体グリーンシート間に空隙層が発生するためと考えられる。

[0097] 上記の結果より、この実施例４の構成の場合にも、保護樹脂層を介してセラミックペーストを塗布して誘電体グリーンシートを形成することにより、電気特性不良率および構造欠陥発生率の低い積層セラミックコンデンサを効率よく製造できることが確認できた。

また、保護樹脂層の厚みとしては、上記条件下では、０．０３μｍ～０．２０μｍの範囲が特に好ましいことが確認された。

実施例 5

[0098] この実施例５では、図４に示すように、第１内部電極パターン３ａの形成後に第１内部電極パターン３ａ間に段差吸収層用誘電体ペーストを塗布し、第２内部電極パターン３ｂの形成後に、第２内部電極パターン３ｂ間に段差

吸収層用誘電体ペーストを塗布し、６０℃で５分間乾燥して段差吸収用誘電体パターン（段差吸収層）２０を形成した以外は、実施例１と同様にして、実施例１の試料１～４に対応する試料３１～３４（表４）の積層セラミックコンデンサを作製した。

なお、図４において、図２と同一符号を付した部分は同一または相当する部分を示す。

[0099] また、第１内部電極パターン間、および第２内部電極パターン間に、段差吸収層用誘電体ペーストを塗布し、６０℃で５分間乾燥して段差吸収用誘電体パターンを形成した以外は、上記実施例１における比較例１の場合と同様の方法で比較例３の積層セラミックコンデンサを作製した。

[0100] なお、段差吸収層用誘電体ペーストとしては、第１および第２誘電体グリーンシートを形成するのに用いたセラミックスラリーと同一のセラミック材料を含むとともに、溶剤としてジヒドロターピネオールアセテートを、バインダーとしてポリビニルブチラールを含むペーストを用いた。

そして、この実施例５で作製した実施例の試料３１～３４および比較例３の試料について、上記実施例１の場合と同様の方法でその特性を調べた。その結果を表５に示す。

[0101]

［表5］

試　料	保護樹脂層の有無	保護樹脂層の厚さ	電気特性不良率 （ショート不良）	構造欠陥発生率 （デラミネーション）
３１（実施例）	あり	あり（0.01μm）	7 %	0 %
３２（実施例）		あり（0.03μm）	2 %	0 %
３３（実施例）		あり（0.20μm）	1 %	0 %
３４（実施例）		あり（0.22μm）	2 %	5 %
比較例３	なし	なし	100 %	0 %

[0102] 表５に示すように、この実施例５の試料３１～３４についても、上記実施例１の試料１～４の場合と同様の特性が得られることが確認された。しかし、比較例３の積層セラミックコンデンサにおいては、シートアタックの影響でショート不良の発生を防止することができなかった。

[0103] また、この実施例５の試料３１～３４においては、段差吸収層２０を設けるようにしていることから、製品の形状精度を向上させることができた。

実施例 6

[0104] この実施例６では、図５に示すように、第１内部電極パターン３ａの形成後に第１内部電極パターン３ａ間に段差吸収層用誘電体ペーストを塗布し、第２内部電極パターン３ｂの形成後に、第２内部電極パターン３ｂ間に段差吸収層用誘電体ペーストを塗布し、６０℃で５分間乾燥して段差吸収用誘電体パターン（段差吸収層）２０を形成した以外は、実施例４と同様にして、実施例４の試料２１～２４に対応する試料４１～４４（表６）の積層セラミックコンデンサを作製した。

なお、図５において、図３と同一符号を付した部分は同一または相当する部分を示す。

[0105] また、第１および第２の保護樹脂層を設ける工程を備えていないことを除いて、この実施例６の場合と同様の方法で比較用の積層セラミックコンデンサ（比較例４）を作製した。

なお、段差吸収層用誘電体ペーストとしては、上記実施例５で用いたものと同じものを用いた。

[0106] そして、この実施例６で作製した実施例の試料４１～４４および比較例４の試料について、上記実施例４の場合と同様の方法でその特性を調べた。その結果を表６に示す。

[0107]

[表6]

試　料	保護樹脂層の有無	保護樹脂層の厚さ	電気特性不良率（ショート不良）	構造欠陥発生率（デラミネーション）
４１（実施例）	あり	あり（0.01μm）	7 %	0 %
４２（実施例）		あり（0.03μm）	2 %	0 %
４３（実施例）		あり（0.20μm）	1 %	0 %
４４（実施例）		あり（0.22μm）	2 %	5 %
比較例４	なし	なし	100 %	0 %

[0108] 表６に示すように、この実施例６の試料４１～４４についても、上記実施例４の試料２１～２４の場合と同様の特性が得られることが確認された。しかし、比較例４の積層セラミックコンデンサにおいては、シートアタックの影響でショート不良の発生を防止することができなかった。

[0109] また、この実施例６の試料４１～４４においても、段差吸収層２０を設けるようにしていることから、製品の形状精度を向上させることができた。

なお、段差吸収層は、内部電極パターンを形成した後に、内部電極パターン未形成領域に配設するようにしてもよく、また、先に段差吸収層を形成しておき、段差吸収層の形成されていない領域に内部電極パターンを形成するようにしてもよく、いずれの場合にも同様の効果を得ることができる。

実施例 7

[0110] この実施例７では、実施例１の試料２の構成において、保護樹脂層を形成するための樹脂ペーストとして、セラミックグリーンシートを構成するセラミック粉末と同じ組成のセラミック粉末を含有する樹脂ペーストを用いて積層セラミックコンデンサを作製した。

[0111] すなわち、この実施例７では、樹脂ペーストとして、水溶性樹脂（ポリビニルアルコール）を水に溶解させてなり、かつ、セラミック粉末を表７に示す範囲（形成される保護樹脂層中の体積分率が０．１vol%～６０vol%となるような範囲）で含有させた樹脂ペーストを用いて、積層セラミックコンデンサを作製した。

[0112] 表７の保護樹脂層中のセラミック粉末の上記体積分率の値は、セラミック粉末を含む保護樹脂層に対するセラミック粉末の体積割合を示すものである。

なお、この実施例７の条件では、保護樹脂層中のセラミック粉末の臨界粒子体積分率（ＣＰＶＣ）は約５０vol%となる。

[0113] この実施例７で作製した試料５１～５４について、上記実施例１の場合と同様の方法でその特性を調べた。その結果を表７に併せて示す。なお、表７には、実施例１の試料２についての特性を併せて示す。

[0114]

［表7］

試　料	保護樹脂層の有無	保護樹脂層中のセラミック粉末の体積分率	電気特性不良率（ショート不良）	構造欠陥発生率（デラミネーション）
２（実施例）	あり	0.0 vol%	２ %	０ %
５１（実施例）		0.1 vol%	１ %	０ %
５２（実施例）		10.0 vol%	１ %	０ %
５３（実施例）		50.0 vol%	１ %	０ %
５４（実施例）		60.0 vol%	10 %	０ %

[0115] 表７に示すように、セラミック粉末を０．１vol%～５０vol%の範囲（すなわち、臨界粒子体積分率（ＣＰＶＣ）以下の範囲）で含有する保護樹脂層を形成した試料５１～５３の場合、ショート不良率は１%と低く、かつ、構造欠陥発生率は０%と、特性の良好な積層セラミックコンデンサが得られることが確認された。

ただし、セラミック粉末を６０vol%（すなわち、臨界粒子体積分率（ＣＰＶＣ）を超える割合）の割合で含有する保護樹脂層を形成した試料５４の場合、構造欠陥発生率は０%であったが、ショート不良率が１０%と、試料５１～５３に比べていくらか高くなることが確認された。

[0116] この実施例７のように、セラミック粉末を含有する樹脂ペーストを用いて、所定の割合でセラミック粉末を含有する保護樹脂層を形成するようにした場合、焼成工程において、下層と上層のセラミックグリーンシートに保護樹脂層中のセラミック粉末が拡散し、下層と上層のセラミックグリーンシートが強固に結合する。その結果、デラミネーションなどの構造欠陥の発生をさらに確実に防止して、信頼性の高い積層セラミック電子部品を製造することができる。

[0117] なお、保護樹脂層中のセラミック粉末の含有割合が、臨界粒子体積分率（ＣＰＶＣ）を超えると、セラミック粒子間に樹脂が存在しない領域が形成されてしまうため、あまり好ましくない。すなわち、樹脂が存在しない領域が形成されると、該領域が空隙となり、保護樹脂層の上に塗布されたセラミックスラリー中の溶剤がこの空隙を通って下層のセラミックグリーンシートや内部電極層をアタックすることになる。したがって、本発明において、樹脂ペースト中のセラミック粉末の含有割合は、形成される保護樹脂層におけるセラミック粉末の割合が臨界粒子体積分率（ＣＰＶＣ）以下となるような割合とすることが好ましい。

[0118] なお、上記実施例では、積層セラミックコンデンサを例にとって説明したが、本発明は、積層インダクタ、積層ＬＣ複合部品など、セラミック層と内部電極とが積層された構造を有する種々の積層セラミック電子部品に適用す

ることが可能である。

[0119] 本発明は、さらにその他の点においても、上記実施例に限定されるものではなく、セラミック層および内部電極の積層数、内部電極の具体的なパターン、セラミック層および内部電極の構成材料などに関し、発明の範囲内において、種々の応用、変形を加えることが可能である。

符号の説明

[0120]

１	基材（支持フィルム）
２ａ	第１誘電体グリーンシート（セラミックグリーンシート）
２ｂ	第２誘電体グリーンシート（セラミックグリーンシート）
３ａ	第１内部電極パターン
３ｂ	第２内部電極パターン
４	保護樹脂層
４ａ	第１保護樹脂層
４ｂ	第２保護樹脂層
１０	複合積層体
２０	段差吸収用誘電体パターン（段差吸収層）
５１	積層セラミック素子（積層セラミック電子部品素子）
５２	セラミック層
５３ａ，５３ｂ	内部電極
５４ａ，５４ｂ	積層セラミック素子の端面
５５ａ，５５ｂ	外部電極

請求の範囲

[請求項1] セラミック層と内部電極が積層され、セラミック層を介して内部電極が互いに対向するように配設された構造を有する積層セラミック電子部品の製造方法であって、

（ａ）基材上に、有機系バインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

（ｂ）前記セラミックグリーンシート上に、有機系バインダーと導電成分とを含む内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

（ｃ）前記セラミックグリーンシートおよび前記内部電極パターン上に、前記セラミックグリーンシートおよび前記内部電極パターンに含まれる前記有機系バインダーを溶解しにくい溶剤と樹脂とを含む樹脂ペーストを塗布、乾燥して未硬化の保護樹脂層を形成する工程と、

（ｄ）未硬化の前記保護樹脂層上に、前記セラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

（ｅ）前記セラミックグリーンシート上に、前記内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程とを備え、

前記（ｃ）～（ｅ）の工程を１回以上行うことを特徴とする積層セラミック電子部品の製造方法。

[請求項2] セラミック層と内部電極が交互に積層され、セラミック層を介して内部電極が互いに対向するように配設された構造を有する積層セラミック電子部品の製造方法であって、

（ａ）基材上に、有機系バインダーと導電成分とを含む内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

（ｂ）前記内部電極パターンおよびその周囲の前記基材上に、前記内部電極パターンに含まれる前記有機系バインダーを溶解しにくい溶剤と樹脂とを含む樹脂ペーストを塗布、乾燥して未硬化の保護樹脂層を

形成する工程と、

（ｃ）未硬化の前記保護樹脂層上に、有機系バインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

（ｄ）前記セラミックグリーンシート上に、前記内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

（ｅ）前記セラミックグリーンシート上および前記内部電極パターン上に、前記セラミックグリーンシートおよび前記内部電極パターンに含まれる前記有機系バインダーを溶解しにくい溶剤と樹脂とを含む樹脂ペーストを塗布、乾燥して未硬化の保護樹脂層を形成する工程と、

（ｆ）未硬化の前記保護樹脂層上に有機系バインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程とを備え、

前記（ｄ）～（ｆ）の工程を１回以上行うことを特徴とする積層セラミック電子部品の製造方法。

[請求項3] 前記基材上に、請求項１の（ａ）～（ｅ）の工程、または、請求項２の（ａ）～（ｆ）の工程を経て形成される、複数層のセラミックグリーンシートと複数層の内部電極パターンとを備えた複合積層体を積み重ねる工程を繰り返して、焼成後に積層セラミック電子部品素子となる未焼成の積層体を形成する工程を備えていることを特徴とする請求項１または２記載の積層セラミック電子部品の製造方法。

[請求項4] 前記内部電極パターンを形成する工程の後で、形成された前記内部電極パターンの周囲の領域に、前記内部電極パターンとその周囲との段差を解消するための段差吸収層用セラミックペーストを塗布、乾燥して段差吸収層を形成する工程を備えていることを特徴とする請求項１～３のいずれかに記載の積層セラミック電子部品の製造方法。

[請求項5] 前記内部電極パターンを形成する工程の前に、前記内部電極パターンが形成されるべき領域の周囲に、その後に形成される前記内部電極

パターンとその周囲との段差を解消するための段差吸収層用セラミックペーストを塗布、乾燥して段差吸収層を形成し、その後、前記段差吸収層が形成されていない領域に前記内部電極ペーストを付与、乾燥することにより前記内部電極パターンを形成することを特徴とする請求項１～３のいずれかに記載の積層セラミック電子部品の製造方法。

[請求項6] 前記保護樹脂層の厚みが、０．０３～０．２０μｍであることを特徴とする請求項１～５のいずれかに記載の積層セラミック電子部品の製造方法。

[請求項7] 前記保護樹脂層の形成に用いられる前記樹脂ペーストが、水系溶剤と水溶性樹脂とを含む樹脂ペーストであることを特徴とする請求項１～６のいずれかに記載の積層セラミック電子部品の製造方法。

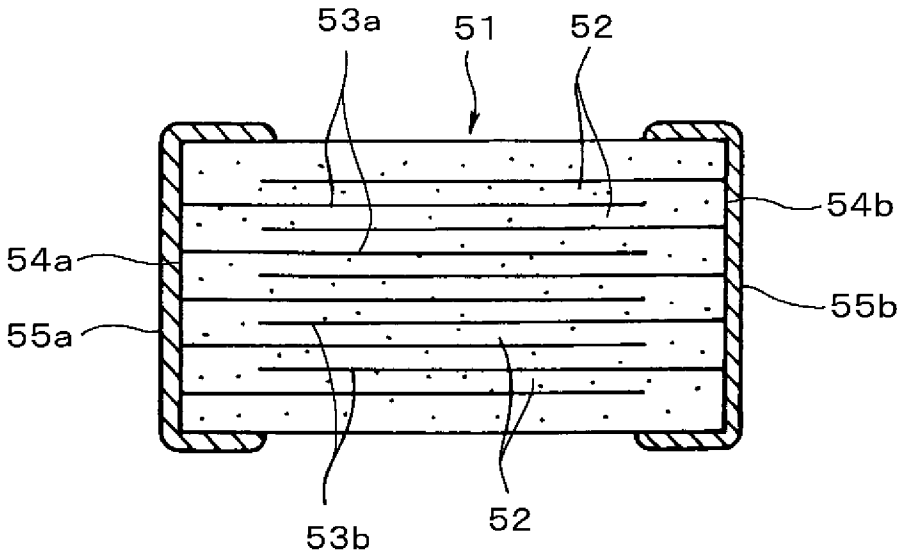
[請求項8] 前記水系溶剤が、水と有機系溶剤とを含み、かつ、水の含有率が３０重量%以上のものであることを特徴とする請求項７記載の積層セラミック電子部品の製造方法。

[請求項9] 前記水系溶剤が、前記有機系溶剤としてアルコールを含むものであることを特徴とする請求項８記載の積層セラミック電子部品の製造方法。

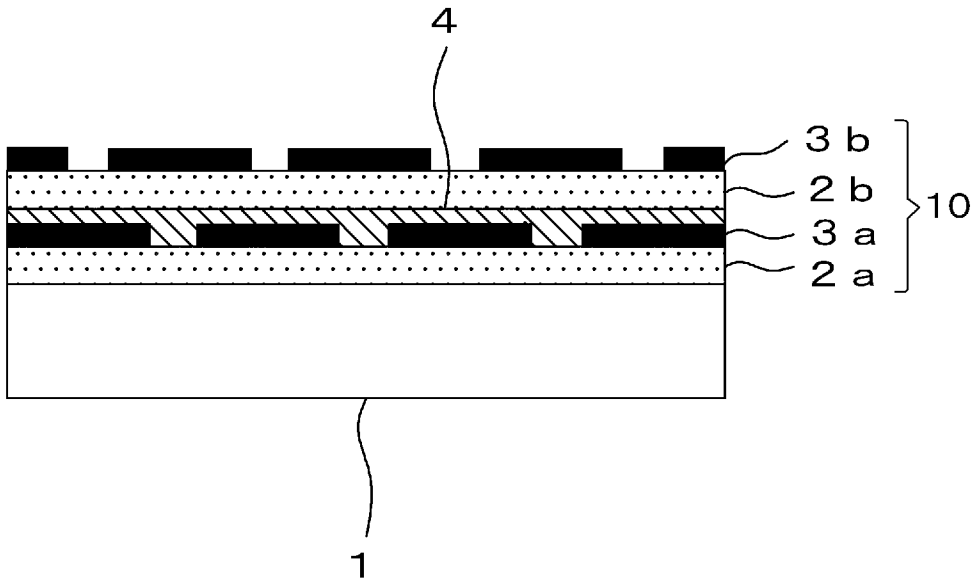
[請求項10] 前記保護樹脂層に含まれる水溶性樹脂が、ポリビニルアルコールであり、重合度が５００以上、水酸基量９０%以上のものであることを特徴とする請求項７～９のいずれかに記載の積層セラミック電子部品の製造方法。

[請求項11] 前記保護樹脂層の形成に用いられる前記樹脂ペーストが、該樹脂ペーストが硬化することにより形成される前記保護樹脂層におけるセラミック粉末の割合が臨界粒子体積分率以下となるような割合で、セラミック粉末を含有していることを特徴とする請求項１～１０のいずれかに記載の積層セラミック電子部品の製造方法。

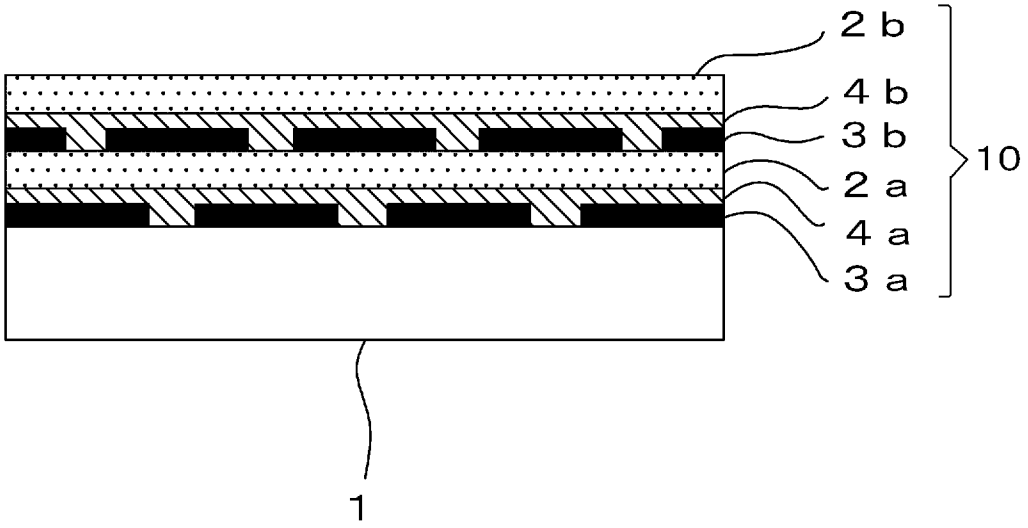
[図1]



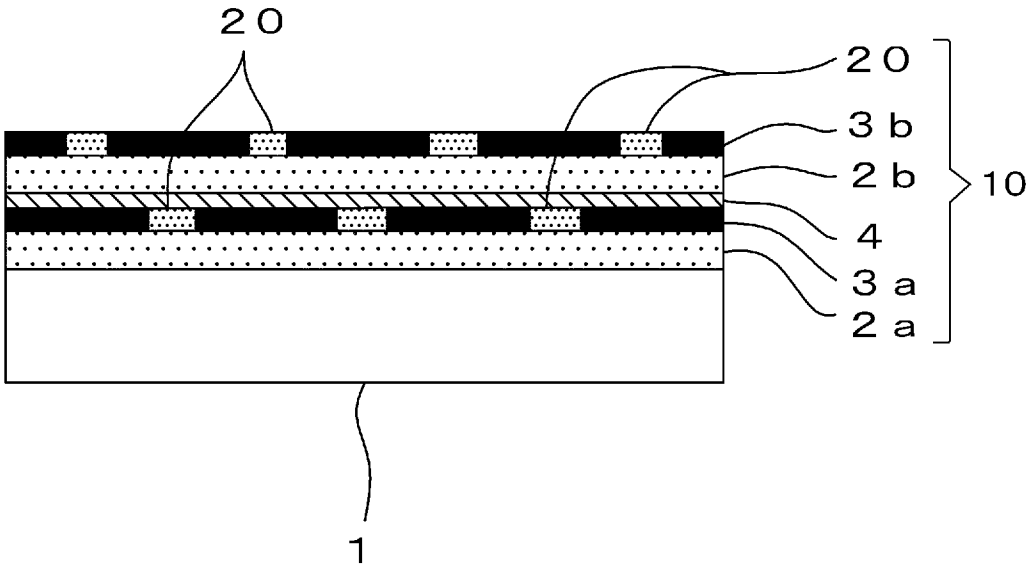
[図2]



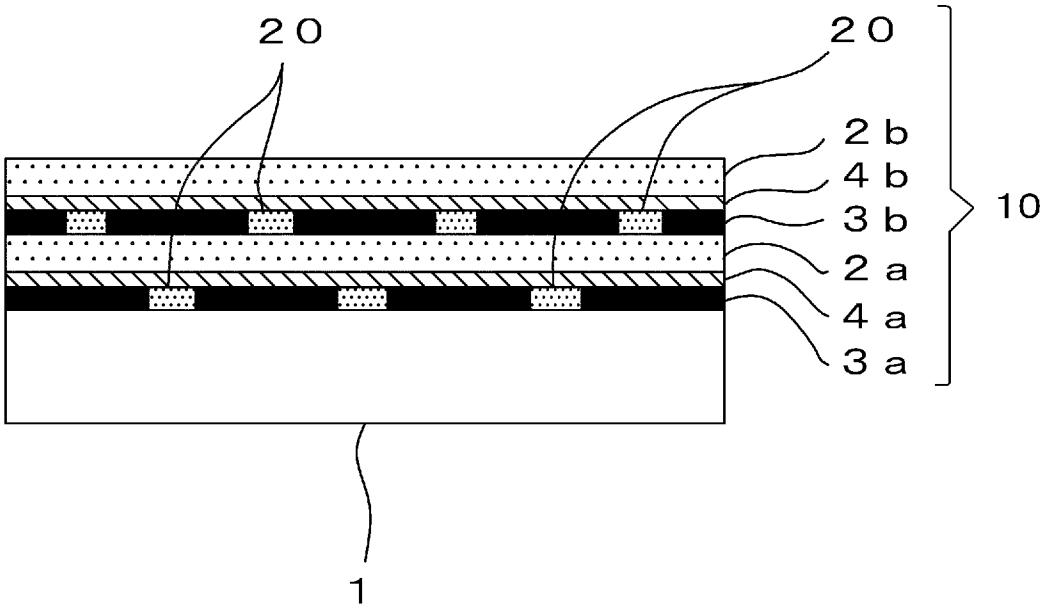
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/006500

A. CLASSIFICATION OF SUBJECT MATTER
H01G4/12(2006.01)i, *H01G4/30*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01G4/12, H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-150709 A (Murata Mfg. Co., Ltd.), 09 June 2005 (09.06.2005), claims; paragraphs [0010] to [0013] (Family: none)	1-9,11
Y A	JP 2002-127117 A (Kyocera Corp.), 08 May 2002 (08.05.2002), claims; paragraphs [0027] to [0039] (Family: none)	1-9,11 10
Y A	JP 2003-347154 A (TDK Corp.), 05 December 2003 (05.12.2003), claims; paragraphs [0013] to [0029]; fig. 2 & US 2003/0051123 A1	1-9,11 10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 January, 2010 (25.01.10)	02 February, 2010 (02.02.10)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (April 2007)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/006500

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-250370 A (Toshiba Corp.), 27 September 1996 (27.09.1996), paragraph [0022]; fig. 5 (Family: none)	2
Y	JP 2008-113023 A (Murata Mfg. Co., Ltd.), 15 May 2008 (15.05.2008), claims; paragraph [0095] & US 2004/0163555 A1 & KR 10-2004-0076212 A	5
Y	JP 2005-216797 A (Matsushita Electric Industrial Co., Ltd.), 11 August 2005 (11.08.2005), paragraph [0071] (Family: none)	8-9
Y	JP 11-238646 A (TDK Corp.), 31 August 1999 (31.08.1999), claims; paragraphs [0061] to [0063]; fig. 1 & US 6550117 B1 & EP 923094 A2	11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００６５００

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01G4/12(2006.01)i, H01G4/30(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01G4/12, H01G4/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１０年
日本国実用新案登録公報	１９９６－２０１０年
日本国登録実用新案公報	１９９４－２０１０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2005-150709 A (株式会社村田製作所) 2005.06.09, 特許請求の範囲,段落[0010]-[0013] (ファミリーなし)	1-9,11
Y	JP 2002-127117 A (京セラ株式会社) 2002.05.08, 特許請求の範囲,段落[0027]-[0039] (ファミリーなし)	1-9,11
A		10

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２５．０１．２０１０	０２．０２．２０１０

国際調査機関の名称及びあて先

日本国特許庁（ＩＳＡ／ＪＰ）

郵便番号１００－８９１５

東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｒ　４０５４

井上　弘亘

電話番号　０３－３５８１－１１０１　内線　３５６５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2003-347154 A（ＴＤＫ株式会社）2003.12.05, 特許請求の範囲,段落[0013]-[0029],図２	1-9,11
A	& US 2003/0051123 A1	10
Y	JP 8-250370 A（株式会社東芝）1996.09.27, 段落[0022],図５（ファミリーなし）	2
Y	JP 2008-113023 A（株式会社村田製作所）2008.05.15, 特許請求の範囲,段落[0095] & US 2004/0163555 A1 & KR 10-2004-0076212 A	5
Y	JP 2005-216797 A（松下電器産業株式会社）2005.08.11, 段落[0071]（ファミリーなし）	8-9
Y	JP 11-238646 A（ティーディーケイ株式会社）1999.08.31, 特許請求の範囲,段落[0061]-[0063],図１ & US 6550117 B1 & EP 923094 A2	11