

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 23 年 5 月 6 日 (2011.5.6)

【公開番号】特開 2010-10369 (P2010-10369A)

【公開日】平成 22 年 1 月 14 日 (2010.1.14)

【年通号数】公開・登録公報 2010-002

【出願番号】特願 2008-167606 (P2008-167606)

【国際特許分類】

H 0 1 L 27/11 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 21/8246 (2006.01)

H 0 1 L 27/112 (2006.01)

H 0 1 L 27/10 (2006.01)

【F I】

H 0 1 L 27/10 3 8 1

H 0 1 L 27/10 4 3 3

H 0 1 L 27/10 4 6 1

【手続補正書】

【提出日】平成 23 年 3 月 17 日 (2011.3.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

S R A M (スタティック型ランダムアクセスメモリ) と、R O M (リードオンリーメモリ) とを備える混載メモリ装置であって、

行列状に配置された複数の第 1 のメモリセル及び複数の第 2 のメモリセルを備え、

前記複数の第 1 のメモリセルはそれぞれ、S R A M セルと R O M セルとを含み、

前記複数の第 2 のメモリセルはそれぞれ、S R A M セルを含み、かつ R O M セルを含まず、

前記複数の第 1 のメモリセルはそれぞれ、少なくとも一つの前記第 2 のメモリセルと隣接して配置され、

前記複数の第 1 のメモリセルと前記複数の第 2 のメモリセルとは、行方向に交互に配置され、かつ列方向に交互に配置される

混載メモリ装置。

【請求項 2】

前記混載メモリ装置は、さらに、

行毎に設けられ、対応する行に配置された前記 S R A M セル及び前記 R O M セルを選択するためのワードラインと、

列毎に設けられ、対応する列に配置された前記 S R A M セルからのデータの読み出し及び前記 S R A M セルへのデータの書き込みを行うための第 1 ビットライン及び第 2 ビットラインと、

列毎に設けられ、対応する列に配置された前記 R O M セルからのデータの読み出しを行うための第 3 のビットラインとを備える

請求項 1 記載の混載メモリ装置。

【請求項 3】

前記 S R A M セルは、

第 1 のノードに入力端が接続され、第 2 のノードに出力端が接続される第 1 のインバータと、

前記第 2 のノードに入力端が接続され、前記第 1 のノードに出力端が接続される第 2 のインバータと、

前記第 1 のノードにドレイン及びソースの一方である第 1 端子が接続され、前記第 1 のビットラインにドレイン及びソースの他方である第 2 端子が接続され、ワードラインにゲートが接続される第 1 のトランジスタと、

前記第 2 のノードにドレイン及びソースの一方である第 1 端子が接続され、前記第 2 のビットラインにドレイン及びソースの他方である第 2 端子が接続され、前記ワードラインにゲートが接続される第 2 のトランジスタとを備え、

前記 R O M セルは、G N D にソースが接続され、ゲートに前記ワードラインが接続される第 3 のトランジスタを備え、

前記 R O M セルは、前記第 3 のトランジスタのドレインと前記第 3 のビットラインとを接続するコンタクトを有するか否かに応じて定まるデータを前記第 3 のビットラインに出力する

請求項 2 記載の混載メモリ装置。

【請求項 4】

前記第 1 のメモリセルに含まれる前記第 3 のトランジスタの一部の領域は、当該第 1 のメモリセルに隣接して配置される前記第 2 のメモリセルの領域内に配置される

請求項 3 記載の混載メモリ装置。

【請求項 5】

前記複数の第 1 のメモリセル及び前記複数の第 2 のメモリセルにおいて、当該第 1 のメモリセル及び当該第 2 のメモリセルの列方向の端部である第 1 端部から第 2 端部に向かい、前記第 1 のインバータ及び前記第 2 のインバータ、前記第 1 のトランジスタ及び前記第 2 のトランジスタの順に配置され、

前記複数の第 1 のメモリセル及び前記複数の第 2 のメモリセルは、列方向に隣接する第 1 のメモリセル又は第 2 のメモリセルと、前記第 1 端部がそれぞれ対向する、又は前記第 2 端部がそれぞれ対向するように配置され、

前記第 1 のメモリセルに含まれる前記第 3 トランジスタの一部の領域は、前記第 2 端部における境界上に配置される

請求項 4 記載の混載メモリ装置。

【請求項 6】

各行に配置される前記第 1 のメモリセル及び前記第 2 のメモリセルに含まれる前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタは、行方向に並んで配置され、

各行に配置される前記第 1 のメモリセル及び前記第 2 のメモリセルに含まれる前記第 1 のインバータ及び第 2 のインバータは、行方向に並んで配置され、

各行に配置される前記第 1 のメモリセル及び前記第 2 のメモリセルに含まれる前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタのゲートは、共通のポリシリコン線で形成され、

前記第 2 端部において隣接する前記第 1 のメモリセル及び前記第 2 のメモリセルのそれぞれに含まれる、二つの前記第 1 のトランジスタの第 1 端子は、前記第 2 端部の境界上に配置される一つの第 1 拡散領域で形成され、二つの前記第 2 のトランジスタの第 1 端子は、前記第 2 端部の境界上に配置される一つの第 2 拡散領域で形成され、

前記 R O M セルのソースは、互に行方向に隣接して配置される一つの前記第 1 のインバータ及び一つの前記第 2 のインバータの G N D と共通の一つの第 3 拡散領域で形成され、

前記第 3 のトランジスタのドレインとなる第 4 拡散領域は、前記第 2 端部における境界上に、前記第 1 拡散領域及び前記第 2 拡散領域と行方向に並んで配置される

請求項 5 記載の混載メモリ装置。

【請求項 7】

前記第 3 のビットラインは、複数の第 4 のビットラインを含み、

前記 ROMセルは、前記第 3 のトランジスタのドレインと前記各第 4 のビットラインとを接続するコンタクトを有するか否かに応じて定まるデータを当該第 4 のビットラインに出力することにより、前記複数の第 4 のビットラインを介して複数ビットのデータを出力する

請求項 3 記載の混載メモリ装置。

【請求項 8】

前記 ROMセルは、前記第 3 のトランジスタのドレインと前記複数の第 4 のビットラインのうちいずれか一つとを接続する一つのコンタクトを有する、又は、当該コンタクトを有さないことにより定まる複数ビットのデータを前記複数の第 4 のビットラインに出力する

請求項 7 記載の混載メモリ装置。

【請求項 9】

前記複数の第 1 のメモリセルと前記複数の第 2 のメモリセルとは、行方向に交互に配置され、かつ列方向に交互に配置され、

前記第 4 のビットラインは、三つのビットラインであり、

前記 ROMセルは、前記第 3 のトランジスタのドレインと前記三つの第 4 のビットラインのうちいずれか一つとを接続する一つのコンタクトを有する、又は、当該コンタクトを有さないことにより定まる、4 パターンの 3 ビットのデータを前記三つの第 4 のビットラインに出力する

請求項 8 記載の混載メモリ装置。

【請求項 10】

前記第 1 のビットライン及び前記第 2 のビットラインは、第 1 の金属配線層で形成され、
前記複数の第 4 のビットラインは、前記第 1 の金属配線層とは異なる第 2 の金属配線層で形成される

請求項 7 記載の混載メモリ装置。

【請求項 11】

前記混載メモリ装置は、さらに、

前記複数の第 4 のビットライン毎に設けられ、対応する第 4 のビットラインのデータを増幅する複数のセンスアンプと、

前記複数のセンスアンプにより増幅された複数ビットのデータを、ビット数が減少するようにエンコードするエンコード回路とを備える

請求項 7 記載の混載メモリ装置。

【請求項 12】

前記混載メモリ装置は、さらに、

前記複数の第 1 のビットライン及び第 2 のビットラインの組のうち、外部から入力されたアドレスに対応した組を選択する RAMカラム選択回路と、

前記 RAMカラム選択回路により選択された第 1 のビットライン及び第 2 のビットラインの組の信号を増幅する RAM読み出し回路と、

前記 RAMカラム選択回路により選択された第 1 のビットライン及び第 2 のビットラインの組に、書き込みデータに対応する信号を供給する RAM書き込み回路と、

前記複数の第 3 のビットラインのうち、前記アドレスに対応した第 3 のビットラインを選択する ROMカラム選択回路と、

前記 ROMカラム選択回路により選択された第 3 のビットラインの信号を増幅する ROM読み出し回路とを備え、

前記 RAMカラム選択回路は、前記 ROMカラム選択回路が、前記複数の第 3 のビットラインのうちいずれかを選択している間は、前記複数の組のいずれも選択せず、

前記 R O M カラム選択回路は、前記 R A M カラム選択回路が、前記複数の組のうちいずれかを選択している間は、前記複数の第 3 のビットラインのいずれも選択しない

請求項 2 記載の混載メモリ装置。

【請求項 1 3】

前記混載メモリ装置は、さらに、

前記 S R A M セルへのデータの書き込み動作時と、前記 S R A M セルからのデータの読み出し動作時と、前記 R O M セルからのデータの読み出し動作時とにおいて、それぞれ異なる時間、前記ワードラインを活性化させるタイミング回路を備える

請求項 2 記載の混載メモリ装置。

【請求項 1 4】

前記 R O M セルは、(1) G N D にソースが接続され、ゲートに前記ワードラインが接続され、ドレインに前記第 3 のビットラインが接続される第 3 のトランジスタを備えるか否か、又は(2)ゲートに前記ワードラインが接続され、ドレインに前記第 3 のビットラインが接続される第 3 のトランジスタを備え、当該第 3 のトランジスタのソースと G N D とを接続する拡散領域を有するか否か、に応じて定まるデータを前記第 3 のビットラインに出力する

請求項 2 記載の混載メモリ装置。

【請求項 1 5】

フラッシュメモリと、

請求項 1 ~ 1 4 のいずれか 1 項に記載の混載メモリ装置とを備え、

前記混載メモリ装置が備える前記 R O M は、前記フラッシュメモリにデータを書き込むためのロードプログラムを格納する

半導体装置。