(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0037140
(43) 공개일자 2020년04월08일

(51) 국제특허분류(Int. Cl.)
H01L 23/00 (2006.01) *H01L 23/485* (2006.01)
H01L 23/498 (2006.01) *H01L 23/50* (2006.01)
H01L 23/525 (2006.01) *H01L 23/528* (2006.01)
(52) CPC특허분류
H01L 24/97 (2013.01)
H01L 23/485 (2013.01)
(21) 출원번호 10-2019-7037342(분할)
(22) 출원일자(국제) 2018년08월23일
심사청구일자 없음
(62) 원출원 특허 10-2019-7016360
원출원일자(국제) 2018년08월23일
심사청구일자 2019년06월21일
(85) 번역문제출일자 2019년12월17일
(86) 국제출원번호 PCT/SE2018/050848
(87) 국제공개번호 WO 2019/045619
국제공개일자 2019년03월07일
(30) 우선권주장
1751034-8 2017년08월29일 스웨덴(SE)

(71) 출원인
스몰텍 에이비
스웨덴 411 18 예테보리 카산토리엣 7
(72) 발명자
카비르 엠 샤피쿨
스웨덴 421 49 베스트라 프롤룬다 브릴란트가탄 85
요한슨 앤더스
스웨덴 475 32 외케뢰 코르넬뵈겐 4
(뒷면에 계속)
(74) 대리인
방해철, 김용인

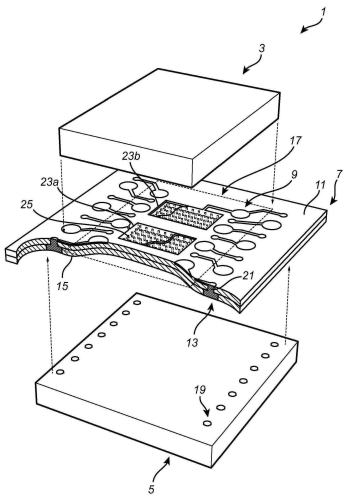
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 **에너지 저장 인터포저 장치 및 제조 방법**

(57) 요 약

제 1 전기 회로 소자에 의해 커버되는 인터포저 장치의 분획을 한정하는 제 1 측면 상에 제 1 전도체 패턴; 및 제 2 전기 회로 소자로 연결되는 제 2 측면 상에 제 2 전도체 패턴을 포함하는 인터포저 장치. 제 2 전도체 패턴은 제 1 전도체 패턴에 전기적으로 커플링된다. 인터포저 장치는 제 1 전기 회로 소자에 의해 커버되는 인터포저 장치의 분획 내에 배열된 복수의 나노구조 에너지 저장 장치를 더 포함한다. 각각의 나노구조 에너지 저장 장치는 적어도 하나의 제 1 복수의 전도성 나노구조; 나노구조를 임베딩하는 전도 제어 재료; 제 1 복수의 나노구조에서 각각의 나노구조에 연결된 제 1 전극; 및 전도 제어 재료에 의해 제 1 복수의 나노구조에서 각각의 나노구조로부터 분리된 제 2 전극을 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 23/498 (2013.01)
H01L 23/50 (2013.01)
H01L 23/525 (2013.01)
H01L 23/528 (2013.01)
(72) 발명자
살림 무하마드 아민
스웨덴 415 22 예테보리 시리우스가탄 38
앤더슨 리카드
스웨덴 417 24 예테보리 룬드백스가탄 15
데스마리스 빈센트
스웨덴 415 12 예테보리 헬르닥스가탄 6

명 세 서

청구범위

청구항 1

제 1 전기 회로 소자 및 제 2 전기 회로 소자를 전기적으로 및 기계적으로 상호연결하기 위한 인터포저 장치로서,

상기 인터포저 장치는 제 1 전기 회로 소자에 전기적으로 및 기계적으로 연결되는 제 1 측면, 및 제 1 측면에 대향하는, 제 2 전기 회로 소자에 전기적으로 및 기계적으로 연결되는 제 2 측면을 가지고,

상기 인터포저 장치는,

상기 에너지 저장 장치의 제 1 측면 상에 제 1 전도체 패턴으로, 상기 제 1 전기 회로 소자가 상기 제 1 전도체 패턴에 전기적으로 및 기계적으로 연결될 때, 제 1 전도체 패턴은 인터포저 장치의 분획(portion)를 한정하여 제 1 전기 회로 소자에 의해 커버되는 제 1 전도체 패턴;

제 2 전기 회로 소자에 전기적으로 및 기계적으로 연결될 에너지 저장 장치의 제 2 측면 상에 제 2 전도체 패턴으로, 상기 제 2 전도체 패턴은 상기 제 1 전도체 패턴에 전기적으로 커플링되는 제 2 전도체 패턴; 및

제 1 전기 회로 소자에 의해 커버되는 인터포저 장치의 분획 내에 배열된 적어도 하나의 나노구조 에너지 저장 장치로서, 적어도 하나의 나노구조 에너지 저장 장치는,

적어도 제 1 복수의 전도성 나노구조;

제 1 복수의 전도성 나노구조에서 각각의 나노 구조를 임베딩한 전도 제어 재료;

상기 제 1 복수의 전도성 나노구조에서 각각의 나노구조에 연결된 제 1 전극; 및

상기 전도 제어 재료에 의해 상기 제 1 복수의 전도성 나노구조에서 각각의 나노구조로부터 분리된 제 2 전극

을 포함하는 것인 적어도 하나의 나노구조 에너지 저장 장치;

를 포함하고,

여기서 상기 제 1 전극 및 상기 제 2 전극 중 적어도 하나는 제 1 전도체 패턴에 연결되어 나노구조 에너지 저장 장치가 제 1 전기 회로 소자로 전기적 연결을 허용하는 것인 인터포저 장치.

청구항 2

제 1 항에 있어서,

상기 인터포저 장치는 적어도 하나의 나노구조 에너지 저장 장치를 임베딩하는 절연 재료를 더 포함하는 인터포저 장치.

청구항 3

제 1 항에 있어서,

상기 인터포저 장치는 절연 재료 상에 형성된 재분배층을 더 포함하고, 상기 재분배층은 상기 제 1 전도체 패턴을 적어도 부분적으로 형성하는 전도 분획을 포함하는 것인 인터포저 장치.

청구항 4

제 3 항에 있어서,

상기 전도 분획은 적어도 하나의 나노구조 에너지 저장 장치의 제 1 전극 및 제 2 전극 중의 하나에 연결되는 것인 인터포저 장치.

청구항 5

제 1 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치에서, 제 1 복수의 전도성 나노구조에서 전도성 나노구조는 수직 나노구조인 것인 인터포저 장치.

청구항 6

제 5 항에 있어서,

상기 인터포저 장치는 절연 장치층 분획을 가진 장치층을 포함하고, 상기 수직 나노구조는 상기 절연 장치층 분획 상에 성장되는 것인 인터포저 장치.

청구항 7

제 6 항에 있어서,

상기 제 1 복수의 전도성 나노구조에서 상기 절연 장치층 분획 및 상기 전도성 나노구조 사이에 촉매층을 더 포함하는 인터포저 장치.

청구항 8

제 6 항에 있어서,

상기 제 1 전극은 상기 제 1 복수의 전도성 나노구조에서 상기 절연 장치층 및 각각의 나노구조 사이에 배열되는 것인 인터포저 장치.

청구항 9

제 8 항에 있어서,

상기 제 1 복수의 전도성 나노구조에서 각각의 나노구조는 상기 제 1 전극으로부터 성장되는 것인 인터포저 장치.

청구항 10

제 1 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치를 위하여, 상기 전도 제어 재료는 상기 제 1 복수의 전도성 나노구조에서 각각의 나노구조 상에 컨포멀 코팅(conformal coating)으로서 배열되는 것인 인터포저 장치.

청구항 11

제 1 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치를 위하여, 상기 제 2 전극은 상기 전도 제어 재료를 커버하는 것인 인터포저 장치.

청구항 12

제 1 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치는 상기 전도 제어 재료에 임베딩된 제 2 복수의 전도성 나노구조를 더 포함하는 것인 인터포저 장치.

청구항 13

제 12 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치를 위하여, 상기 제 2 복수의 전도성 나노구조에서 상기 전도성 나노구조는 상기 인터포저 장치에 포함된 장치층의 절연 장치층 분획 상에 성장된 수직 나노구조인 것인 인터포저 장치.

청구항 14

제 13 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치를 위하여, 상기 인터포저 장치는 상기 절연 장치층 분획 및 상기 제 2 복수의 전도성 나노구조에서 상기 전도성 나노구조 사이에 촉매층을 더 포함하는 인터포저 장치.

청구항 15

제 13 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치를 위하여, 상기 제 2 전극은 상기 절연 장치층 분획 및 상기 제 2 복수의 전도성 나노구조에서 각각의 나노구조 사이에 배열되는 것인 인터포저 장치.

청구항 16

제 12 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치를 위하여, 상기 전도 제어 재료는 상기 제 2 복수의 전도성 나노구조에서 각각의 나노구조 상에 컨포멀 코팅으로서 배열되는 것인 인터포저 장치.

청구항 17

제 1 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치를 위하여, 상기 전도성 나노구조는 탄소 나노구조인 것인 인터포저 장치.

청구항 18

제 17 항에 있어서,

상기 전도성 나노구조는 탄소 나노파이버인 것인 인터포저 장치.

청구항 19

제 1 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치는 나노구조 커패시터이고, 상기 전도 제어 재료는 유전체 재료인 것인 인터포저 장치.

청구항 20

제 1 항에 있어서,

적어도 하나의 나노구조 에너지 저장 장치는 나노구조 배터리이고, 상기 전도 제어 재료는 고체 전해질인 것인 인터포저 장치.

청구항 21

제 1 항에 따르는 인터포저 장치; 및 상기 인터포저 장치의 제 1 측면 상에 제 1 전도체 패턴에 전기적으로 및 기계적으로 연결되고, 이로써 상기 제 1 전도체 패턴에 의해 한정된 인터포저 장치의 상기 분획을 커버하는 제 1 전기 회로 소자를 포함하는 전자 장치.

청구항 22

제 21 항에 있어서,

상기 제 1 전기 회로 소자는 집적 회로인 것인 전자 장치.

청구항 23

제 21 항에 있어서,

상기 전자 장치는 상기 인터포저 장치의 제 2 측면에 전기적으로 및 기계적으로 연결된 제 2 전기 회로 소자를

더 포함하는 전자 장치.

청구항 24

제 23 항에 있어서,

상기 제 2 전기 회로 소자는 장치 기판인 것인 전자 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 전기적으로 및 기계적으로 상호연결한 제 1 전기 회로 소자 및 제 2 전기 회로 소자를 위한 인터포저 장치에 관한 것이다. 본 발명은 또한 이러한 인터포저 장치를 제조하는 방법에 관한 것이다.

배 경 기 술

[0002] 전자 장치는 작동을 위해 전기 에너지가 필요하다. 휴대용 전자 장치에서, 배터리가 통상적으로 제공되고, 전기 에너지는 배터리로부터 나와 전자 장치에 포함된 집적 회로에 공급된다. 더욱이, 시스템 레벨 성능을 연속적으로 개선시키는 많은 구동 인자들은, 이에 제한되는 것은 아니지만 더 높은 데이터 전송률을 가진 더 작은 폼-팩터, 신호 무결성, 메모리 밴드폭, 전력 및 열 관리 능력 등을 포함한다. 현재의 통합되고 휴대가능한 생산품들은 적어도 이러한 지표(metrics)를 개선하기 위해 끊임없이 분투하는 것이 가장 중요하다. 실리콘 관통 비아홀(Through Silicon Via, TSV) 기술의 성숙은 소형 폼-팩터 어셈블리에서 긴밀하게 함께 공동-배치된 로직, 아날로그, 센서 및 메모리의 동종 및 이종 통합에 대해 엄청난 가능성을 열었다. 게다가, TSV 기술 혁신 및 성숙은 인터포저 패킹 기술을 다음 레벨로 발전시킬 가능성을 활용할 수 있게 한다. TSV를 포함하는 인터포저의 일부 양호한 예는 미국 특허 US8426961B2, US8928132B2, US8426961B2, 및 US8263434B2에 개시된다. 인터포저 기술의 적용(adaptation)은 반도체 산업에서 꾸준하게 증가된다. 인터포저 기술은 이종 다이 패키징, TSV에 의한 더 짧은 상호연결선, 통합된 패시브 장치(IPD), 수직 패키지 통합 등을 가능하게 하는 것을 포함하는 여러 혜택을 가져온다. 이러한 통합은 고밀도 I/O를 획득하게 하여 상이한 종류의 다이들이, 예를 들어 로직 및 메모리가 TSV 인터포저 상에 서로 가깝게 위치될 수 있다. 이러한 기술은 또한 2.5D 패키징 기술로 알려진다. 더욱이, 실리콘 다이는 서로 상부에 티어-투-티어(tier-to-tier)로 스택될 수 있고, 이는 한정된 구성요소를 위한 물리적 면적을 감소시킨다. 이러한 티어-투-티어 스택은 3D 패키징 기술로 불린다.

[0003] 그러나, 이렇게 고밀도로 채워진 다이의 통합은 대가가 따를 수 있다. 많은 저-전력, 고속 집적 회로는 회로 블록에 위치된 트랜지스터의 연속 전환에 의해 발생하는 전기 노이즈에 극단적으로 민감하다. 이 문제에 대한 알려진 해결책은 전력 변동 유도된 노이즈를 최소화하기 위해 소위 디커플링 커패시터에 회로를 연결하는 것이다. 디커플링 커패시터는 필수적으로 전하를 국소적으로 저장하고, 이는 요구되는 에너지를 내어 트랜지스터 전환 단계 동안 임의의 급작스러운 변동 또는 전압 변이를 보상함으로써, 임의의 전압 노이즈를 최소화하여 회로가 부드럽게 기능을 계속할 수 있고, 이로써 향상된 성능을 달성한다.

[0004] 또한, 회로의 주파수가 올라가면서 인덕턴스의 영향은 더욱 중요해지는 것으로 공지된다. 따라서, 중요한 개선은, 상호연결선으로부터 오는 기생 인덕턴스를 감소하도록 역할하여야 하기 때문에, 이러한 디커플링 커패시터를 의도된 회로에 가능한 한 가깝게 가지는 것이다. 많은 접근법들이, 예를 들어, 게이트 유전층의 일부를 활용하거나, 회로의 금속층, 다중층 이종 재료 스택된 커패시터 구조 등 사이의 공간을 활용하여, 통합된 디커플링 커패시터를 만들기 위하여 이루어졌다. 그러나 이러한 접근법은 활성 실리콘 면적, 유전 누설, 기생 저항의 상당한 차지 공간에 대한 필요로부터 고통받거나, 또는 병렬 플레이트 면적에 의해 한정된 단위 면적당 정전 용량에서 증가에서 근본적인 제한에 의해 또는 공정 복잡성 또는 비용으로부터 제한된다. 다른 접근법에 대한 양호한 예는 미국 특허 US7416954B2에 개시된다.

[0005] 인터포저 상에 통합된 실리콘 기반 커패시터를 가지는 것의 이점은 미국 특허 US7518881B2에 설명된다. 이러한 통합화는 커패시터 통합된 인터포저에 연결될 수 있는 집적 회로(IC) 장치상에 전압 노이즈를 감소시키는 것을 가능하게 한다. 본 명세서의 주요 진전은 커패시터가 IC가 연결될 인터포저의 표면에 통합되게 함으로써 IC에 더 가깝게 가져오는 것이다. 이러한 접근법의 변형은 인터포저에 여러 개의 실리콘 기반 통합화된 커패시터를 구성하는 방법을 설명하는 미국 특허 US7488624B2에 개시된다. 통합화된 커패시터의 또 다른 예는 미국 특허 US8618651B1에 개시되고, 여기서 실리콘 커패시터는 블라인드 TSV 비아홀 내에 형성된다. 실리콘 트렌치 기반 커패시터의 다른 예는 US9236442B2에 개시되고, 여기서 커패시터 장치를 제조하기 위하여 고 종횡비 실리콘 트

렌치가 사용된다. 트렌치 커패시터 제조 방법의 변형이 미국 특허 US9257383B2에 개시된다.

[0006] 따라서, 전통적인 실리콘 기반 임베딩된 고 종횡비 트렌치 커패시터 기술은 성숙되어 대량 생산을 위해 사용되고, 오늘날 스마트폰 패키징에서 발견될 수 있다. 그러나, 소형화 추세를 감안할 때, 실리콘 기반 커패시터 기술의 잠재력은 단위 면적당 커패시터 밀도, 바람직하지 않은 기생 저항, 공정 동안 실리콘 기판에서 증가된 막 스트레스, 확대된 제조 복잡성 및 기능당 비용의 경제에 맞추는 능력에 의해 제한된다.

[0007] 전형적인 인터포저는, 예를 들어 상호연결시 TSV를 요구할 수 있는 실리콘과 같이 부피가 큰 반도체 재료의 얇은 슬라브로 제조될 수 있다. TSV 비아홀은 US9349669B2에 개시된 바와 같이 비아홀로부터 비-최적화 스트레스 분배 및 결합된 기판 및 인터포저 사이에 열팽창의 계수(coefficient of thermal expansion, CTE)의 불일치에 기인하여 신뢰성 도전을 유도할 수 있다. 추가적으로, 기본적인 트렌치 기반 커패시터 기술, 예를 들어 MIM 커패시터는 미국 특허 US8963287B1에 개시된 바와 같이, 고 트렌치 밀도를 가진 실리콘 상에 현저한 인장 스트레스를 유도할 수 있고, 따라서 실리콘 웨이퍼가 뒤틀리거나 위로 휘게 할 수 있다.

[0008] 게다가, 많은 집적 회로에 대하여, 에너지를 국소적으로 저장하는 것이 바람직할 것이다. 그러나, 집적 회로에서 국소적 에너지 저장은 최첨단 제조 공정으로 불리는 표준과 상용될 수 없거나 경제적으로 유리하지 않거나 둘 다인 소중한 공간 및/또는 공정의 사용을 요구한다.

[0009] 추가적으로, 많은 경우, SoC 또는 SiP 패키징과 같이 시스템으로 집적 회로의 패키징에 대하여, 공정 복잡성 및/또는 공정 비용을 증가시키지 않고 인터포저 장치의 두께를 제어할 수 있는 것이 바람직하다. 따라서, 인터포저 어셈블리 기술이 더 개선될 수 있는 많은 길들이 명백하게 존재하고, 본 개시된 발명의 명세서는, 감소된 막 스트레스, 인터포저 두께에 대한 더 양호한 제어, 및 어셈블리 플랫폼으로 사용되기 위해 추가된 기능을 가진 더 스마트하고, 더 양호하고, 비용-효과적인 인터포저를 실시하기 위해 기여하는 것을 의도한다.

발명의 내용

해결하려는 과제

[0010] 상술된 결점 및 배경기술의 다른 결점의 관점에서, 본 발명의 목적은 전자 장치에서 컴팩트한 국소 에너지 저장소 및/또는 디커플링을 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명의 첫 번째 양태에 따르면, 제 1 전기 회로 소자 및 제 2 전기 회로 소자를 전기적으로 및 기계적으로 상호연결하기 위한 인터포저 장치로서, 상기 인터포저 장치는 제 1 전기 회로 소자에 전기적으로 및 기계적으로 연결되는 제 1 측면 및 제 1 측면에 대향하는, 제 2 전기 회로 소자에 전기적으로 및 기계적으로 연결되는 제 2 측면을 가지고, 상기 인터포저 장치는, 에너지 저장 장치의 제 1 측면 상에 제 1 전도체 패턴, 제 1 전기 회로 소자가 제 1 전도체 패턴에 전기적으로 및 기계적으로 연결될 때, 제 1 전도체 패턴은 인터포저 장치의 분획(portion)를 한정하여 제 1 전기 회로 소자에 의해 커버되는 제 1 전도체 패턴; 제 2 전기 회로 소자에 전기적으로 및 기계적으로 연결될 에너지 저장 장치의 제 2 측면 상에 제 2 전도체 패턴으로, 상기 제 2 전도체 패턴은 제 1 전도체 패턴에 전기적으로 커플링되는 제 2 전도체 패턴; 및 제 1 전기 회로 소자에 의해 커버되는 인터포저 장치의 분획 내에 배열된 복수의 나노구조 에너지 저장 장치로서, 각각의 나노구조 에너지 저장 장치는 적어도 제 1 복수의 전도성 나노구조; 제 1 복수의 전도성 나노구조에서 각각의 나노 구조에 임베딩된 전도 제어 재료; 제 1 복수의 전도성 나노구조에서 각각의 나노구조에 연결된 제 1 전극; 및 전도 제어 재료에 의해 제 1 복수의 전도성 나노구조에서 각각의 나노구조로부터 분리된 제 2 전극을 포함하고, 여기서 제 1 전극 및 제 2 전극 중 적어도 하나는 제 1 전도체 패턴에 연결되어 나노구조 에너지 저장 장치의 제 1 전기 회로 소자로 전기적 연결을 허용하는 것인 인터포저 장치가 제공된다.

[0012] 제 1 전극은 나노구조에 전도성으로 연결되어 DC-전류가 제 1 전극으로부터 나노구조로 흐를 수 있다.

[0013] 전도 제어 재료는 제 2 전극과, 에너지 저장을 허용하기 위한 제 1 복수의 나노구조에서 나노구조 사이에 전기 전도를 제어하는, 예컨대 예방하는 임의의 재료로 이해되어야 한다.

[0014] 제 1 전기 회로 소자 및 제 2 전기 회로 소자 각각 또는 둘 중 하나는 예를 들어 집적 회로, 패키징 전자 구성요소, 또는 PCB FR-4 기판 같은 회로판을 포함하는 전자 장치의 임의의 전기 부분일 수 있다.

[0015] 제 1 전기 회로 소자는 인터포저 장치보다 더 적은 표면적을 가질 수 있다.

[0016] 제 1 전도체 패턴은 제 1 전기 회로 소자에 포함되는 상응하는 커넥터에 전기적 연결을 허용하는 커넥터를 포함할 수 있다.

[0017] 제 2 전도체 패턴은 제 2 전기 회로 소자에 포함되는 상응하는 커넥터에 전기적 연결을 허용하는 커넥터를 포함할 수 있다.

[0018] 제 1 전도체 패턴 및 제 2 전도체 패턴은 서로 용량적으로 또는 직접 전도적으로 연결될 수 있다. 예를 들어, 인터포저 장치는 인터포저 장치의 제 1 측면 상에 제 1 전도체 패턴을 인터포저 장치의 제 2 측면 상에 제 2 전도체 패턴과 상호연결하는 복수의 통과 전도체를 포함할 수 있다.

[0019] 본 발명은 상이한 유형의 비아홀, 예를 들어 전기 비아홀, 열 비아홀, 다른 기능적 비아홀, 또는 인터포저에서 유도된 스트레스 또는 CTE 불일치를 지지하거나 보상하기 위한 스캐폴드 구조를 제공하는 것을 고려한다.

[0020] 본 발명은, 컴팩트한 국소 에너지 저장 및/또는 효율적이고 컴팩트한 디커플링이, 제 1 전기 회로 소자에 의해 커버되는 복수의 나노구조 에너지 저장 장치를 포함하는 인터포저 장치를 사용하여 편리하게 제공될 수 있다는 사실의 실현에 기반한다. 이 방식으로, 비싸고 공간 소모적인 외부 구성요소에 대한 필요 없이, 및 추가적인 측면 면적이 없거나 최소한으로, 상당한 에너지 저장 용량이 제공될 수 있다. 추가적으로, 국소 에너지 저장 용량은 매우 컴팩트한 방식으로 이미 존재하는 집적 회로로 제공될 수 있다. 본 발명은 또한 전통적인 인터포저 기판에 비하여 얇고 매끄러운 인터포저 장치를 가능하게 하는 인터포저 장치의 수직 두께를 제어하기 위한 자유를 가능하게 하기 위해 고려된다. 게다가, 인터포저 장치는 나노구조의 배치 및/또는 더 비용-효율적인 공정에서 더 큰 자유를 허용하여, 전형적인 집적 회로보다 더 높은 온도에서 처리될 수 있다.

[0021] 실시양태에서, 본 발명은 따라서 커패시터 및 에너지 저장 요구를 충족시키는 에너지 저장 장치로 맞춰질 수 있는 집적 커패시터 인터포저 장치를 실시하는 것을 고려한다. 본 발명에 따르는 인터포저 장치의 실시양태는 또한 주어진 회로 필요 또는 어셈블리 요구사항에 대하여 필요한 정전 용량 에너지 밀도를 맞추기 위해 적합한 것으로 간주된다. 따라서, 본 발명의 실시양태는 디자인의 자유 및 지형적인 프로파일, 비용 효과적인 공정 및 산업상 확장성을 가능하게 한다. 실시양태에서, 본 발명은 또한 전극 특성, 중요한 효과적인 표면적 향상 및 전하 저장 장치의 지형적인 프로파일에 대한 제어에 영향을 미치기 위해 전극 재료로서 나노구조의 성장을 제어하는 것을 허용한다.

[0022] 실시양태에서, 인터포저 장치는 절연 재료 상에 형성된 재분배층을 더 포함할 수 있고, 재분배층은 제 1 전도체 패턴을 적어도 부분적으로 형성하는 제 1 전도 분획 및 제 2 전도 분획을 포함하고, 절연 분획은 제 1 및 제 2 전도 분획을 상호 분리한다.

[0023] 제 1 전도 분획은 복수의 나노구조 에너지 저장 장치에서, 제 1 나노구조 에너지 저장 장치의 제 1 전극 및 제 2 전극 중의 하나에 연결될 수 있고; 제 2 전도 분획은, 제 1 나노구조 에너지 저장 장치와 상이한, 복수의 나노구조 에너지 저장 장치에서 제 2 나노구조 에너지 저장 장치의 제 1 전극 및 제 2 전극 중의 하나에 연결될 수 있다.

[0024] 실시양태에서, 신호 라우팅 목적을 위한 복수의 전도 전극 또는 회로 및 신호 전파 요구와 일치시키기 위해 재분배 전도층을 가지는 것으로 간주된다.

[0025] 실시양태에서, 제 1 전도 분획은 제 1 전극 및 제 2 전극 중의 하나로 이루어질 수 있고, 및 제 2 전도 분획은 제 1 전극 및 제 2 전극의 다른 하나로 이루어질 수 있다.

[0026] 다양한 실시양태에 따르면, 제 1 복수의 전도성 나노구조에서 전도성 나노구조는 수직 나노구조일 수 있다.

[0027] 다양한 실시양태에 따르면, 전도성 나노구조는 박막, 또는 박막의 스택의 형태로 제공된다.

[0028] 인터포저 장치는 절연 장치층 분획을 가진 장치층을 포함할 수 있고, 수직 나노구조는 절연 장치층 분획 상에서 성장될 수 있다.

[0029] 성장된 나노구조의 사용은 나노구조의 특성의 광범위한 맞춤을 허용한다. 예를 들어, 성장 조건은 각 나노구조의 큰 표면적을 주는 형태를 달성하기 위해 선택될 수 있고, 이는 이어서 나노구조 에너지 저장 장치의 에너지 저장 용량을 증가시킬 수 있다.

[0030] 나노구조는 유리하게 탄소 나노구조, 예컨대 탄소 나노파이버, 탄소 나노튜브 또는 탄화물-유도된 탄소 나노구조일 수 있다.

[0031] 나노구조는 유리하게 나노와이어, 예컨대 구리, 알루미늄, 은, 규화물 또는 전도성 특성을 가진 다른 유형의 나노와이어일 수 있다.

[0032] 나노구조는 유리하게 2D 박막, 예컨대 그래핀 또는 임의의 다른 2D 나노구조 막의 형태일 수 있다.

[0033] 다양한 실시양태에 따르면, 제 1 전극은 절연 장치층 및 제 1 복수의 전도성 나노구조에서 각각의 나노구조 사이에 배열될 수 있다. 이들 실시양태에서, 제 1 복수의 나노구조에서 나노구조는 제 1 전극으로부터, 즉 전도성 재료로부터 성장될 수 있다.

[0034] 실시양태에 따르면, 전도 제어 재료는 제 1 복수의 전도성 나노구조에서 각각의 나노구조 상에 컨포멀 코팅(conformal coating)으로서 유리하게 배열될 수 있다.

[0035] 실시양태에 따르면, 제 2 전극은 전도 제어 재료를 커버할 수 있다.

[0036] 제 2 전극 재료는 전도 제어 재료 위에 컨포멀 코팅으로서 유리하게 배열될 수 있다.

[0037] 일부 실시양태에서, 제 1 전극은 제 1 복수의 나노구조에서 나노구조 및 인터포저 기판의 절연 표면 분획 사이에 연속 전극층일 수 있고, 제 2 전극은 전도 제어 재료를 커버하는 연속 전극층일 수 있어서 제 2 전극이 전도 제어 재료에 의해 제 1 복수의 나노구조로부터 분리된다. 이들 실시양태에서, 전도 제어 재료는 제 2 전극의 매우 큰 전체 면적에 대하여 제공하기 위해 유리하게 나노구조와 실질적으로 컨포멀일 수 있다.

[0038] 게다가, 다양한 실시양태에 따르면, 나노구조 에너지 저장 장치는 전도 제어 재료에 임베딩된 제 2 복수의 전도성 나노구조를 더 포함할 수 있다. 제 1 복수의 나노구조에서 나노구조에 대하여, 제 2 복수의 나노구조에서 나노구조는 유리하게 수직 나노구조일 수 있다.

[0039] 이러한 실시양태에서, 제 2 전극은 제 2 복수의 나노구조에서 각각의 나노구조에 전도성으로 연결될 수 있다.

[0040] 제 2 복수의 전도성 나노구조에서 각각의 나노구조는 유리하게 제 2 전극으로부터 성장될 수 있다.

[0041] 제 2 전극, 또는 제 2 전극의 분획은, 제 2 복수의 나노구조에서 나노구조의 팁으로 대신 연결될 수 있다. 이러한 실시양태에서, 나노구조는 전도 제어 재료에 임베딩되어 성장될 수 있고, 나노구조의 팁에서 전도 제어 재료의 제거에 의해, 예를 들어 건조 또는 습식 에칭 또는 연마를 통해 노출될 수 있다.

[0042] 추가적인 실시양태에 따르면, 제 1 전극, 또는 제 1 전극의 분획은, 또한 제 1 복수의 나노구조에서 나노구조의 팁에 연결될 수 있다. 이러한 실시양태에서, 나노구조는 전도 제어 재료에 임베딩되어 성장될 수 있고, 나노구조의 팁에서 전도 제어 재료의 제거에 의해, 예를 들어 건조 또는 습식 에칭 또는 연마를 통해 노출될 수 있다. 따라서, 제 1 전극 및 제 2 전극 둘 다는 나노구조의 성장 후 제공될 수 있다.

[0043] 다양한 실시양태에 따르면, 나노구조 에너지 저장 장치는 2D 막 형태인 또는 다수의 층의 2D 막 형태인 복수의 전도성 나노구조를 포함하고, 전도 제어 재료에 임베딩될 수 있다. 2D 막 형태인 나노구조에 대하여 유리하게 2D 막 나노구조로서 성장될 수 있다.

[0044] 본 발명은 인터포저 실시양태에서 내부 스트레스를 가진 문제점을 피해가기 위해 고려된다.

[0045] 본 발명은 또한 웨이퍼 레벨 공정 및 패널 레벨 공정에서 사용되기 위해 고려된다.

[0046] 본 발명은 또한 팬 아웃(fan out) 웨이퍼 레벨 패키징에서 사용되기 위해 고려된다.

[0047] 본 발명은 저장 장치, 비아홀, 열 관리, 기계적 및 CTE 유도된 불일치 안정성을 위한 스캐폴드 등을 포함하는 임베딩된 상이한 기능성을 가진 인터포저 장치를 만들기 위한 상향식(bottom up) 접근법을 도입하기 위해 고려된다.

[0048] 다양한 실시양태에 따르면, 나노구조 에너지 저장 장치는 나노구조 커패시터일 수 있고, 전도 제어 재료는 유전 재료일 수 있다. 나노구조 커패시터에서, 전도 제어 재료는 제 1 복수의 나노구조에서 전도성 나노구조로부터 제 2 전극으로 전기 전도를 예방함으로써 에너지 저장을 위해 제공한다. 따라서, 에너지는 나노구조 - 유전 계면에서 전하의 축적을 통해 저장될 수 있다. 유전체는 유리하게 소위 고-k 유전체일 수 있다. 고 k-유전체 재료는, 예를 들어 HfOx, TiOx, TaOx 또는 다른 공지된 고 k-유전체일 수 있다. 다르게는, 유전체는 예를 들어 폴리프로필렌, 폴리스티렌, 폴리(p-자일릴렌), 파릴렌 등에 기반한 중합체일 수 있다. 다른 공지된 유전체 재료는, 예컨대 SiOx 또는 SiNx, 등은 전도 제어층으로 사용될 수도 있다. 임의의 다른 적합한 전도 제어 재료가 적합하게 사용될 수 있다. 전도 제어 재료는 CVD, 열 공정, ALD 또는 스핀 코팅 또는 스프레이 코팅 또는 산업에서 사

용된 임의의 다른 적합한 방법을 통해 증착될 수 있다.

[0049] 다른 실시양태에 따르면, 나노구조 에너지 저장 장치는 나노구조 배터리일 수 있고, 전도 제어 재료는 전해질일 수 있다. 나노구조 배터리에서, 전도 제어 재료는 전해질을 통하여 이온의 수송을 허용함으로써 에너지 저장을 제공한다. 적합한 전해질은 고체 또는 반-고체 전해질일 수 있고, 전해질로서 역할하기 위해 고체 수정, 세라믹, 석류석 또는 폴리머 또는 겔의 형태에서, 예를 들어, 스트론튬 티타네이트, 이트리아-안정화된 지르코니아, PMMA, KOH 등에서 선택될 수 있다.

[0050] 전도 제어 전해질 재료는 CVD, 열 공정, 또는 스핀 코팅 또는 스프레이 코팅 또는 산업에서 사용된 임의의 다른 적합한 방법을 통해 증착될 수 있다.

[0051] 본 발명의 다양한 실시양태에 따르는 인터포저 장치는, 나노구조 에너지 제공 장치가 인터포저 장치에 연결된 집적 회로의 작동을 위하여 에너지를 제공하는 것을 허용하기 위해, 상대적으로 많은 양의 에너지를 저장하도록 구성될 수 있다. 다른 실시양태에 따라서, 나노구조 에너지 제공 장치는, 전압 고조파 또는 일시적 변동으로부터 DC 선상에서 방해를 제한하여, RF 주파수에 대해 누전으로 행동하기 위해 예를 들어 나노구조 에너지 제공 장치가 디커플링 커패시터로서 기능하기 위해 필요한 상대적으로 적은 양의 에너지를 저장하도록 구성될 수 있다.

[0052] 더욱이, 본 발명의 다양한 실시양태에 따르는 인터포저 장치는 전자 장치에 유리하게 포함될 수 있고, 인터포저 장치의 제 1 측면 상에 제 1 전도체 패턴에 전기적으로 및 기계적으로 연결된 제 1 전자 회로 소자를 더 포함하고, 이로써 제 1 전도체 패턴에 의해 한정된 인터포저 장치의 분획을 커버한다.

[0053] 전자 구성요소는 손으로 들 수 있는(handheld) 전자 장치와 같이 전자 장치에 포함될 수 있다.

[0054] 본 발명의 추가적인 양태에 따르면, 전기 회로 소자에 전기적으로 및 기계적으로 연결되는 에너지 저장 장치를 제공하고, 여기서 에너지 저장 장치는, 제 1 전기 회로 소자가 제 1 전도체 패턴에 연결될 때 전기 회로 소자에 의해 커버되는 인터포저 장치의 분획을 한정하는 전도체 패턴; 및 전기 회로 소자에 의해 커버되는 인터포저 장치의 분획 내에 배열된 복수의 나노구조 에너지 저장 장치를 포함하고, 여기서 각각의 나노구조 에너지 저장 장치는, 적어도 제 1 복수의 전도성 나노구조; 제 1 복수의 전도성 나노구조에서 각각의 나노구조를 임베딩하는 전도 제어 재료; 제 1 복수의 나노구조에서 각각의 나노구조에 연결된 제 1 전극; 및 전도 제어 재료에 의해 제 1 복수의 나노구조에서 각각의 나노구조로부터 분리된 제 2 전극을 포함하고, 여기서 제 1 전극 및 제 2 전극 중 적어도 하나는 전도체 패턴에 연결되어 전기 회소 소자로 나노구조 에너지 저장 장치의 전기 연결을 허용한다.

[0055] 실시양태에서, 에너지 저장 장치(또는 상기 언급된 인터포저 장치)는 에너지 저장 장치의 수 및 3D 수직 형식에서 전원 저장 밀도/용량을 증가시키기 위해서 다중층 형식에서 서로 스택될 수 있다. 에너지 저장 장치(또는 인터포저 장치)는 에너지 저장 장치가 전기 에너지를 수용하고 저장하고, 저장된 전기 에너지를 필요 시 이에 연결된 전자 장치에 공급하는 방식으로 상호연결을 통하여 각각의 층에 직접 연결될 수 있다.

[0056] 실시양태에서, 에너지 저장 장치(또는 상기 언급된 인터포저 장치)는 전자 장치(스마트폰, 랩탑, 센서 또는 임의의 다른 손에 들 수 있는 배터리 구동된 장치)의 에너지 공급 시스템에 포함될 수 있다. 에너지 저장 장치(또는 인터포저 장치)는 에너지 저장 장치가 에너지를 수용하고 저장하고, 저장된 전기 에너지를 필요 시 전자 장치에 저장된 전기 에너지를 공급하는 방식으로 전자 장치의 배터리에 직접 연결될 수 있고/거나, 전자 장치의 에너지 관리 시스템에 포함될 수 있다. 특히, 이러한 저장된 에너지는 통상적인 배터리 수명을 연장하고/거나, 전력 관리 시스템을 개선하고/거나, 필요한 추가적인 전원이 즉각적으로 제공되도록 임의의 원치않은 전압 급등 또는 파급(전압 노이즈)에 맞붙기 위해 사용될 수 있다.

[0057] 본 발명의 또 다른 측면에 따르면, 제 1 전기 회로 소자 및 제 2 전기 회로 소자를 전기적으로 및 기계적으로 상호연결하기 위한 인터포저 장치의 제조 방법이 제공되고, 상기 방법은 다음 단계를 포함한다: 기판을 제공하는 단계; 기판 상에 제 1 장치층을 형성하는 단계로, 제 1 장치층은 절연 분획 및 제 1 전기 회로 소자 및 제 1 전극으로 전기 연결을 위해 제 1 전도체 패턴을 한정하는 전도 분획을 포함하는 것인 단계; 제 1 복수의 나노구조에 각각의 나노구조가 제 1 전극에 전기적으로 연결되는 방식으로, 제 1 전극 상에 적어도 하나의 제 1 복수의 전도성 나노구조를 형성하는 단계; 전도 제어 재료에서 제 1 복수의 전도성 나노구조에 각각의 나노구조를 임베딩함으로써 제 1 장치층 상에 나노구조 에너지 저장 장치를 형성하는 단계; 제 2 전극이 전도 제어 재료에 의해 제 1 복수의 나노구조에서 각각의 나노구조로부터 분리되는 방식으로 제 2 전극을 제공하는 단계; 나노구조 에너지 저장 장치층 상에 제 2 장치층을 형성하는 단계로, 제 2 장치층은 절연 분획 및 제 2 전기 회로 소자

로 전기 연결을 위한 제 2 전도체 패턴을 한정하는 전도 분획을 포함하는 것인 단계; 제 1 전도체 패턴 및 제 2 전도체 패턴을 상호연결하기 위해 나노구조 에너지 저장 장치층을 통해 전도성 구조를 형성하는 단계; 및 기판을 제거하는 단계.

[0058] 본 발명의 다양한 실시양태에 따르는 방법의 단계는 임의의 특정 순서로 필수적으로 수행되어야 하는 것은 아니라는 점, 예를 들어, 나노구조는 제 2 전극이 제공되기 전에 형성될 수 있다는 점이 유의되어야 한다. 다르게는, 제 2 전극은 나노구조의 형성 전에 제공될 수 있다. 게다가, 나노구조 에너지 저장 장치층을 통한 전도성 구조(예컨대 비아홀)는 제 2 장치층의 형성 전 또는 후에 형성될 수 있고, 또는 전도성 구조(예컨대 비아홀 또는 스캐폴드)는 나노구조 에너지 저장 장치의 형성 전에 형성될 수 있다.

[0059] 전극은 임의의 적합한 방식으로, 예컨대 포토-리쏘그래피, 스퍼터링, 증발, 전기주조, 규화물화 등을 통하여, 제공될 수 있다.

[0060] 유전체 및/또는 전해질은 임의의 적합한 방식으로, 예컨대 원자층 증착, 스퍼터링, 증발, 스피닝, 드롭 캐스팅 등에 의해 또는 당 분야에서 공지된 임의의 다른 적합한 방법으로 제공될 수 있다. 실시양태에서, 유전체 및/또는 전해질의 다중층은 필요에 따라 편리하게 제공될 수 있다.

[0061] 실시양태에 따르면, 적어도 제 1 복수의 전도성 나노구조를 형성하는 단계는 하기 단계를 포함할 수 있다: 제 1 재분배층상에 패턴화된 촉매층을 제공하는 단계; 및 촉매층으로부터 제 1 복수의 전도성 나노구조에서 각각의 나노구조를 성장시키는 단계. 일부 실시양태에 따르면, 전극은 촉매층과 동일한 재료일 수 있다. 일부 실시양태에 따르면, 촉매층은 나노구조를 성장시키기 위한 촉매로서 촉매층의 상부 및 전극으로 사용되기 위한 하부를 활용하기 위해 편리하게도 충분히 두꺼울 수 있다.

[0062] 본 발명의 제 2 양태의 추가적인 실시양태 및 이를 통해 수득되는 효과는 본 발명의 제 1 양태에 대하여 상술한 것과 대부분 유사하다.

발명의 효과

[0063] 본 명세서에 포함되어 있음.

도면의 간단한 설명

[0064] 본 발명의 이들 및 다른 양태는 본 발명의 예시적인 실시양태를 도시하는 첨부된 도면에 대하여 더욱 상세하게 설명될 것이다.

도 1은 전자 어셈블리의 형태인 본 발명의 예시적인 실시양태에 따르는 인터포저 장치를 위한 적용을 개략적으로 예시한다.

도 2a 내지 2b는 본 발명에 따르는 인터포저 장치에 포함된 나노구조 에너지 저장 장치의 두 개의 실시양태를 개략적으로 도시한다.

도 3은 본 발명에 따르는 인터포저 장치에 포함된 나노구조 에너지 저장 장치의 추가적인 실시양태를 개략적으로 도시한다.

도 4는 본 발명에 따르는 제조 방법의 예시적인 실시양태를 예시하는 흐름도이다.

도 5a 내지 5f는 도 4에 흐름도에서 개별적인 방법 단계의 결과를 개략적으로 예시한다.

발명을 실시하기 위한 구체적인 내용

[0065] 본 상세한 설명에서, 에너지 저장 인터포저 장치의 다양한 실시양태는 나노구조 커패시터 형태인 나노구조 에너지 저장 장치를 포함하는 에너지 저장 인터포저 장치를 참고하여 주로 설명된다.

[0066] 본 발명의 범위를 결코 제한하려는 것이 아니고, 이는 예를 들어 나노구조 배터리 또는 나노구조 커패시터를 포함하는 인터포저 장치 및 나노구조 배터리를 동등하게 포함하는 것을 유의하여야 한다.

[0067] 도 1은 제 1 집적 회로(IC)(3)의 형태인 제 1 전기 회로 소자, 제 2 집적 회로(IC)(5)의 형태인 제 2 전기 회로 소자, 및 제 1 IC(3) 및 제 2 IC(5)를 전기적으로 및 기계적으로 상호연결하는 본 발명의 실시양태에 따라 인터포저 장치(7)를 포함하는 본 발명의 실시양태에 따르는 전자 장치(1)를 개략적으로 예시한다.

[0068] 인터포저 장치(7)는 인터포저 장치(7)의 제 1 측면(11) 상의 제 1 전도체 패턴(9), 및 인터포저 장치(7)의 제 2

측면(15) 상의 제 2 전도체 패턴(13)을 포함한다. 도 1에 개략적으로 나타난 바와 같이, 제 1 전도체 패턴(9)(인터포저 장치(7)로 제 1 IC(3)의 전기적 및 기계적 연결을 위한 커넥터)은 제 1 IC가 제 1 전도체 패턴(9)에 전기적으로 및 기계적으로 연결될 때 제 1 IC(3)에 의해 커버되는 인터포저 장치(7)의 분획(17)(도 1에서 점선에 의해 둘러싸인 면적에 의해 표시됨)을 정의한다. 유사하게, 제 2 전도체 패턴(13)은 인터포저 장치(7)로 제 2 IC(5)의 상응하는 커넥터(19)의 전기적 및 기계적 연결을 허용하도록 구성된다. 또한 도 1에서 개략적으로 도시된 바와 같이, 제 2 전도체 패턴(13)은 제 1 전도체 패턴(9)에 전기적으로 커플링되어, 여기서 비아홀(21)에 의해 인터포저 장치(7)를 통하여 확장한다.

[0069] 도 1에서 인터포저 장치(7)는 제 1 IC(3)에 의해 커버되는 인터포저 장치(7)의 분획(17) 내에 배열되는 제 1 나노구조 에너지 저장 장치(23a) 및 제 2 나노구조 에너지 저장 장치(23b)를 추가적으로 포함한다.

[0070] 각각의 제 1 나노구조 에너지 저장 장치(23a) 및 제 2 나노구조 에너지 저장 장치(23b)는 적어도 하나의 제 1 복수의 전도성 나노구조 및 나노구조가 임베딩된 전도 제어 재료를 포함한다. 이들 구조는 도 1에서 명시적으로 도시되지 않지만, 도 2a 내지 2b 및 도 3을 참고하여 아래에 상세하게 설명될 것이다.

[0071] 상기 언급한 전도성 나노구조 및 전도 제어 재료 이외에, 각각의 제 1 나노구조 에너지 저장 장치(23a) 및 제 2 나노구조 에너지 저장 장치(23b)는 제 1 전극(25)(도 1에서 제 1 나노구조 에너지 저장 장치에 대해 나타낸 것만) 및 도 1의 예시에서는 보이지 않는 제 2 전극을 포함한다.

[0072] 도 1의 실시예에서, 제 1 전극(25) 및 제 2 전극(비록 도 1에 도시되지는 않지만)은 둘 다 인터포저 장치(7)에 포함된 제 1 전도체 패턴(9) 및 제 2 전도체 패턴을 통하여 제 1 IC(3)(및 제 2 IC(5))에 연결된다. 이로써, 나노구조 에너지 저장 장치(23a, 23b)는 예를 들어 제 2 IC(5)로부터 제공된 전기 에너지에 의해 충전되고, 제 1 전도체 패턴(9)의 IC 연결 패드를 통하여 제 1 IC(3)로 방전된다. 따라서, 인터포저 장치(7)는 제 1 IC(3) 및/또는 제 2 IC(5)에 대한 전하 저장소로서 기능할 수 있다.

[0073] 많은 다른 제 1 및 제 2 전도체 패턴들이 가능하고, 특정한 적용에 따라 유리할 수 있다는 것이 유의되어야 한다. 예를 들어, 제 1 및 제 2 전도체 패턴은 전원 그리드 및 신호 라우팅 목적을 위해 존재할 수 있다. 한 실시예에 따르면, 인터포저 장치의 제 1 측면 상에 제 3 전기 회로 소자가 있을 수 있고, 제 1 전도체 패턴은 이러한 제 3 전기 회로 소자를 위한, 및 제 1 전기 회로 소자 및 제 3 회로 소자 사이에 신호 라우팅을 제공하기 위해 커넥터를 추가로 포함할 수 있다.

[0074] 본 발명의 실시양태에 따르는 인터포저 장치(7)의 구조는 후술되는 예시적인 제조 방법의 설명과 연결하여 더 상세하게 설명될 것이다.

[0075] 도 2a는, 도 1에서 제 1 나노구조 에너지 저장 장치(23a)의 제 1 실시예 구성의, 나노구조 에너지 저장 장치(23a)에 포함된 나노구조의 일부를 노출하기 위해 전도 제어 재료를 일부 제거한, 개략적인 상면도이다.

[0076] 도 2a를 참고하면, 나노구조 에너지 저장 장치(23a)는 제 1 전극(25) 상에 형성된 제 1 복수의 전도성 나노구조(27), 및 제 2 전극(31) 상에 형성된 제 2 복수의 전도성 나노구조(29)를 포함한다. 모든 나노구조는 전도 제어 재료(33)에 임베딩된다. 이 실시예에서, 나노구조 에너지 저장 장치(23a)는 나노구조 커패시터일 수 있고, 이 경우 전도 제어 재료(33)는 유전체 재료, 예컨대 소위 고-k 유전체일 수 있다.

[0077] 도 2b는 인터포저 장치(7)에 포함된 장치층(35)의 전기적으로 절연된 표면 분획으로부터 성장한 제 1 복수의 전도성 나노구조(27) 및 제 2 복수의 전도성 나노구조(29)를 포함하는, 도 1에서 제 1 나노구조 에너지 저장 장치(23a)의 제 2 실시예 구성을 개략적으로 도시하는 측면으로부터 단면도이다. 특히, 나노구조는 패턴화되지 않은(예컨대 균일한) 촉매층으로부터, 또는 도 2b에 개략적으로 도시된 바와 같이 패턴화된 촉매층(37)으로부터 포레스트로서 성장될 수 있다.

[0078] 나노구조는 전도 제어 재료(33)에 임베딩되지만, 나노구조의 팁은 예를 들어 전도 제어 재료(33)의 연마 또는 에칭을 통하여 노출된다. 제 1 복수의 나노구조에서 나노구조(27)의 팁(39)의 상부 상에서, 제 1 전극(25)이 제공되어 제 1 전극(25) 및 제 1 복수의 나노구조에서 각각의 전도성 나노구조(27) 사이에 전기 접속을 달성한다. 제 2 복수의 나노구조에서 나노구조(29)의 팁(41)의 상부 상에, 제 2 전극(31)이 제공되어 제 2 전극(31) 및 제 2 복수의 나노구조에서 각각의 전도성 나노구조(29) 사이에 전기 접속을 달성한다.

[0079] 도 3은 도 1에서 제 1 나노구조 에너지 저장 장치(23a)의 제 3 실시예 구성을 개략적으로 나타내는 측면으로부터 단면도이다. 도 3에서 실시양태에서, 제 2 복수의 나노구조는 존재하지 않지만, 모든 나노구조(27)는 제 2 전극(31) 상에 형성된 상기 언급된 제 1 복수의 나노구조에 속한다. 또한, 전도 제어 재료(33)는 나노구조(27)

상에 컨포멀 코팅으로서 제공되고, 제 1 전극(25)은 전도 제어 재료(33) 상에 컨포멀 코팅으로서 형성된다.

[0080] 본 발명에 따르는 제조 방법의 예시적인 실시양태는 도 4에 흐름도, 및 도 4에 흐름도의 개별적인 방법 단계에 상응하는 제조 공정에서 도 5a 내지 5f의 상이한 단계에서 단면도를 참고하여 설명될 것이다.

[0081] 제 1 단계(400)에서, 희생 기판(43)이 제공된다. 희생 기판은 관련 분야에서 통상적인 기술을 가진 자에게 잘 알려지는 것과 같이 임의의 적합한 기판일 수 있다. 예를 들어, 희생 기판은 폴리머 또는 유리로 제조될 수 있거나, 또는 실리콘 기판일 수 있다.

[0082] 후속 단계(401)에서, 장치층(45)이 제공된다. 여기서, 장치층은 희생 기판(43) 상에 제공되고, 절연 장치층 분획(49)에 제 1 재분배층(47)을 포함한다. 장치층은, 먼저 적합한 금속 또는 다른 전도 재료를 사용하여 바람직한 패턴(예컨대 상기 언급한 제 1 전도체 패턴(9) 또는 제 2 전도체 패턴(13))에서 제 1 재분배층을 형성하고, 두께로 제 1 재분배층(47) 상에 유전체층을 증착하고, 제 1 재분배층이 노출되고 제 1 재분배층(47) 및 유전체층을 포함하는 기판은 실질적으로 평평/평면화되도록 화학적 기계적 연마 또는 임의의 다른 적합한 방법을 통하여 다시 유전체를 평면화하여 제공된다.

[0083] 다음 단계(402)에서, 나노구조 에너지 저장 장치(23) 및 비아홀(46)은 장치층(45)의 평면화된 표면 상에 형성된다. 도 2a 내지 2b 및 도 3을 참고하여 상술된 바와 같이, 나노구조 에너지 저장 장치(23)는 다양한 상이한 방법으로 형성될 수 있고, 각각의 방법은 장치층(45) 상에 전도성 수직 나노구조를 성장시키는 것, 전도 제어 재료에서 나노구조를 임베딩하는 것, 및 제 1 및 제 2 전극을 형성하는 것을 포함한다.

[0084] 비아홀(46)을 형성하기 위하여, 전형적인 금속 또는 금속 합금이 증착, 스퍼터링, 또는 증발 또는 임의의 다른 습식 공정을 활용하여 증착될 수 있다. 비아홀은 예컨대 전기 상호연결, 열 상호연결 또는 열 및 기계 안정성 상호연결을 위해 상이한 기능을 가질 수 있다. 목적을 감안하면, 비아홀 형성을 위한 재료는 높은 열 또는 전기 전도성을 가진 금속 또는 금속 합금으로부터 선택될 수 있다. 이러한 양태에서, 이방성 나노 재료, 예컨대 탄소 나노튜브, 나노파이버, 나노와이어도 사용될 수 있다. 전형적인 CVD 방법은 이러한 나노재료를 성장시키기 위해 활용될 수 있다. 나노재료 및 금속을 결합한 복합체 비아홀도 사용될 수 있다. 비아홀은 상이한 목적을 수행하기 위해 관심 영역에 걸쳐 분배되어 형성될 수 있다.

[0085] 비아홀(46) 및 나노구조 에너지 저장 장치(23)가 형성될 때, 나노구조는 단계(403)에서 유전체 재료에 임베딩된다. 비아홀(46) 및 나노구조 에너지 저장 장치(23)는 유전체(51)의 층을 증착시킴으로써 커버될 수 있다. 유전체의 층은 표면이 합리적으로 다시 평평하도록 평면화될 수 있다. 다르게는, 유전체의 층은 비아홀의 상부 표면이 개방되고 다시 접근가능하도록 평면화될 수 있다.

[0086] 이어서, 단계(404)에서, 제 2 재분배층(53)이 상술한 제 1 전도체층(9) 및 제 2 전도체층(13)을 달성하기 위해 선택적으로 형성될 수 있다.

[0087] 다음 단계(405)에서, 희생 기판(43)은 에너지 저장 인터포저 장치(7)의 제 1 실시예를 완성시키기 위해 제거되거나 방출된다.

[0088] 제 1 및 제 2 재분배층은 습윤 화학, 건조 CVD 증착, 스퍼터링 또는 증발과 같은 임의의 공지된 표준 금속화 공정을 활용하여 제조될 수 있다. Cu, Al, Au, 규화물과 같은 전형적인 금속 또는 임의의 다른 적합한 금속은 필요에 따라 증착될 수 있다. 에너지 저장 장치를 형성하는 것은, 제 1 전도 분획 상에 적어도 제 1 복수의 전도성 나노구조를 형성하여 제 1 재분배층에 전기적으로 연결되도록 하는 단계로서, 제 1 전도 분획은 제 1 전극을 형성하는 것인 단계; 전극 제어 재료에서 제 1 복수의 전도성 나노구조에서 각각의 나노구조를 임베딩하는 단계; 제 2 전극이 전도 제어 재료에 의해 제 1 복수의 나노구조에서 각각의 나노구조로부터 분리되는 방식으로 제 2 전극을 제공하는 단계를 포함한다. 희생 기판을 제거하는 것은 화학적 에칭 또는 건조 에칭 또는 임의의 다른 적합한 방법에 의해 후면으로부터 기판을 에칭함으로써 수행될 수 있다. 다르게는, 희생 기판은 제거되는 대신에 이형될 수 있다. 이러한 경우에, 웨이퍼 이형 기법, 레이저 탈-결합 기법 또는 열 탈-결합 기법이 사용될 수 있다. 적합한 재료의 추가적인 층은, 웨이퍼 이형 또는 탈-결합 방법이 작동하기 위해 인터포저 에너지 저장 장치의 공정 전에 희생 기판 상에 증착될 수 있다. 선택적으로, 희생 기판의 제거 후, 에너지 저장 인터포저 장치는 충돌에 의해 비 평면 I/O 포인트를 형성하기 위해 더 처리될 수 있다. 이러한I/O 충돌은 최종 연결 포인트를 형성하기 위해 플립 칩 충돌 공정, Cu 필라 증착 기법, 또는 임의의 다른 적합한 습윤 화학 공정을 통해 형성될 수 있다.

[0089] 다르게는, 제 1 인터포저 장치층의 상부 상에 인터포저 장치의 층을 더 형성하기 위한 공정이 상기 도 5b 내지

도 5e에 설명한 공정에 따라 계속될 수 있다.

[0090] 대안적인 제조 접근법에서, 공정은 본 방법에 따라서 제조된 다음 인터포저 장치에 이를 결합하기 위해 희생 기판을 제거하는 단계 없이 계속될 수 있다. 이러한 계획에서, 희생 기판을 제거할 필요없이, 두 개의 인터포저 장치는 서로 활성 측면을 대향하여 결합된다. 희생 기판은 제거되거나 탈-결합되고 공정은 많은 인터포저 장치를 서로 스택하기 위해 계속될 수 있다.

[0091] 대안적인 제조 접근법에서, 팬 아웃(fan out) 공정은 표준 팬 아웃 공정에 따라 인터포저 장치의 상부 상에서 수행될 수 있다.

[0092] 대안적인 제조 접근법에서, 공정은 희생 기판의 제거 없이 계속될 수 있고, 적어도 하나의 집적 회로 또는 다이는 인터포저 장치에 결합된다. 희생 기판은 이어서 제거되거나 탈-결합되고, 공정은 서로 많은 인터포저 장치를 스택하기 위해 계속될 수 있다. 임의의 앞서 설명된 실시양태는 산업에서 사용된 웨이퍼 레벨 공정 및 패널 레벨 공정에서 제조되기에 적합하다. 그들은 웨이퍼 레벨 인터포저 공정 및 패널 레벨 인터포저 공정으로 각각 편리하게 지칭될 수 있다. 웨이퍼 레벨 공정에서, 크기가 2인치 내지 12인치 웨이퍼인 전형적으로 원형 기판이 사용된다. 패널 레벨 공정에서, 크기는 기계 용량에 의해 한정되고, 이에 제한되는 것은 아니지만 12 내지 100인치의 더 큰 크기인 원형 또는 직사각형 또는 정사각형일 수 있다. 패널 레벨 공정은 전형적으로 스마트 텔레비전을 생산하기 위해 사용될 수 있다. 따라서, 크기는 텔레비전의 크기 또는 더 클 수 있다. 인터포저 기판 크기가 더 커질수록, 어셈블리를 위해 반도체 산업에서 사용되는 개별적인 인터포저 기판에 대해 더 비용 효과적이 된다. 웨이퍼 레벨 공정을 위한 한 양태에서, 상기 설명된 실시양태 중의 적어도 하나는 반도체 공정 주조에서 웨이퍼 레벨에서 처리된다. 다른 양태에서, 패널 레벨 공정을 위해, 상기 설명된 실시양태 중의 적어도 하나는 패널 레벨 가공을 사용하여 처리된다. 디자인 요구사항에 따라, 공정 후 인터포저 웨이퍼 또는 패널 레벨 웨이퍼는 표준 다이싱, 플라즈마 다이싱 또는 레이저 커팅을 사용하여 더 작은 조각으로 절단된다. 다른 양태에서, 다이싱, 플라즈마 다이싱 또는 레이저 커팅은 칩/다이가 웨이퍼 또는 패널 레벨에서 인터포저 상에서 어셈블리된 이후 완결된다. 이러한 싱귤레이션 공정 단계는 인터포저의 형태 및 크기가 필요에 따라 형성되는 것을 맞추도록 다이싱 또는 플라즈마 다이싱 또는 레이저 커팅을 통해 구성될 수 있다.

[0093] 상기 언급된 인터포저 실시양태 중 임의의 것의 용도의 양태에서, 에너지 저장 인터포저는 장치에서, 예를 들어 스마트폰, 랩탑, 센서 또는 임의의 다른 손에 들 수 있는 배터리 구동 장치에서, 본 발명에 따르는 인터포저가 에너지를 저장할 수 있도록 배터리 및/또는 전원 관리 단위와 편리하게 연결될 수 있다. 이러한 저장된 에너지는 통상적인 배터리 수명을 연장하고, 및/또는 전원 관리 시스템을 향상하고, 및/또는 필요한 추가적인 전원이 즉각적으로 제공될 수 있도록 임의의 원치않는 전원 급등 또는 파급(전압 노이즈)에 맞붙기 위해 사용될 수 있다.

[0094] 또한, 하기 정보가 제공된다:

[0095] 본 발명의 한 양태에서, 복수의 집적 회로 및/또는 장치 기판 사이에 배열을 위해 적합한 인터포저 장치가 제공되고, 이 때 인터포저는 전도 패턴, 에너지 저장 장치 및 비아홀이 연결될 수 있도록 복수의 에너지 저장 장치, 인터포저 장치를 통해 확장하는 복수의 비아홀, 제 1 측면 및 제 1 측면에 반대되는 제 2 측면 상에 복수의 전도 패턴 또는 RDL을 포함한다. 전도 패턴은 Cu, Al, Au, 규화물과 같은 금속 또는 임의의 다른 금속 또는 금속 합금으로 이루어진다. 한 양태에서, 비아홀은 예를 들어 Cu, Al, W, Au, 규화물 또는 이들을 형성하기에 적합한 임의의 다른 금속 또는 금속 합금과 같은 금속 비아홀에 기반한 전기 상호연결을 위한 것이다. 비아홀은 편리하게 다른 유형의 이방성 전도 재료, 예컨대 탄소 나노튜브, 나노파이버 또는 나노와이어로 이루어지거나 또는 금속 또는 금속 합금과 복합체 형태일 수 있다. 다른 양태에서, 비아홀은 열 비아홀이다. 열 비아홀은 높은 열 전도성 재료, 예를 들어 Cu, Au, 등, 또는 이방성 열 전도 재료, 예컨대 나노튜브, 나노와이어, 탄소계 재료, 예컨대 탄소 나노튜브, 나노파이버, 그래핀에 의해, 또는 다른 금속 또는 금속 합금과 복합체 형태에서 편리하게 형성될 수 있다. 한 양태에서, 비아홀은 인터포저 장치의 측벽에서 형성될 수 있다. 본 발명에 따라서 제조될 수 있는 인터포저 장치의 두께에 대하여 필수적으로 어떠한 제한도 기대되지 않는다. 그러나 전형적으로, 인터포저 장치의 총 두께는 필요/용도에 따라 0.1㎛ 내지 10㎜에서, 바람직하게 0.5㎛ 내지 100㎛ 사이에서 변화할 수 있다.

[0096] 본 발명의 한 양태에서, 전도 패턴 및 에너지 저장 장치가 연결될 수 있도록 제 1 측면 및 제 1 측면의 반대에 제 2 측면 상에 복수의 에너지 저장 장치, 복수의 전도 패턴 또는 RDL을 포함하는, 복수의 집적 회로 및/또는 장치 기판 사이에 배열에 적합한 인터포저 장치가 제공된다. 전도 패턴은 Cu, Al, Au, 규화물과 같은 금속 또는 임의의 다른 적합한 금속 또는 금속 합금으로 이루어진다. 이어서 복수의 집적 회로는 에너지 저장 인터포저 장

치를 통하여 연결될 수 있다. 한 양태에서, 비아홀은 인터포저 장치의 측벽에서 형성될 수 있다. 본 발명에 따라서 제조될 수 있는 인터포저 장치의 두께에 대한 필수적으로 어떠한 제한도 기대되지 않는다. 그러나 전형적으로 인터포저 장치의 총 두께는 필요에 따라 0.1㎛ 내지 10㎜에서, 바람직하게 0.5㎛ 내지 100㎛ 사이에서 변화할 수 있다.

[0097] 한 양태에서, 인터포저 장치는, 다른 기능을 제공하기 위하여, 예컨대 기계적 안정성을 위하여, 비아홀 또는 나노스케일 스캐폴드의 형태에서 더 많은 구조를 편리하게 가질 수 있고, 상이한 집적 회로 기판의 CTE 불일치를 보상할 수 있거나, 또는 증착에 의해 유도된 박막 스트레스를 보상하거나 밸런싱하는데 사용될 수 있다. 이러한 나노스케일에서, 스캐폴드는 증착된 유전체층에 편리하게 임베딩될 수 있다.

[0098] 본 발명의 한 양태에서, 인터포저 장치의 유전체 본체는 유전체층의 증착 공정을 통해 형성된다.

[0099] 한 양태에서, 제조된 커패시터는 전압 고조파 또는 일시적인 변동으로부터 DC 선상에 방해를 제한하여 RF 주파수에 대한 누전으로 활동하는 역할을 가지는 것인 디커플링 커패시터로서 사용될 수 있다.

[0100] 디커플링 커패시터는 장치로부터 가능한 가깝게 접지로 DC 선을 연결할 때 가장 양호하게 사용된다. 그러므로 본 발명에서, 한 양태는 인터포저의 표면 상에 두 개의 재분배 연결선 사이에 이러한 커패시터를 위치시키거나 제조하는 것이다. 다른 양태에서, 커패시터는 인터포저의 두께 내에서 또는 인터포저의 오목한 형태에서 또는 인터포저의 하부 표면에서 위치되거나 제조될 수 있다.

[0101] 필터링 커패시터로서(유사하게 DC 블록으로) 커패시터를 사용하는 다른 양태에서, 이는 RF 선과 직렬로 연결하여 위치되어야 하고, 인터포저의 비아홀 내에 또는 표면 중 하나 상에 통합될 수 있다.

[0102] 필터링 또는 디커플링 커패시터의 한 양태에서, 이들은 완전하게 고체 상태 장치일 수 있다. 따라서, 절연층이 PVD, CVD, ALD에 의해 증착되기 전에, 상부 전극이 PVD, CVD, ALD 또는 도금을 사용하여 형성되기 전에, 장치는 하부 전극 상에 연결되거나 성장된 나노구조로 만들어져야 한다.

[0103] 저장 장치로서 커패시터를 사용하는 다른 양태에서, 액체, 폴리머 또는 겔은 서로 상부에 위치된 또는 단순하게 얽힌 두 개의 전극을 합치는 전해질로서 사용될 수 있다.

[0104] 나노구조 에너지 저장 장치(23)에 포함된 전도성 나노구조는 당 분야에서 통상적인 기술을 가진 자에게 공지된 다양한 방법을 사용하여 제조될 수 있다는 것이 이해되어야 한다. 예를 들어, 하나 이상의 나노구조를 제조하는 방법은 기판의 상부 표면 상에 전도 도움층을 증착하는 단계; 전도 도움층 상에 패턴화된 촉매층을 증착하는 단계; 촉매층 상에 하나 이상의 나노구조를 성장시키는 단계; 및 하나 이상의 나노구조 사이와 주변에 전도 도움층을 선택적으로 제거하는 단계를 포함할 수 있다. 일부 구현예에서, 촉매층은 증착된 후 패턴화된다. 일부 구현예에서, 기판은 그 상부 표면과 함께 공간을 차지하는 금속 기저층을 추가로 포함하고, 이는 전도 도움층에 의해 커버된다. 일부 구현예에서, 금속 기저층은 패턴화된다. 일부 구현예에서, 금속 기저층은 Cu, Ti, W, Mo, Co, Pt, Al, Au, Pd, P, Ni, 규화물 및 Fe로부터 선택된 하나 이상의 금속을 포함한다. 일부 구현예에서, 금속 기저층은 TiC, TiN, WN, 및 AlN로부터 선택된 하나 이상의 전도 합금을 포함한다. 일부 구현예에서, 금속 기저층은 하나 이상의 전도 폴리머를 포함한다.

[0105] 본 명세서에서 설명한 기술은 도움층으로서 많은 상이한 재료로 활용될 수 있다. 도움층 재료 및 에칭 파라미터를 선택하여 나노구조가 도움층의 에칭 동안 자가-정렬된 마스크층으로 사용될 수 있는 것이 중요하다. 도움층 재료의 선택은 도움층 아래에 놓인 재료에 따를 수 있다.

[0106] 선택적 제거 공정이 또한 성장된 나노구조 사이에 임의의 원치않는 촉매 잔류물을 제거하기 위해 사용될 수 있기 때문에, 도움층은 또한 촉매일 수 있다.

[0107] 촉매는 니켈, 철, 백금, 팔라듐, 니켈-규화물, 코발트, 몰리브덴, Au 또는 이들의 합금일 수 있거나, 또는 다른 재료들(예, 규소)과 결합될 수 있다. 본 명세서에서 설명된 기술이 나노구조를 위한 촉매 없는 성장 공정에서 적용될 수도 있기 때문에, 촉매는 선택적일 수 있다. 촉매는 또한 촉매 입자의 스핀 코팅을 통해 증착될 수 있다.

[0108] 일부 구현예에서, 촉매층은 나노구조를 성장시키기 위해 사용될 뿐만 아니라, 전도 전극으로 사용될 수 있다. 일부 구현예에서, 촉매는 두꺼운 니켈층, 철층, 백금층, 팔라듐층, 니켈-규화물층, 코발트층, 몰리브덴층, Au층 또는 이들의 합금층일 수 있거나, 또는 주기율표로부터 다른 재료와 결합될 수 있다.

[0109] 일부 구현예에서, 임의의 증착이 증발, 도금, 스퍼터링, 분자빔 애피택시, 펄스 레이저 증착, CVD, ALD, 스핀-

코팅 또는 스프레이 코팅으로부터 선택된 방법에 의해 수행될 수 있다. 일부 구현예에서, 하나 이상의 나노구조는 탄소, GaAs, ZnO, InP, InGaAs, GaN, InGaN, 또는 Si를 포함한다. 일부 구현예에서, 하나 이상의 나노구조는 나노파이버, 나노튜브, 또는 나노와이어를 포함한다. 일부 구현예에서, 하나 이상의 나노구조는 박막 형태로 또는 다층 박막 형태의 스택으로 제공된다. 이러한 구현예에서, 박막은 탄소계 그래핀 막 또는 임의의 다른 적합한 2D 나노구조일 수 있다. 일부 구현예에서, 전도 도움층은 반도체, 전도 폴리머 및 합금으로부터 선택된 재료를 포함한다. 일부 구현예에서, 전도 도움층은 1nm 내지 100마이크론 두께이다. 일부 구현예에서, 하나 이상의 나노구조는 플라즈마에서 성장한다.

[0110] 일부 구현예에서, 하나 이상의 나노구조는 탄화물 유래된 탄소이다. 일부 구현예에서, 전도 도움층의 선택적 제거는 에칭에 의해 수행된다. 일부 구현예에서, 에칭은 플라즈마 건조 에칭이다. 일부 구현예에서, 에칭은 전기화학적 에칭이다. 일부 구현예에서, 에칭은 광화학 열분해 에칭이다. 일부 구현예에서, 에칭은 열분해 에칭이다. 일부 구현예에서, 방법은 전도 도움층 및 촉매층 사이에 추가적인 층을 증착하는 단계를 더 포함한다.

[0111] 한 양태에 따르면, 복수의 나노구조를 성장하는 단계는, 전극 상에 촉매층을 증착하는 단계로, 촉매층은 전극의 평균 입자 크기와 상이한 평균 입자 크기를 가진 입자를 포함함으로써, 하부층 및 촉매층을 포함하는 층의 스택을 형성하는 것인 단계; 층의 스택을 나노구조를 형성할 수 있는 온도로 가열하는 단계; 및 반응물질을 포함하는 가스를 제공하여 반응물질이 촉매층과 접촉하게 하는 단계를 포함하는 방법을 사용하여 수행될 수 있다.

[0112] 일부 구현예에서, 염소화 공정은 금속 탄화물층으로부터 탄소 나노구조를 유도하기 위하여, 예를 들어 TiC로부터 탄소 나노구조를 형성하는 것과 같이 사용될 수 있다.

[0113] 일부 구현예에서, 나노구조의 성장은 층의 스택을 증착하는 단계 및 상기 층의 스택 상에 나노구조를 성장시키는 단계로서, 상기 층의 스택은 상기 층의 상호확산을 허용하는 재료를 포함하는 것인 단계를 포함하는 방법을 사용하여 수행될 수 있다. 여기서, 상호확산된 층은 편리하게 나노구조에 존재할 수 있다. 층의 스택은 상이한 금속, 촉매 금속 또는 금속 합금의 조합일 수 있다.

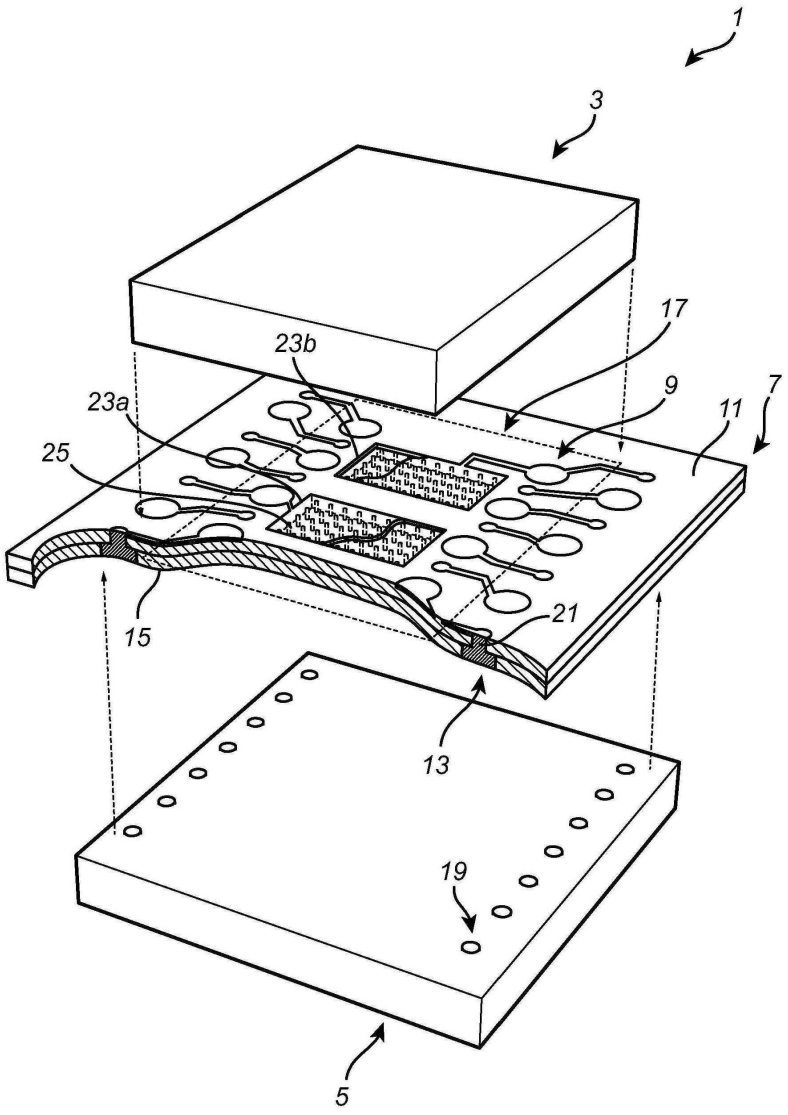
[0114] 한 양태에서, 커패시터의 이러한 통합은 커패시터 및/또는 에너지 저장 장치의 프로필 크기, 높이 및 에너지 밀도를 제어함으로써 적합하다. 한 양태에서, 이러한 통합은 나노구조의 단위 면적당 높은 표면 면적을 적합하게 시행하는 성장 공정을 통해 성장된 나노구조의 형태를 제어함으로써 적합하다.

[0115] 당 업계에 숙련자는 본 발명은 어떤 경우에도 상기 설명된 바람직한 실시양태로 한정되지 않는다는 것을 이해한다. 반대로, 많은 개질 및 변경이 첨부된 청구범위 내에서 가능하다.

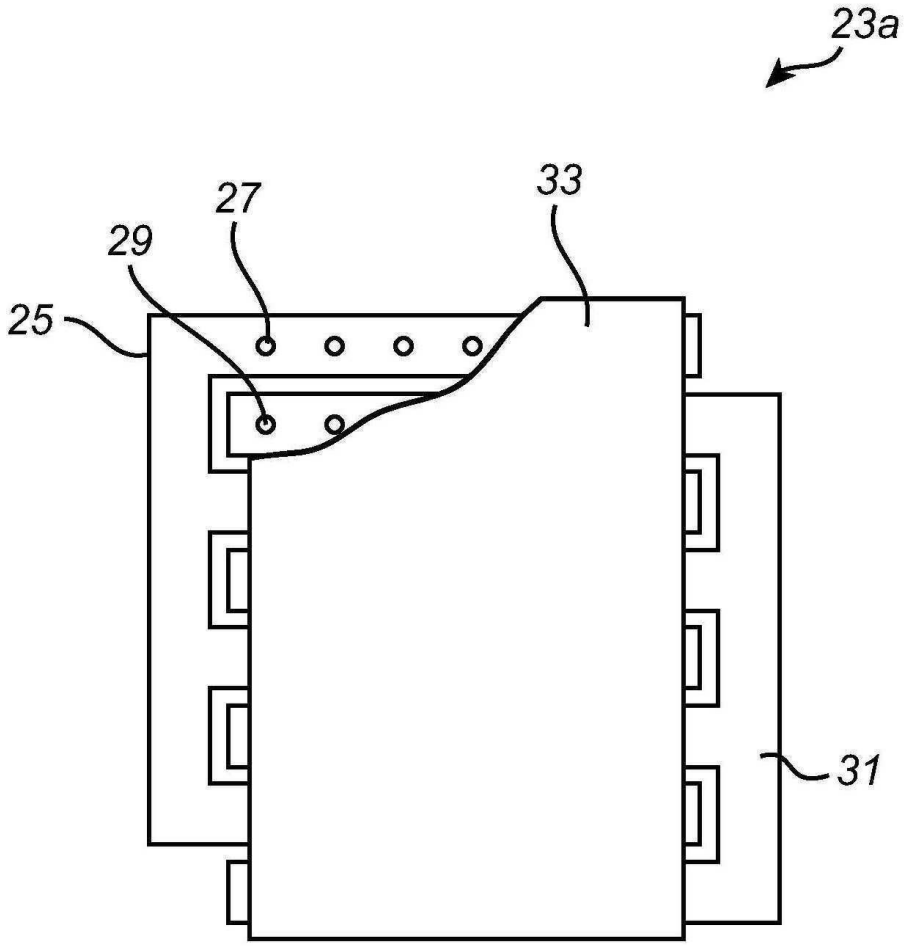
[0116] 청구범위에서, 용어 "포함하는"은 다른 구성요소 또는 단계를 배제하지 않고, 부정관사 "a" 또는 "an"은 복수를 배제하지 않는다. 단일 프로세서 또는 다른 단위가 청구범위에 언급된 여러 아이템의 기능을 수행할 수 있다. 특정 치수가 서로 상이한 종속항에 언급된다는 사실은 이들 치수의 조합이 유리하게 사용되지 않는다는 것을 나타내지 않는다. 컴퓨터 프로그램이, 광저장 매체 또는 다른 하드웨어와 함께 또는 일부로서 공급된 고체-상태 매체와 같은 적합한 매체 상에 저장되고/분산될 수 있지만, 인터넷 또는 다른 유선 또는 무선 통신 시스템을 통하여 다른 형태로 분산될 수도 있다. 청구범위에서 임의의 참조 기호는 범위를 한정하는 것으로 간주되지 않아야 한다.

도면

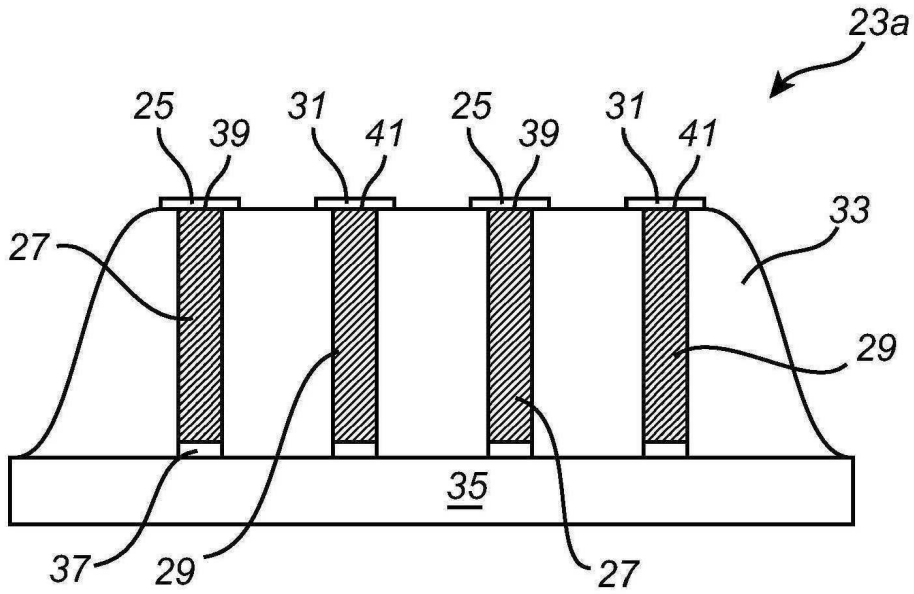
도면1



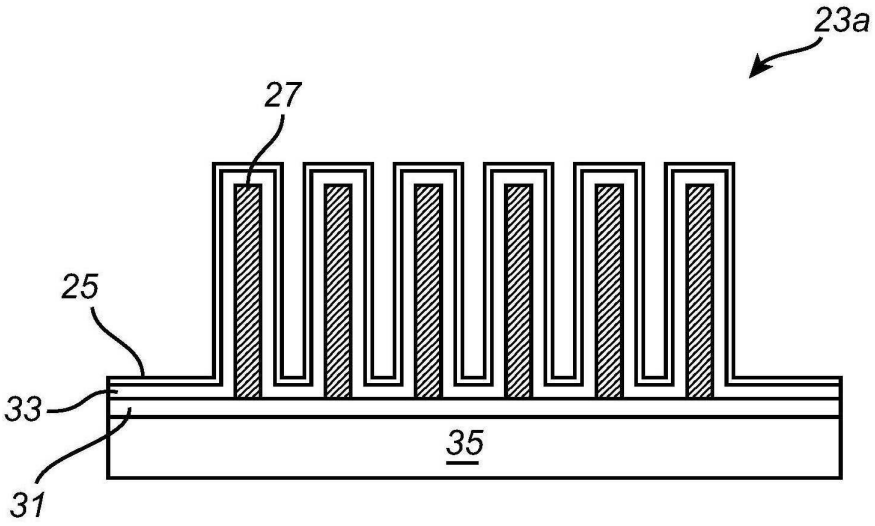
도면2a



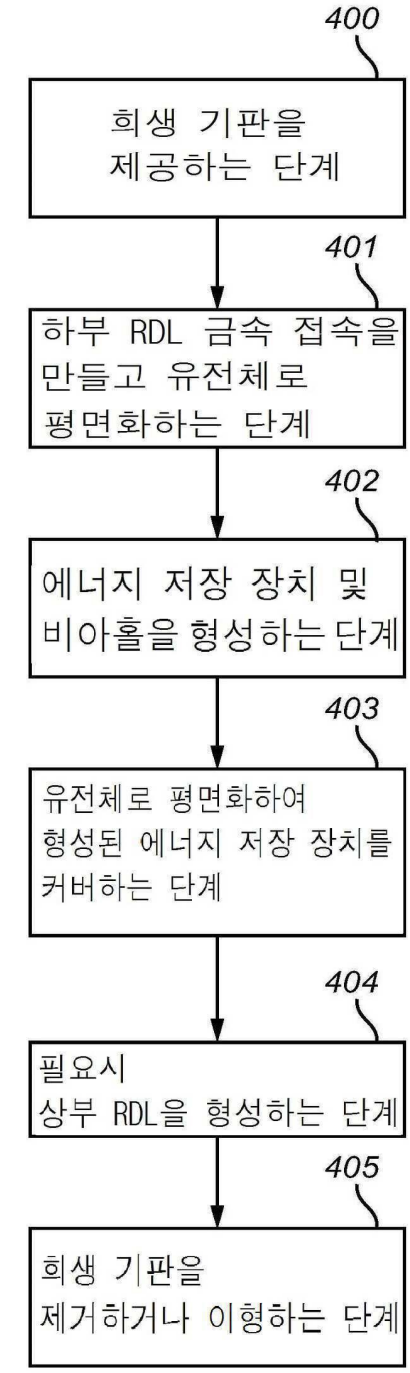
도면2b



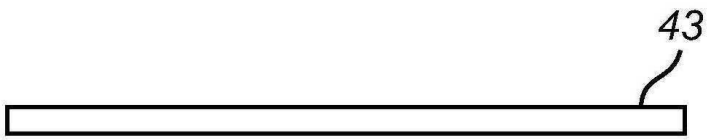
도면3



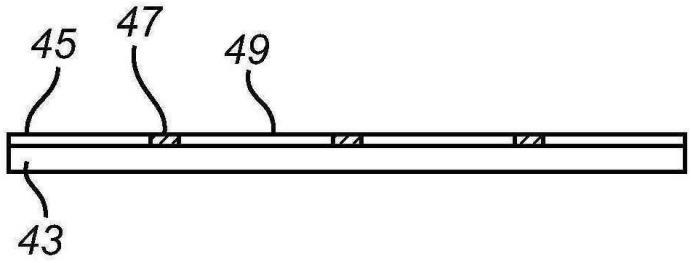
도면4


400
희생 기판을
제공하는 단계
401
하부 RDL 금속 접속을
만들고 유전체로
평면화하는 단계
402
에너지 저장 장치 및
비아홀을 형성하는 단계
403
유전체로 평면화하여
형성된 에너지 저장 장치를
커버하는 단계
404
필요시
상부 RDL을 형성하는 단계
405
희생 기판을
제거하거나 이형하는 단계

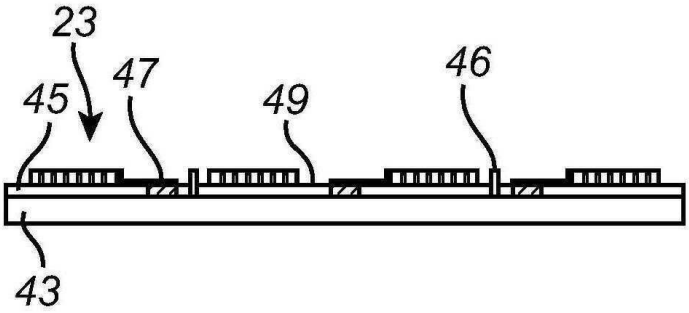
도면5a


43

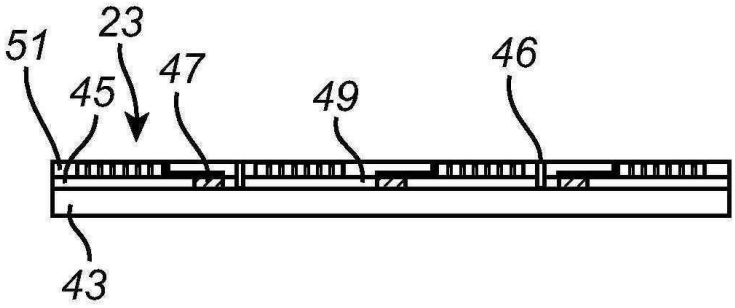
도면5b



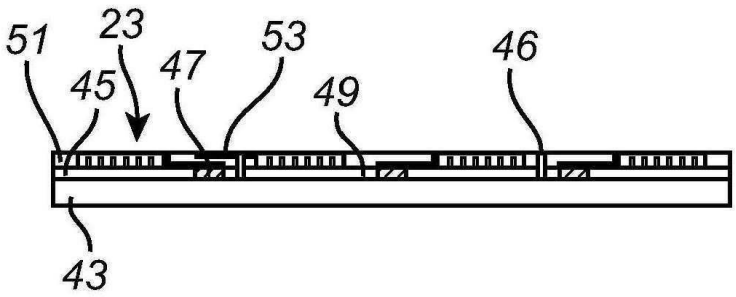
도면5c



도면5d



도면5e



도면5f

