

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012年6月14日(14.06.2012)



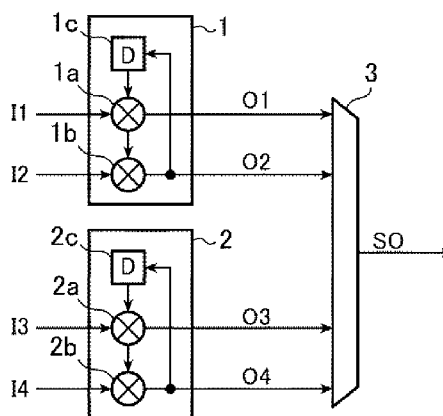
(10) 国際公開番号  
WO 2012/077155 A1

- (51) 国際特許分類:  
H04L 25/49 (2006.01)
  - (21) 国際出願番号: PCT/JP2010/007085
  - (22) 国際出願日: 2010年12月6日(06.12.2010)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (71) 出願人(米国を除く全ての指定国について): 三菱電機株式会社 (Mitsubishi Electric Corporation) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
  - (72) 発明者; および
  - (75) 発明者/出願人(米国についてのみ): 小西 良明 (KONISHI, Yoshiaki) [-/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
  - (74) 代理人: 田澤 英昭, 外 (TAZAWA, Hideaki et al.); 〒1000014 東京都千代田区永田町二丁目12番4号 赤坂山王センタービル5階 Tokyo (JP).
  - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告(条約第21条(3))

(54) Title: PARALLEL DIFFERENCE-ENCODING CIRCUITS

(54) 発明の名称: 並列差動符号化回路

[図1]



(57) Abstract: A first difference-encoding circuit (1) executes a difference encoding of n rows of parallel input data, and generates n rows of parallel output data. A second difference-encoding circuit (2) executes a difference encoding of n rows of parallel input data, and generates n rows of parallel output data. A multiplexing circuit (3) multiplexes, alternately, the parallel output data of the first difference-encoding circuit (1) and the parallel output data of the second difference-encoding circuit (2), and outputs the multiplexed data.

(57) 要約: 第1の差動符号化回路1は、n行の並列入力データを差動符号化してn行の並列出力データを生成する。第2の差動符号化回路2は、n行の並列入力データを差動符号化してn行の並列出力データを生成する。多重化回路3は、第1の差動符号化回路1の並列出力データと第2の差動符号化回路2の並列出力データを交互に多重して出力する。

WO 2012/077155 A1

## 明 細 書

**発明の名称**： 並列差動符号化回路

**技術分野**

[0001] この発明は、光ファイバ伝送装置、無線送受信機などの通信装置に使用される、並列差動符号化回路に関するものである。

**背景技術**

[0002] 近年、光通信システムにおいて、超高速大容量の信号伝送を実現する方式としてDifferential Quadrature Phase Shift Keying (DQPSK)等の位相変調技術やDual-Polarized Quadrature Phase Shift Keying (DP-QPSK)等のデジタルコヒーレント技術が積極的に研究されている。また伝送距離の更なる延伸化を目指し、伝送する交互のシンボルに異なる直交偏波を用いるAlternate Polarization Differential Phase Shift keying (Apol-DPSK)といった方式も検討されている。

[0003] 光DPSK、DQSPK方式では、受信機に、伝送する前後のシンボル間位相差を検出する遅延干渉計を利用した検波器を使用する。このため、送信機にて、予め送信データを位相差に割り当てる差動符号化回路またはプリコーダと呼ばれる回路が必要となる。また、デジタルコヒーレント方式においては、受信機が持つローカル光にて受信光の位相を検出するが、送信側での絶対位相が不明であり、データが復元できない。これを解消するため初期位相が不明でもデータ復元できる差動符号化を利用することもある。

[0004] 例えば、従来のAlternate Polarization Differential Phase Shift keying (Apol-DPSK)方式では、1シンボル毎に直交する偏波を使用することにより、自己位相変調といった非線形効果による信号劣化への耐性を強めている。このシステムにおける受信機では1シンボルおきに受信される同一偏波の光信号を遅延干渉させてデータを抽出する必要がある。このため、通常のDPSK方式では前後1シンボル間の光信号位相差にデータを割り当てる差動符号化を実施するのに対し、Apol-DPSK方式では2シンボ

ル間での差動符号化回路を使用する必要がある。

[0005] 差動符号化処理は高速デジタル回路で実現されるが、位相差を演算するために直前に出力した光信号位相の情報を遅延素子にて保持しなければならない。このため、差動符号化回路中にシンボルレートで動作するフィードバックパスが存在することになる。光通信ではビットレートが40 Gbps、100 Gbpsと超高速であるため、このフィードバックパスは数十GHzで動作することが求められ、実装が非常に困難になるという問題があった。

[0006] この問題に対応するために、高速動作する様々な差動符号化回路が考案されている。例えば、特許文献1では差動符号化回路を並列展開することで、デジタル回路の動作速度を低減し、一般的なLSIプロセスでのデジタル回路実装を可能にするという回路作成技術が開示されている。

### 先行技術文献

### 特許文献

[0007] 特許文献1：特許第3011235号公報

### 発明の概要

### 発明が解決しようとする課題

[0008] しかしながら、上記特許文献1に記載されたような並列差動符号化回路では、差動符号化処理されたデータが多重後1シンボル毎に出力される。このため、Apol-DPSK方式、Apol-DQPSK方式のような2ビット遅延検波を必要とする長距離伝送用フォーマットには対応できないという問題点があった。

[0009] この発明は、かかる問題を解決するためになされたもので、長距離伝送用フォーマットに適した並列差動符号化回路を得ることを目的としている。

### 課題を解決するための手段

[0010] この発明に係る並列差動符号化回路は、並列入力データを差動符号化して、並列出力データを生成する並列差動符号化回路であって、 $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ 、 $n$ は整数) 行

の並列出力データを生成する第1の差動符号化回路と、 $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列出力データを生成する第2の差動符号化回路と、第1の差動符号化回路の並列出力データと第2の差動符号化回路の並列出力データを交互に多重して出力する多重化回路を備えたものである。

### 発明の効果

[0011] これにより、長距離伝送用フォーマットに適した並列差動符号化回路を得ることができる。

### 図面の簡単な説明

- [0012] [図1] この発明の実施の形態1の並列差動符号化回路を示す構成図である。  
[図2] DPSK方式における送信データと光位相との関係を示すタイミングチャートである。  
[図3] この発明の実施の形態1の並列差動符号化回路の動作を示すタイミングチャートである。  
[図4] この発明の実施の形態1の並列差動符号化回路により生成された多重化シリアル出力の受信機処理動作を示すタイミングチャートである。  
[図5] この発明の実施の形態2の並列差動符号化回路を示す構成図である。  
[図6] この発明の実施の形態3の並列差動符号化回路を示す構成図である。  
[図7] この発明の実施の形態4の並列差動符号化回路を示す構成図である。  
[図8] この発明の実施の形態4の並列差動符号化回路における差動符号化回路が持つ論理回路を示す回路図である。

### 発明を実施するための形態

[0013] 以下、この発明をより詳細に説明するために、この発明を実施するための形態について、添付の図面に従って説明する。

#### 実施の形態1.

図1は、本実施の形態による並列差動符号化回路を示す構成図である。

本実施の形態の並列差動符号化回路は、第1の差動符号化回路1、第2の差動符号化回路2、多重化回路3を備えている。第1の差動符号化回路1お

よび第2の差動符号化回路2は、それぞれDPSK用差動符号化回路である。第1の差動符号化回路1は、2行の並列入力データI1、I2から演算して、2行の並列出力データO1、O2を出力する。第1の差動符号化回路1は、排他的論理和回路1a、1bと遅延素子1cとから構成され、排他的論理和回路1bからの並列出力データO2を遅延素子1cにて遅延させ、排他的論理和回路1aで、並列入力データI1との排他的論理和演算を行うフィードバックパスを持つ。第2の差動符号化回路2の構成も第1の差動符号化回路1と同様であり、2行の並列入力データI3、I4から演算して、2行の並列出力データO3、O4を出力する。第2の差動符号化回路2においても、排他的論理和回路2a、2bと遅延素子2cとから構成され、排他的論理和回路2bからの並列出力データO4を遅延素子2cにて遅延させ、排他的論理和回路2aで、並列入力データI3との排他的論理和演算を行うフィードバックパスを持つ。多重化回路3は、4系統の並列出力信号を時間多重する4:1MUXであり、4倍の速度で並列出力データO1、O3、O2、O4の順にシリアル出力SOに出力する。

[0014] 図2は一般的なDPSK方式における送信データ並びに光位相との関係を説明するタイミングチャートであり、図3は実施の形態1の動作を説明するためのタイミングチャートである。

DPSK方式では送信データを位相変調器にて変調する送信光位相の位相差に割り当てる。例えば図2では送信データの‘0’を位相変化なし、‘1’を位相反転とみなすと、送信データ系列“01101011011101000010”に対して、1シンボル差動符号化後のデータ系列は“01001101101001111100”となる。位相変調器で‘0’を位相‘0’なし、‘1’を位相‘ $\pi$ ’へ変換すると送信光位相系列は“00 $\pi$ 00 $\pi\pi$ 0 $\pi\pi$ 0 $\pi$ 00 $\pi\pi\pi\pi\pi$ 00”となる。受信機では遅延検波により位相差が検出されることから、もし前後シンボルが“00”、“ $\pi\pi$ ”ならば検出位相は“0”、もし“0 $\pi$ ”、“ $\pi$ 0”ならば検出位相は“ $\pi$ ”となる。このことから、図2の例では遅延検波後検出位相は“0 $\pi\pi$ 0 $\pi$ 0 $\pi\pi$

“ $0\pi\pi\pi 0\pi 0000\pi 0$ ”となる。これを電気信号に変換し、データを復元すると、元の送信データ系列と等しい“ $01101011011101000010$ ”が得られる。

[0015] 図1において、例えば送信データ系列“ $00101010001100000010$ ”を先頭から順に繰り返し並列入力データ $I_1, I_2, I_3, I_4$ に“ $01000$ ”、“ $10110$ ”、“ $11101$ ”、“ $00100$ ”として入力するとする。この時、差動符号化回路で演算された結果の並列データ出力 $O_1, O_2, O_3, O_4$ は、図3に示す通りそれぞれ“ $00010$ ”、“ $10100$ ”、“ $10101$ ”、“ $10001$ ”となる。このデータが多重化回路3にて多重化され、シリアル出力 $SO$ から“ $01110000011010000101$ ”の順に出力される。

[0016] 図3にて示される多重化出力を位相変調器にて変調し、2シンボル遅延検波器にて位相差を検出した場合の系列を図4に示す。これを時分割分離して、“ $1000$ ”、“ $10100$ ”、“ $1101$ ”、“ $00100$ ”と戻すことで、元の送信データ系列を復元できる。なお、位相変調器や2シンボル遅延検波器および時分割分離する構成についてはその図示を省略している。

[0017] また、DPSK方式に対応した差動符号化回路は本実施の形態1に示した排他的論理和と遅延素子の接続方法以外でも実現でき、本実施の形態1の効果は図1に示す構成だけに限られるものではない。

[0018] 以上説明したように、この実施の形態1の並列差動符号化回路においては、並列入力データを差動符号化して、並列出力データを生成する並列差動符号化回路であって、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列出力データを生成する第1の差動符号化回路と、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列出力データを生成する第2の差動符号化回路と、第1の差動符号化回路の並列出力データと第2の差動符号化回路の並列出力データを交互に多重して出力する多重化回路を備えたので、2シンボル遅延検波に対応した差動符号化を実現することができ、APoll-D

PSK方式による光信号の伝送距離延伸化が可能となる。

[0019] 実施の形態 2.

図 5 は、実施の形態 2 における並列差動符号化回路の構成図である。

実施の形態 2 の並列差動符号化回路は、第 1 の差動符号化回路 10、第 2 の差動符号化回路 20、多重化回路 30 を備えている。第 1 の差動符号化回路 10 および第 2 の差動符号化回路 20 は、実施の形態 1 と同様に、それぞれ排他的論理和回路 10a、10b、遅延素子 10c および排他的論理和回路 20a、20b、遅延素子 20c を備えていると共に、選択回路 10d および 20d をそれぞれ備えている。ここで、排他的論理和回路 10a、10b、遅延素子 10c と排他的論理和回路 20a、20b、遅延素子 20c の構成は、実施の形態 1 の排他的論理和回路 1a、1b、遅延素子 1c と排他的論理和回路 2a、2b、2c と同様である。

[0020] 選択回路 10d は、第 2 の差動符号化回路 20 における排他的論理和回路 20b の並列出力データ 04 と、第 1 の差動符号化回路 10 における排他的論理和回路 10b の並列出力データ 02 とを選択し、その選択出力を遅延素子 10c に与えるための回路である。また、選択回路 20d は、第 2 の差動符号化回路 20 における排他的論理和回路 20b の並列出力データ 04 を遅延素子 20c で遅延させたデータと、第 1 の差動符号化回路 10 における排他的論理和回路 10b の並列出力データ 02 とを選択し、その選択出力を排他的論理和回路 20a に与えるための回路である。また、多重化回路 30 は、実施の形態 1 の多重化回路 3 と同様に、4 系統の並列出力信号を時間多重する 4 : 1 MUX であり、4 倍の速度で並列出力データ 01、03、02、04 の順にシリアル出力 SO に出力する。

[0021] このように構成された実施の形態 2 では、第 1 の差動符号化回路 10 における選択回路 10d が並列出力データ 04 側を選択し、第 2 の差動符号化回路 20 における選択回路 20d が並列出力データ 02 側を選択することにより、多重化回路 30 で多重した後のシリアル出力 SO として 1 シンボル遅延差動符号化された信号を出力することができる。なお、選択回路 10d が並

列出カデータ02側を選択し、選択回路20dが並列出カデータ04側（遅延素子20cの出力カデータ側）を選択することにより実施の形態1と同等の2シンボル遅延差動符号化回路構成を得ることができる。

[0022] 以上説明したように、この実施の形態2の並列差動符号化回路では、第2の差動符号化回路のn行目の出力カデータと、第1の差動符号化回路のn行目の出力カデータとを選択する第1の選択回路と、第1の差動符号化回路のn行目の出力カデータと、第2の差動符号化回路のn行目の出力カデータを遅延させた出力カデータとを選択する第2の選択回路とを備え、第1の差動符号化回路では、第1の選択回路の出力を遅延させて1行目の入力カデータと差動符号化し、第2の差動符号化回路では、第2の選択回路の出力を1行目の入力カデータと差動符号化するようにしたので、2シンボル遅延差動符号化を用いるAPPO-1-DPSK方式並びに1シンボル遅延差動符号化を用いる通常DPSK方式の両方に対応が可能であり、同一のLSIやFPGA内にて回路を共有化して、回路規模の削減並びに消費電力の抑制を達成することができる。

[0023] 実施の形態3.

図6は、実施の形態3の並列差動符号化回路を示す構成図である。

実施の形態3の並列差動符号化回路は、第1の差動符号化回路100、第2の差動符号化回路200、第3の差動符号化回路300、第4の差動符号化回路400を備えている。これら第1の差動符号化回路100～第4の差動符号化回路400は、それぞれ実施の形態1における第1の差動符号化回路1や第2の差動符号化回路2と同様のDPSK用差動符号化回路であり、2行の並列入カデータI1～I8から演算して、2行の並列出カデータO1～O8を出力する。即ち、第1の差動符号化回路100は、排他的論理和回路100a、100bと遅延素子100cで構成され、第2の差動符号化回路200は、排他的論理和回路200a、200bと遅延素子200cで構成され、第3の差動符号化回路300は、排他的論理和回路300a、300bと遅延素子300cで構成され、第4の差動符号化回路400は、排他

的論理和回路400a, 400bと遅延素子400cで構成されている。また、多重化回路500は、8系統の並列出力信号を時間多重する8:1MUXであり、8倍の速度で01, 03, 05, 07, 02, 04, 06, 08の順にシリアル出力SOに出力する。

[0024] 次に、実施の形態3の動作について説明する。

第1の差動符号化回路100~第4の差動符号化回路400は、それぞれ2行の並列入力データI1とI2、I3とI4、I5とI6、I7とI8から演算して、2行の並列出力データ01と02、03と04、05と06、07と08を出力する。多重化回路500は、01, 03, 05, 07, 02, 04, 06, 08の順にシリアル出力SOに出力する。これにより、シリアル出力SOには、4シンボル遅延検波器で送信データに復号される、4シンボル差動符号化信号が出力される。

[0025] 以上説明したように、実施の形態3の並列差動符号化回路によれば、並列入力データを差動符号化して、並列出力データを生成する並列差動符号化回路であって、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列出力データを生成する第1の差動符号化回路と、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列出力データを生成する第2の差動符号化回路と、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列出力データを生成する第3の差動符号化回路と、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ ,  $n$ は整数) 行の並列出力データを生成する第4の差動符号化回路と、第1の差動符号化回路の並列出力データと第2の差動符号化回路の並列出力データと第3の差動符号化回路の並列出力データと第4の差動符号化回路の並列出力データを交互に多重して出力する多重化回路を備えたので、4つの差動符号化回路の出力を多重化出力することから、4シンボル差動符号化信号を作成することができ、例えば、受信機において4シンボル離れた信号同士による遅延検波を行う、雑音を抑制することが可能な伝送方式を用いることが

可能で、伝送距離を伸ばすことができるといった効果がある。

[0026] 実施の形態 4.

図 7 は、2 シンボル遅延に対応した実施の形態 4 の並列差動符号化回路を示す構成図である。

実施の形態 4 の並列差動符号化回路は、第 1 の差動符号化回路 4 と第 2 の差動符号化回路 5 と、多重化回路 6 とを備えている。第 1 の差動符号化回路 4 は、DQPSK 用差動符号化回路であり、2 行 2 組の並列入力データ  $I_1$  ( $I_{1I}$ ,  $I_{1Q}$ )、 $I_2$  ( $I_{2I}$ ,  $I_{2Q}$ ) から演算して、2 行 2 組の並列出力データ  $O_1$  ( $O_{1I}$ ,  $O_{1Q}$ )、 $O_2$  ( $O_{2I}$ ,  $O_{2Q}$ ) を出力する。第 1 の差動符号化回路 4 は、論理回路 4 a, 4 b と遅延素子 4 c とから構成され、2 組の並列出力データ  $O_2$  ( $O_{2I}$ ,  $O_{2Q}$ ) を遅延素子 4 c にて遅延させ、2 組並列入力データ  $I_1$  ( $I_{1I}$ ,  $I_{1Q}$ ) との差動符号化演算を行うフィードバックパスを持つ。

[0027] 第 2 の差動符号化回路 5 は、DQPSK 用差動符号化回路であり、2 行 2 組の並列入力データ  $I_3$  ( $I_{3I}$ ,  $I_{3Q}$ )、 $I_4$  ( $I_{4I}$ ,  $I_{4Q}$ ) から演算して、2 行 2 組の並列出力データ  $O_3$  ( $O_{3I}$ ,  $O_{3Q}$ )、 $O_4$  ( $O_{4I}$ ,  $O_{4Q}$ ) を出力する。第 2 の差動符号化回路 5 も、第 1 の差動符号化回路 4 と同様に論理回路 5 a, 5 b と遅延素子 5 c から構成され、2 組の並列出力データ  $O_4$  ( $O_{4I}$ ,  $O_{4Q}$ ) を遅延素子 5 c にて遅延させ、2 組の並列入力データ  $I_3$  ( $I_{3I}$ ,  $I_{3Q}$ ) との差動符号化演算を行うフィードバックパスを持つ。多重化回路 6 は、4 系統の並列出力信号を時間多重する 4 : 1 MUX であり、4 倍の速度で  $O_{1I}$ ,  $O_{1Q}$ ,  $O_{3I}$ ,  $O_{3Q}$ ,  $O_{2I}$ ,  $O_{2Q}$ ,  $O_{4I}$ ,  $O_{4Q}$  の順に 2 組のシリアル出力  $SO$  ( $SOI$ ,  $SOQ$ ) に出力する。

[0028] 図 8 に論理回路 4 a, 4 b, 5 a, 5 b の詳細を示す。

図示の論理回路は AND 回路と OR 回路とからなり、DQPSK 方式では 2 組の入力信号  $I_I$ ,  $I_Q$  を 2 組の遅延素子からのフィードバック信号  $D_I$ ,  $D_Q$  または隣接出力信号を入力として、DQPSK 用位相変調器の正相成

分、直交成分に出力するための出力データ  $O_I$ 、 $O_Q$ を演算する。

[0029] 図7にて生成されたシリアル出力  $S_{O_I}$ 、 $S_{O_Q}$ は、実施の形態1と同様に2シンボル差動符号化信号となり、DQPSKデコーダで使用される2シンボル遅延検波器にて元の送信データ系列を復号できる。

[0030] また、DQPSK方式に対応した差動符号化回路は本実施の形態4に示した回路の接続方法以外でも実現でき、本実施の形態4の効果は図7に示す構成だけに限られるものではない。

[0031] 以上説明したように、この実施の形態4の並列差動符号化回路によれば、並列入力データを差動符号化して、並列出力データを生成する並列差動符号化回路であって、2ビットを組とする $n$  ( $2 \leq n$ 、 $n$ は整数)行の並列入力データを差動符号化して、2ビットを組とする $n$  ( $2 \leq n$ 、 $n$ は整数)行の並列出力データを生成する第1の差動符号化回路と、2ビットを組とする $n$  ( $2 \leq n$ 、 $n$ は整数)行の並列入力データを差動符号化して、2ビットを組とする $n$  ( $2 \leq n$ 、 $n$ は整数)行の並列出力データを生成する第2の差動符号化回路と、第1の差動符号化回路の並列出力データと第2の差動符号化回路の並列出力データを交互に多重して出力する多重化回路を備えたので、2シンボル遅延検波に対応した差動符号化を実現することができ、ApoI-DQPSK方式による光信号の伝送距離延伸化が可能となる。

[0032] なお、本願発明はその発明の範囲内において、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変形、もしくは各実施の形態において任意の構成要素の省略が可能である。

### 産業上の利用可能性

[0033] 以上のように、この発明に係る並列差動符号化回路は、ApoI-DPSK方式、ApoI-DQPSK方式のような2ビット遅延検波を必要とする長距離伝送用フォーマットには対応するための構成に関するものであり、光ファイバ伝送装置や無線送受信機などの通信装置に用いるのに適している。

### 符号の説明

[0034] 1, 4, 10, 100 第1の差動符号化回路、2, 5, 20, 200

第2の差動符号化回路、3, 6, 30 多重化回路、10d, 20d 選択回路、300 第3の差動符号化回路、400 第4の差動符号化回路、500 多重化回路。

## 請求の範囲

[請求項1] 並列入力データを差動符号化して、並列出力データを生成する並列差動符号化回路であって、

$n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列出力データを生成する第1の差動符号化回路と、

$n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列出力データを生成する第2の差動符号化回路と、

前記第1の差動符号化回路の並列出力データと前記第2の差動符号化回路の並列出力データを交互に多重して出力する多重化回路を備えることを特徴とした並列差動符号化回路。

[請求項2] 第2の差動符号化回路の $n$ 行目の出力データと、第1の差動符号化回路の $n$ 行目の出力データとを選択する第1の選択回路と、

前記第1の差動符号化回路の $n$ 行目の出力データと、前記第2の差動符号化回路の $n$ 行目の出力データを遅延させた出力データとを選択する第2の選択回路とを備え、

前記第1の差動符号化回路では、前記第1の選択回路の出力を遅延させて1行目の入力データと差動符号化し、

前記第2の差動符号化回路では、前記第2の選択回路の出力を1行目の入力データと差動符号化することを特徴とする請求項1記載の並列差動符号化回路。

[請求項3] 並列入力データを差動符号化して、並列出力データを生成する並列差動符号化回路であって、

$n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列出力データを生成する第1の差動符号化回路と、

$n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列入力データを差動符号化して、 $n$

( $2 \leq n$ 、 $n$ は整数) 行の並列出力データを生成する第2の差動符号化回路と、

$n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列出力データを生成する第3の差動符号化回路と、

$n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列入力データを差動符号化して、 $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列出力データを生成する第4の差動符号化回路と、

前記第1の差動符号化回路の並列出力データと前記第2の差動符号化回路の並列出力データと前記第3の差動符号化回路の並列出力データと前記第4の差動符号化回路の並列出力データを交互に多重して出力する多重化回路を備えることを特徴とする並列差動符号化回路。

[請求項4]

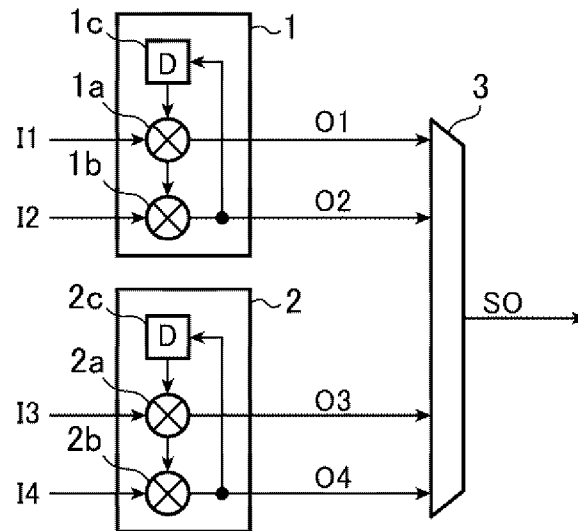
並列入力データを差動符号化して、並列出力データを生成する並列差動符号化回路であって、

2ビットを組とする $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列入力データを差動符号化して、2ビットを組とする $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列出力データを生成する第1の差動符号化回路と、

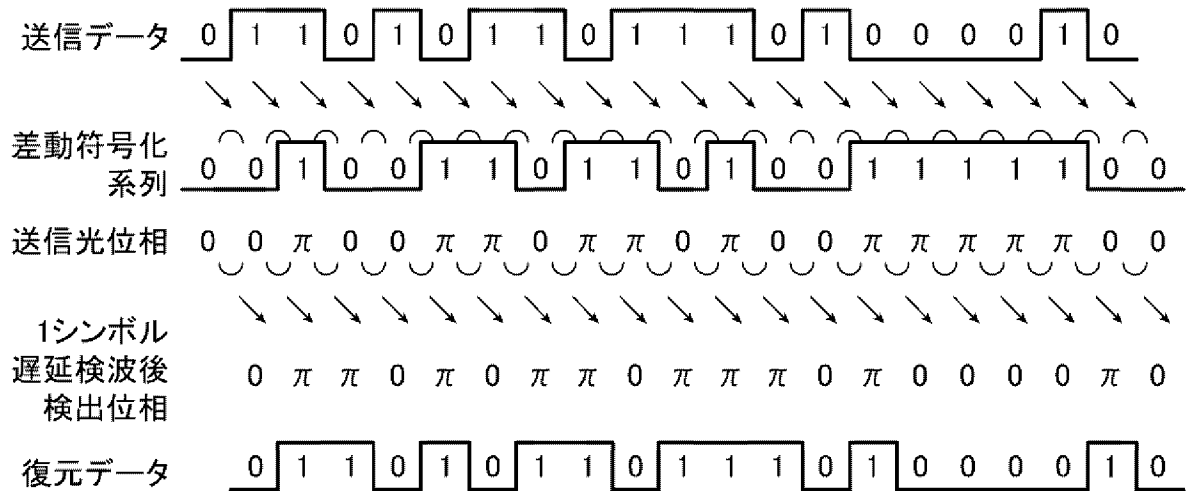
2ビットを組とする $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列入力データを差動符号化して、2ビットを組とする $n$  ( $2 \leq n$ 、 $n$ は整数) 行の並列出力データを生成する第2の差動符号化回路と、

前記第1の差動符号化回路の並列出力データと前記第2の差動符号化回路の並列出力データを交互に多重して出力する多重化回路を備えることを特徴とした並列差動符号化回路。

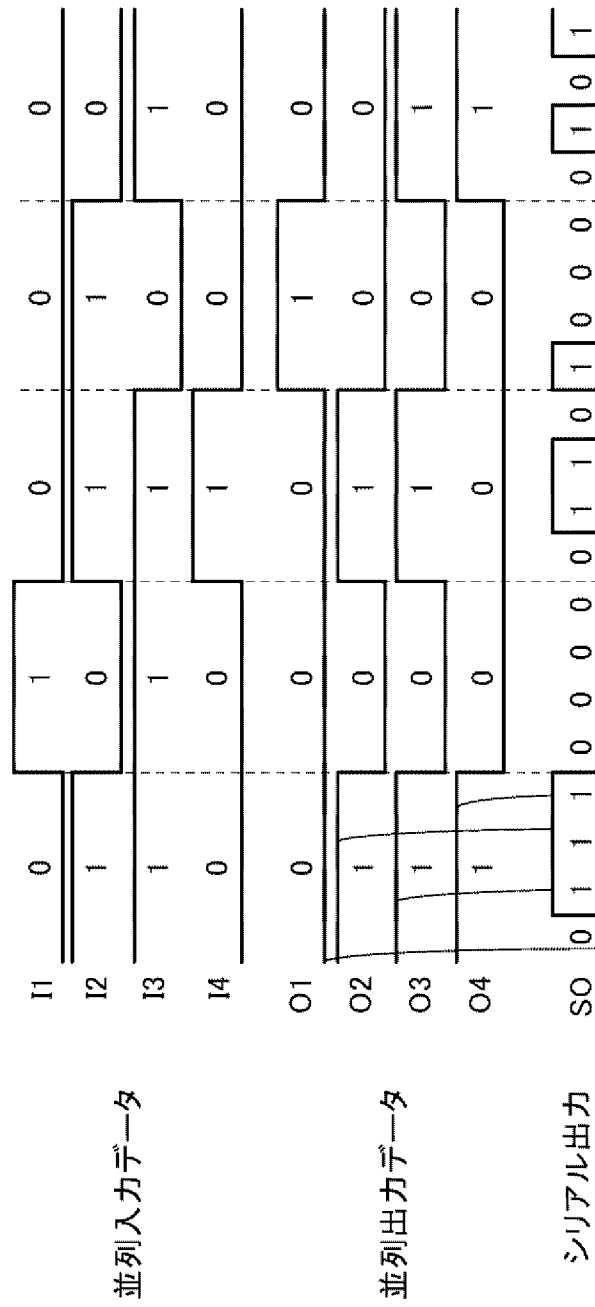
[図1]



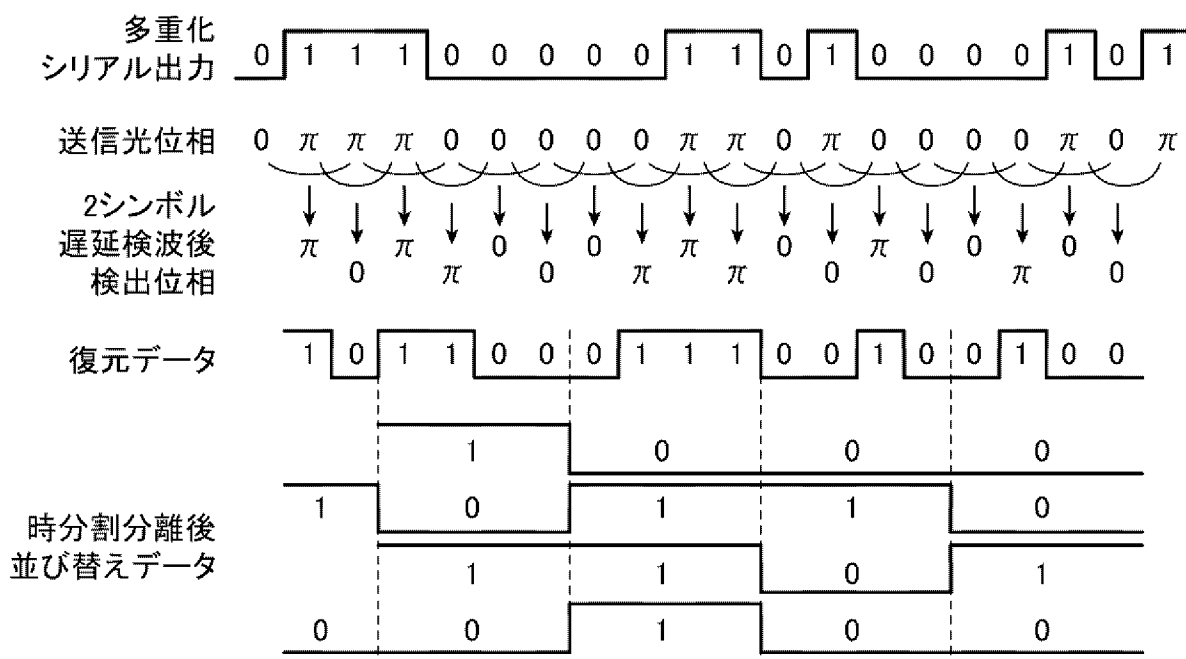
[図2]



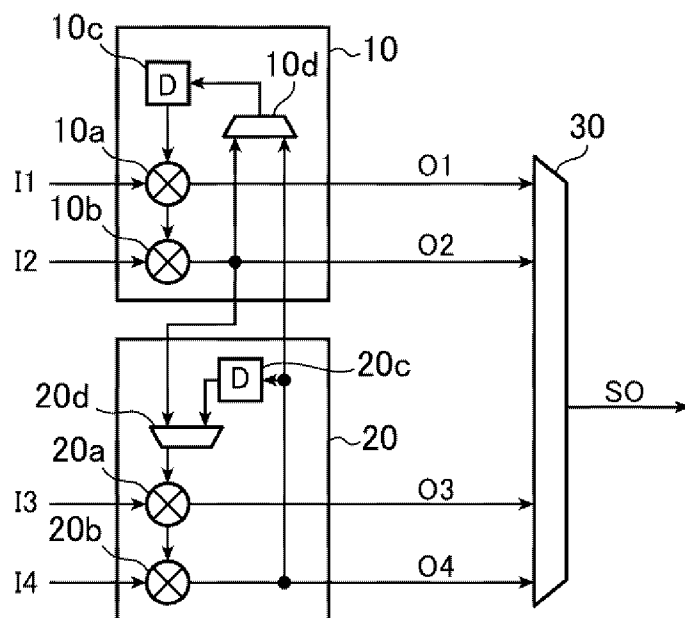
[図3]



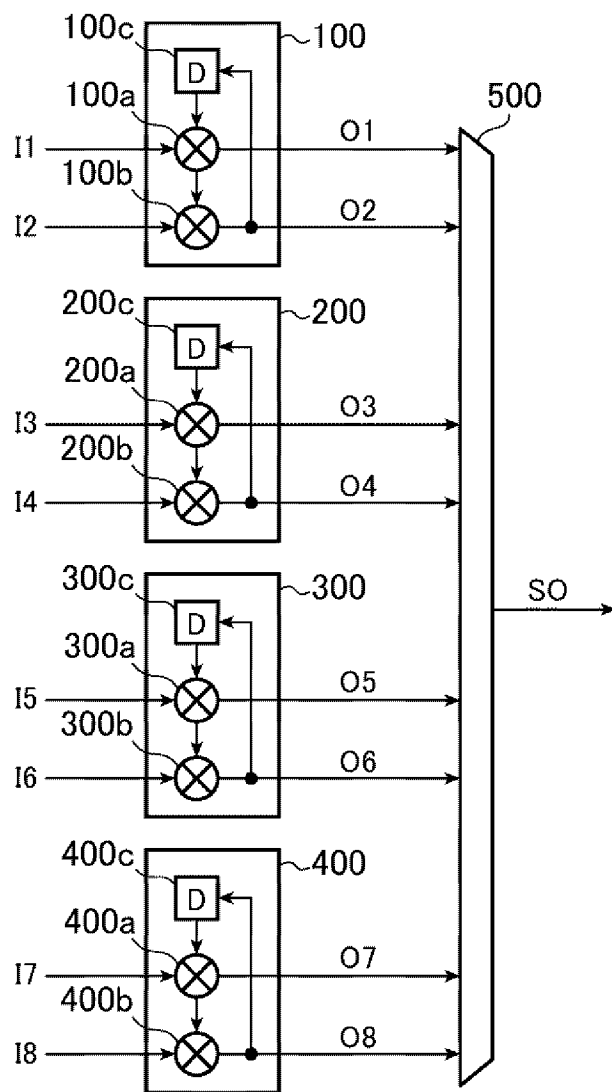
[図4]



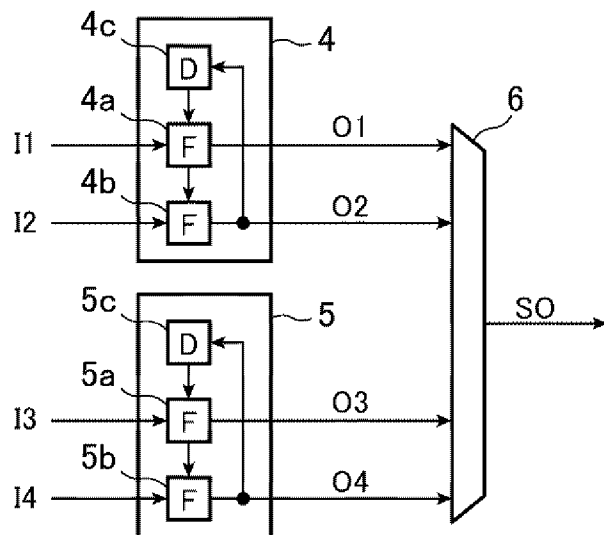
[図5]



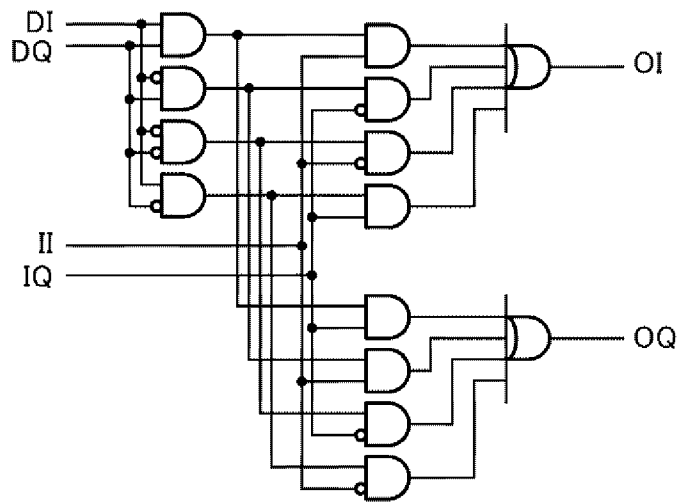
[图6]



[图7]



[図8]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2010/007085

**A. CLASSIFICATION OF SUBJECT MATTER**

H04L25/49(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H04L25/00-25/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-122205 A (NEC Corp.), 30 April 1999 (30.04.1999), entire text; all drawings (Family: none)	1-4
A	JP 2007-67904 A (Mitsubishi Electric Corp.), 15 March 2007 (15.03.2007), entire text; all drawings & US 2007/0061660 A1	1-4
A	JP 2007-74167 A (Mitsubishi Electric Corp.), 22 March 2007 (22.03.2007), entire text; all drawings & US 2007/0053697 A1 & EP 1760912 A2	1-4

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
02 February, 2011 (02.02.11)

Date of mailing of the international search report  
15 February, 2011 (15.02.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04L25/49(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04L25/00-25/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-122205 A (日本電気株式会社) 1999.04.30, 全文, 全図 (ファミリーなし)	1-4
A	JP 2007-67904 A (三菱電機株式会社) 2007.03.15, 全文, 全図 & US 2007/0061660 A1	1-4
A	JP 2007-74167 A (三菱電機株式会社) 2007.03.22, 全文, 全図 & US 2007/0053697 A1 & EP 1760912 A2	1-4

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

02.02.2011

国際調査報告の発送日

15.02.2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 亮

5K

3363

電話番号 03-3581-1101 内線 3556