(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 5 月 24 日 (24.05.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/090607 A1

(51) 国际专利分类号:
*H01L 29/78* (2006.01) *H01L 21/336* (2006.01)

(21) 国际申请号: PCT/CN2017/088086

(22) 国际申请日: 2017 年 6 月 13 日 (13.06.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201611022835.2 2016年11月21日 (21.11.2016) CN

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 马小龙 (MA, Xiaolong); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 张日清 (ZHANG, Riqing); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 巴德尔·斯蒂芬 (BADEL, Stephane); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT&TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) **Title:** FIELD EFFECT TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(54) **发明名称:** 一种场效应晶体管及其制作方法

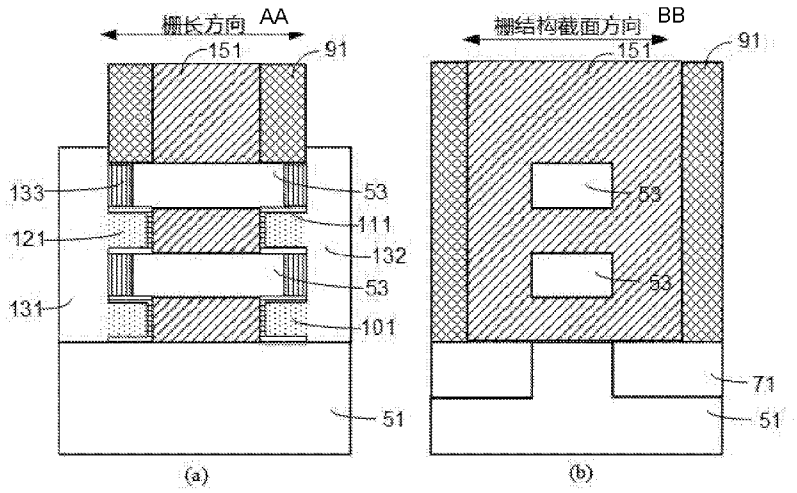



图 17

AA GATE LENGTH DIRECTION
BB GATE STRUCTURE SECTION DIRECTION

(57) **Abstract:** Provided are a field effect transistor and a manufacturing method therefor, relating to the technical field of semiconductors, and capable of reducing a parasitic parameter of a field effect transistor, and thereby improving the reliability of the field effect transistor. The method comprises: forming a support structure (61) having a superlattice characteristic on a semiconductor substrate (51), wherein the support structure (61) comprises a first semiconductor material layer (52) and a second semiconductor material layer (53) alternately arranged, and isolation layers (71) provided at two sides of the support structure (61); forming a dummy gate structure

WO 2018/090607 A1

[见续页]

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

**(84) 指定国**(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

**本国际公布**:

— 包括国际检索报告(条约第21条(3))。

(81) covering the support structure (61) along the junction of the isolation layers (71) and the support structure (61), wherein the length of the dummy gate structure (81) in a gate length direction is less than the length of the first semiconductor material layer in the gate length direction; removing, along the gate length direction, regions except a sacrificial layer (102) in the first semiconductor material layer (52), and forming an insulating groove (101), wherein a dielectric constant of a dielectric filled into the insulating groove (101) is less than a dielectric constant of the first semiconductor material layer (52); and forming, along the gate length direction, a source electrode (131) and a drain electrode (132) in a pre-set source and drain region, wherein the source electrode (131) and the drain electrode (132) are isolated from the sacrificial layer (102) by means of the insulating groove (101).

**(57) 摘要**：提供一种场效应晶体管及其制作方法，涉及半导体技术领域，可减小场效应晶体管的寄生参数，从而提高场效应晶体管的可靠性。该方法包括：在半导体衬底（51）上形成具有超晶格特征的支撑结构（61），该支撑结构（61）包括交替设置的第一半导体材料层（52）和第二半导体材料层（53），支撑结构（61）的两侧设置有隔离层（71）。沿着隔离层（71）与支撑结构（61）的交界形成覆盖支撑结构（61）的假栅结构（81），假栅结构（81）在栅长方向的长度小于第一半导体材料层在栅长方向的长度。沿栅长方向，去除第一半导体材料层（52）中除牺牲层（102）以外的区域，形成绝缘凹槽（101），绝缘凹槽（101）中所填充的介质的介电常数小于第一半导体材料层（52）的介电常数。沿栅长方向，在预设的源漏区域形成源极（131）和漏极（132），源极（131）和漏极（132）通过绝缘凹槽（101）与牺牲层（102）隔离。

# 一种场效应晶体管及其制作方法

本申请要求于2016年11月21日提交中国专利局、申请号为201611022835.2、发明名称为“一种场效应晶体管及其制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

## 技术领域

本发明实施例涉及半导体技术领域，尤其涉及一种场效应晶体管及其制作方法。

## 背景技术

目前，在制作场效应晶体管（Field-Effect Transistor，FET）时，以MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor，金属-氧化物半导体场效应晶体管）为例，如图1所示，沟道100内一般依次堆叠有第一半导体材料层11和第二半导体材料层12，以及位于第二半导体材料层12上的假栅结构13，在沟道100两侧的源漏区域通过掺杂工艺形成源极14和漏极15之后，可通过刻蚀工艺去除第二半导体材料层12以及假栅结构13，进而，如图2所示，可通过RMG（Replacement Metal Gate，替代栅）工艺，在第一半导体材料层11和假栅结构13的位置填充栅极材料，例如，高介电常数（High-K）材料，形成真正的栅极21。

在上述制作方法中，通过掺杂工艺形成源极14和漏极15时，如图1所示，源极14（或漏极15）与沟道100内的第一半导体材料层11和第二半导体材料层12直接接触，使得一部分杂质原子扩散至第二半导体材料层12和第一半导体材料层11中形成扩展（Extension）区域22，导致后续形成的MOSFET的寄生电容等寄生参数增大，MOSFET的GIDL（gated-induce drain leakage，栅诱导漏极泄漏电流）也会增加，严重影响了MOSFET的性能和可靠性。

## 发明内容

本发明的实施例提供一种场效应晶体管及其制作方法，可减小场效应晶体管的寄生参数，从而提高场效应晶体管的性能和可靠性。

为达到上述目的，本发明的实施例采用如下技术方案：

第一方面，本发明的实施例提供一种场效应晶体管的制作方法，包括：在半导体衬底上形成具有超晶格特征的鳍状的支撑结构，该支撑结构包括交替设置的第一半导体材料层和第二半导体材料层，该支撑结构的两侧设置有隔离层；沿着隔离层与支撑结构的交界形成覆盖该支撑结构的假栅结构，该假栅结构在栅长方向（栅长方向用于指示所述场效应晶体管中载流子的输运方向）的长度小于该第一半导体材料层在该栅长方向的长度；沿栅长方向，去除第一半导体材料层中除牺牲层以外的区域，形成绝缘凹槽，该牺牲层为：第一半导体材料层中该假栅结构沿目标方向（即垂直于该半导体衬底底面的

方向）的投影区域，该绝缘凹槽中填充的介质的介电常数小于该第一半导体材料层的介电常数；沿该栅长方向，在预设的源漏区域形成源极和漏极，该源极和漏极通过该绝缘凹槽与该牺牲层隔离。这样，后续去除该牺牲层后，在牺牲层的位置填充的栅极材料（即介电常数较大的材料）也能够通过绝缘凹槽与源极和漏极隔离，从而减小因源极和漏极直接与栅极材料接触形成的寄生电容等寄生参数，提高场效应晶体管的性能和可靠性。

在一种可能的设计方式中，沿该栅长方向，沿栅长方向，去除第一半导体材料层中除牺牲层以外的区域，形成绝缘凹槽，包括：沿栅长方向，对第一半导体材料层进行选择性氧化工艺，使得第一半导体材料层中除牺牲层以外的区域被氧化，形成绝缘凹槽，此时，绝缘凹槽中填充的介质为第一半导体材料层的氧化物，其介电常数一般比较低，因此，该绝缘凹槽可以隔离后续形成的源极（或漏极）与填充牺牲层的 High-K（高介电常数）介质材料，避免源极（或漏极）直接与 High-K 介质材料接触后产生寄生电容。

在一种可能的设计方式中，沿该栅长方向，沿栅长方向，去除第一半导体材料层中除牺牲层以外的区域，形成绝缘凹槽，包括：沿栅长方向，对第一半导体材料层进行选择性刻蚀工艺，使得第一半导体材料层中除牺牲层以外的区域被去除，形成绝缘凹槽。此时，绝缘凹槽内填充的介质为介电常数较低的空气，因此，该绝缘凹槽可以隔离后续形成的源极（或漏极）与填充牺牲层的 High-K 介质材料，避免源极（或漏极）直接与 High-K 介质材料接触后产生寄生电容。

在一种可能的设计方式中，在形成上述绝缘凹槽之后，还包括：在该绝缘凹槽内填充介电常数小于 3.9 的介质材料。此时，绝缘凹槽内被介电常数小于 3.9 的介质材料，即 Low-K 介质材料填充，因此，该绝缘凹槽可以隔离后续形成的源极（或漏极）与填充牺牲层的 High-K 介质材料，避免源极（或漏极）直接与 High-K 介质材料接触后产生寄生电容。

在一种可能的设计方式中，在该绝缘凹槽内填充介电常数小于 3.9 的介质材料之前，还包括：沿该栅长方向，通过 ALD 工艺在该绝缘凹槽的表层上形成刻蚀停止层。这样，后续在去除牺牲层时，刻蚀停止层可以阻挡刻蚀液刻蚀到除牺牲层以外的区域。

在一种可能的设计方式中，在沿该栅长方向，在预设的源漏区域形成源极和漏极之后，还包括：去除该假栅结构和该牺牲层；沿栅结构截面方向，调整该第二半导体材料层的厚度，该栅结构截面方向与该栅长方向垂直。由于场效应晶体管的沟道效应与第二半导体材料层的厚度是相关的，因此，通过调整第二半导体材料层的厚度，可以改善场效应晶体管的沟道效应，实现沟道效应的灵活调节。

在一种可能的设计方式中，调整该第二半导体材料层的厚度，包括：通过刻蚀工艺，将该第二半导体材料层的厚度从 8nm 减小至 4nm。

在一种可能的设计方式中，在沿栅结构截面方向，调整该第二半导体材料层的厚度之后，还包括：通过 RMG 工艺，在已去除的该假栅结构和该牺牲

层的位置形成栅极。

在一种可能的设计方式中，在半导体衬底上形成具有超晶格特征的支撑结构，包括：在半导体衬底上依次生长第一半导体材料层和第二半导体材料层的周期性超晶格结构，该第一半导体材料层和该第二半导体材料层的厚度均小于50nm；对该超晶格结构进行刻蚀，形成鳍状的支撑结构。

在一种可能的设计方式中，沿着隔离层与支撑结构的交界形成覆盖支撑结构的假栅结构，包括：在裸露出的支撑结构上形成氧化层；在氧化层上形成覆盖该支撑结构的假栅结构。

在一种可能的设计方式中，该假栅结构在栅结构截面方向的长度小于该隔离层的长度，其中，在该隔离层上形成包裹该支撑结构的假栅结构之后，还包括：在该假栅结构的外围沉积绝缘层，该绝缘层的侧壁与该隔离层的侧壁齐平。

第二方面，本发明的实施例提供一种场效应晶体管，包括源极和漏极，该源极与漏极之间的沟道内设置有栅极，栅极通过绝缘凹槽与源极和漏极隔离，该绝缘凹槽内填充的介质的介电常数小于第一半导体材料层的介电常数，该第一半导体材料层为制作场效应晶体管时形成的一种超晶格材料薄膜。

本发明的这些方面或其他方面在以下实施例的描述中会更加简明易懂。

## 附图说明

图1为现有技术中场效应晶体管的制作原理示意图一；

图2为现有技术中场效应晶体管的制作原理示意图二；

图3为本发明实施例提供的一种场效应晶体管的结构示意图；

图4为本发明实施例提供的一种场效应晶体管的制作方法的流程示意图；

图5为本发明实施例提供的一种场效应晶体管的制作原理示意图一；

图6为本发明实施例提供的一种场效应晶体管的制作原理示意图二；

图7为本发明实施例提供的一种场效应晶体管的制作原理示意图三；

图8为本发明实施例提供的一种场效应晶体管的制作原理示意图四；

图9为本发明实施例提供的一种场效应晶体管的制作原理示意图五；

图10为本发明实施例提供的一种场效应晶体管的制作原理示意图六；

图11为本发明实施例提供的一种场效应晶体管的制作原理示意图七；

图12为本发明实施例提供的一种场效应晶体管的制作原理示意图八；

图13为本发明实施例提供的一种场效应晶体管的制作原理示意图九；

图14为本发明实施例提供的一种场效应晶体管的制作原理示意图十；

图15为本发明实施例提供的一种场效应晶体管的制作原理示意图十一；

图16为本发明实施例提供的一种场效应晶体管的制作原理示意图十二；

图17为本发明实施例提供的一种场效应晶体管的制作原理示意图十三。

## 具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行详细描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。

本发明的实施例提供一种场效应晶体管，该场效应晶体管可以为MOSFET，例如，堆叠环栅纳米线晶体管（Stacked Gate-All-Around Nanowire Transistor），鳍式场效应晶体管（Fin Field-Effect Transistor，FinFET）等，也可以为隧穿场效应晶体管（TFET，Tunneling Field Effect Transistor）等，本发明实施例对此不作限制。

另外，为方便阐述本发明的实施例提供一种场效应晶体管及其制作方法，首先对场效应晶体管的各个截面方向进行解释，如图3所示，为本发明的实施例提供的一种场效应晶体管的结构示意图，其中，半导体衬底31上设置有栅极32，栅极32的两侧为源漏区域，分别设置有鳍状的源极33和漏极34，那么，沿XX'方向用于指示场效应晶体管的栅长方向，即场效应晶体管中载流子的输运方向；沿YY'方向用于指示场效应晶体管的栅结构(Gate structure)截面方向，栅长方向与栅结构截面方向互相垂直。

需要说明的是，图3中仅示出了场效应晶体管内一组栅极32，源极33和漏极34的结构，可以理解的是，场效应晶体管内还可以包括多组结构类似的栅极，源极和漏极，本发明实施例对此不作限制。

那么，基于图3所示的栅长方向和栅结构截面方向，本发明的实施例提供一种场效应晶体管的制作方法，如图4所示，包括：

401、在半导体衬底上形成具有超晶格特征的支撑结构，该支撑结构包括交替设置的第一半导体材料层和第二半导体材料层，支撑结构的两侧设置有隔离层。

其中，该半导体衬底可以为SOI（Silicon-On-Insulator，绝缘衬底上的硅）衬底、体硅衬底、ETSOI（Extremely Thin SOI，超薄SOI）衬底、SGOI（SiGe-On-Insulator，绝缘衬底上的锗硅）衬底或IIIV-OI（IIIV-On-Insulator，绝缘衬底上的IIIV族化合物）衬底等，本发明实施例对此不作限制。

具体的，如图5所示（图5中的（a）为沿栅长方向的截面示意图，图5中的（b）为沿栅结构截面方向的截面示意图），可以先在半导体衬底51上交替生长第一半导体材料层52和第二半导体材料层53的周期性超晶格（superlattice）结构，其中，超晶格结构是指两种不同组元以几个纳米到几十个纳米的薄层交替生长并保持严格周期性的多层膜。

示例性的，第一半导体材料层52和第二半导体材料层53的厚度均可小于50nm，当第一半导体材料层52为硅材料时，第二半导体材料层53可以为锗硅材料。

进而，可以对上述第一半导体材料层52和第二半导体材料层53组成的超晶格结构进行刻蚀，形成如图6所示的支撑结构61，示例性的，该支撑结构61可以呈鳍状设置在半导体衬底51上。其中，图6中的（a）为沿栅长方向的截面示意图，图6中的（b）为沿栅结构截面方向的截面示意图。

进一步地，如图7所示，可继续通过CMP(chemical mechanical flattening，化学机械平坦化）工艺和回刻(Recess)工艺在支撑结构61的两侧形成隔离层71。

可选的，隔离层 71 的厚度与刻蚀掉的半导体衬底 51 的厚度相同。

示例性的，隔离层 71 具体可以为氧化硅等氧化物制成的，本发明实施例对此不作限制。

402、沿着隔离层与支撑结构的交界形成覆盖支撑结构的假栅结构，该假栅结构在栅长方向的长度小于第一半导体材料层在栅长方向的长度。

如图 8 所示，在形成隔离层 71 后，可进一步在隔离层 71 上形成覆盖支撑结构 61 的假栅（Poly Gate）结构 81，此时，支撑结构 61 被镶嵌在隔离层 71 与假栅结构 81 形成的间隙中。

其中，如图 9 中的（a）所示，该假栅结构 81 在栅长方向的长度小于第一半导体材料层 52 在栅长方向的长度。其中，图 9 中的（a）为沿栅长方向的截面示意图，图 9 中的（b）为沿栅结构截面方向的截面示意图。

示例性的，假栅结构 81 具体可以为多晶硅或者非晶硅材料制成的，本发明实施例对此不作限制。

具体的，可以先在裸露出的支撑结构 61 上形成氧化层（Dummy Oxide）；再在氧化层上形成包裹支撑结构 61 的假栅结构 81。

进一步地，如图 10 所示，还可以在假栅结构 81 的外围沉积绝缘层 91，使绝缘层 91 的侧壁在栅结构截面方向上与隔离层 71 的侧壁对齐，其中，图 10 中的（a）为沿栅长方向的截面示意图，图 10 中的（b）为沿栅结构截面方向的截面示意图。

另外，在形成假栅结构 81 时，尽可能的保证刻蚀的各向异性，并调节使多晶硅:氧化硅的刻蚀选择比例尽可能的高，从而形成形貌较为陡直的假栅结构 81，形貌较为陡直的假栅结构 81 有利于后续形成绝缘层 91 时，能够较好地使得假栅结构 81 与绝缘层 91 贴合，从而保证假栅结构 81 被有效的隔离。

403、沿栅长方向，去除第一半导体材料层中除牺牲层以外的区域，形成绝缘凹槽。

上述牺牲层为第一半导体材料层 52 中，假栅结构 81 沿目标方向（该目标方向为垂直于半导体衬底 51 底面的方向，即假栅结构 81 在第一半导体材料层 52 的正投影方向）的投影区域。

其中，绝缘凹槽中填充的介质的介电常数小于上述第一半导体材料层的介电常数。

在一种可能的设计方式中，在栅长方向上，可以先沿绝缘层 91 的侧壁对第一半导体材料层 52 和第二半导体材料层 53 进行刻蚀，使第一半导体材料层 52 和第二半导体材料层 53 的侧壁与绝缘层 91 对齐（如图 11 中的（a）所示）。其中，图 11 中的（a）为沿栅长方向的截面示意图，图 11 中的（b）为沿栅结构截面方向的截面示意图。

进而，对图 11 中的（a）中所示的第一半导体材料层 52 进行选择性氧化（selectively oxidization）工艺，使得第一半导体材料层 52 中，假栅结构 81 在第一半导体材料层 52 的投影区域以外的区域被氧化，被氧化的这部分空间形成了如图 12 中的（a）所示的绝缘凹槽 101，而假栅结构 81 在第一半导体

材料层 52 的投影区域没有被氧化，形成如图 12 中的（a）所示的牺牲层 102。此时，绝缘凹槽 101 内被第一半导体材料层 52 的氧化物（例如，氧化硅）填充，而第一半导体材料层 52 的氧化物的介电常数一般比较低，因此，该绝缘凹槽 101 可以隔离后续形成的源极（或漏极）与填充牺牲层 102 的栅极材料，例如，High-K（高介电常数）介质材料，避免后续形成的源极（或漏极）直接与栅极材料形成的栅极接触后产生寄生电容。其中，图 12 中的（a）为沿栅长方向的截面示意图，图 12 中的（b）为沿栅结构截面方向的截面示意图。

示例性的，当第一半导体材料层 52 为硅时，进行上述选择性氧化工艺后，在绝缘凹槽 101 内形成氧化硅，氧化硅的介电常数约为 3.9，而硅的介电常数约为 11.5，远小于氧化硅的介电常数。

在另一种可能的设计方式中，沿栅长方向，可以对图 11 中的（a）中所示的第一半导体材料层 52 进行选择性刻蚀（selectively removal）工艺，使得第一半导体材料层 52 中，假栅结构 81 在第一半导体材料层 52 的投影区域以外的区域被去除，形成如图 13 中的（a）所示的绝缘凹槽 101，而假栅结构 81 在第一半导体材料层 52 的投影区域被保留，形成如图 13 中的（a）所示的牺牲层 102。此时，填充绝缘凹槽 101 的为空气。空气作为一种介电常数较低的介质（空气的介电常数约为 1），可以隔离后续形成的源极（或漏极）与填充牺牲层 102 的栅极材料，从而避免后续形成的源极（或漏极）直接与栅极材料形成的栅极接触后产生寄生电容。其中，图 13 中的（a）为沿栅长方向的截面示意图，图 13 中的（b）为沿栅结构截面方向的截面示意图。

另外，在形成图 13 中的（a）所示的绝缘凹槽 101 之后，如图 14（图 14 中的（a）为沿栅长方向的截面示意图，图 14 中的（b）为沿栅结构截面方向的截面示意图）所示，沿栅长方向，可以通过 ALD（Atomic Layer Deposition，原子层沉积）工艺在绝缘凹槽 101 的表层上形成刻蚀停止层 111。这样，后续在去除牺牲层 102 时，刻蚀停止层 111 可以阻挡刻蚀液刻蚀到除牺牲层 102 以外的区域。

进一步地，仍如图 14 中的（a）所示，可在绝缘凹槽 101 内填充介电常数小于 3.9 的介质材料，例如，Low-K（低介电常数）介质材料 121。使绝缘凹槽 101 内具有更低的 K（介电常数）值，从而避免后续形成的源极（和漏极）与填充牺牲层 102 的栅极材料形成的栅极直接接触产生寄生电容。

通常，可以将介电常数在小于 2.5 以内的介质材料作为 Low-K 介质材料，例如，SiCOH（掺氢的氧化硅碳）等。

类似的，可以将介电常数在大于 4 的介质材料作为 High-K 介质材料，例如，HfO2（二氧化铪）等。

其中，本发明实施例中所述的介电常数（ε），是指相对介电常数（εr）与真空中绝对介电常数（ε0）乘积，即 ε = εr* ε0，ε0=8.85*$10^{-12}$ F/m。

示例性的，上述第一半导体材料层 52 或第二半导体材料层 53 的介电常数约为 10-12。

404、沿栅长方向，在预设的源漏区域形成源极和漏极，源极和漏极通过

绝缘凹槽与牺牲层隔离。

以图 14 所示的绝缘凹槽 101 内填充 Low-K 介质材料 121 为例，在步骤 404 中，可利用选择性外延技术，在预设的源漏区域外延生长硅或锗硅等材料，进而，通过掺杂工艺使源漏区域具有一定的掺杂浓度，形成如图 15（图 15 中的（a）为沿栅长方向的截面示意图，图 15 中的（b）为沿栅结构截面方向的截面示意图）所示源极 131 和漏极 132。

此时，源极 131 和漏极 132 通过绝缘凹槽 101 与牺牲层 102 隔离。后续，当去除牺牲层 102 后，可以向牺牲层 102 的位置填充 High-K 介质材料以形成栅极，那么，源极 131 和漏极 132 仍然可通过绝缘凹槽 101 与栅极隔离，从而降低源极 131 和漏极 132 直接与栅极接触产生的寄生电容。

另外，仍如图 15 中的（a）所示，在形成源极 131 和漏极 132 时，杂质原子会扩散到第二半导体材料层 53，形成扩展区域 133，而扩展区域的大小与场效应晶体管的寄生电阻有关，当扩展区域越大时，寄生电阻的值越小，当扩展区域越小时，寄生电阻的值越大。

因此，为了减小寄生电阻，可以将第二半导体材料层 53 的厚度设置的尽可能的大，从而形成较大的扩展区域。但是，当第二半导体材料层 53 的厚度越大时，会降低场效应晶体管对短沟道效应（Short-channel effects）的抑制能力，例如，使得场效应晶体管的漏电流增大，对此，可通过下述步骤 406 解决上述问题。

405、去除假栅结构和牺牲层。

如图 16 所示（图 16 中的（a）为沿栅长方向的截面示意图，图 16 中的（b）为沿栅结构截面方向的截面示意图），可通过刻蚀工艺去除上述假栅结构 81 和牺牲层 102。

406、沿栅结构截面方向，调整第二半导体材料层的厚度。

在步骤 406 中，如图 16 中的（b）所示，可调整沟道区域内第二半导体材料层 53 的厚度，例如，调整前第二半导体材料层 53 的厚度 T1=8nm，可通过刻蚀等工艺，将第二半导体材料层 53 的厚度减小至 T2，T2=4nm，这样，由于场效应晶体管的沟道效应与第二半导体材料层 53 的厚度是相关的，因此，通过调整第二半导体材料层 53 的厚度，可以改善场效应晶体管的短沟道效应，从而在不增加寄生电阻的情况下，实现短沟道效应的灵活调节。

407、通过 RMG 工艺，在已去除的假栅结构和牺牲层的位置形成栅极。

后续，可沿用现有技术，通过 RMG（Replacement Metal Gate，替代栅）工艺，在已去除的假栅结构 81 和牺牲层 102 的位置形成如图 17 所示的栅极 151（该栅极 151 中至少包括两层结构，一层是 High-K 介质材料，另外一层是具有特定功函数的金属材料），最终形成场效应晶体管，其中，图 17 中的（a）为沿栅长方向的截面示意图，图 17 中的（b）为沿栅结构截面方向的截面示意图。

如图 17 所示，在形成的场效应晶体管中，栅极 151 中原本设置第一半导体材料层 51 的位置，可通过绝缘凹槽 101 内介电常数较低的材料与源极 131

（或漏极 132）隔离，而栅极 151 中原本填充有假栅结构 81 的位置，可通过绝缘层 91 与源极 131（或漏极 132）隔离，也就是说，栅极 151 通过绝缘凹槽 101 和绝缘层 91，几乎完全与源极 131（或漏极 132）隔离，从而降低了整个场效应晶体管的寄生电容，提高场效应晶体管的性能和可靠性。

另外，本发明实施例还提供一种场效应晶体管，该场效应晶体管可以为 MOSFET 或隧穿场效应晶体管等，本发明实施例对此不作限制。

其中，本发明实施例还提供的场效应晶体管的制作方法可参见上述实施例中步骤 401-407 的相关内容，故此处不再赘述。

示例性的，如图 17 中的（a）所示，在本发明实施例提供的场效应晶体管中，栅极 151 设置在源极 131 与漏极 132 之间形成的沟道内，栅极 151 并不是与源极 131（或漏极 132）直接接触，而是通过绝缘凹槽 101 与源极 131（或漏极 132）隔离，而绝缘凹槽 101 内填充有介电常数较低的材料，因此，可避免栅极 151 与源极 131（或漏极 132）直接接触产生的寄生电容，提高场效应晶体管的性能和可靠性。

至此，本发明的实施例提供一种场效应晶体管及其制作方法，在该制作方法中，先在半导体衬底上形成具有超晶格特征的支撑结构，该支撑结构包括交替设置的第一半导体材料层和第二半导体材料层，该支撑结构的两侧设置有隔离层；进而，在隔离层上形成覆盖该支撑结构的假栅结构，该假栅结构在栅长方向的长度小于上述第一半导体材料层在栅长方向的长度；那么，沿栅长方向，可去除第一半导体材料层中除牺牲层以外的区域，形成绝缘凹槽，而第一半导体材料层中除牺牲层之外的区域形成了绝缘凹槽，该牺牲层为假栅结构沿目标方向（即垂直于设置有支撑结构的隔离层表面的方向）在第一半导体材料层的投影区域，该绝缘凹槽中所填充的介质的介电常数小于第一半导体材料层的介电常数，因此，后续沿栅长方向在预设的源漏区域形成源极和漏极后，该源极和漏极可通过上述绝缘凹槽与填充牺牲层的栅极材料（例如，High-K 介质材料）隔离，避免源极（或漏极）直接与栅极材料接触后产生寄生电容，从而降低了整个场效应晶体管的寄生电容，提高场效应晶体管的性能和可靠性。

本领域技术人员应该可以意识到，在上述一个或多个示例中，本发明所描述的功能可以用硬件、软件、固件或它们的任意组合来实现。当使用软件实现时，可以将这些功能存储在计算机可读介质中或者作为计算机可读介质上的一个或多个指令或代码进行传输。计算机可读介质包括计算机存储介质和通信介质，其中通信介质包括便于从一个地方向另一个地方传送计算机程序的任何介质。存储介质可以是通用或专用计算机能够存取的任何可用介质。

以上所述的具体实施方式，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施方式而已，并不用于限定本发明的保护范围，凡在本发明的技术方案的基础之上，所做的任何修改、等同替换、改进等，均应包括在本发明的保护范围之内。

# 权 利 要 求 书

1、一种场效应晶体管的制作方法，其特征在于，包括：

在半导体衬底上形成具有超晶格特征的支撑结构，所述支撑结构包括交替设置的第一半导体材料层和第二半导体材料层，所述支撑结构的两侧设置有隔离层；

沿着所述隔离层与所述支撑结构的交界形成覆盖所述支撑结构的假栅结构，所述假栅结构在栅长方向的长度小于所述第一半导体材料层在所述栅长方向的长度，所述栅长方向用于指示所述场效应晶体管中载流子的输运方向；

沿所述栅长方向，去除所述第一半导体材料层中除牺牲层以外的区域，形成绝缘凹槽，所述牺牲层为所述第一半导体材料层中所述假栅结构沿目标方向的投影区域，所述绝缘凹槽中填充的介质的介电常数小于所述第一半导体材料层的介电常数，所述目标方向为垂直于所述半导体衬底底面的方向；

沿所述栅长方向，在预设的源漏区域形成源极和漏极，所述源极和漏极通过所述绝缘凹槽与所述牺牲层隔离。

2、根据权利要求 1 所述的制作方法，其特征在于，沿所述栅长方向，去除所述第一半导体材料层中除牺牲层以外的区域，形成绝缘凹槽，包括：

沿所述栅长方向，对所述第一半导体材料层进行选择性氧化工艺，使得所述第一半导体材料层中除所述牺牲层以外的区域被氧化，形成所述绝缘凹槽，其中，所述绝缘凹槽中填充的介质为所述第一半导体材料层的氧化物。

3、根据权利要求 1 所述的制作方法，其特征在于，沿所述栅长方向，去除所述第一半导体材料层中除牺牲层以外的区域，形成绝缘凹槽，包括：

沿所述栅长方向，对所述第一半导体材料层进行选择性刻蚀工艺，使得所述第一半导体材料层中除所述牺牲层以外的区域被去除，形成所述绝缘凹槽。

4、根据权利要求 3 所述的制作方法，其特征在于，在形成所述绝缘凹槽之后，还包括：

在所述绝缘凹槽内填充介电常数小于 3.9 的介质材料。

5、根据权利要求 4 所述的制作方法，其特征在于，在所述绝缘凹槽内填充介电常数小于 3.9 的介质材料之前，还包括：

沿所述栅长方向，通过原子层沉积 ALD 工艺在所述绝缘凹槽的表层上形成刻蚀停止层。

6、根据权利要求 1-5 中任一项所述的制作方法，其特征在于，在沿所述栅长方向，在预设的源漏区域形成源极和漏极之后，还包括：

去除所述假栅结构和所述牺牲层；

沿栅结构截面方向，调整所述第二半导体材料层的厚度，所述栅结构截面方向与所述栅长方向垂直。

7、根据权利要求 6 所述的制作方法，其特征在于，调整所述第二半导体材料层的厚度，包括：

通过刻蚀工艺，将所述第二半导体材料层的厚度从 8nm 减小至 4nm。

8、根据权利要求 6 或 7 所述的制作方法，其特征在于，在沿栅结构截面

方向，调整所述第二半导体材料层的厚度之后，还包括：

通过替代栅 RMG 工艺，在已去除的所述假栅结构和所述牺牲层的位置形成栅极。

9、根据权利要求 1-8 中任一项所述的制作方法，其特征在于，在半导体衬底上形成具有超晶格特征的支撑结构，包括：

在半导体衬底上交替生长第一半导体材料层和第二半导体材料层的周期性超晶格结构，所述第一半导体材料层和所述第二半导体材料层的厚度均小于 50nm；

对所述超晶格结构进行刻蚀，形成鳍状的所述支撑结构。

10、根据权利要求 1-9 中任一项所述的制作方法，其特征在于，沿着所述隔离层与所述支撑结构的交界形成覆盖所述支撑结构的假栅结构，包括：

在裸露出的支撑结构上形成氧化层；

在所述氧化层上形成覆盖所述支撑结构的假栅结构。

11、根据权利要求 1-10 中任一项所述的制作方法，其特征在于，所述假栅结构在栅结构截面方向的长度小于所述隔离层的长度，

其中，在所述隔离层上形成包裹所述支撑结构的假栅结构之后，还包括：

在所述假栅结构的外围沉积绝缘层，所述绝缘层的侧壁与所述隔离层的侧壁齐平。

12、一种场效应晶体管，其特征在于，包括源极和漏极，所述源极与所述漏极之间的沟道内设置有栅极，所述栅极通过绝缘凹槽与所述源极和漏极隔离，所述绝缘凹槽内填充的介质的介电常数小于第一半导体材料层的介电常数，所述第一半导体材料层为制作所述场效应晶体管时形成的一种超晶格材料薄膜。

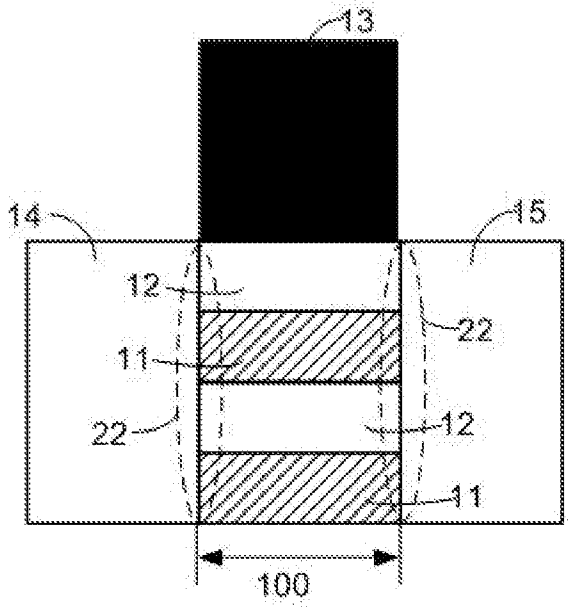



图 1

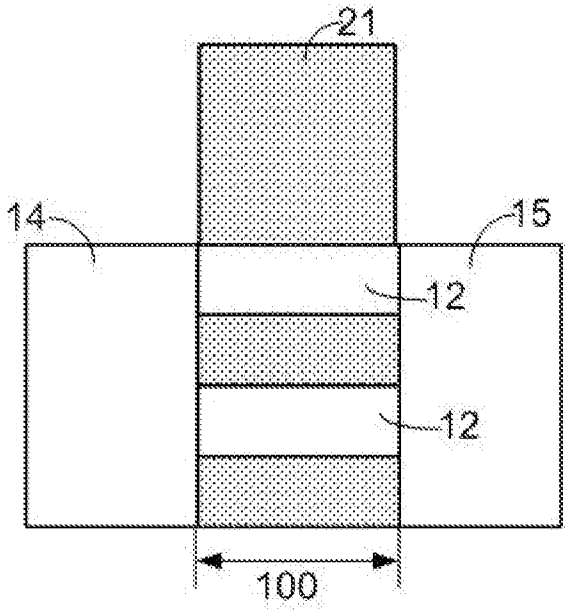



图 2

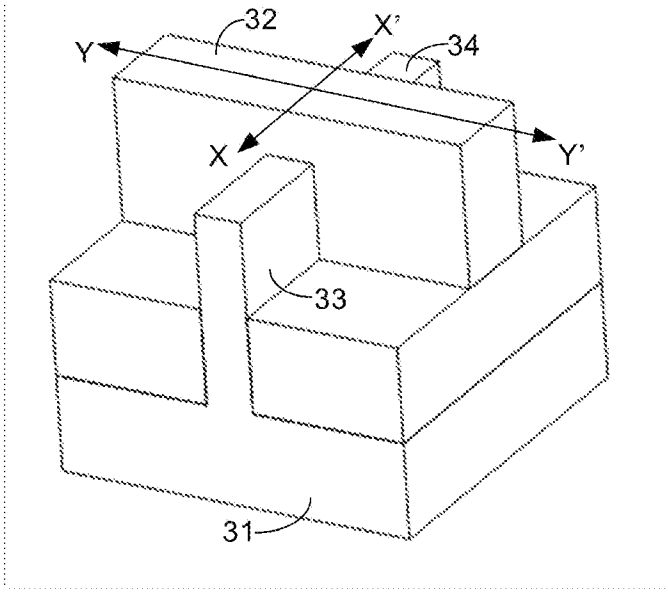

32
X'
34
Y
X
Y'
33
31

图 3

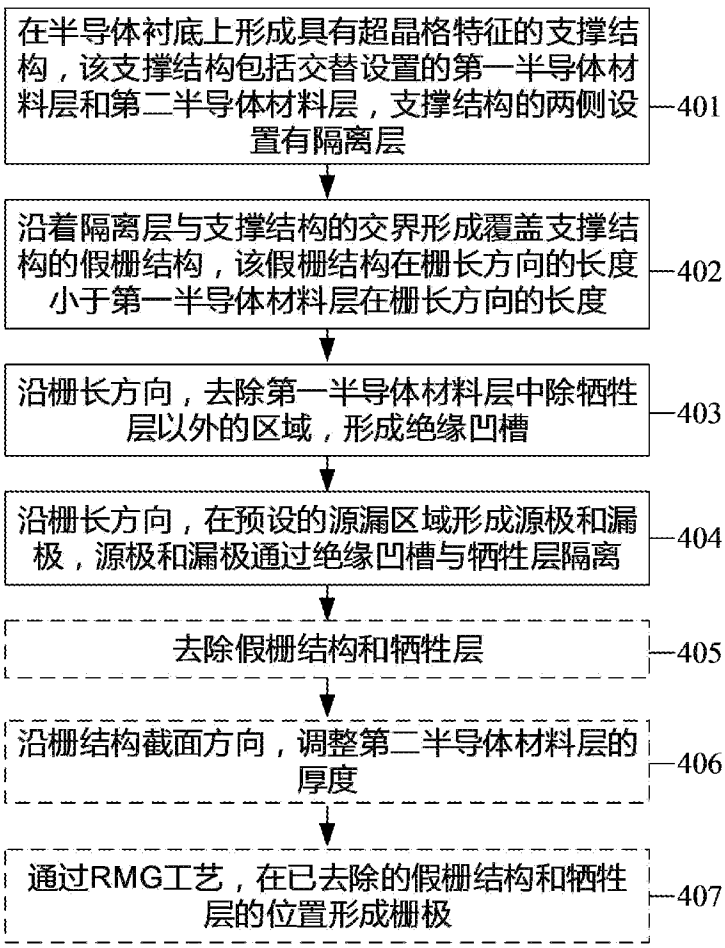

在半导体衬底上形成具有超晶格特征的支撑结构，该支撑结构包括交替设置的第一半导体材料层和第二半导体材料层，支撑结构的两侧设置有隔离层
401
沿着隔离层与支撑结构的交界形成覆盖支撑结构的假栅结构，该假栅结构在栅长方向的长度小于第一半导体材料层在栅长方向的长度
402
沿栅长方向，去除第一半导体材料层中除牺牲层以外的区域，形成绝缘凹槽
403
沿栅长方向，在预设的源漏区域形成源极和漏极，源极和漏极通过绝缘凹槽与牺牲层隔离
404
去除假栅结构和牺牲层
405
沿栅结构截面方向，调整第二半导体材料层的厚度
406
通过RMG工艺，在已去除的假栅结构和牺牲层的位置形成栅极
407

图 4

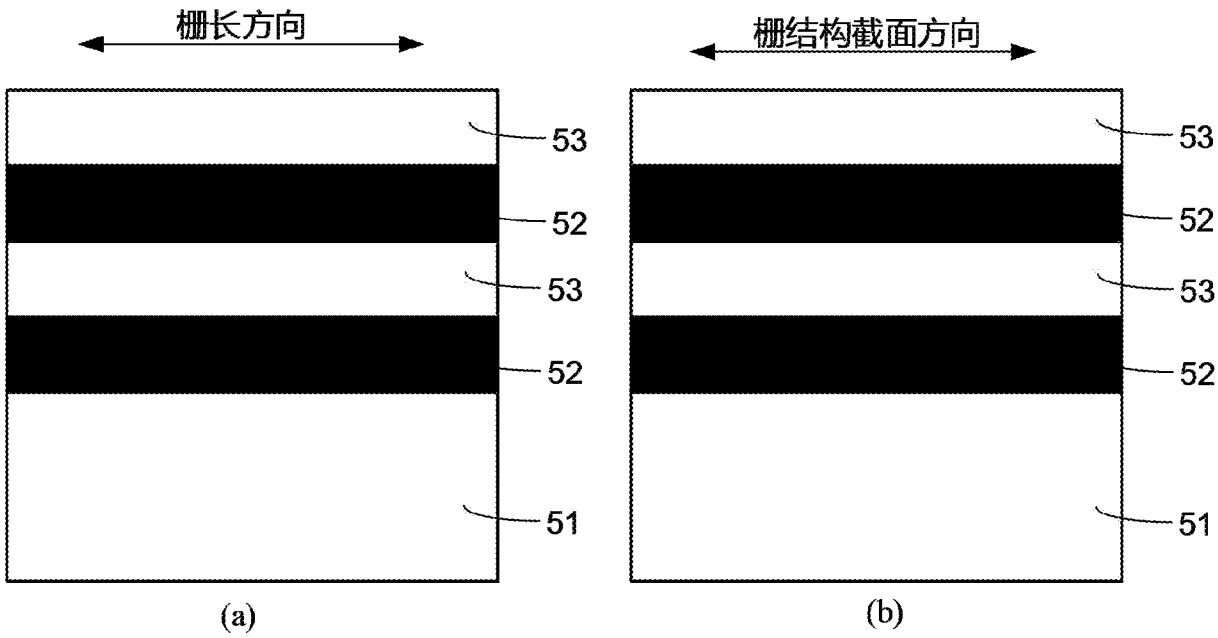

栅长方向
栅结构截面方向
53
52
53
52
51
53
52
53
52
51
(a)
(b)

图 5

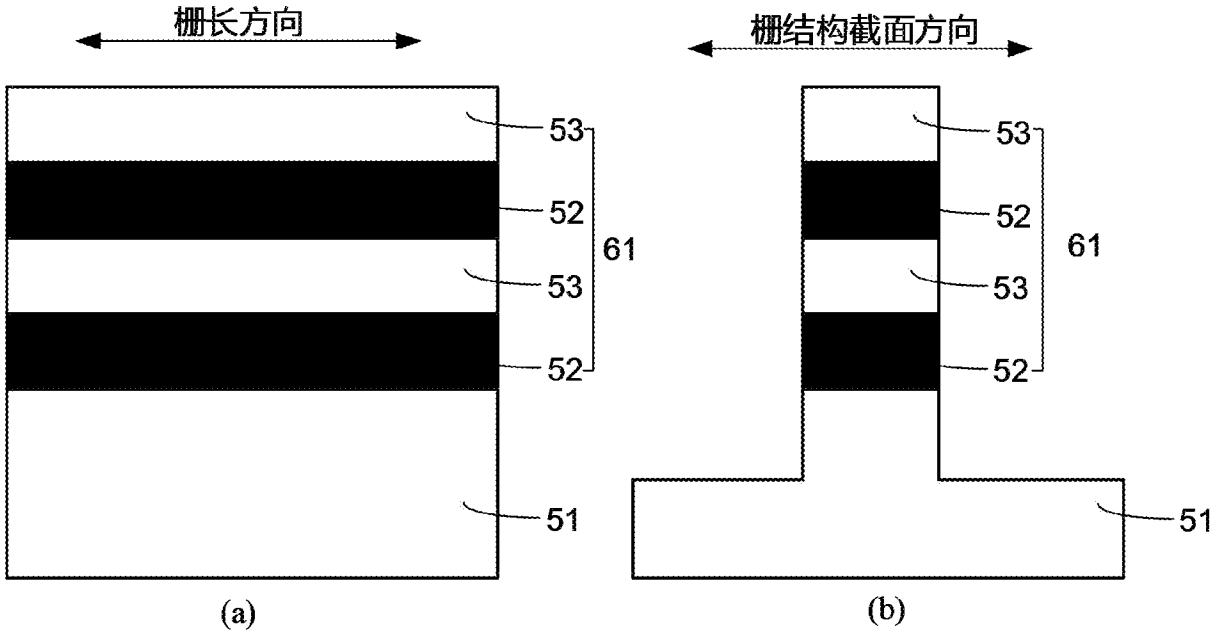

栅长方向
栅结构截面方向
53
52
53
52
61
51
53
52
53
52
61
51
(a)
(b)

图 6

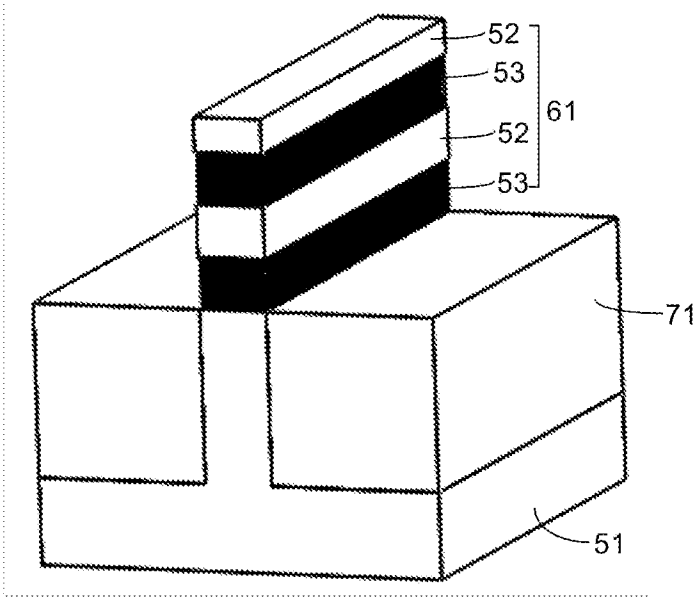



图 7

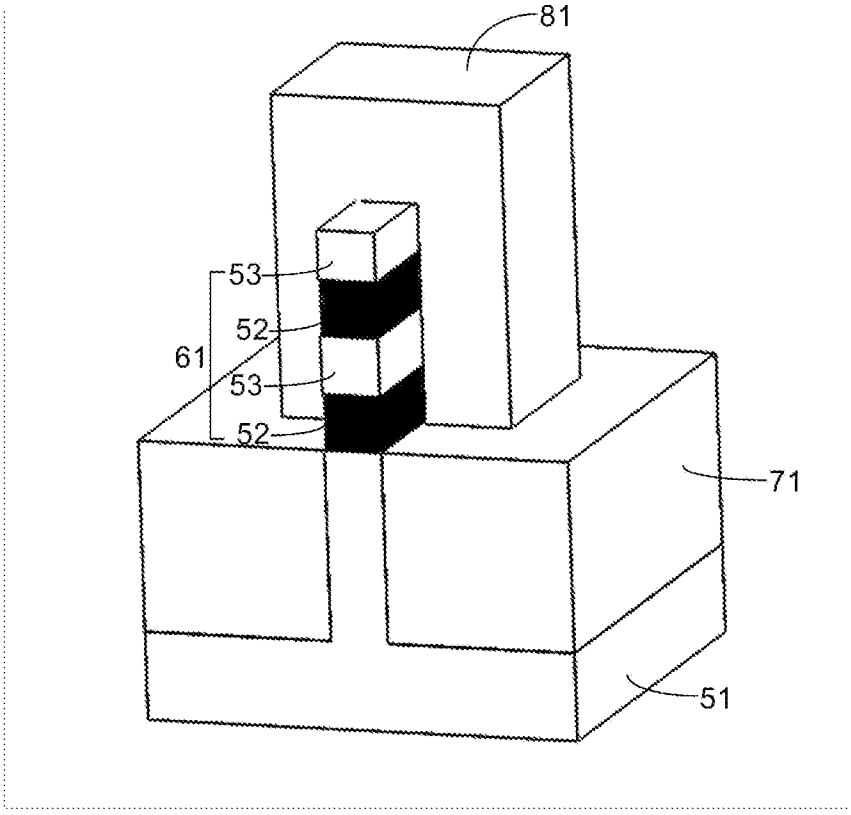



图 8

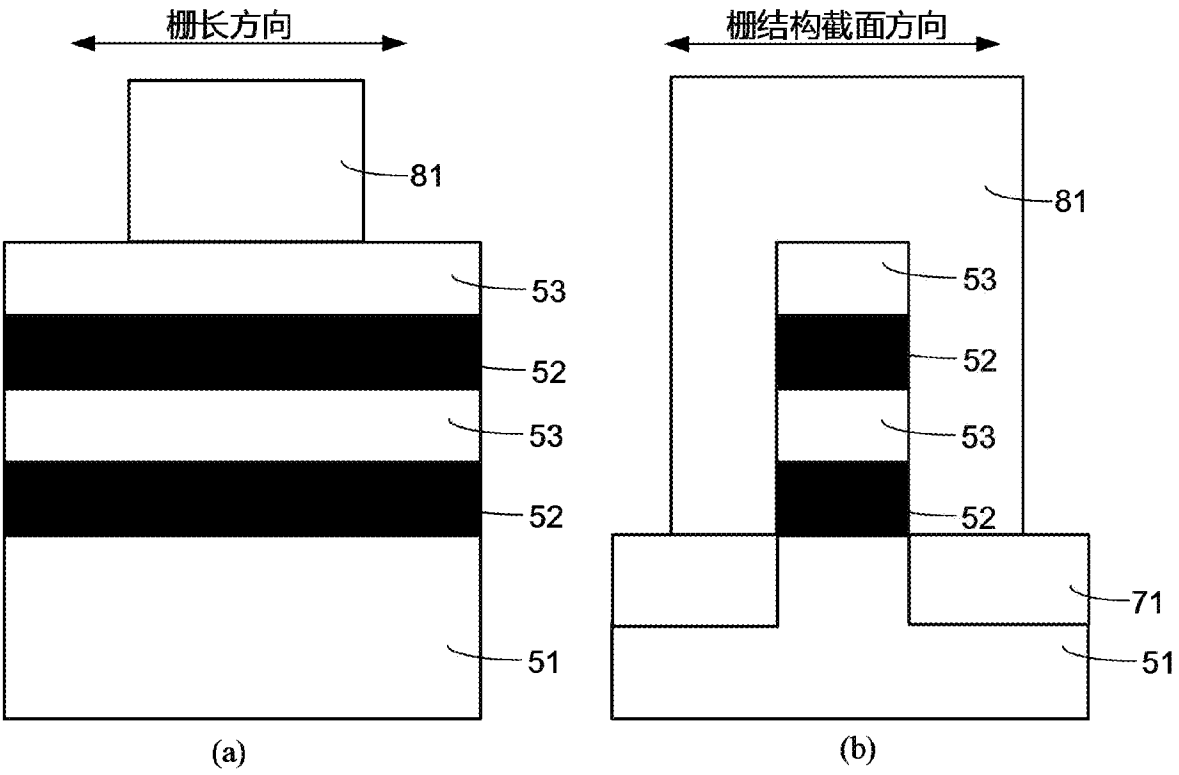

栅长方向
81
53
52
53
52
51
(a)
栅结构截面方向
81
53
52
53
52
71
51
(b)

图 9

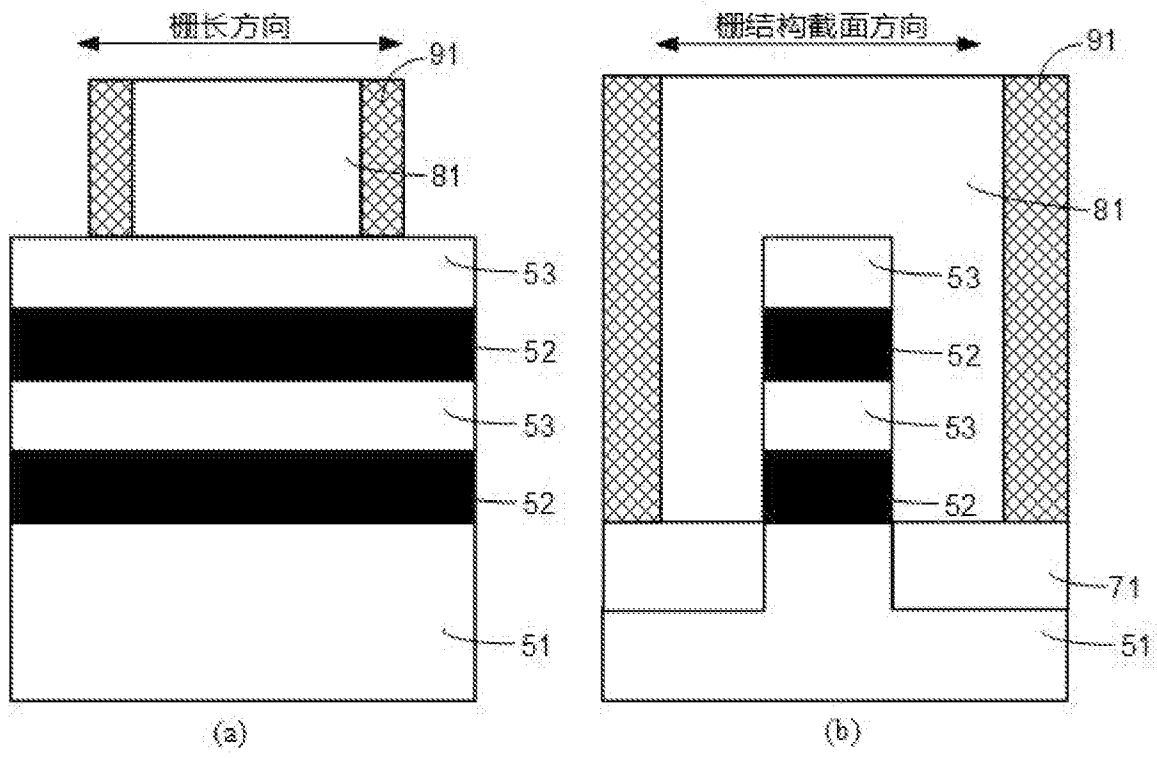

栅长方向
91
81
53
52
53
52
51
(a)
栅结构截面方向
91
81
53
52
53
52
71
51
(b)

图 10

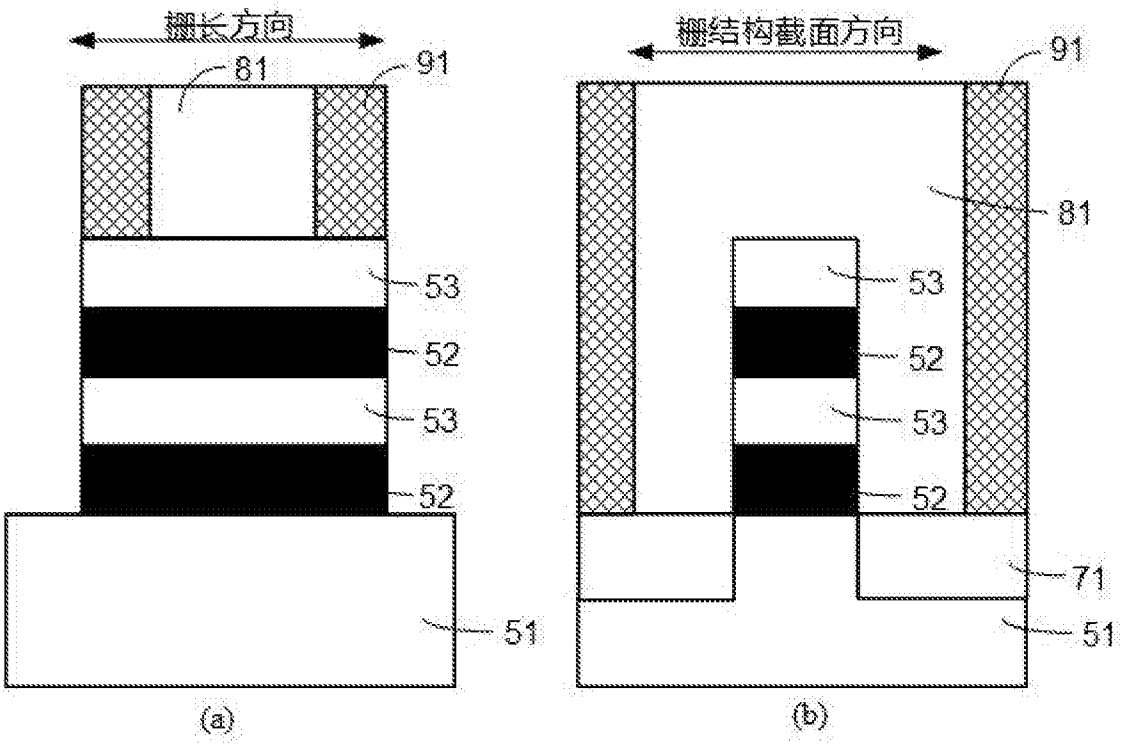

栅长方向
81
91
53
52
53
52
51
(a)
栅结构截面方向
91
81
53
52
53
52
71
51
(b)

图 11

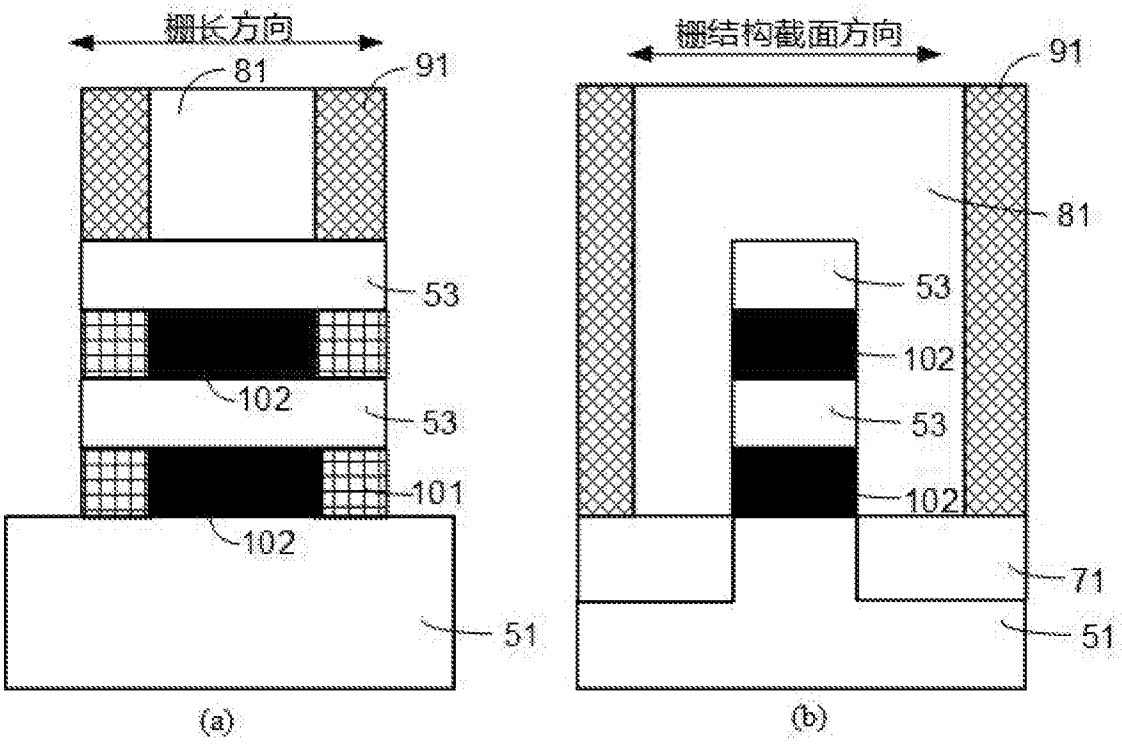

栅长方向
81
91
53
102
53
101
102
51
(a)
栅结构截面方向
91
81
53
102
53
102
71
51
(b)

图 12

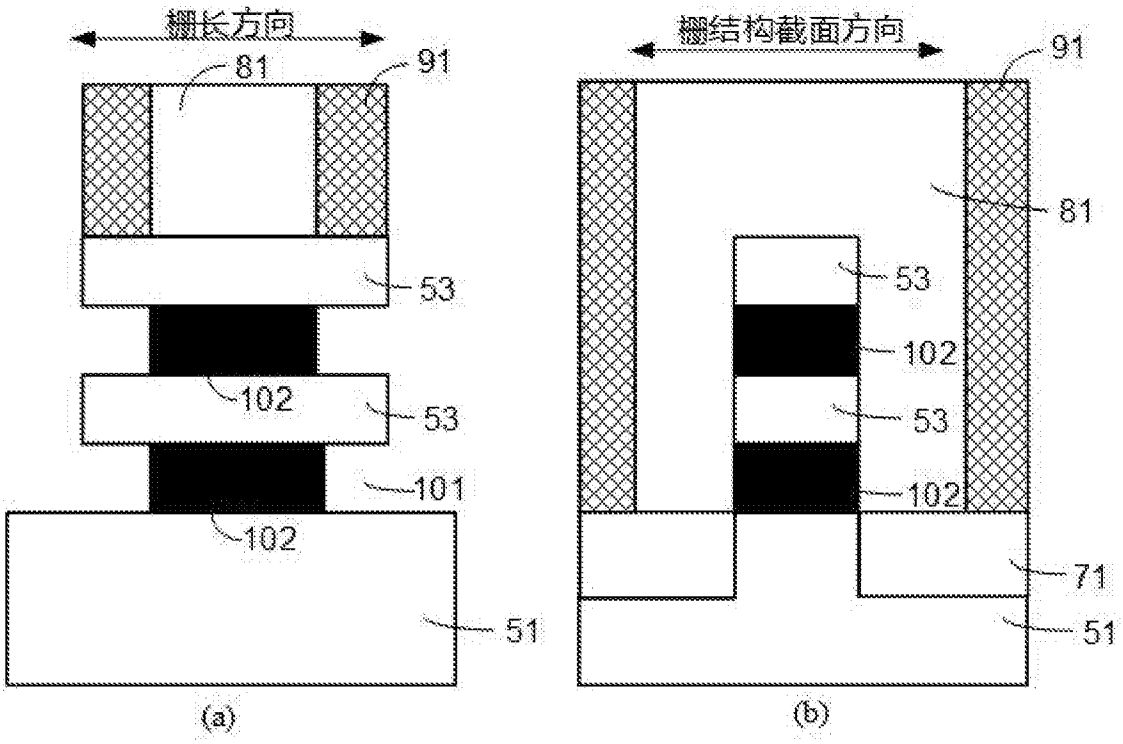

栅长方向
81
91
53
102
53
101
102
51
(a)
栅结构截面方向
91
81
53
102
53
102
71
51
(b)

图 13

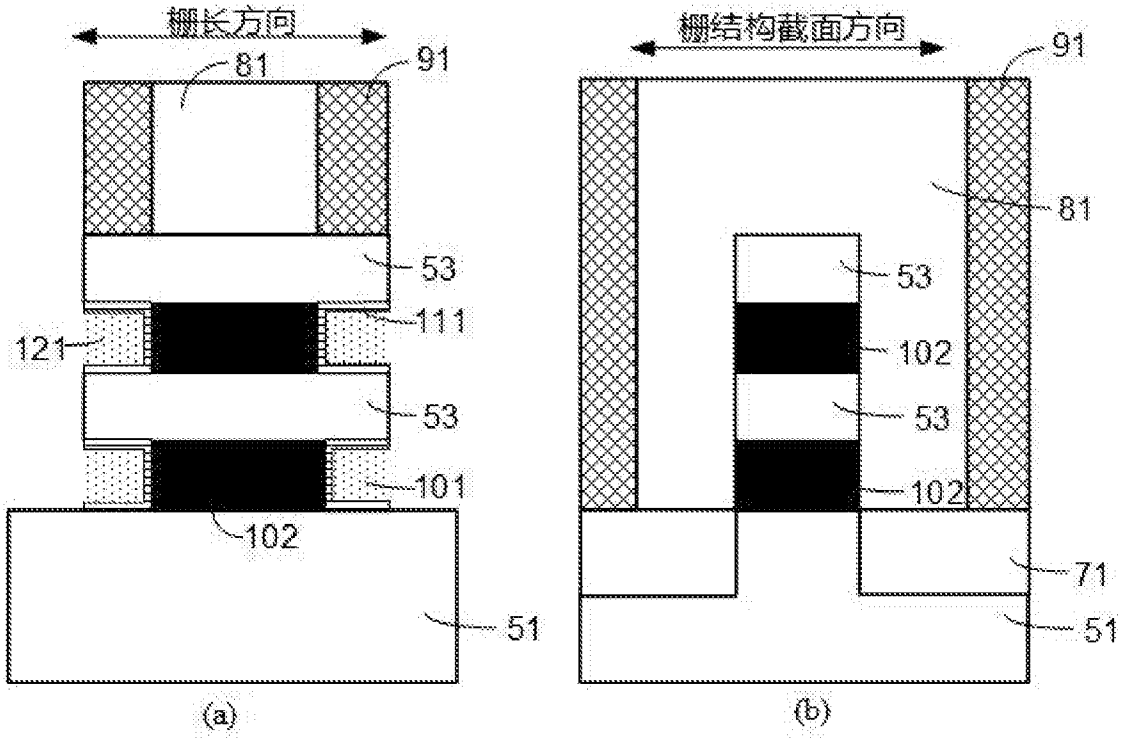

栅长方向
81
91
53
111
121
53
101
102
51
(a)
栅结构截面方向
91
81
53
102
53
102
71
51
(b)

图 14

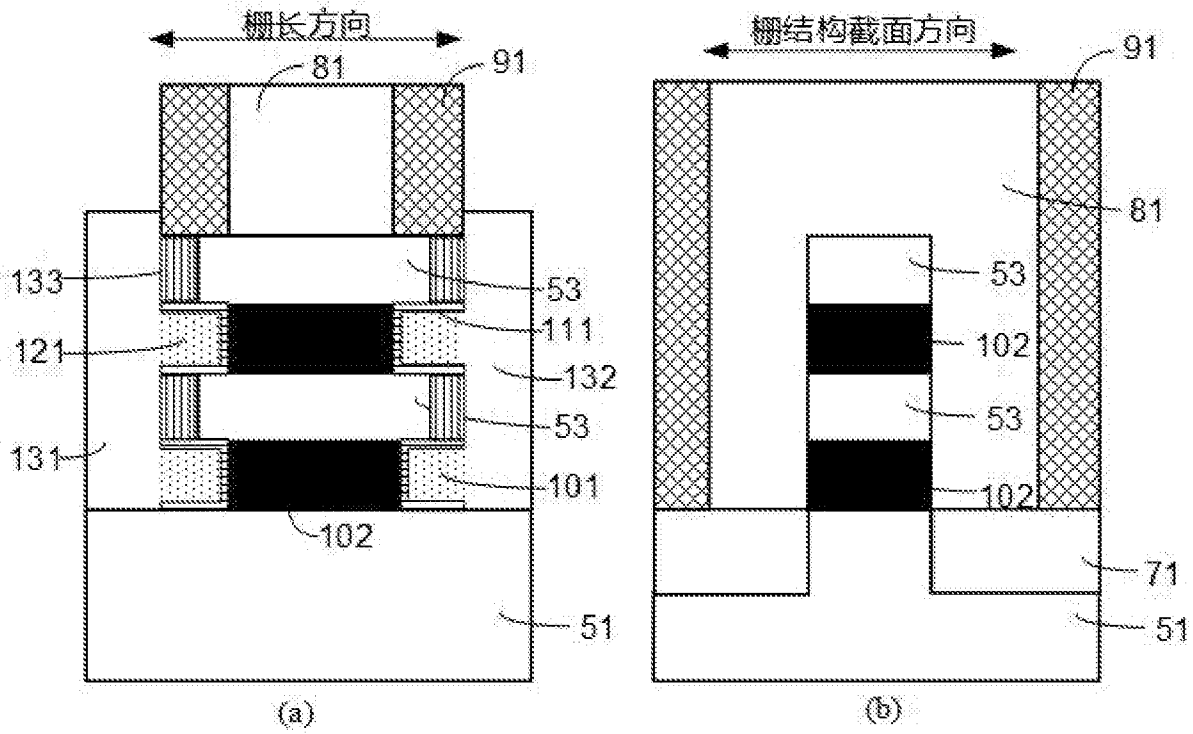

栅长方向
81
91
133
53
111
121
132
53
131
101
102
51
(a)
栅结构截面方向
91
81
53
102
53
102
71
51
(b)

图 15

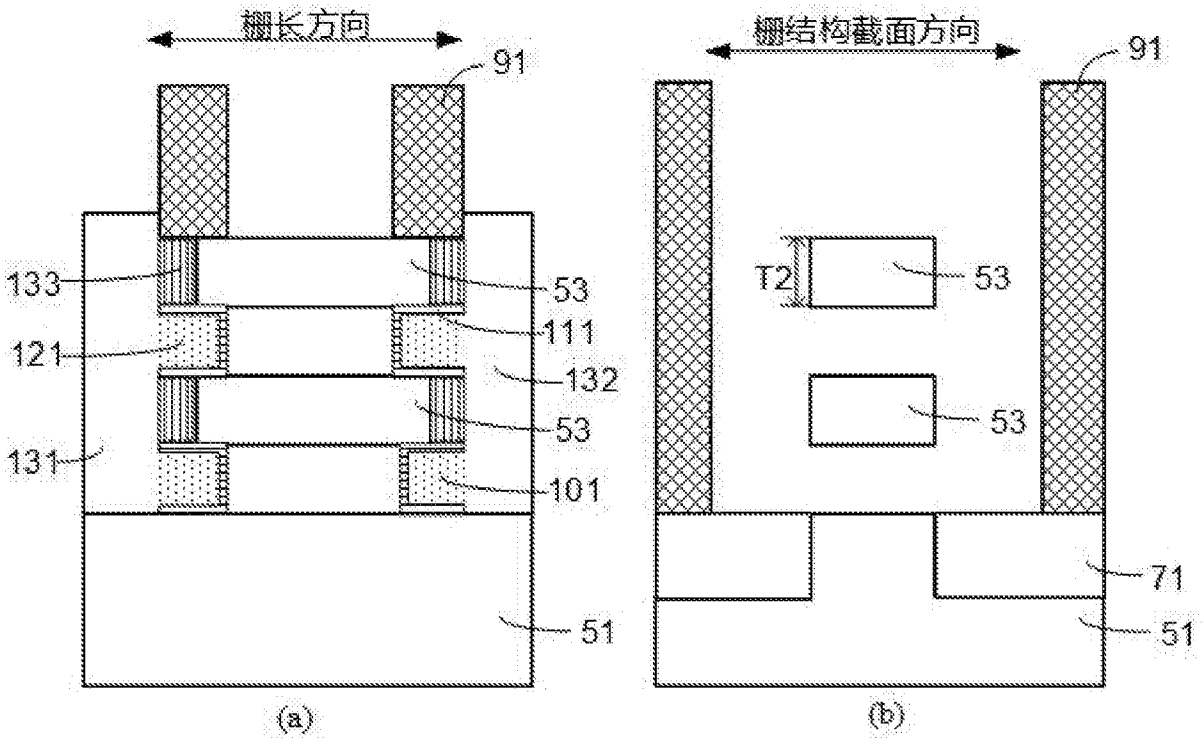

栅长方向
91
133
53
111
121
132
53
131
101
51
(a)
栅结构截面方向
91
T2
53
53
71
51
(b)

图 16

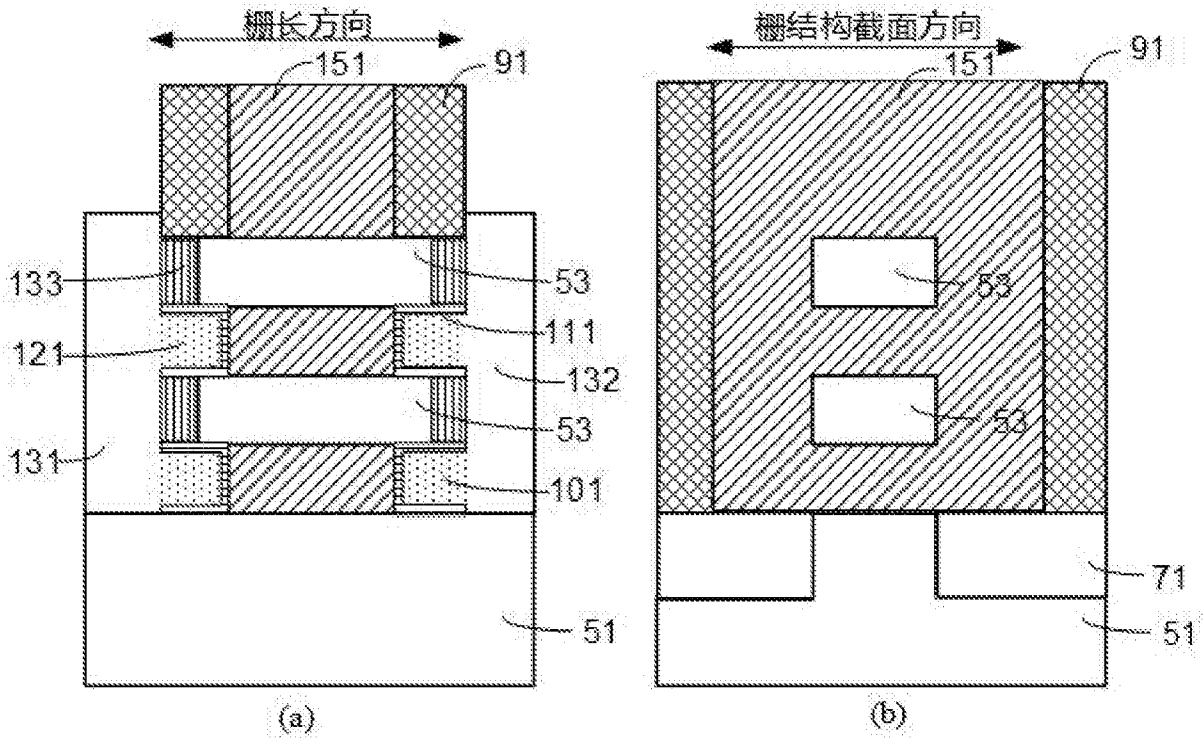

栅长方向
151
91
133
53
111
121
132
53
131
101
51
(a)
栅结构截面方向
151
91
53
53
71
51
(b)

图 17

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/088086

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 29/78 (2006.01) i; H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: 场效应, 超晶格, 假栅, 伪栅, 三维, 介电, 低 K, MOSFET, superlattice, dummy w gate, 3D, dielectric, low w K

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| PX | CN 106784001 A (HUAWEI TECHNOLOGIES CO., LTD.) 31 May 2017 (31.05.2017), description, paragraphs [0038]-[0084], and figures 3-17b | 1-12 |
| X | CN 103311297 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 18 September 2013 (18.09.2013), description, paragraphs [0035]-[0051], and figures 1-4 | 12 |
| A | CN 101197405 A (SOUTH CHINA NORMAL UNIVERSITY) 11 June 2008 (11.06.2008), entire document | 1-12 |
| A | US 2008/0076216 A1 (PAE et al.) 27 March 2008 (27.03.2008), entire document | 1-12 |

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 09 August 2017 | 06 September 2017 |
| Name and mailing address of the ISA<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No. (86-10) 62019451 | Authorized officer<br>MA, Liang<br>Telephone No. (86-10) 62089850 |

# INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/088086

| Patent Documents referred in the Report | Publication Date | Patent Family | Publication Date |
|---|---|---|---|
| CN 106784001 A | 31 May 2017 | None | |
| CN 103311297 A | 18 September 2013 | CN 103311297 B | 09 December 2015 |
| | | TW 201340313 A | 01 October 2013 |
| | | TW I478335 B | 21 March 2015 |
| | | US 2013240836 A1 | 19 September 2013 |
| | | US 8994002 B2 | 31 March 2015 |
| | | US 2015162447 A1 | 11 June 2015 |
| | | US 9450098 B2 | 20 September 2016 |
| | | KR 20130105224 A | 25 September 2013 |
| CN 101197405 A | 11 June 2008 | CN 100530726 C | 19 August 2009 |
| US 20080076216 A1 | 27 March 2008 | None | |

# 国际检索报告

国际申请号
PCT/CN2017/088086

A. 主题的分类

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,CNTXT,VEN:场效应,超晶格,假栅,伪栅,三维,介电,低K, MOSFET,superlattice,dummy w gate,3D,dielectric, low w K

C. 相关文件

| 类 型* | 引用文件，必要时，指明相关段落 | 相关的权利要求 |
|---|---|---|
| PX | CN 106784001 A (华为技术有限公司) 2017年 5月 31日 (2017-05-31)<br>说明书第[0038]-[0084]，附图3-17b | 1-12 |
| X | CN 103311297 A (台湾积体电路制造股份有限公司) 2013年 9月 18日 (2013-09-18)<br>说明书第[0035]-[0051]段，附图1-4 | 12 |
| A | CN 101197405 A (华南师范大学) 2008年 6月 11日 (2008-06-11)<br>全文 | 1-12 |
| A | US 2008/0076216 A1 (PAE 等) 2008年 3月 27日 (2008-03-27)<br>全文 | 1-12 |

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

| 国际检索实际完成的日期 | 国际检索报告邮寄日期 |
|---|---|
| 2017年 8月 9日 | 2017年 9月 6日 |

| ISA/CN的名称和邮寄地址 | 受权官员 |
|---|---|
| 中华人民共和国国家知识产权局(ISA/CN)<br>中国北京市海淀区蓟门桥西土城路6号 100088 | 马良 |
| 传真号 (86-10)62019451 | 电话号码 (86-10)62089850 |

# 国际检索报告
## 关于同族专利的信息

国际申请号
PCT/CN2017/088086

| 检索报告引用的专利文件 | | | 公布日（年/月/日） | 同族专利 | | | 公布日（年/月/日） |
|---|---|---|---|---|---|---|---|
| CN | 106784001 | A | 2017年 5月 31日 | 无 | | | |
| CN | 103311297 | A | 2013年 9月 18日 | CN | 103311297 | B | 2015年 12月 9日 |
| | | | | TW | 201340313 | A | 2013年 10月 1日 |
| | | | | TW | I478335 | B | 2015年 3月 21日 |
| | | | | US | 2013240836 | A1 | 2013年 9月 19日 |
| | | | | US | 8994002 | B2 | 2015年 3月 31日 |
| | | | | US | 2015162447 | A1 | 2015年 6月 11日 |
| | | | | US | 9450098 | B2 | 2016年 9月 20日 |
| | | | | KR | 20130105224 | A | 2013年 9月 25日 |
| CN | 101197405 | A | 2008年 6月 11日 | CN | 100530726 | C | 2009年 8月 19日 |
| US | 2008/0076216 | A1 | 2008年 3月 27日 | 无 | | | |