(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3730381号
(P3730381)
(45)発行日　平成18年1月5日(2006.1.5)　(24)登録日　平成17年10月14日(2005.10.14)

(51)Int.Cl.　F I
G11C 16/02 (2006.01)　G11C 17/00 601P
G11C 29/04 (2006.01)　G11C 29/00 603K

請求項の数 13　(全 19 頁)

(21)出願番号　特願平9-288651
(22)出願日　平成9年10月21日(1997.10.21)
(65)公開番号　特開平11-126489
(43)公開日　平成11年5月11日(1999.5.11)
審査請求日　平成14年10月22日(2002.10.22)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100068814
弁理士　坪井　淳
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

機能制御データ記憶用のヒューズ素子として使用される浮遊ゲートおよび制御ゲートが積層された二層ゲート構造を有する複数のＭＯＳトランジスタと、

所定の制御信号を受けて前記ヒューズ素子用のＭＯＳトランジスタのドレインをプリチャージするプリチャージ回路と、前記プリチャージの終了後に前記ＭＯＳトランジスタの記憶データを読み出す読み出し回路と、前記読み出し回路により読み出されたデータをラッチするラッチ回路と、前記プリチャージ回路を駆動するためのプリチャージ信号、前記読み出し回路を駆動するための読み出し制御信号、前記ラッチ回路を駆動するためのラッチ信号を順次生成するヒューズ制御回路とをそれぞれ有する複数のシーケンス制御回路と、

外部信号のロジックに応じて前記複数のヒューズ制御回路を選択制御するためのヒューズ選択信号を生成するヒューズ選択回路と、

前記複数のヒューズ制御回路に共通に１個設けられており、前記所定の制御信号を受けて動作してラッチトリガ信号を出力し、前記複数のヒューズ制御回路に共通に供給するヒューズラッチトリガ回路とを具備し、

前記ヒューズ選択信号により選択されたヒューズ制御回路は前記ラッチトリガ信号を受けて前記プリチャージ信号、読み出し制御信号、ラッチ信号を生成することを特徴とする半導体記憶装置。

【請求項２】

請求項１記載の半導体記憶装置において、
さらに、電源投入時にパワーオンリセット信号を生成するパワーオンリセット回路と、前記複数のヒューズ素子用のＭＯＳトランジスタのうちでデータの書き替えが行われた一部のＭＯＳトランジスタに対してベリファイ読み出しを行うためのベリファイ回路とを具備し、前記パワーオンリセット信号およびベリファイ終了信号を前記ヒューズラッチトリガ回路に制御信号として入力することを特徴とする半導体記憶装置。
【請求項３】
請求項２記載の半導体記憶装置において、
前記ヒューズ選択回路は、電源投入時には前記複数のヒューズ制御回路の全てを選択し、前記一部のヒューズ素子用のＭＯＳトランジスタのデータの書き替え後は前記複数のヒューズ制御回路のうちの対応する一部を選択制御するためのヒューズ選択信号を生成することを特徴とする半導体記憶装置。
【請求項４】
請求項１乃至３のいずれか１項に記載の半導体記憶装置において、
前記ヒューズラッチトリガ回路は、前記パワーオンリセット回路から入力するパワーオンリセット信号の立ち下がりをトリガとして前記ラッチトリガ信号を発生し、少なくとも前記ラッチトリガ信号の期間は前記パワーオンリセット信号入力を受け付けないように制御する入力制御回路を有することを特徴とする半導体記憶装置。
【請求項５】
請求項１乃至３のいずれか１項に記載の半導体記憶装置において、
前記ヒューズラッチトリガ回路は、前記パワーオンリセット回路から入力するパワーオンリセット信号の立ち下がりをトリガとして一定幅のパルス信号を発生し、前記パルス信号の期間は前記パワーオンリセット信号入力を受け付けないように制御するパルス発生回路を有することを特徴とする半導体記憶装置。
【請求項６】
請求項１乃至５のいずれか１項に記載の半導体記憶装置において、
前記複数の各シーケンス制御回路は、前記ヒューズ素子用のＭＯＳトランジスタに対する書込み時にそのドレインに書込み電圧ノードから書込み電流を供給する書込み回路をさらに具備することを特徴とする半導体記憶装置。
【請求項７】
請求項１乃至６のいずれか１項に記載の半導体記憶装置において、
前記ヒューズ素子用のＭＯＳトランジスタは、そのデータが読み出されてラッチされた後に、そのドレインが電位的に浮遊状態に制御されることを特徴とする半導体記憶装置。
【請求項８】
メモリセルアレイと、
前記メモリセルアレイにおけるデータの書込み動作及び読み出し動作を制御する書込み／読み出し制御回路と、
前記書込み／読み出し制御回路のシーケンス動作を制御するシーケンス制御回路と、
前記シーケンス動作を制御するために使用される機能制御データを記憶する複数のヒューズ回路を有し、電源投入時または一部のヒューズ回路における機能制御データ書き換え後に、前記ヒューズ回路をプリチャージし、プリチャージ後にヒューズ回路から機能制御データを読み出し、読み出した機能制御データをラッチするヒューズデータ制御回路とを具備し、
前記ヒューズデータ制御回路は、一部のヒューズ回路における機能制御データ書き換え後に、前記複数のヒューズ回路のいずれかを選択し選択された前記ヒューズ回路から前記機能制御データを読み出す制御を行うヒューズ選択回路を有することを特徴とする半導体記憶装置。
【請求項９】
請求項８記載の半導体記憶装置において、
前記複数の各ヒューズ回路は二層ゲート構造を有するＭＯＳトランジスタからなるヒュ

ーズ素子を有し、
前記ヒューズデータ制御回路は、前記ヒューズ素子をプリチャージし、前記ヒューズ素子からデータを読み出す制御回路をさらに有することを特徴とする半導体記憶装置。
【請求項１０】
請求項８記載の半導体記憶装置において、
前記複数のヒューズ回路には、前記機能制御データとして冗長機能制御データ、基準電圧値のトリミング機能制御データ、ライトプロテクトデータ、テスト禁止データが記憶されることを特徴とする半導体記憶装置。
【請求項１１】
請求項１０記載の半導体記憶装置において、
前記ヒューズデータ制御回路は、電源投入時に、前記複数のヒューズ回路を選択し前記複数のヒューズ回路から前記機能制御データを読み出す制御を行うヒューズ選択回路を有することを特徴とする半導体記憶装置。
【請求項１２】
請求項８記載の半導体記憶装置において、
前記ヒューズデータ制御回路は、電源投入時にパワーオンリセット信号を生成するパワーオンリセット回路と、
前記パワーオンリセット信号に応じて、前記ヒューズ回路をプリチャージするために使用されるプリチャージ信号、前記ヒューズ回路から読み出される機能制御データをラッチするために使用されるラッチ信号及び機能制御データをラッチする際のラッチ終了信号を生成するヒューズラッチトリガ回路とを有することを特徴とする半導体記憶装置。
【請求項１３】
請求項８記載の半導体記憶装置において、
前記ヒューズデータ制御回路は、前記プリチャージ信号、ラッチ信号及びラッチ終了信号のいずれかに応じて、前記パワーオンリセット信号の入力を、所定期間、受け付けなくする入力制御回路を有することを特徴とする半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体記憶装置に係り、特に電気的消去・再書込み可能な不揮発性半導体メモリセル（ＥＥＰＲＯＭセル）を例えば機能制御データの記憶素子として用いたヒューズ回路から記憶データを読み出す制御回路に関するものであり、例えばフラッシュＥＥＰＲＯＭのような一括消去型の半導体メモリに使用される。
【０００２】
【従来の技術】
ＥＥＰＲＯＭは、電源を切っても不揮発性セルのデータが消えない等の利点があり、近年大幅に需要が増大している。特に、１トランジスタでメモリセルが構成された一括消去可能なフラッシュ型のＥＥＰＲＯＭ（フラッシュメモリ）は、大容量の磁気ディスクの代替等の用途が期待されている。
【０００３】
従来のフラッシュメモリにおいて、セルアレイで使用されているメモリセルは、ゲート絶縁膜中に電荷蓄積層として形成された浮遊ゲート電極および制御ゲート電極が積層された二層ゲート構造を有するＮＭＯＳ型の電界効果トランジスタ（セルトランジスタ）からなる。
【０００４】
このようなフラッシュメモリにおいて、例えば冗長機能、トリミング機能、データ書き換え防止（ライトプロテクト）などを制御するための冗長機能制御データ、トリミング機能制御データ、データ書き換え防止（ライトプロテクト）制御データなどの記憶素子（ヒューズ素子）として、前記セルトランジスタと同一工程で同様の構造に形成されたＲＯＭセルを用いる場合がある。

【０００５】
なお、前記冗長機能制御データは、最近の大容量化しているフラッシュメモリにおいて、正規メモリセルアレイの不良セルを救済して製造歩留りを向上させるために採用されている冗長回路の置換アドレス（正規のメモリセルアレイの不良アドレス）を表わすデータである。
【０００６】
また、前記トリミング機能制御データは、単一電源を使用するフラッシュメモリにおいて、書込み電圧、消去電圧などの基準となる基準電圧値を生成するために採用されているトリミング回路を調整するためのデータである。
【０００７】
また、前記ライトプロテクト制御データは、メモリセルアレイをブロックに分割した構成を採用するフラッシュメモリにおいて、指定したブロックのデータ書き換えを禁止制御するためのデータである。
【０００８】
【発明が解決しようとする課題】
しかし、前記したように従来の半導体記憶装置において機能制御データ記憶用のヒューズ素子として使用されるＲＯＭセルは、記憶データを読み出すための電圧がヒューズ素子用ＲＯＭセルのドレインに印加され続けると、その電気的特性の経時変化（浮遊ゲートの電荷量の変化）を引き起こし、使用開始の初期と比べて記憶データが変化するおそれが生じるという問題があった。
【０００９】
本発明は上記の事情に鑑みてなされたものであり、機能制御データ記憶用のヒューズ素子としてＥＥＰＲＯＭセルを使用する際に、記憶データを読み出すための電圧がヒューズ素子用ＲＯＭセルのドレインに印加され続けることを防止し、その電気的特性の経時変化（浮遊ゲートの電荷量の変化）を防止し、使用開始の初期と比べて記憶データが変化しない制御することができ、性能、信頼性を向上し得る半導体記憶装置を提供することを目的とするものである。
【００１０】
【課題を解決するための手段】
本発明の半導体記憶装置は、機能制御データ記憶用のヒューズ素子として使用される浮遊ゲートおよび制御ゲートが積層された二層ゲート構造を有する複数のＭＯＳトランジスタと、所定の制御信号を受けて前記ヒューズ素子用のＭＯＳトランジスタのドレインをプリチャージするプリチャージ回路と、前記プリチャージの終了後に前記ＭＯＳトランジスタの記憶データを所定のタイミングで読み出す読み出し回路と、前記読み出し回路により読み出されたデータをラッチするラッチ回路と、前記プリチャージ回路を駆動するためのプリチャージ信号、前記読み出し回路を駆動するための読み出し制御信号、前記ラッチ回路を駆動するためのラッチ信号を順次生成するヒューズ制御回路とをそれぞれ有する複数のシーケンス制御回路と、外部信号のロジックに応じて前記複数のヒューズ制御回路を選択制御するためのヒューズ選択信号を生成するヒューズ選択回路と、前記複数のヒューズ制御回路に共通に１個設けられており、前記所定の制御信号を受けて動作してラッチトリガ信号を出力し、前記複数のヒューズ制御回路に共通に供給するヒューズラッチトリガ回路とを具備し、前記ヒューズ選択信号により選択されたヒューズ制御回路は前記ラッチトリガ信号を受けて前記プリチャージ信号、読み出し制御信号、ラッチ信号を生成することを特徴とする。
【００１２】
【発明の実施の形態】
以下、図面を参照して本発明の実施の形態を詳細に説明する。
図１は、本発明の第１の実施の形態に係るＮＯＲ型フラッシュＥＥＰＲＯＭの全体構成を概略的に示すブロック回路図である。
【００１３】

本実施例のフラッシュＥＥＰＲＯＭは、外部電源から供給される読み出し動作用の電圧を昇圧して書込み・消去用の電圧を生成する昇圧回路を内蔵した単一源方式のものである。

【００１４】

そして、データ書込みの対象となるセルアレイ領域のメモリセルを指定して自動的に書込む自動書込み機能、データ消去の対象となるセルアレイ領域の複数のブロックをブロック単位としてブロック毎にシリアルに指定して自動的に消去させる自動消去機能を有する。

【００１５】

また、セルアレイの例えば不良行を予備行に置換して救済するようにした不良セル救済機能を有する。

図１において、メモリセルアレイ１０は、それぞれ浮遊ゲートと制御ゲートを有するＮチャネルのＭＯＳＦＥＴからなるメモリセル（セルトランジスタ）が、例えばＮＯＲ型セルを構成し、全体として行列状に配列されてなり、ロウ方向にｎ個のブロックＢＫ０～ＢＫｎに分割されている。

【００１６】

１１はアドレス入力端子を介して例えば１８ビットのアドレス信号Ａ０～Ａ１７が外部から入力するアドレスバッファである。１２は前記アドレスバッファ１１からのアドレス信号（内部アドレス信号）をデコードするためのプリデコーダである。

【００１７】

１３は前記プリデコーダ１２からのロウアドレス信号をデコードしてメモリセルアレイ１０のロウ選択を行うためのロウデコーダであり、デコード出力に応じてワード線に所定の電圧を供給するワード線ドライバを有する。

【００１８】

１４は前記プリデコーダ１２からのカラムアドレス信号をデコードするカラムデコーダである。１５は前記カラムデコーダ１４のデコード出力により制御され、前記メモリセルアレイ１０のカラム選択を行うためのカラムゲートであり、ビット線に所定の電圧を供給するビット線ドライバを有する。

【００１９】

１６は前記カラムゲート１５に接続されたセンスアンプであり、メモリセルからの読み出し情報をセンス増幅して出力する。

１７は上記センスアンプ１６に接続された入出力回路（Ｉ／Ｏバッファ）であり、入出力端子との間で例えば１６ビットの入出力データＤ０～Ｄ１５が入出力する。１８は各ブロックＢＫ０～ＢＫｎのソース線選択を行うためのソースデコーダであり、デコード出力に応じてソース線に所定の電圧を供給するソース線ドライバを有する。

【００２０】

２０は書込み動作に必要な高電圧を前記カラムゲート１５のビット線ドライバを介してビット線に供給するためのビット線昇圧回路である。２１は書込み動作や消去動作に必要な高電圧を前記ワード線およびソース線に印加するために前記ロウデコーダ１３のワード線ドライバおよびソースデコーダ１８のソース線ドライバに供給するためのワード線・ソース線昇圧回路である。

【００２１】

２２はＥＥＰＲＯＭ内部の各部の動作を制御するための制御回路であり、チップイネーブル（／ＣＥ）入力端子、アウトプットイネーブル（／ＯＥ）入力端子、ライトイネーブル（／ＷＥ）入力端子に接続されている。

【００２２】

２３はアドレス発生用のアドレスカウンタであり、自動書込みあるいは自動消去に際して、対象となるブロックおよびメモリセルのアドレスを指定するためのアドレスを生成する。

【００２３】

２４は選択回路であり、通常動作時には前記アドレスバッファ１１からのアドレス信号を選択して前記プリデコーダ１２に供給し、自動書込み時あるいは自動消去時には、前記ア

ドレスカウンタ２３から出力するアドレス信号を選択して前記プリデコーダ１２に供給するものである。

【００２４】

２５は前記アドレスバッファ１１からのアドレス信号および入出力回路１７を経た入力信号の組み合わせによるコマンド信号を解読して各種の制御信号を出力するコマンド回路である。

【００２５】

２６はメモリセルアレイ１０に対する書込みあるいは消去の回数をカウントするために設けられたサイクルカウンタである。２７はタイマー回路である。

２８は前記自動書込み機能、自動消去機能および不良セル救済御機能を実現するためのシーケンス動作を制御するように構成されたＰＬＡ（プログラマブル・ロジック・アレイ）である。

【００２６】

上記ＰＬＡ２８は、前記コマンド回路２５、サイクルカウンタ２６、タイマー回路２７の各出力および前記センスアンプ１６からの信号が与えられ、ＰＬＡコード信号を出力して前記ビット線昇圧回路２０、ワード線・ソース線昇圧回路２１、選択回路２４、アドレスカウンタ２３、サイクルカウンタ２６およびタイマー回路２７に供給する。

【００２７】

なお、ＥＥＰＲＯＭの製造段階における検査工程で発見された不良セルを救済して製造歩留りを向上させるために冗長回路が設けられている。

この冗長回路は、図示しないが、数行分の冗長用メモリセル（予備メモリセル、リダンダンシーセル）、予備ロウデコーダおよび置換制御回路などを有する。

【００２８】

前記予備ロウデコーダには、前記メモリセルアレイ１０中に数行以下の不良行が存在した場合にこれらの不良行のアドレスを不揮発性的に記憶しておくための不良アドレス記憶回路（図示せず）が数個設けられている。

【００２９】

前記冗長回路の置換制御回路は、書込み特性または消去特性が劣化したメモリセルに代えて冗長用のメモリセルを選択する状態に設定する（特性が劣化したセルを冗長用のセルに置換する）ように制御する機能を備えていてもよい。

【００３０】

３０は本発明の特徴部分に係るヒューズデータ制御回路である。

このヒューズデータ制御回路３０は、後で図５乃至図１０を参照しながら詳細に説明するが、機能制御データ記憶用のヒューズ素子として使用され、セルトランジスタと同一工程で同様の構造に形成された浮遊ゲートおよび制御ゲートが積層された二層ゲート構造を有するＭＯＳトランジスタ群３０ａと、所定の制御信号を受けて前記ヒューズ素子用のＭＯＳトランジスタのドレインをプリチャージし、前記プリチャージの終了後に前記ＭＯＳトランジスタからデータを読み出し、次いで、前記読み出したデータをラッチするように制御するシーケンス制御回路３０ｂとを具備する。

【００３１】

図２は、図１中のヒューズデータ制御回路３０を示すブロック図である。

図２において、３１ｉ（ｉ＝１～４）はそれぞれ機能制御データを記憶するためのヒューズ素子（二層ゲート構造を有するＭＯＳトランジスタ）を有するヒューズ回路である。

【００３２】

ここで、リダンダンシー用のヒューズ回路３１１は、冗長回路の置換アドレス（正規のメモリセルアレイの不良アドレス）を表わす冗長機能制御データを記憶している。トリミング用のヒューズ回路３１２は、書込み電圧、消去電圧などの基準となる基準電圧値を生成するために採用されているトリミング回路を調整するためのトリミング機能制御データを記憶している。プロテクト用のヒューズ回路３１３は、指定したブロックのデータ書き換えを禁止制御するためのライトプロテクトデータを記憶している。テスト禁止用のヒュー

ズ回路３１４は、ユーザーによるメモリテストを禁止指定するためのテスト禁止データを記憶している。

【００３３】

ヒューズ制御回路３２ｉ（ｉ＝１～４）は、後述するヒューズ選択回路３３から供給されるヒューズ選択信号RDFS、TRIMFS、PROTFS、TESTFSにより対応して駆動制御され、後述するヒューズラッチトリガ回路３６から供給されるプリチャージ信号PCHG、リードトリガ信号RSTARTおよび読み出し制御信号READを受けると、対応する各ヒューズ回路３１ｉ（ｉ＝１～４）のデータ読み出し・ラッチ動作に必要な制御信号としてプリチャージ信号PCHGBi（ｉ＝１～４）、バイアス電圧BIASi （ｉ＝１～４）、読み出し制御用の制御ゲート駆動信号FWLi（ｉ＝１～４）、ラッチ信号LATi（ｉ＝１～４）を出力する。

【００３４】

ヒューズ選択回路３３は、外部信号（本例では、X8、X9、X10 ）および内部信号PROTを受け、外部信号のロジック（組み合わせ）に応じて、ヒューズラッチトリガ回路３６を制御するための制御信号FSELB 、前記ヒューズ制御回路３２１～３２４を対応して制御するためのヒューズ選択信号RDFS、TRIMFS、PROTFS、TESTFSを生成する。

【００３５】

この場合、電源投入時には全てのヒューズ制御回路３２ｉを選択し、一部のヒューズ回路のデータ書き換え後には対応する一部のヒューズ制御回路を選択するようにヒューズ選択信号を生成する。

【００３６】

これにより、電源投入時に選択される全てのヒューズ制御回路３２ｉは対応する各ヒューズ回路３１ｉの読み出しデータのラッチ動作を制御し、データ書き換え後に選択される一部のヒューズ制御回路に対応する一部のヒューズ回路の読み出しデータのラッチ動作を制御する動作が可能になっている。

【００３７】

パワーオンリセット回路３４は、電源投入時にパワーオンリセット信号PON を生成するものである。

ベリファイ回路３５は、電源投入時に一部のヒューズデータを書き換えた後、ヒューズデータを再ラッチするための制御信号FLSTを出力するものである。

【００３８】

ヒューズラッチトリガ回路３６は、前記ヒューズ制御回路３２ｉに共通に１個設けられており、前記ヒューズ選択回路３３から供給される制御信号FSELB に応じて前記パワーオンリセット回路３４の出力信号PON あるいはベリファイ回路３５の出力信号FLSTを受けて動作し、前記ヒューズ制御回路３２ｉにプリチャージ信号PCHG、リードトリガ信号RSTARTおよび読み出し制御信号READを供給するものである。

【００３９】

図３は、図２の回路の電源投入時におけるヒューズ回路３１ｉのヒューズデータ（Fuse“０”、Fuse“１”）の読み出し、ラッチ制御動作の一例に係る主要信号のタイミング波形を示す。この動作時には、ベリファイ回路３５の出力信号FLSTは“Ｌ”レベルのまま固定である。

【００４０】

電源投入時にパワーオンリセット回路３４からパワーオンリセット信号PON が発生すると、ヒューズラッチトリガ回路３６は、パワーオンリセット信号PON の後縁（立ち下がり）を受けて一定時間“Ｈ”レベルになるプリチャージ信号PCHGをヒューズ制御回路３２ｉに出力する。

【００４１】

さらに、ヒューズラッチトリガ回路３６は、前記プリチャージ信号PCHGの後縁（立ち下がり）を受けて“Ｈ”レベルになるリードトリガ信号RSTARTおよび読み出し制御信号READをヒューズ制御回路３２ｉに出力する。

【００４２】

選択された全てのヒューズ制御回路３２ｉでは、ヒューズラッチトリガ回路３６からの信号を受けて前記ヒューズ回路３１ｉの動作制御用のプリチャージ信号PCHGBi、バイアス電圧BIASi 、読み出し制御用の制御ゲート駆動信号FWLi、ラッチ信号LATiを出力し、対応するヒューズ回路３１ｉに供給する。

【００４３】

各ヒューズ回路３１ｉは、プリチャージ信号PCHGBi入力が“Ｌ”レベルになるとヒューズ素子用ＭＯＳトランジスタのドレインをプリチャージし、プリチャージの終了後に制御ゲート駆動信号FWLiが“Ｈ”レベルになるとヒューズ素子用ＭＯＳトランジスタのデータを読み出し、次いで、ラッチ信号LATiが“Ｈ”レベルになると読み出しデータのラッチを行う。

【００４４】

前記ヒューズ素子用ＭＯＳトランジスタの記憶データが“１”の場合（つまり、ヒューズ素子に電流が流れる場合）には前記読み出しデータが“Ｌ”レベルになり、前記ヒューズ素子用ＭＯＳトランジスタの記憶データが“０”の場合（つまり、ヒューズ素子に電流が流れない場合）には、前記読み出しデータが“Ｈ”レベルになる。

【００４５】

これにより、ヒューズ素子用ＭＯＳトランジスタからの記憶データの読み出しは電源投入時にのみ行われ、ヒューズ素子用ＭＯＳトランジスタのドレインに対する電圧ストレスの印加期間を短縮してストレスを軽減できるので、その特性の変化による誤ったデータの読み出しを防止することが可能になる。

【００４６】

図４は、図２の回路の一部のヒューズ回路に対するヒューズデータ（Fuse“０”、Fuse“１”）の書込み、消去後におけるヒューズデータのベリファイ読み出し、ラッチ制御動作の一例に係る主要信号のタイミング波形を示す。

【００４７】

このヒューズデータの書込み、消去後における制御動作は、図３を参照して前述した電源投入時における制御動作と比べて、データ読み出し・ラッチ制御動作を開始する信号として、パワーオンリセット信号PON ではなくベリファイ回路の出力信号FLSTが入力する点、さらにヒューズ選択回路３３に入力するPROT、X8、X9、X10 のロジックにより選択されたヒューズのみがラッチ（再ラッチ）する点が異なり、その他は同じである。この動作時には、パワーオンリセット信号PON は“Ｌ”レベルのまま固定である。

【００４８】

即ち、図３および図４を参照して説明した動作から分かるように、前記ヒューズラッチトリガ回路３６、ヒューズ選択回路３３、ヒューズ制御回路３２ｉおよびヒューズ回路３１ｉのプリチャージ・読み出し制御・ラッチ回路部は、パワーオンリセット回路３４あるいはベリファイ回路３５から所定の制御信号PON あるいはFLSTを受け、プリチャージ信号PCHGBiにより前記ヒューズ素子用のＭＯＳトランジスタのドレインをプリチャージし、前記プリチャージの終了後に読み出し制御信号FWLiにより前記ＭＯＳトランジスタからデータを読み出し、次いで、前記読み出したデータをラッチ信号LATiによりラッチするように制御するシーケンス制御回路（図１中の３０ｂ）を形成している。

【００４９】

このシーケンス制御回路は、プリチャージ信号PCHGBi、読み出し制御信号FWLiのタイミング、時間幅（駆動時間）を制御するために後述するように遅延回路を具備しており、また、前記プリチャージ信号PCHGBi、読み出し制御信号FWLiが前記パワーオンリセット信号PON の影響を排除するために後述するようにラッチ回路を具備している。

【００５０】

以下、図２中の各回路３１ｉ～３６について図５乃至図１０を参照して詳細に説明する。図５（ａ）は、図２中のヒューズ選択回路３３の一例を示す回路図である。

【００５１】

このヒューズ選択回路３３は、外部信号（本例では、X8、X9、X10 ）および内部信号PROT

を受け、外部信号のロジック（組み合わせ）に応じて、ヒューズラッチトリガ回路３６を制御するための制御信号FSELB 、ヒューズ制御回路３２ｉを制御するためのヒューズ選択信号RDFS、TRIMFS、PROTFS、TESTFS、ノーマルモード信号NML を後述するように生成するように、インバータ回路５１群、ノア回路５２群、ナンド回路５３群により論理構成されている。

【００５２】

このヒューズ選択回路は、図５（ｂ）に示すように、ノーマルモードでは、ノーマルモード信号NML 、ヒューズラッチトリガ制御信号FSELB がそれぞれ“Ｈ”レベルになる。

【００５３】

テストモードでは、ノーマルモード信号NML 、ヒューズラッチトリガ制御信号FSELB がそれぞれ“Ｌ”レベルになり、リダンダンシー用のヒューズ回路３１１に対応するヒューズ制御回路３２１を選択するためのヒューズ選択信号RDFS、トリミング用のヒューズ回路３１２に対応するヒューズ制御回路３２２を選択するためのヒューズ選択信号TRIMFS、プロテクト用のヒューズ回路３１３に対応するヒューズ制御回路３２３を選択するためのヒューズ選択信号PROTFS、テスト禁止用のヒューズ回路３１４に対応するヒューズ制御回路３２４を選択するためのヒューズ選択信号TESTFSが択一的に“Ｈ”レベルになる。

【００５４】

また、内部信号PROTが“Ｈ”レベルの時には、プロテクト用のヒューズ回路３１３に対応するヒューズ制御回路３２３を選択するためのヒューズ選択信号PROTFSが“Ｈ”レベルになる。

【００５５】

これにより、ノーマルモードでは、ヒューズラッチトリガ回路３６がパワーオンリセット信号PON を受け、全てのヒューズ制御回路３２ｉが選択状態になる。

これに対して、テストモードでは、ヒューズ制御回路３２ｉの一部を選択して製品出荷前に製造者側で書込み、読み出しを行うことが可能である。

【００５６】

また、ライトプロテクトデータ記憶用のヒューズ回路３１３は製品の仕様上の機能を規定するものであり、テストモードで選択可能であるだけでなく、内部信号PROTが“Ｈ”レベルの時にも選択可能になっている。

【００５７】

なお、前記外部信号X8、X9、X10 および前記内部信号PROTが全て“Ｌ”レベルの時には、前記ヒューズ制御回路３２ｉは全て非選択状態になる。

図６は、図２中のヒューズラッチトリガ回路３６の一例を示す回路図である。

【００５８】

このヒューズラッチトリガ回路３６は、ヒューズ選択回路３３からの制御信号FSELB 、パワーオンリセット回路３４からのパワーオンリセット信号PON またはベリファイ回路３５からのベリファイ終了信号FLSTを受け、プリチャージ信号PCHG、読み出し信号READおよびラッチ終了信号END を後述のように出力するように、

インバータ回路６１群、ノア回路６２群、ＮＭＯＳトランジスタ６３群、遅延回路６４群により論理構成されている。

【００５９】

図７（ａ）は、図２中のヒューズ制御回路３２ｉの一例を示す回路図である。このヒューズ制御回路は、ヒューズ選択回路３３からノーマルモード信号NML 、ヒューズラッチトリガ回路３６からプリチャージ信号PCHGおよび読み出し信号READを受けて、対応するヒューズ回路３１ｉで必要なプリチャージ信号PCHGBi、バイアス電圧BIASi 、読み出し制御信号FWLiおよびラッチ信号LATiを後述のように生成するように、インバータ回路７１ｉ、ナンド回路７２ｉ、遅延回路７３ｉ、ノア回路７４ｉなどにより論理構成されている。

【００６０】

なお、入力ノードＡには、図７（ｂ）に示すように、対応するヒューズ制御回路３２ｉに応じて前記ヒューズ選択信号RDFS、TRIMFS、PROTFS、TESTFSが入力される。

【００６１】
即ち、図７のヒューズ制御回路３２ｉは、前記入力ノードＡにヒューズ選択回路３３から入力されるヒューズ選択信号RDFS、TRIMFS、PROTFS、TESTFSのいずれか１つを反転させる第１のインバータ回路７１１と、ヒューズ選択回路３３から入力されるノーマル信号NMLを反転させる第２のインバータ回路７１２と、前記第１のインバータ回路７１１の出力および第２のインバータ回路７１２の出力が入力する第１のナンド回路７２１と、前記第１のナンド回路７２１の出力および前記ヒューズラッチトリガ回路３６から入力するプリチャージ信号PCHGが入力する第２のナンド回路７２２と、第２のナンド回路７２２の出力を反転させる第３のインバータ回路７１３と、第３のインバータ回路７１３の出力を反転させてプリチャージ信号PCHGBiを出力する第４のインバータ回路７１４と、第３のインバータ回路７１３の出力を遅延させる遅延回路（delay5）７３１と、前記第１のナンド回路７２１の出力および前記ヒューズラッチトリガ回路３６から入力する読み出し信号READが入力する第３のナンド回路７２３と、第３のナンド回路７２３の出力を反転させる第５のインバータ回路７１５と、前記第３のインバータ回路７１３の出力、第１の遅延回路７３１の出力および第５のインバータ回路７１５の出力が入力する第１のノア回路７４１と、第５のインバータ回路７１５の出力を遅延させる遅延回路（delay6）７３２と、第１のノア回路７４１の出力を反転させる第６のインバータ回路７１６と、第６のインバータ回路７１６の出力を反転させてラッチ信号LATiを出力する第７のインバータ回路７１７と、第６のインバータ回路７１６の出力および第２の遅延回路７３２の出力が入力する第２のノア回路７４２と、第２のノア回路７４２の出力に応じてバイアス電圧BIASi を出力するバイアス生成回路７５と、第２の遅延回路７３２の出力を反転させる第８のインバータ回路７１８と、第８のインバータ回路７１８の出力をラッチするラッチ回路７６と、前記ラッチ回路７６の出力を反転して読み出し制御信号FWLiを出力する第９のインバータ回路７１９とを具備する。

【００６２】
図７の構成のヒューズ制御回路において、電源投入時にはヒューズ選択回路３３から入力されるノーマルモード信号NML が“Ｈ”レベルになり、全てのヒューズ制御回路３２１～３２４が対応するヒューズ回路３１１～３１４の全てからデータを読み出してラッチする。

【００６３】
これに対して、一部のヒューズ回路に対する書き替え後には、選択された一部のヒューズ制御回路は、入力ノードＡが“Ｈ”レベル、ヒューズ選択回路３３から入力されるノーマルモード信号NHL が“Ｌ”レベルになるので、対応する一部のヒューズ回路のみからデータを読み出してラッチする。

【００６４】
図８は、図２中の各ヒューズ回路３１ｉの一例を示す回路図である。
このヒューズ回路は、機能制御データ記憶用のヒューズ素子として使用された二層ゲート構造を有するＭＯＳトランジスタＱfuseと、前記ヒューズ素子用のＭＯＳトランジスタＱfuseに対する書込み時にそのドレインに書込み電圧Vpp （昇圧回路の出力電圧、例えば８Ｖ）ノードから書込み電流を供給する書込み回路８１と、前記ＭＯＳトランジスタＱfuseのドレインを所定のタイミングで所定時間プリチャージするプリチャージ回路８２と、前記ＭＯＳトランジスタＱfuseの記憶データを所定のタイミングで読み出す読み出し回路８３と、前記読み出し回路８３により読み出されたデータをラッチするラッチ回路８４と、前記ラッチ回路８４の出力を反転して読み出しデータとして出力するインバータ回路８５とを具備する。

【００６５】
前記ヒューズ素子用のＭＯＳトランジスタＱfuseは、そのソースが接地ノードに接続されており、そのゲートに前記ヒューズ選択回路３３から入力する制御ゲート駆動信号FWLiが印加される。

【００６６】

ここで、記載していないが、ＭＯＳトランジスタＱfuseのソースを、接地ノードではなく、例えば消去電圧回路に接続し、Fuseデータを消去可能にすることもできる。

【００６７】

前記書込み回路８１は、Vpp ノードと接地ノードとの間に直列に接続された第１～第３のＮＭＯＳトランジスタ８１１～８１３からなる。そして、前記第１のＮＭＯＳトランジスタ８１１のゲートには、外部信号（アドレス信号など）をデコードした高電圧信号AIが印加される。また、前記第２のＮＭＯＳトランジスタ８１２のゲートには、書込み時にヒューズ素子用のＭＯＳトランジスタＱfuseのドレイン電圧を例えば５Ｖに設定するためにバイアス用の定電圧（例えば６Ｖ）に設定された内部電源電圧FPROG がゲートに印加される。また、前記第３のＮＭＯＳトランジスタ８１３のゲートには、前記ヒューズラッチトリガ回路３６からラッチ終了信号END が印加される。

【００６８】

前記プリチャージ回路８２は、Vcc ノード（外部電源）にソースが接続されたプリチャージ用のＰＭＯＳトランジスタからなり、そのゲートに前記ヒューズラッチトリガ回路３６からプリチャージ信号PCHGBiが印加される。

【００６９】

前記読み出し回路８３は、前記プリチャージ用のＰＭＯＳトランジスタ８２のドレインと前記ヒューズ素子用のＭＯＳトランジスタＱfuseのドレインとの間に接続されたバイアス用のＮＭＯＳトランジスタ８３を有する。このバイアス用のＮＭＯＳトランジスタ８３は、データ読み出し時におけるヒューズ素子用のＭＯＳトランジスタＱfuseのドレイン電位を１Ｖ程度に設定するためのものであり、そのゲートに前記ヒューズラッチトリガ回路３６から例えば２ＶのバイアスBIASi が印加される。

【００７０】

前記ラッチ回路８４は、前記プリチャージ用のＰＭＯＳトランジスタ８２のドレインとバイアス用のＮＭＯＳトランジスタ８３のドレインとの接続ノードに入力端が接続されており、前記ヒューズラッチトリガ回路３６から入力するラッチ信号LATiにより駆動される。

【００７１】

なお、前記制御ゲート駆動信号FWLiは、一定時間“Ｈ”レベルになった後（ラッチ終了後）には“Ｌ”レベルになり、ラッチ終了後には前記ラッチ終了信号END が一定時間“Ｈ”レベルになる。従って、ヒューズ素子用のＭＯＳトランジスタＱfuseのドレインは、データが読み出されてラッチされた後は電位的に浮遊状態になる。

【００７２】

ところで、図３を参照して前述した動作は、パワーオンリセット回路３４の出力信号（パワーオンリセット信号PON ）が一定幅以上の一発パルスとして発生した場合を説明した。

【００７３】

しかし、電源投入時の電源電圧Vcc の立ち上がりは数μｓ～数ｓの時間を要し、電源電圧Vcc のレベルがＬＳＩ内部の電圧検知回路の検知基準レベルの付近で微妙に揺れると、パワーオンリセット回路３４が発振するおそれがあり、電源投入時にパワーオンリセット信号PON が一旦立ち上がってから低下した後にパルス状のノイズが乗るおそれがある。

【００７４】

図９は、図２の回路において電源投入時にパワーオンリセット信号PON が一旦立ち上がってから低下した後にパルス状のノイズが乗った場合のヒューズデータの読み出し、ラッチ制御動作の一例を示すタイミング波形図である。

【００７５】

この場合、パワーオンリセット信号PON の立ち下がりを受けてヒューズデータの読み出し・ラッチ制御動作を開始した直後、ラッチ動作が終了する前に前記パルス状のノイズが発生すると、ラッチ制御動作を正常に行うことが不可能になる。

【００７６】

図１０は、上記したような電源投入時におけるノイズによるヒューズデータのラッチの誤動作を防止するように図６のヒューズラッチトリガ回路を改良した例を示す回路図である

。

【００７７】

図１０のヒューズラッチトリガ回路は、図６を参照して前述したヒューズラッチトリガ回路と比べて、パワーオンリセット信号PON の入力側に入力制御回路１００が挿入されている点が異なり、その他は同じであるので図６中と同一符号を付している。

【００７８】

入力制御回路１００は、プリチャージ信号PCHGを遅延させる遅延回路１０１と、この遅延回路１０１から出力する遅延信号および前記プリチャージ信号PCHGが入力するノア回路１０２と、このノア回路１０２の出力を反転させるインバータ回路１０３と、読み出し信号READを遅延させる遅延回路１０４と、この遅延回路１０４から出力する遅延信号および前記読み出し信号READが入力するノア回路１０５と、このノア回路１０５の出力を反転させるインバータ回路１０６と、前記ラッチ終了信号END 、前記インバータ回路１０３の出力およびインバータ回路１０６の出力が入力するノア回路１０７と、このノア回路の出力を反転させるインバータ回路１０８と、このインバータ回路１０８の出力によりクロック制御され、パワーオンリセット信号PON が入力するクロックドインバータ回路１０９と、このクロックドインバータ回路１０９の出力をラッチするように２個のインバータ回路の入出力が交差接続されてなるフリップフロップ回路１１０とを有する。

【００７９】

上記入力制御回路１００の動作は、パワーオンリセット信号PON が入力することによってプリチャージ信号PCHG、読み出し信号READ、ラッチ終了信号END のいずれかが“Ｈ”レベルになった時に、所定時間だけノア回路１０７の出力が“Ｌ”、インバータ回路１０８の出力が“Ｈ”、クロックドインバータ回路１０９がディセーブル状態になるので、前記所定時間だけパワーオンリセット信号PON の入力を受け付けなくなる（入力を切り離す）。

【００８０】

即ち、図１０のヒューズラッチトリガ回路においては、図６を参照して前述したヒューズラッチトリガ回路のパワーオンリセット信号PON の入力側に入力制御回路１０が挿入付加されている。これにより、パワーオンリセット信号PON が一旦立ち下がる、それをトリガとしてプリチャージ信号PCHG、読み出し信号READ、ラッチ終了信号END がそれぞれ“Ｈ”レベルになった時にパワーオンリセット信号PON の入力を受け付けないように動作する。

【００８１】

従って、前記プリチャージ信号PCHG、読み出し信号READ、ラッチ終了信号END に基づいてヒューズ制御回路３２ｉでデータ読み出し・ラッチ動作の制御を行っている時には、パワーオンリセット信号PON にノイズが乗った場合でも影響を受けない。

【００８２】

換言すれば、電源投入時にパワーオンリセット信号PON が一旦立ち上がってから立ち下がった後は、パワーオンリセット信号PON がどんな波形になろうとも（パルス状のノイズが乗った場合でも）、ヒューズデータのラッチ動作が終了するまではパワーオンリセット信号PON の影響を受けずに正常にラッチ動作を行うことが可能になる。

【００８３】

なお、前記入力制御回路１００の他の例として、入力信号の立ち上がりあるいは立ち下がりをトリガとして一定幅のパルス信号を発生させ、一定時間だけ入力信号の受け付けを禁止するように構成されたパルス発生回路を用いることによって、パワーオンリセット信号PON にノイズが乗った場合でも影響を受けないようにすることができる。

【００８４】

図１１は、入力信号の立ち上がりあるいは立ち下がりをトリガとして一定幅のパルス信号を発生させ、一定時間だけ入力信号の受け付けを禁止するパルス発生回路の一例を示す。

【００８５】

図１１において、入力信号IN1 はインバータ回路１２１により反転され、二入力のノア回路１２２の一方の入力ノードに入力する。このノア回路１２２の出力は、インバータ回路１２３および１２４を経て二入力のノア回路１２５の一方の入力ノードに入力し、このノ

ア回路１２５の出力は帰還して前記ノア回路１２２の他方の入力ノードに入力する。前記インバータ回路の出力１２３は遅延回路１２６に入力し、この遅延回路１２６の出力は前記ノア回路１２５の他方の入力ノードに入力する。なお、前記インバータ回路１２４の出力は前記遅延回路１２６に活性化制御信号として入力する。そして、前記ノア回路１２５の出力は二段のインバータ回路１２７、１２８を経て出力信号OUT1となる。

【００８６】

図１２は、図１１のパルス発生回路の動作例１として、入力ノードに１発のパルス信号が入力した場合の主要ノードの電位を示すタイミング波形図である。

初期状態では、入力信号IN1 が“Ｌ”レベル、ノア回路１２５の出力ノードN19 が“Ｌ”レベルであり、出力信号OUT1は“Ｌ”レベルであるとする。この状態で入力信号IN1 が“Ｈ”レベルに立ち上がると、遅延回路１２６の内部ノードN15 、N16 は対応して“Ｈ”レベル、“Ｌ”レベルに初期化される。

【００８７】

次に、入力信号IN1 が“Ｌ”レベルに立ち下がると、遅延回路１２６の動作制御用のＰＭＯＳトランジスタＴＰ１、ＮＭＯＳトランジスタＴＮ１がそれぞれオフ状態になり、遅延回路１２６は活性化される。その時、インバータ回路１２４の出力ノードN14 、遅延回路１２６の出力ノードN18 がそれぞれ“Ｌ”レベルになるので、ノア回路１２５の出力ノードN19 は“Ｈ”レベルになる。これにより、ノア回路１２２の出力ノードN12 は、入力信号の論理レベルに関係なく“Ｌ”レベルに固定される。

【００８８】

従って、前記遅延回路１２６の内部ノードN15 、N16 が対応して“Ｌ”レベル、“Ｈ”レベルに戻り、遅延回路１２６の出力ノードN18 が“Ｈ”レベルになるまでは、ノア回路１２５の出力ノードN19 は“Ｈ”レベルに固定されるので、遅延回路１２６の遅延時間ｔｄにわたって出力信号OUT1は“Ｈ”レベルになる。

【００８９】

図１３は、図１１のパルス発生回路の動作例２として、入力ノードに２発のパルス信号が連続して入力した場合の主要ノードの電位を示すタイミング波形図である。

【００９０】

図１３の波形図から分かるように、１発目のパルス信号が入力することによりノア回路１２５の出力ノードN19 が“Ｈ”レベルになった後、ノア回路１２５の出力ノードN19 が“Ｌ”レベルに戻る前に２発目のパルス信号が入力されても、この２発目のパルス信号の入力を受け付けない。

【００９１】

ところで、前記入力信号IN1 が電源投入時のパワーオンリセット信号PON である場合には、図１１中の第２のノア回路１２５の出力ノードN19 が電源投入時の初期状態から“Ｌ”レベルになっている必要がある。即ち、前記ノア回路１２５の出力ノードN19 の初期状態が“Ｈ”レベルであったとすると、このノア回路１２５の出力ノードN19 が“Ｌ”レベルに戻る前にパワーオンリセット信号PON が立ち下っていると、図１１のパルス発生回路はパルス状の出力信号OUT1を発生することなく動作を終るおそれがある。

【００９２】

図１４は、図１１のパルス発生回路の変形例として、入力信号IN2 がパワーオンリセット信号である場合に対応した回路構成を示す。

図１４に示すパルス発生回路は、ノア回路１２５の出力ノードN19 が電源投入時の初期状態から“Ｌ”レベルになるように、（１）ノア回路１２５の出力ノードN19 と接地ノードとの間に抵抗素子Ｒ１およびキャパシタＣ３が付加接続されている点、さらに望ましくは、（２）遅延回路１２６の内部ノードN17 と接地ノードとの間に抵抗素子Ｒ２、遅延回路１２６の出力ノードN18 とＶccノードとの間に抵抗素子Ｒ３がそれぞれ付加接続されている点が図１１を参照して前述したパルス発生回路と比べて異なる。

【００９３】

また、図１４に示すパルス発生回路は、入力信号IN2 にグリッチ状のパルス信号が含まれ

た場合に、それが出力信号OUT2に伝わることを防止するために、（３）インバータ回路１２７の回路閾値よりも第１のノア回路１２２の回路閾値の方が低く設定されている点、（４）インバータ回路１２８の出力ノードと接地ノードとの間にフィルタ用のキャパシタＣ４が付加接続されるとともに前記インバータ回路１２８の出力側に二段のインバータ回路１２９、１３０が付加接続されている点が図１１を参照して前述したパルス発生回路と比べて異なる。

【００９４】

【発明の効果】

上述したように本発明の半導体記憶装置によれば、機能制御データ記憶用のヒューズ素子としてＥＥＰＲＯＭセルを使用する際に、記憶データを読み出すための電圧がヒューズ素子用ＲＯＭセルのドレインに印加され続けることを防止し、その電気的特性の経時変化（浮遊ゲートの電荷量の変化）を防止し、使用開始の初期と比べて記憶データが変化しない制御することができ、性能、信頼性を向上させることができる。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態に係るフラッシュＥＥＰＲＯＭの全体構成を概略的に示すブロック回路図。

【図２】図１中のヒューズデータの読み出し回路を示すブロック図。

【図３】図２の回路の電源投入時におけるヒューズデータの読み出し・ラッチ制御動作の一例に係る主要信号のタイミングを示す波形図。

【図４】図２の回路のヒューズデータの書込み、消去後におけるヒューズデータの読み出し・ラッチ制御動作の一例に係る主要信号のタイミングを示す波形図。

【図５】図２中のヒューズ選択回路の一例を示す回路図。

【図６】図２中のヒューズラッチトリガ回路の一例を示す回路図。

【図７】図２中のヒューズ制御回路の一例を示す回路図。

【図８】図２中のヒューズ回路の一例を示す回路図。

【図９】図２の回路において電源投入時にパワーオンリセット信号PON が一旦立ち上がってから低下した後にパルス状のノイズが乗った場合のヒューズデータの読み出し・ラッチ制御動作の一例を示すタイミング波形図。

【図１０】図６のヒューズラッチトリガ回路を改良した例を示す回路図。

【図１１】図１０のヒューズラッチトリガ回路中の入力制御回路に代えて使用可能なパルス発生回路の一例を示す回路図。

【図１２】図１１のパルス発生回路の動作例１を示すタイミング波形図。

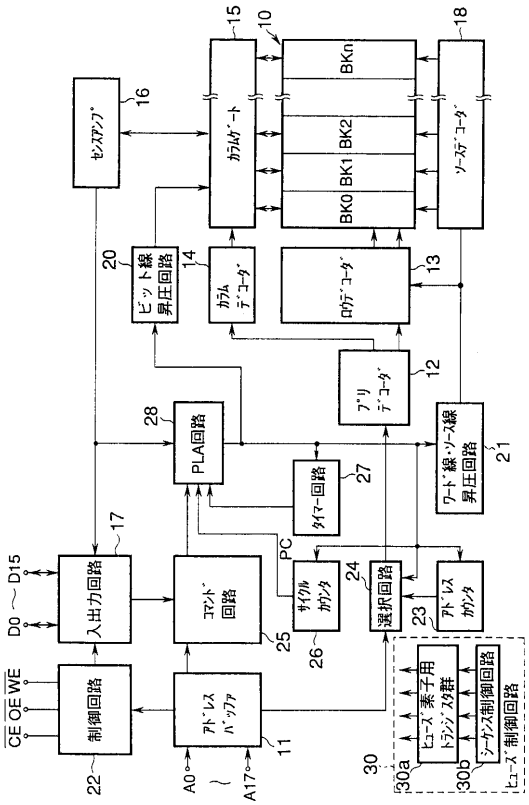
【図１３】図１１のパルス発生回路の動作例２を示すタイミング波形図。

【図１４】図１１の回路の変形例として入力信号がパワーオンリセット信号である場合に対応したパルス発生回路を示す回路図。

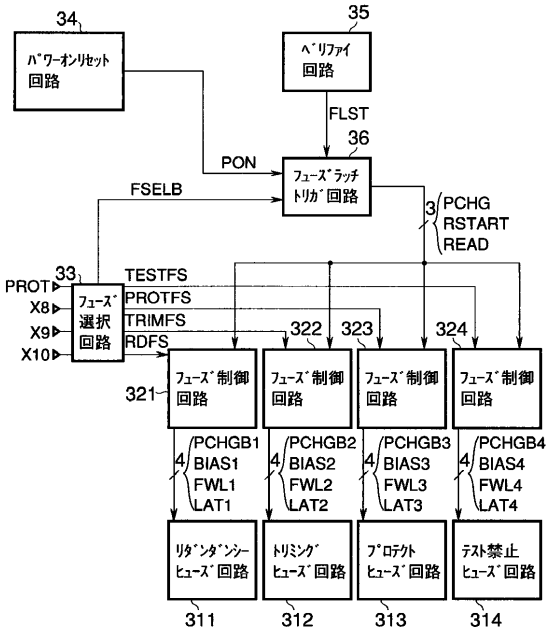
【符号の説明】

３０…ヒューズデータ読み出し回路、
３０ａ…ヒューズ素子用セルトランジスタ群、
３０ｂ…シーケンス制御回路、
３１ｉ…ヒューズ回路、
３２ｉ…ヒューズ制御回路、
３３…ヒューズ選択回路、
３４…パワーオンリセット回路、
３５…ベリファイ回路、
３６…ヒューズラッチトリガ回路。

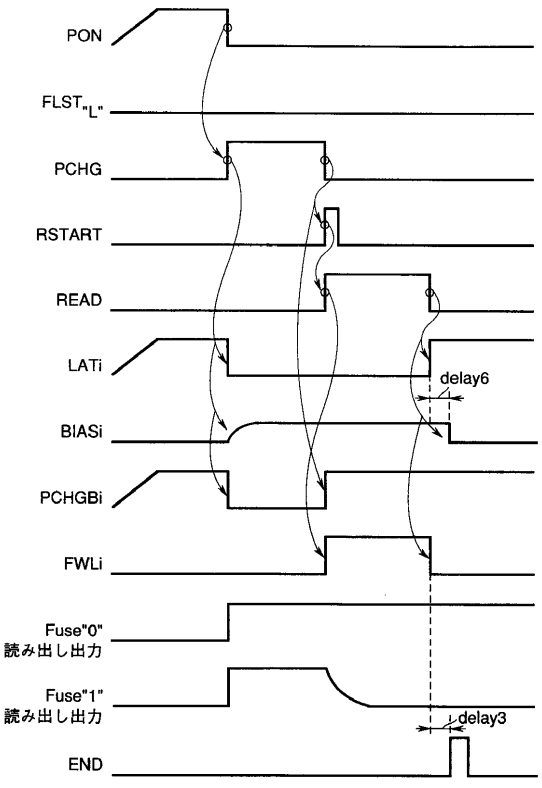
【図１】


センスアンプ
16
カラムゲート
15
10
BKn
BK2
BK1
BK0
ソースデコーダ
18
ビット線昇圧回路
20
14
カラムデコーダ
ロウデコーダ
13
プリデコーダ
12
28
PLA回路
ワード線・ソース線昇圧回路
21
タイマー回路
27
17
D0～D15
入出力回路
コマンド回路
PC
サイクルカウンタ
24
選択回路
アドレスカウンタ
23
25
26
CE OE WE
制御回路
アドレスバッファ
11
22
A0
A17
30
ヒューズ素子用トランジスタ群
30a
30b
シーケンス制御回路
ヒューズ制御回路

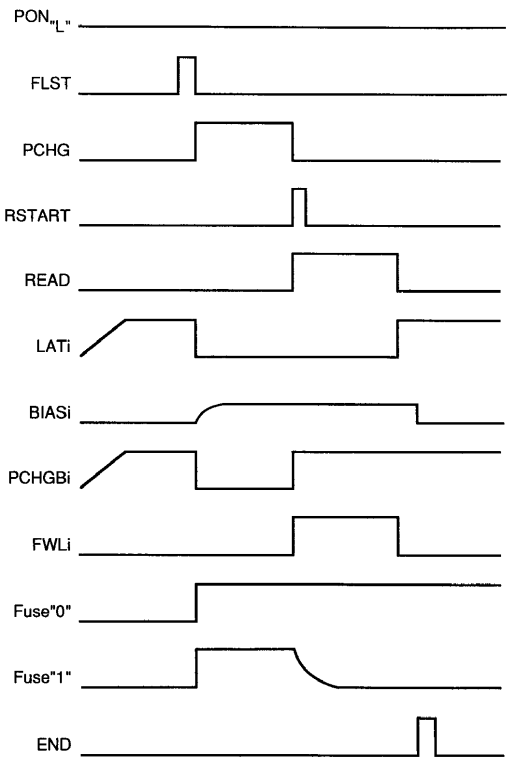
【図２】


34
パワーオンリセット回路
35
ヘリファイ回路
FLST
36
PON
フューズラッチトリガ回路
FSELB
3
PCHG
RSTART
READ
33
PROT
X8
X9
X10
フューズ選択回路
TESTFS
PROTFS
TRIMFS
RDFS
322
323
324
321
フューズ制御回路
フューズ制御回路
フューズ制御回路
フューズ制御回路
4
PCHGB1
BIAS1
FWL1
LAT1
PCHGB2
BIAS2
FWL2
LAT2
PCHGB3
BIAS3
FWL3
LAT3
PCHGB4
BIAS4
FWL4
LAT4
リダンダンシーヒューズ回路
トリミングヒューズ回路
プロテクトヒューズ回路
テスト禁止ヒューズ回路
311
312
313
314

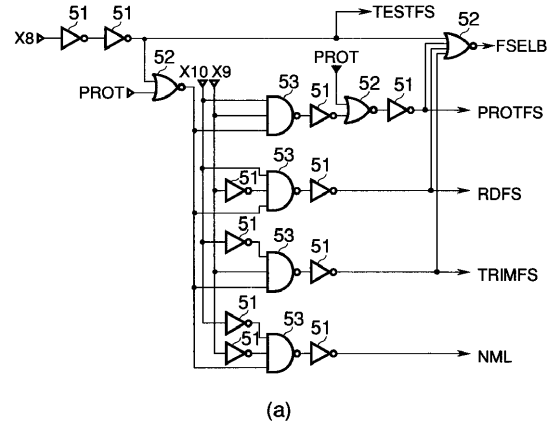
【図３】


PON
FLST"L"
PCHG
RSTART
READ
LATi
delay6
BIASi
PCHGBi
FWLi
Fuse"0"
読み出し出力
Fuse"1"
読み出し出力
delay3
END

【図４】


PON"L"
FLST
PCHG
RSTART
READ
LATi
BIASi
PCHGBi
FWLi
Fuse"0"
Fuse"1"
END

【図５】

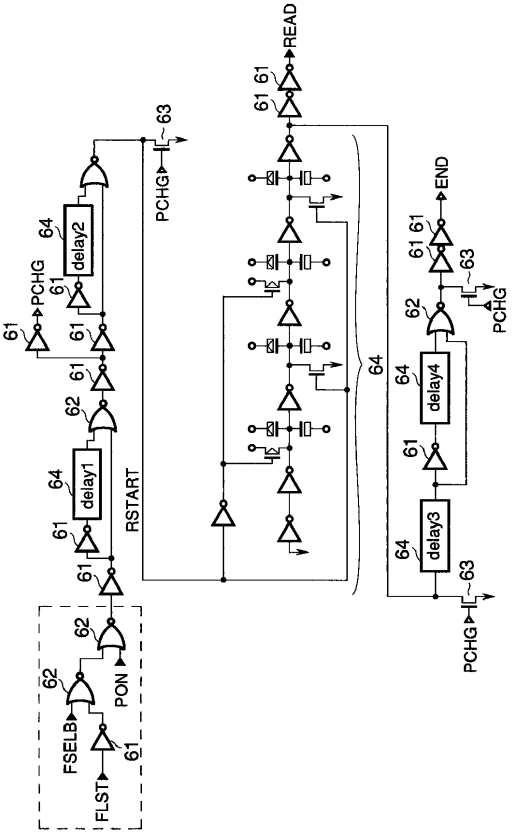


(a)

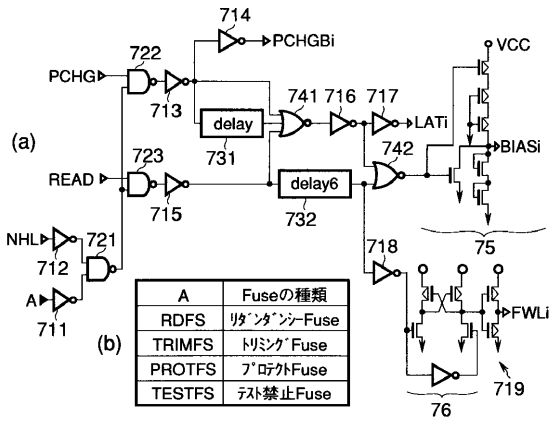
X10	X9	X8	TESTFS	PROTFS	RDFS	TRIMFS	NML	FSELB	
0	0	0	0	0	0	0	1	1	ﾉｰﾏﾙﾓｰﾄﾞ
0	1	0	0	0	0	1	0	0	ﾄﾘﾐﾝｸﾞ Fuse選択
1	0	0	0	0	1	0	0	0	ﾘﾀﾞﾝﾀﾞﾝｼｰ Fuse選択
1	1	0	0	1	0	0	0	0	ﾌﾟﾛﾃｸﾄ Fuse選択
*	*	1	1	0	0	0	0	0	ﾃｽﾄ禁止 Fuse選択

(b)

【図６】



【図７】

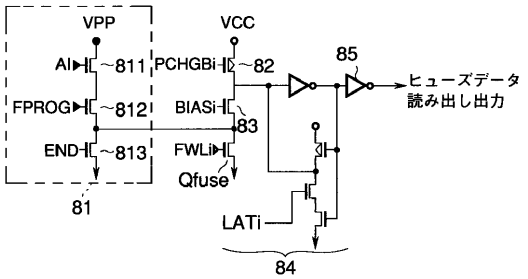


(a)

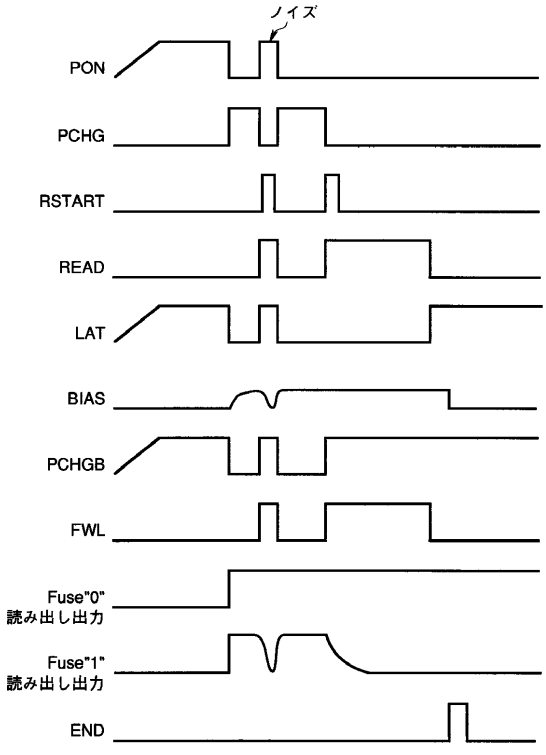
A	Fuseの種類
RDFS	ﾘﾀﾞﾝﾀﾞﾝｼｰFuse
TRIMFS	ﾄﾘﾐﾝｸﾞFuse
PROTFS	ﾌﾟﾛﾃｸﾄFuse
TESTFS	ﾃｽﾄ禁止Fuse

(b)

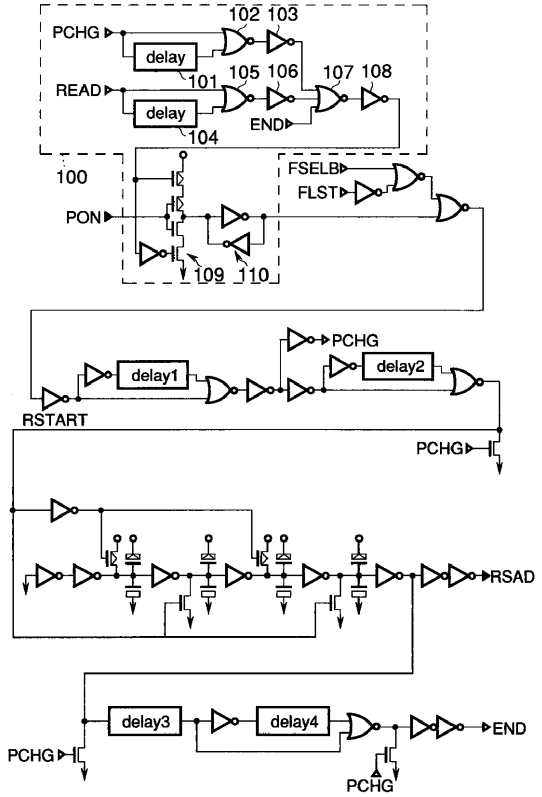
【図８】



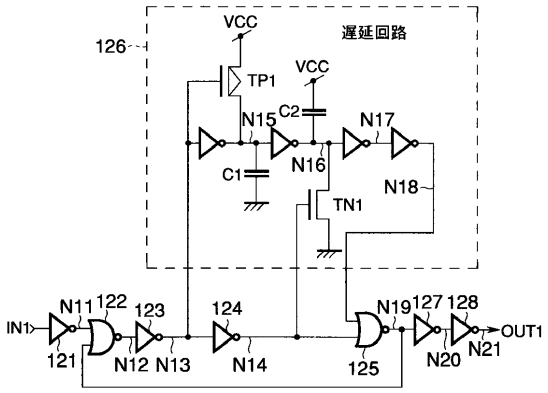
【図９】



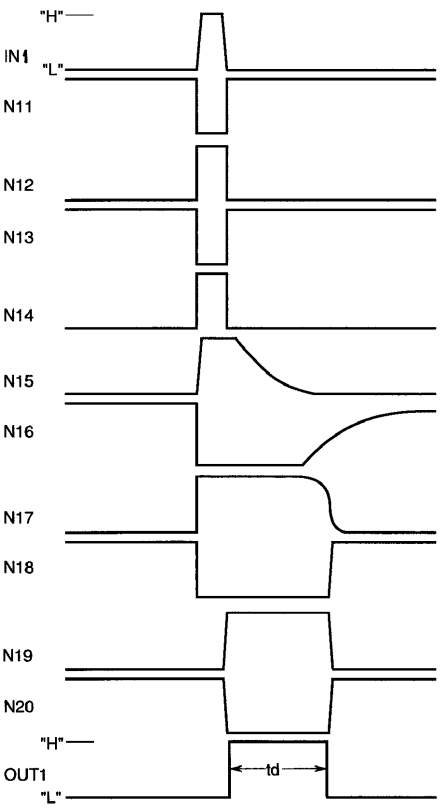
【図１０】



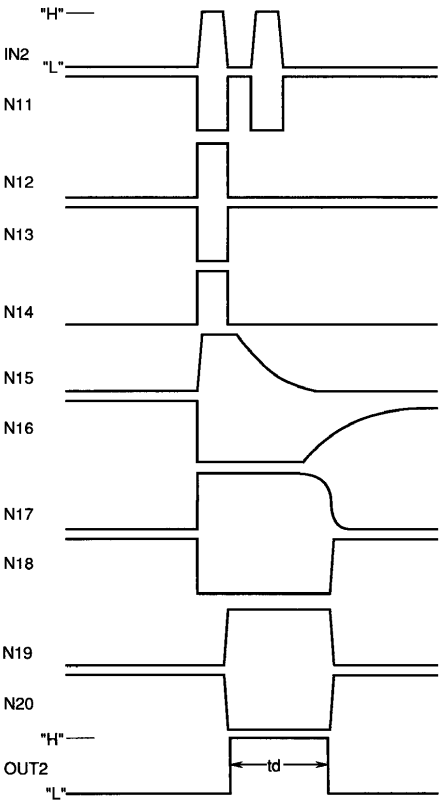
【図１１】



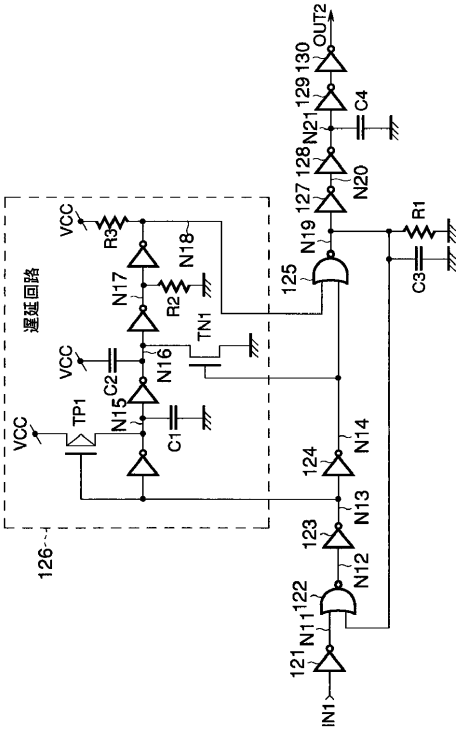
【図１２】



【図１３】



【図１４】


OUT2
130
129
C4
N21
128
N20
127
R1
N19
125
C3
R3
VCC
N18
N17
R2
TN1
遅延回路
VCC
C2
N16
TP1
N15
VCC
C1
124
N14
N13
123
N12
122
N11
121
IN1
126

フロントページの続き

(74)代理人 100070437
弁理士 河井 将次
(72)発明者 宮川 正
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内
(72)発明者 大塚 伸朗
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内
(72)発明者 冨田 直人
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内

審査官 小松 正

(56)参考文献 特開平０３－２３５２９７（ＪＰ，Ａ）
特開平１０－１９９２７８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 16/00-16/34
G11C 29/00