



등록특허 10-2038408



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월30일  
(11) 등록번호 10-2038408  
(24) 등록일자 2019년10월24일

- (51) 국제특허분류(Int. Cl.)  
*G11C 16/34* (2006.01) *G11C 16/26* (2006.01)
- (21) 출원번호 10-2012-0119106  
(22) 출원일자 2012년10월25일  
심사청구일자 2017년08월09일  
(65) 공개번호 10-2014-0052691  
(43) 공개일자 2014년05월07일  
(56) 선행기술조사문현  
JP2003298877 A\*  
(뒷면에 계속)

- (73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
김광훈  
서울 동작구 사당로17길 52, 12동 1403호 (사당동, 대림아파트)  
공준진  
경기 용인시 수지구 진산로66번길 27, 704동 304호 (풍덕천동, 진산마을삼성7차아파트)  
(뒷면에 계속)
- (74) 대리인  
특허법인 고려

전체 청구항 수 : 총 19 항

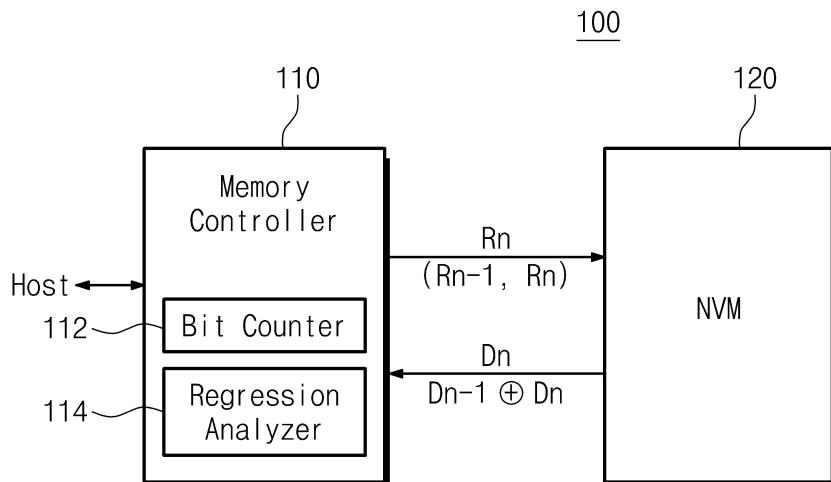
심사관 : 한선경

- (54) 발명의 명칭 회귀 분석법을 사용하는 메모리 시스템 및 그것의 읽기 방법

**(57) 요 약**

본 발명에 따른 불휘발성 메모리 장치의 읽기 방법은, 서로 다른 읽기 전압들로 선택된 메모리 셀들을 독출하는 단계, 상기 서로 다른 읽기 전압들에 의해서 독출된 데이터를 참조하여 복수의 문턱 전압 대역들 각각에 대응하는 메모리 셀들의 수를 카운트하는 단계, 상기 카운트 결과를 참조하여 상기 선택된 메모리 셀들의 문턱 전압에 대한 확률 밀도 함수의 좌표값들을 결정하는 단계, 상기 좌표값들을 참조하여 상기 확률 밀도 함수의 계수를 구하는 단계, 및 상기 확률 밀도 함수의 기울기가 0인 좌표점의 문턱 전압을 상기 선택된 메모리 셀들의 읽기 전압으로 결정하는 단계를 포함한다.

**대 표 도** - 도1



(72) 발명자

**설창규**

경기 오산시 여계산로 21, 601동 303호 (금암동,  
금암마을휴먼시아데시앙6단지아파트)

**손홍락**

경기 안양시 동안구 시민대로159번길 62, 201동  
604호 (비산동, 은하수벽산아파트)

(56) 선행기술조사문현

US20110044101 A1\*

JP2012133832 A

JP2002526717 A

US20100020611 A1

US8547740 B2

KR1020100127406 A

KR100888842 B1

\*는 심사관에 의하여 인용된 문현

---

## 명세서

### 청구범위

#### 청구항 1

불휘발성 메모리 장치의 읽기 방법에 있어서:

서로 다른 읽기 전압들로 선택된 메모리 셀들을 독출하는 단계;

상기 서로 다른 읽기 전압들에 의해서 독출된 데이터를 참조하여 복수의 문턱 전압 대역들 각각에 대응하는 메모리 셀들의 수를 카운트하는 단계;

상기 카운트 결과를 참조하여 상기 선택된 메모리 셀들의 문턱 전압에 대한 확률 밀도 함수의 좌표값들을 결정하는 단계;

상기 좌표값들을 참조하여 상기 확률 밀도 함수의 계수를 구하는 단계; 및

상기 확률 밀도 함수의 기울기가 0인 좌표점의 문턱 전압을 상기 선택된 메모리 셀들의 읽기 전압으로 결정하는 단계를 포함하되,

상기 선택된 메모리 셀들의 소거 상태와 프로그램 상태 사이의 산포율에 대응하는 상기 확률 밀도 함수는 상기 문턱 전압에 대한 3차 함수로 추정되는 읽기 방법.

#### 청구항 2

제 1 항에 있어서,

상기 복수의 문턱 전압 대역들 각각은 동일한 전압폭을 가지는 읽기 방법.

#### 청구항 3

제 1 항에 있어서,

상기 메모리 셀들의 수를 카운트하는 단계는:

제 1 읽기 전압에 의해서 독출된 제 1 데이터와 제 2 읽기 전압에 의해서 독출된 제 2 데이터의 동일한 열에 대응하는 데이터 비트들간 배타적 논리합 연산을 수행하는 단계; 및

상기 배타적 논리합 연산의 결과로부터 논리 '1'의 수를 카운트하는 단계를 포함하는 읽기 방법.

#### 청구항 4

제 3 항에 있어서,

상기 제 1 읽기 전압과 제 2 읽기 전압의 평균값이 상기 좌표값들 중 어느 하나의 제 1 성분으로, 그리고 상기 카운트 결과가 상기 어느 하나의 좌표값의 제 2 성분으로 결정되는 읽기 방법.

#### 청구항 5

삭제

#### 청구항 6

제 1 항에 있어서,

상기 확률 밀도 함수의 계수를 구하는 단계는, 적어도 4개의 좌표값을 각각 대입하여 상기 확률 밀도 함수의 계수들을 구하는 단계를 포함하는 읽기 방법.

#### 청구항 7

제 1 항에 있어서,

상기 선택된 메모리 셀들의 프로그램 상태들 사이의 산포꼴에 대응하는 상기 확률 밀도 함수는 상기 문턱 전압에 대한 2차 함수로 추정되는 읽기 방법.

#### 청구항 8

제 7 항에 있어서,

상기 확률 밀도 함수의 계수를 구하는 단계는, 적어도 3개의 좌표값을 각각 대입하여 상기 확률 밀도 함수의 계수들을 구하는 단계를 포함하는 읽기 방법.

#### 청구항 9

제 1 항에 있어서,

상기 읽기 전압으로 결정하는 단계는:

상기 확률 밀도 함수를 미분하는 단계; 및

미분된 상기 확률 밀도 함수의 값을 0으로 하는 방정식의 근을 구하는 단계를 포함하는 읽기 방법.

#### 청구항 10

제 9 항에 있어서,

상기 읽기 전압은 상기 방정식의 실근 중 상기 확률 밀도 함수의 최소점 또는 극소점에 대응하는 실근을 상기 읽기 전압으로 결정하는 읽기 방법.

#### 청구항 11

서로 다른 크기의 읽기 레벨에 대한 정보를 포함하는 읽기 명령에 응답하여 선택된 메모리 셀들로부터 데이터를 독출하고, 상기 서로 다른 크기의 읽기 레벨 각각에 의해 독출된 데이터에 대해 배타적 논리합(XOR) 연산을 수행하여 출력하는 불휘발성 메모리 장치; 그리고

상기 출력된 배타적 논리합(XOR) 연산의 결과를 참조하여 상기 메모리 셀들의 문턱 전압에 대한 확률 분포 함수를 구하고, 상기 확률 분포 함수의 도함수를 해석하여 상기 메모리 셀들의 읽기 전압을 결정하는 메모리 컨트롤러를 포함하는 메모리 시스템.

#### 청구항 12

제 11 항에 있어서,

상기 서로 다른 크기의 읽기 레벨에 대한 정보에는 하나의 읽기 레벨에 대한 정보가 포함되는 메모리 시스템.

#### 청구항 13

제 12 항에 있어서,

상기 메모리 컨트롤러는 복수의 읽기 명령을 상기 불휘발성 메모리 장치에 제공하고, 복수의 읽기 명령들 각각에 대응하는 독출 데이터를 사용하여 상기 확률 분포 함수의 좌표점을 계산하는 메모리 시스템.

#### 청구항 14

제 11 항에 있어서,

상기 서로 다른 크기의 읽기 레벨에 대한 정보에는 서로 다른 2개의 읽기 레벨에 대한 정보가 포함되는 메모리 시스템.

#### 청구항 15

제 14 항에 있어서,

상기 불휘발성 메모리 장치는, 제 1 읽기 레벨에 따라 독출된 제 1 데이터와, 제 2 읽기 레벨에 의해서 독출된 제 2 데이터에 대한 배타적 논리합 연산을 수행하고, 상기 배타적 논리합 연산의 결과에 포함되는 논리 '1'의

수를 카운트하여 상기 확률 분포 함수의 좌표값의 하나로 제공하는 비트 카운터를 포함하는 메모리 시스템.

#### 청구항 16

제 11 항에 있어서,

상기 서로 다른 크기의 읽기 레벨에 대한 정보에는 서로 다른 4개 이상의 읽기 레벨에 대한 정보가 포함되는 메모리 시스템.

#### 청구항 17

제 16 항에 있어서,

상기 서로 다른 크기의 읽기 레벨에 대한 정보에는 최초 읽기 레벨, 전암 간격의 크기와 그리고 읽기 회수에 대한 정보가 포함되는 메모리 시스템.

#### 청구항 18

제 16 항에 있어서,

상기 서로 다른 크기의 읽기 레벨에 대한 정보에는 최초 읽기 레벨, 전암 간격의 크기와 그리고 읽기 회수에 대한 정보가 포함되는 메모리 시스템.

#### 청구항 19

제 11 항에 있어서,

상기 확률 분포 함수는 상기 문턱 전암에 대한 2차 함수로 모델링되는 메모리 시스템.

#### 청구항 20

제 11 항에 있어서,

상기 메모리 컨트롤러는 상기 불휘발성 메모리 장치에 서로 다른 4개의 읽기 레벨을 제공하는 메모리 시스템.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 고속으로 읽기 레벨을 결정할 수 있는 메모리 시스템 및 그것의 읽기 방법에 관한 것이다.

#### 배경 기술

[0002] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치(Volatile semiconductor memory device)와 불휘발성 반도체 메모리 장치(Non-volatile semiconductor memory device)로 구분될 수 있다. 휘발성 반도체 메모리 장치는 읽고 쓰는 속도가 빠르지만 전원 공급이 끊기면 저장된 내용이 사라져 버리는 단점이 있다. 반면에 불휘발성 반도체 메모리 장치는 전원 공급이 중단되더라도 그 내용을 보존한다. 그러므로, 불휘발성 반도체 메모리 장치는 전원이 공급되었는지의 여부에 관계없이 보존되어야 할 내용을 저장하는데 쓰인다.

[0003] 불휘발성 메모리 장치의 대표적인 예로 플래시 메모리 장치가 있다. 플래시 메모리 장치는 컴퓨터, 휴대폰, PDA, 디지털카메라, 캠코더, 보이스 리코더, MP3 플레이어, 개인용 휴대 단말기(PDA), 휴대용 컴퓨터(Handheld PC), 게임기, 팩스, 스캐너, 프린터 등(이하, '호스트'라 함)과 같은 정보기기들의 음성 및 영상 데이터 저장 매체로서 널리 사용되고 있다.

[0004] 최근 들어 메모리 장치에 대한 고용량화 요구의 증가에 따라, 하나의 메모리 셀에 멀티 비트를 저장하는 멀티 레벨 셀(Multi-Level Cell: MLC) 또는 멀티-비트 메모리 장치들이 보편화되고 있다. 하지만, 멀티 레벨 셀(MLC)을 채용하는 메모리 장치에서 메모리 셀들의 문턱 전암은 제한된 전암 윈도 내에서 식별 가능한 4개 이상의 데이터 상태들에 포함되어야 한다. 그리고 데이터 신뢰성(Data Integrity)을 높이기 위해 데이터 상태들 각각을 식별하기 위한 읽기 전암의 레벨이 최적값으로 조정 가능해야 한다.

## 발명의 내용

### 해결하려는 과제

- [0005] 본 발명의 목적은 최적의 읽기 전압을 결정하기 위해 읽기 횟수의 증가없이 고신뢰도의 읽기 레벨을 결정하는 불휘발성 메모리 시스템 및 그것의 읽기 방법을 제공하는 데 있다.

### 과제의 해결 수단

- [0006] 상기 목적을 달성하기 위한 본 발명에 따른 불휘발성 메모리 장치의 읽기 방법은, 서로 다른 읽기 전압들로 선택된 메모리 셀들을 독출하는 단계, 상기 서로 다른 읽기 전압들에 의해서 독출된 데이터를 참조하여 복수의 문턱 전압 대역들 각각에 대응하는 메모리 셀들의 수를 카운트하는 단계, 상기 카운트 결과를 참조하여 상기 선택된 메모리 셀들의 문턱 전압에 대한 확률 밀도 함수의 좌표값들을 결정하는 단계, 상기 좌표값들을 참조하여 상기 확률 밀도 함수의 계수를 구하는 단계, 및 상기 확률 밀도 함수의 기울기가 0인 좌표점의 문턱 전압을 상기 선택된 메모리 셀들의 읽기 전압으로 결정하는 단계를 포함한다.

- [0007] 상기 목적을 달성하기 위한 본 발명에 따른 메모리 시스템은, 읽기 레벨 정보를 포함하는 읽기 명령에 응답하여 선택된 메모리 셀들로부터 데이터를 독출하는 불휘발성 메모리 장치, 그리고 상기 독출된 데이터를 참조하여 상기 메모리 셀들의 문턱 전압에 대한 확률 분포 함수를 구하고, 상기 확률 분포 함수의 도함수를 해석하여 상기 메모리 셀들의 읽기 전압을 결정하는 메모리 컨트롤러를 포함한다.

### 발명의 효과

- [0008] 이상과 같은 본 발명의 실시 예에 따르면, 읽기 횟수의 증가 없이도 메모리 셀들의 데이터를 센싱할 수 있는 최적 레벨의 읽기 전압을 제공할 수 있다.

### 도면의 간단한 설명

- [0009] 도 1은 본 발명의 일 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.

도 2는 도 1의 불휘발성 메모리 장치의 구성을 보여주는 블록도이다.

도 3은 멀티 레벨 셀의 문턱 전압 산포의 일 예를 보여주는 그래프이다.

도 4는 3-비트 멀티 레벨 셀의 문턱 전압 산포를 보여주는 그래프이다.

도 5a 및 도 5b는 2차 함수로 모델링되는 산포꼴의 형태를 보여주는 그래프들이다.

도 5는 본 발명의 온도 제어 방법을 사용하는 반도체 장치의 온도 변화를 보여주는 그래프이다.

도 6a 및 도 6b는 3차 함수로 모델링되는 산포 곡선의 형태를 보여주는 그래프들이다.

도 7은 본 발명의 일 실시 예에 따른 메모리 시스템의 동작을 보여주는 도면이다.

도 8은 불휘발성 메모리 장치로부터 제공되는 데이터를 보여주는 도면이다.

도 9는 본 발명의 실시 예에 따른 읽기 레벨을 결정하는 방법을 간략히 보여주는 순서도이다.

도 10은 본 발명의 다른 실시 예에 따른 메모리 시스템의 읽기 방법을 보여주는 도면이다.

도 11은 도 10의 배타적 논리합 연산의 결과를 예시적으로 보여주는 도면이다.

도 12는 본 발명의 다른 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.

도 13은 도 12에 도시된 불휘발성 메모리 장치의 구성을 예시적으로 보여주는 블록도이다.

도 14는 도 12의 메모리 시스템의 또 다른 읽기 방법을 보여주는 도면이다.

도 15는 본 발명의 또 다른 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.

도 16은 본 발명의 다른 실시 예에 따른 읽기 방법을 보여주는 순서도이다.

도 17은 본 발명의 불휘발성 메모리 장치의 예시적인 형태를 보여주는 사시도이다.

도 18은 본 발명의 실시 예에 따른 솔리드 스테이트 디스크를 포함하는 사용자 장치를 보여주는 블록도이다.

도 19는 본 발명의 다른 실시 예에 따른 메모리 시스템을 예시적으로 보여주는 블록도이다.

도 20은 본 발명의 다른 실시 예에 따른 데이터 저장 장치를 예시적으로 보여주는 블록도이다.

도 21은 본 발명에 따른 플래시 메모리 장치 및 그것을 포함하는 컴퓨팅 시스템의 구성을 보여주는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0010]

앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 부가적인 설명이 제공되는 것으로 여겨져야 한다. 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.

[0011]

이하에서는, 플래시 메모리 장치를 사용하는 메모리 시스템이 본 발명의 특징 및 기능을 설명하기 위한 예로서 사용될 것이다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.

[0012]

그리고 이하에서 사용하는 회귀 분석법(Regression Analysis)은 최소한의 표본을 사용하여 확률 밀도 함수(Probability Density Function: 이하, PDF)의 형태를 복원하는 기술을 의미한다. 본 발명에서는, 이러한 회귀 분석법이 특정 문턱 전압 대역에서 메모리 셀들의 분포를 예측하기 위한 방법으로 사용된다. 즉, 서로 다른 데이터 상태를 식별하기 위한 산포골(Distribution Valley)의 형태를 회귀 분석법을 적용하여 추정할 수 있다.

[0013]

도 1은 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다. 도 1을 참조하면, 메모리 시스템(100)은 메모리 컨트롤러(110) 및 불휘발성 메모리 장치(120)를 포함할 수 있다. 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)로부터 제공되는 읽기 결과를 참조하여, 회귀 분석법(Regression Analysis)에 따라 확률 밀도 함수(PDF)의 정확한 산포골(Distribution Valley)의 형태를 추정할 수 있다. 메모리 컨트롤러(110)는 추정된 산포골의 형태를 참조하여 최적의 읽기 전압을 결정할 수 있다. 좀더 자세히 설명하면 다음과 같다.

[0014]

메모리 컨트롤러(110)는 호스트(Host)의 요청에 응답하여 불휘발성 메모리 장치(120)를 제어한다. 메모리 컨트롤러(110)는 호스트(Host)로부터의 쓰기 요청에 응답하여 불휘발성 메모리 장치(120)에 쓰기 명령(Write CMD)이나 쓰기 데이터(Write data)를 제공한다. 메모리 컨트롤러(110)는 호스트(Host)로부터 읽기 요청이 전달되면 해당 위치의 데이터를 센싱 및 출력하도록 불휘발성 메모리 장치(120)를 제어할 것이다.

[0015]

특히, 본 발명의 메모리 컨트롤러(110)는 단지 수 차례의 읽기 동작을 수행하는 것으로 메모리 셀들의 산포골에 대응하는 확률 밀도 함수(PDF)를 구할 수 있다. 즉, 4회 또는 5회 정도의 읽기 동작을 통해서 메모리 컨트롤러(110)는 메모리 셀들의 문턱 전압에 대한 확률 밀도 함수(PDF)를 구할 수 있다. 먼저, 수 차례의 읽기 동작을 통해서 메모리 컨트롤러(110)는 산포골에 대응하는 확률 밀도 함수(PDF)의 좌표점을 획득한다. 획득된 좌표점을 바탕으로 메모리 컨트롤러(110)는 산포골에 대응하는 확률 밀도 함수를 모델링할 수 있다. 그리고 메모리 컨트롤러(110)는 모델링된 확률 밀도 함수의 최소값 또는 극소값을 구하고, 구해진 최소값 또는 극소값에 대응하는 문턱 전압이 최적 읽기 전압으로 결정한다.

[0016]

메모리 컨트롤러(110)는 산포골에 대응하는 확률 밀도 함수의 좌표점을 구하기 위한 비트 카운터(112)를 포함한다. 비트 카운터(112)는 읽기 전압(Rn)에 의해서 읽혀진 데이터(Dn)를 참조하여, 확률 밀도 함수(PDF)의 좌표점을 결정할 수 있다. 즉, 각 좌표계에서 표현되는 확률 밀도 함수(PDF) 상의 하나의 좌표점은 제 1 좌표값과 제 2 좌표값을 포함한다. 그리고 메모리 컨트롤러(110)는 읽기 전압들(Ri, Ri+1)의 평균값(x)을 제 1 좌표값으로 결정하고, 읽기 전압들(Ri, Ri+1) 사이에 포함되는 메모리 셀들의 수(y)를 제 2 좌표값으로 나타낼 수 있다. 4회의 읽기 동작을 수행하면, 비트 카운터(112)에 의해서 확률 밀도 함수(PDF) 상의 3개의 좌표점들의 값이 구해질 수 있다.

[0017]

산포골에 대응하는 확률 밀도 함수(PDF)가 2차 함수로 모델링되는 경우에는 3개 좌표점은 연립 방정식을 풀기로 충분한 대입값이 될 수 있다. 만일, 산포골에 대응하는 확률 밀도 함수(PDF)가 3차 함수로 모델링되는 경우, 확률 밀도 함수(PDF)의 계수를 구하기 위한 연립 방정식의 풀이에는 4개의 좌표점이 요구된다. 따라서, 확률 밀도 함수(PDF)의 형태를 결정하는 산포골의 예상되는 형태에 따라 읽기 횟수는 조정될 수 있다.

- [0018] 그리고 메모리 컨트롤러(110)는 회귀 분석기(114)를 포함한다. 회귀 분석기(114)는 복수의 좌표값을 이용하여 산포꼴의 확률 밀도 함수(PDF)를 구한다. 그리고 회귀 분석기(114)는 확률 밀도 함수(PDF)의 최소값이나 극값을 구한다. 회귀 분석기(114)는 확률 밀도 함수(PDF)의 최소값이나 극소값에 대응하는 전압 레벨을 최적의 읽기 레벨로 결정할 수 있다.
- [0019] 회귀 분석기(114)는 3개 또는 4개의 좌표값을 참조하여 메모리 셀들의 산포꼴에 대응하는 확률 밀도 함수(PDF)를 구하기 위한 연립 방정식을 풀 수 있다. 연립 방정식을 사용한 선형 확률 밀도 함수(PDF)의 모델링이 완료되면, 회귀 분석기(114)는 확률 밀도 함수의 최소값 또는 극값을 구할 수 있다. 확률 밀도 함수(PDF)가 2차 함수인 경우, 확률 밀도 함수의 기울기, 즉 확률 밀도 함수(PDF)의 미분값이 0인 문턱 전압이 확률 밀도 함수의 최소값에 대응하는 전압 레벨이 된다. 회귀 분석기(114)는 이 점을 읽기 레벨로 결정하게 될 것이다. 3차의 확률 밀도 함수의 경우, 회귀 분석기(114)는 미분한 확률 밀도 함수의 극소값에 대응하는 문턱 전압의 레벨을 읽기 레벨로 결정할 수 있다.
- [0020] 불휘발성 메모리 장치(120)는 하나 또는 그보다 많은 메모리 장치들로 구성될 수 있다. 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)의 명령에 응답하여 선택된 메모리 셀들을 지정된 읽기 전압(Rn)에 의거하여 독출할 수 있다. 또는 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)의 명령에 응답하여 선택된 메모리 셀들을 서로 다른 읽기 전압들(Ri, Ri+1)로 센싱할 수 있다. 그리고 불휘발성 메모리 장치(120)는 각각의 읽기 레벨로 센싱된 데이터를 동일한 열끼리의 배타적 논리합 연산(XOR)을 수행할 수 있다. 그리고 불휘발성 메모리 장치(120)는 배타적 논리합 연산의 결과를 메모리 컨트롤러(110)로 출력할 수 있다. 배타적 논리합(XOR)에서 논리 '1'의 수가 읽기 전압들(Ri, Ri+1) 사이의 문턱 전압을 갖는 메모리 셀들의 수에 대응할 것이다.
- [0021] 본 발명의 실시 예에 따르면, 불휘발성 메모리 장치(120)의 메모리 셀들에 대한 최적의 읽기 전압이 제공될 수 있다. 본 발명의 메모리 컨트롤러(110)는 회귀 분석법을 사용하여, 불휘발성 메모리 장치(120)에 대한 최소한의 액세스를 통해서도 최적의 읽기 레벨을 결정할 수 있다. 따라서, 읽기 전압을 결정하기 위한 소요 시간을 최소화할 수 있어 메모리 시스템의 성능을 높일 수 있다.
- [0022] 도 2는 도 1의 불휘발성 메모리 장치를 보여주는 블록도이다. 도 2를 참조하면, 불휘발성 메모리 장치(120)는 셀 어레이(121), 행 디코더(122), 페이지 버퍼(123), 입출력 버퍼(124), 제어 로직(125) 그리고 전압 발생기(126)를 포함한다.
- [0023] 셀 어레이(121)는 워드 라인들(WLs) 또는 선택 라인들(SSL, GSL)을 통해 행 디코더(122)에 연결된다. 셀 어레이(121)는 비트 라인들(BL0~BLm-1)을 통해서 페이지 버퍼(123)에 연결된다. 셀 어레이(121)는 낸드형으로 구성되는 복수의 셀 스트링들(NCS0~NCSm-1)을 포함한다. 복수의 셀 스트링들(NCS0~NCSm-1)은 하나의 메모리 블록(BLK)을 구성할 수 있다. 여기서, 셀 스트링들 각각의 채널은 수직 또는 수평 방향으로 형성될 수 있다.
- [0024] 프로그램 동작시 메모리 셀들은 워드 라인들(WLs) 또는 선택 라인들(SSL, GSL)의 제어에 따라 페이지 단위(예를 들면, 2KB) 또는 그보다 작은 단위(512B)로 선택될 수 있다. 읽기 동작시에도 메모리 셀들은 페이지 단위나 그보다 작은 단위로 선택될 수 있다. 다양한 원인에 의하여 읽기 시점에서의 메모리 셀들의 문턱 전압 산포는 프로그램 시점에서의 문턱 전압 산포와는 달라질 수 있다. 따라서, 데이터 신뢰성을 높이기 위해서 문턱 전압의 변화를 고려하여 읽기 전압의 레벨은 조정될 수 있다.
- [0025] 행 디코더(122)는 어드레스(ADD)에 응답하여 셀 어레이(121)의 메모리 블록들 중 어느 하나를 선택할 수 있다. 행 디코더(122)는 선택된 메모리 블록의 워드 라인들(WLs) 중 어느 하나를 선택할 수 있다. 행 디코더(122)는 선택된 워드 라인에 전압 발생기(126)로부터 제공된 읽기 전압(Ri)을 전달한다. 프로그램 동작시 행 디코더(122)는 선택 워드 라인(Selected WL)에 프로그램 전압(Vpgm)과 검증 전압(Vvfy)을, 비선택 워드 라인(Unselected WL)에는 패스 전압(Vpass)을 전달한다. 읽기 동작시, 행 디코더(122)는 선택 워드 라인(Selected WL)에 선택 읽기 전압(Vrd)을, 비선택 워드 라인(Unselected WL)에는 비선택 읽기 전압(Vread)을 전달한다.
- [0026] 페이지 버퍼(123)는 프로그램 동작시에는 기입 드라이버로 동작하고, 읽기 동작시에는 감지 증폭기로 동작한다. 프로그램 동작시, 페이지 버퍼(123)는 셀 어레이(121)의 비트 라인으로 프로그램될 데이터에 대응하는 비트 라인 전압을 전달한다. 읽기 동작시, 페이지 버퍼(123)는 선택된 메모리 셀에 저장된 데이터를 비트 라인을 통해서 감지한다. 페이지 버퍼(123)는 감지된 데이터를 래치하여 입출력 버퍼(124)에 전달한다.
- [0027] 입출력 버퍼(124)는 프로그램 동작시에 입력받은 쓰기 데이터를 페이지 버퍼(123)에 전달한다. 입출력 버퍼(124)는 읽기 동작시에 페이지 버퍼(123)로부터 제공되는 읽기 데이터를 외부로 출력한다. 입출력 버퍼(124)는 입력되는 어드레스(ADD) 또는 명령어(CMDi)를 제어 로직(125)이나 행 디코더(122)에 전달한다.

- [0028] 제어 로직(125)은 외부로부터 전달되는 명령어(CMDi)에 응답하여 페이지 버퍼(123)와 행 디코더(122)를 제어한다. 제어 로직(125)은 메모리 컨트롤러(110)로부터 제공되는 읽기 명령에 응답하여 선택된 메모리 셀들을 센싱하도록 전압 발생기(126) 및 페이지 버퍼(123)를 제어할 수 있다. 예를 들면, 제어 로직(125)은 메모리 컨트롤러(110)에서 지정하는 특정 읽기 전압(Ri)으로 선택된 메모리 셀들을 센싱하도록 페이지 버퍼(123) 및 전압 발생기(126)를 제어할 수 있다.
- [0029] 전압 발생기(126)는 제어 로직(125)의 제어에 따라 각각의 워드 라인들로 공급될 다양한 워드 라인 전압들과, 메모리 셀들이 형성된 벌크(예를 들면, 웰 영역)로 공급될 전압을 발생한다. 각각의 워드 라인들로 공급될 워드 라인 전압들로는 프로그램 전압(Vpgm), 패스 전압(Vpass), 선택 및 비선택 읽기 전압들(Vrd, Vread) 등이 있다. 전압 발생기(126)는 읽기 동작 및 프로그램 동작시에 선택 라인들(SSL, GSL)에 제공되는 선택 라인 전압( $V_{SSL}$ ,  $V_{GSL}$ )을 생성할 수 있다. 또한, 전압 발생기(126)는 제어 로직(125)의 제어에 따라 특정 읽기 전압(Ri)을 생성하여 행 디코더(122)에 제공할 수 있다.
- [0030] 이상의 본 발명의 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)로부터 지정되는 특정 읽기 전압(Rn)으로 선택된 메모리 셀들을 센싱하고 래치 및 출력할 수 있다. 이러한 동작을 통해서, 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)에서 수행되는 회귀 분석법에 의한 읽기 전압의 조정 동작을 지원할 수 있다.
- [0031] 도 3은 멀티 레벨 셀의 문턱 전압 산포의 일 예를 보여주는 그래프이다. 도 3을 참조하면, 2-비트 멀티 레벨 셀(이하, MLC)의 산포가 간략히 도시되어 있다. 여기서, 그래프의 세로축은 로그 스케일이 아님을 유의해야 한다.
- [0032] 2-비트 MLC의 문턱 전압 산포는 4개의 상태(State)들로 분류될 수 있다. 즉, 메모리 셀들은 소거 상태(E0)와 3개의 프로그램 상태들(P1, P2, P3) 중 어느 하나의 상태에 대응하는 문턱 전압을 갖는다. 하지만, 시간의 경과나 셀들 간의 간섭, 그 밖의 다양한 원인들로 인해서 2-비트 MLC의 문턱 전압은 변화할 수 있다. 이러한 변화에 대해서 메모리 셀들의 문턱 전압 상태들은 명확히 식별하기 어려울 정도로 중첩될 수 있다. 이런 경우, 읽기 전압의 레벨을 조정할 필요가 생긴다. 가장 비트 에러율(BER)이 작은 읽기 전압을 결정하는 것이 데이터 신뢰성의 주요 인자이다.
- [0033] 도시된 바와 같이 소거 상태(E0)와 3개의 프로그램 상태들(P1, P2, P3) 사이에는 서로 중첩되는 부분을 나타내는 산포꼴들(130, 140, 150)이 존재한다. 하지만, 산포꼴들(130, 140, 150) 각각에 대응하는 곡선에는 최소점이 존재할 수 있다. 만일, 읽기 전압이 상술한 최소점에 대응하는 문턱 전압으로 결정된다면, 읽기 동작시 가장 좋은 데이터 신뢰성을 제공할 수 있을 것이다. 산포꼴들(130, 140, 150)의 최소점을 검출하기 위한 방법으로 메모리 셀들을 동일한 전압 간격의 읽기 전압들로 읽어서 가장 분포 숫자가 적은 전압 대역의 찾는 방법이 있다. 하지만, 이런 검출 방법을 위해서는 과도하게 많은 읽기 동작이 요구된다. 반면, 본 발명의 회귀 분석법(Regression Analysis)에 따르면, 3개 또는 4개의 좌표점을 검출하면 하나의 산포꼴(Distribution Valley)에 대응하는 확률 밀도 함수는 선형 함수로 모델링될 수 있다. 따라서, 산포꼴들(130, 140, 150) 중 어느 하나에 대응하는 최적 읽기 레벨을 결정하기 위해서는 4회 또는 5회의 읽기 동작만으로도 충분하다.
- [0034] 최소점을 찾기 위한 확률 밀도 함수의 모델링 방법에 있어서, 산포꼴(130)은 산포꼴들(140, 150)과는 다른 방식으로 접근할 수 있다. 산포꼴(130)의 함수 형태는 3차 함수에 가깝다. 하지만, 나머지 산포꼴들(140, 150)에 대응하는 함수 형태는 거의 2차 함수에 근사될 수 있다. 이런 산포꼴에 해당하는 함수들의 형태 차이는 각각의 상태들 간의 거리와 프로그램 동작에 소요되는 바이어스의 차이에 기인한다. 하지만, 모델링되는 함수의 차수는 상술한 설명에 국한되지 않으며, 다양한 차수의 함수들이 산포꼴의 최소점을 찾기 위한 함수로 모델링될 수 있다.
- [0035] 2-비트 MLC의 경우, 3개의 산포꼴들(130, 140, 150)에 대응하는 확률 밀도 함수를 모델링해야 할 것이다. 그리고 모델링된 산포꼴들(130, 140, 150) 각각에 대응하는 확률 밀도 함수의 최소값에 대응하는 문턱 전압을 읽기 전압으로 선택하게 될 것이다.
- [0036] 도 4는 3-비트 멀티 레벨 셀의 문턱 전압 산포를 보여주는 그래프이다. 도 4를 참조하면, 3-비트 MLC의 산포가 간략히 도시되어 있다.
- [0037] 3-비트 MLC의 문턱 전압 산포에는 8개의 상태들(States)이 포함된다. 즉, 3-비트 MLC는 소거 상태(E0)와 7개의 프로그램 상태들(P1, P2, P3, P4, P5, P6, P7) 중 어느 하나에 대응하는 문턱 전압을 갖게 된다. 2-비트 MLC와 마찬가지로 3-비트 MLC도 시간의 경과나 셀들 간의 간섭, 그 밖의 다양한 요인들로 인해서 문턱 전압이 변화될 수 있다. 이러한 변화에 대해서 메모리 셀들의 문턱 전압 상태들은 명확하게 식별하기 어려울 정도로 중첩될 수

있다.

- [0038] 소거 상태(E0)와 7개의 프로그램 상태들(P1, P2, P3, P4, P5, P6, P7) 사이에는 서로 중첩되는 부분을 나타내는 산포골들(160, 170)이 존재한다. 산포골(160)은 소거 상태와 프로그램 상태(P1) 사이의 문턱 전압을 갖는 메모리 셀들의 분포 형태를 나타낸다. 반면, 산포골들(170)은 프로그램 상태들(P1, P2, P3, P4, P5, P6, P7) 사이에 대응하는 메모리 셀들의 문턱 전압 분포 형태를 나타낸다.
- [0039] 산포골(160)에 대한 모델링은 산포골들(170)과는 다른 방식으로 접근할 수 있다. 산포골(160)의 함수 형태는 3차 함수에 근사될 수 있다. 하지만, 나머지 산포골들(170)에 대응하는 함수 형태는 거의 2차 함수에 근사될 수 있다. 하지만, 산포골들(160, 170) 각각의 모델링에 적용하는 함수의 차수는 여기에 국한되지 않으며, 다양하게 변경 가능하다.
- [0040] 도 5a 및 도 5b는 2차 함수로 모델링되는 산포골의 형태를 보여주는 그래프들이다. 도 5a는 산포골(140)에 대응하는 확률 밀도 함수 곡선에서 검출하기 위한 좌표점들을 보여주고, 도 5b는 확률 밀도 함수 곡선에서의 좌표점을 구하기 위한 읽기 방법을 보여주는 그래프이다.
- [0041] 도 5a를 참조하면, 산포골(140)에 대응하는 확률 밀도 함수에 대응하는 곡선은 포물선(C1)으로 모델링될 수 있다. 포물선(C1)에 대응하는 2차 함수의 경우, 최소점을 중심으로 좌우 대칭이다. 그리고 최소점은 확률 밀도 함수의 기울기가 0인 좌표점에 대응한다. 즉, 포물선(C1)의 최소점을 구하기 위해서는 포물선에 대응하는 확률 밀도 함수를 구하기 위한 연산이 필요하다. 포물선에 대응하는 2차 확률 밀도 함수를 구하기 위해서는 좌표점들(CP1, CP2, CP3)의 좌표값을 대입하여 계수들을 구하는 2차 함수의 연립방정식을 풀어야 함을 의미한다.
- [0042] 여기서, 좌표점들(CP1, CP2, CP3)의 좌표값을 구하기 위해서는 읽기 전압들(Rn, n은 0 이상의 정수)을 이용하여 메모리 셀들에 대한 센싱이 수행되어야 한다. 그리고, 센싱된 데이터를 참조하여 특정 문턱 전압( $x_j$ ,  $j$ 는 자연수)에 대응하는 메모리 셀들의 수( $y_j$ )가 좌표값으로 결정될 수 있다. 2차 함수의 계수들은 결정된 좌표값들을 대입하는 연립 방정식을 통해서 구할 수 있다. 좌표점들은 도시된 바와 같이 CP1( $x_1, y_1$ ), CP2( $x_2, y_2$ ), CP3( $x_3, y_3$ )에 해당한다. 2차 연립 방정식의 계수를 구하기 위해서는 적어도 3개의 좌표점들(CP1, CP2, CP3)이 제공되어야 한다. 이것은 최소한 4회의 읽기 동작이 동반됨을 의미한다. 여기서, 3개의 좌표점들(CP1, CP2, CP3)의 위치는 포물선(C1) 위의 임의의 점이면 무관하다.
- [0043] 산포골(140)에 대응하는 포물선을 2차 함수( $y = a_0 + a_1x + a_2x^2$ )로 가정하자. 그러면, 2차 함수의 계수들( $a_0, a_1, a_2$ )을 구하기 위한 연립 방정식은 아래의 수학식 1의 형태로 나타낼 수 있다.

### 수학식 1

$$\begin{bmatrix} y_1 \\ y_2 \\ y_3 \end{bmatrix} = \begin{bmatrix} 1 & x_1 & x_1^2 \\ 1 & x_2 & x_2^2 \\ 1 & x_3 & x_3^2 \end{bmatrix} \begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} + \begin{bmatrix} \varepsilon_1 \\ \varepsilon_2 \\ \varepsilon_3 \end{bmatrix}$$

- [0044] 여기서,  $\varepsilon_1, \varepsilon_2, \varepsilon_3$ 는 좌표점들 각각에 대응하는 DC 옵셋이나 에러로 간주할 수 있다. 하지만, 최소값을 찾기 위한 함수의 미분에 의하여 소거될 항들이다.
- [0045] 수학식 1을 차수에 관계없이 벡터 다항식으로 일반화하여 표현하면 수학식 2로 나타낼 수 있다.

## 수학식 2

$$[0047] \quad \mathbf{y} = \mathbf{X} \mathbf{a} + \boldsymbol{\varepsilon}$$

[0048] 상술한 수학식 2의 일반해는 아래 수학식 3으로 나타낼 수 있다.

## 수학식 3

$$[0049] \quad \mathbf{a} = \mathbf{X}^{-1} \mathbf{y}$$

[0050] 3개의 좌표점들(CP1, CP2, CP3) 각각의 좌표값을 대입하여 상술한 수학식 1을 풀면, 수학식 3에 대응하는 2차 함수의 계수들( $a_0, a_1, a_2$ )이 구해질 수 있다. 그 이후에 계수들( $a_0, a_1, a_2$ )을 갖는 2차 함수를 미분한 값을 0으로 맵핑하는 근( $x_{opt}$ )은 아래 수학식 4로 나타낼 수 있다.

## 수학식 4

$$[0051] \quad x_{opt} = -\frac{a_1}{2a_2}$$

[0052] 이상에서는 산포꼴(140)에 대응하는 확률 밀도 함수가 2차 함수로 모델링될 수 있음이 설명되었다. 그리고 3개의 좌표값을 2차 함수에 대입하여 확률 밀도 함수를 구할 수 있었다. 더불어, 구해진 2차 함수의 최소값에 대응하는 문턱 전압을 최적의 읽기 전압으로 결정할 수 있는 회귀 분석법(Regression analysis)이 설명되었다.

[0053] 이러한 회귀 분석법을 적용하기 위해 필요한 데이터가 모델링된 확률 밀도 함수 곡선상의 3개의 좌표값을 구하는 것이다. 좌표점들 CP1( $x_1, y_1$ ), CP2( $x_2, y_2$ ), CP3( $x_3, y_3$ ) 각각을 구하는 방법은 후술하는 도 5b의 그래프를 통해서 좀더 구체적으로 설명하기로 한다.

[0054] 도 5b는 좌표점들의 좌표값을 구하기 위한 방법을 간략히 설명하는 그래프이다. 도 5b를 참조하면, 산포꼴(140)에 대응하는 2차 함수를 구하기 위해 3개의 좌표값들이 획득되어야 하며, 이를 위해서는 적어도 4회의 읽기 동작이 필요하다. 각각의 읽기 동작에서 제공되는 읽기 전압( $R_i$ ,  $i$ 는  $0 \leq i \leq 3$ 의 정수)은 달라진다.

[0055] 좌표점 CP1( $x_1, y_1$ )을 구하기 위해서는 읽기 전압들( $R_0, R_1$ ) 각각에 의한 읽기 동작이 수행되어야 한다. 읽기 전압( $R_0$ )에 의해서 선택된 메모리 셀들이 읽혀지고, 읽혀진 데이터는 이진 논리값으로 저장될 것이다. 예를 들면, 문턱 전압이 읽기 전압( $R_0$ )보다 낮은 메모리 셀로부터 읽혀진 데이터는 논리 '1'로 래치될 것이다. 반면, 문턱 전압이 읽기 전압( $R_0$ )보다 높은 메모리 셀들로부터 읽혀진 데이터는 논리 '0'으로 래치될 것이다. 선택된 메모리 셀들 중에서 문턱 전압이 읽기 전압( $R_0$ )보다 높고, 읽기 전압( $R_1$ )보다 낮은 메모리 셀들은 읽기 전압( $R_0$ )에 의해서 오프셀(Off cell)로, 읽기 전압( $R_1$ )에 의해서 온셀(On cell)로 센싱될 것이다. 따라서, 읽기 전압( $R_0$ )에 의하여 독출된 데이터( $D_0$ )와 읽기 전압( $R_1$ )에 의하여 독출된 데이터( $D_1$ )에 대한 동일 열끼리 배타적 논리합(XOR)을 수행하면, 전압 대역( $\Delta V_1$ )에 대응하는 메모리 셀들의 수를 구할 수 있다.

[0056] 문턱 전압이 전압 대역( $\Delta V_1$ )에 위치하는 메모리 셀들의 수는 비트 카운터(112, 도 1 참조)에 의해서 상술한 방식으로 카운트 될 수 있다. 이때, 좌표점 CP1의 좌표값( $x_1$ )은 읽기 전압들( $R_0, R_1$ )의 중간값(Median)으로 맵핑 할 수 있다. 즉, 좌표값( $x_1$ )은  $(R_0+R_1)/2$ 로 맵핑할 수 있다. 그리고 좌표점 CP1의 좌표값( $y_1$ )은 문턱 전압이 전압 대역( $\Delta V_1$ )에 분포하는 메모리 셀들의 수에 맵핑할 수 있다.

[0057] 좌표점 CP2( $x_2, y_2$ )을 구하기 위해서는 읽기 전압들( $R_1, R_2$ ) 각각에 의한 읽기 동작이 필요하다. 읽기 전압( $R$

1)에 의하여 독출된 데이터(D1)와 읽기 전압(R2)에 의하여 독출된 데이터(D2)에 대한 배타적 논리합(XOR)을 수행하면, 문턱 전압이 전압 대역( $\Delta V2$ )에 분포하는 메모리 셀들의 수를 구할 수 있다. 이렇게 구해진 전압 대역( $\Delta V2$ )에 대응하는 메모리 셀들의 수는 좌표값( $y_2$ )으로 맵핑될 수 있다. 그리고 좌표점 CP2의 좌표값( $x_2$ )은 읽기 전압들(R1, R2)의 중간값(또는, 평균값)으로 맵핑할 수 있다. 즉, 좌표값( $x_2$ )은  $(R1+R2)/2$ 로 설정할 수 있다.

[0058] 좌표점 CP3( $x_3, y_3$ )을 구하기 위해서는 읽기 전압들(R2, R3) 각각에 의한 읽기 동작이 선행되어야 한다. 읽기 전압(R2)에 의하여 독출된 데이터(D2)와 읽기 전압(R3)에 의하여 독출된 데이터(D3)에 대한 배타적 논리합(XOR)을 수행하면, 문턱 전압이 전압 대역( $\Delta V3$ )에 분포하는 메모리 셀들의 수를 구할 수 있다. 이렇게 구해진 전압 대역( $\Delta V3$ )에 대응하는 메모리 셀들의 수는 좌표값( $y_3$ )으로 맵핑될 수 있다. 그리고 좌표점 CP3의 좌표값( $x_3$ )은 읽기 전압들(R2, R3)의 중간값(또는, 평균값)으로 맵핑할 수 있다. 즉, 좌표값( $x_3$ )은  $(R2+R3)/2$ 로 설정할 수 있다.

[0059] 여기서, 읽기 전압들(R0, R1, R2, R3) 각각에 대한 간격에 대응하는 전압 대역들( $\Delta V1, \Delta V2, \Delta V3$ )은 동일한 값으로 제공될 수도 있고, 서로 다른 값으로 설정될 수도 있다. 전압 대역들( $\Delta V1, \Delta V2, \Delta V3$ )의 크기가 동일하게 제공될 때에는 읽기 전압(R0)으로부터 일정 전압 간격으로 순차적으로 증가하는 읽기 전압들로 제공될 수 있다. 따라서, 읽기 전압의 생성이 용이함을 의미한다. 만일, 하나의 읽기 전압(R0)만을 참조하여 읽기 전압들(R1, R2, R3)을 생성하는 경우, 증가분들( $\Delta V1, \Delta V2, \Delta V3$ )을 동일한 값으로 설정하면 된다.

[0060] 이상에서, 산포꼴(140)에 대응하는 확률 밀도 함수를 2차 함수로 모델링하기 위한 3개의 좌표값을 구하는 과정이 설명되었다. 좌표값들이 구해지면, 이후에는 연립 다항식을 구성하고, 연립 다항식에 좌표값들을 대입하여 확률 밀도 함수의 계수를 구할 수 있다. 그리고, 확률 밀도 함수에 대한 최소값에 대응하는 문턱 전압이 최적 읽기 전압으로 결정될 수 있다.

[0061] 도 6a 및 도 6b는 3차 함수로 모델링되는 확률 밀도 함수의 산포꼴 형태를 보여주는 그래프들이다. 도 3a는 산포꼴(130)에서 곡선(C2)상의 좌표점을 보여주고, 도 6b는 곡선(C2) 상의 좌표값을 구하기 위한 읽기 방법을 보여주는 그래프이다.

[0062] 도 6a를 참조하면, 문턱 전압에 대한 메모리 셀들의 확률 밀도 함수의 산포꼴(130)은 곡선(C2)과 같은 3차 함수로 모델링될 수 있다. 곡선(C2)에 대응하는 함수의 경우, 변곡점(Inflection point)이 존재하는 3차 함수의 형태로 도시될 수 있다. 소거 상태(E0)에 포함되는 메모리 셀들이 넓은 전압 범위에 분포한다. 반면, 프로그램 상태(P1)에 포함되는 메모리 셀들은 상대적으로 ISPP(Incremental Step Pulse Programming)와 같은 프로그램 방식에 따라 좀더 좁은 전압 범위로 관리된다. 이러한 관리 방식에 따라, 소거 상태(E0)와 프로그램 상태(P1) 사이의 산포꼴(130)은 3차 곡선으로 모델링될 수 있다.

[0063] 산포꼴에 대응하는 곡선(C2)의 최소점을 구하기 위해서는 3차 연립방정식을 풀어야 한다. 산포꼴에 대응하는 곡선(C2)에 대응하는 3차 함수의 계수들을 구하기 위해서는 적어도 4개의 좌표점들(CP1, CP2, CP3, CP4) 각각의 좌표값들이 필요하다. 4개의 좌표점들(CP1, CP2, CP3, CP4)은 서로 다른 좌표점들이기만 하면 4차 연립 방정식의 해를 구하는 데에는 문제가 없다.

[0064] 좌표점들은 도시된 바와 같이  $CP1(x_1, y_1), CP2(x_2, y_2), CP3(x_3, y_3), CP4(x_4, y_4)$ 에 해당한다. 3차 함수( $y = a_0 + a_1x + a_2x^2 + a_3x^3$ )의 계수를 구하기 위한 연립방정식은 아래의 수학식 5로 나타낼 수 있다.

## 수학식 5

$$\begin{bmatrix} y_1 \\ y_2 \\ y_3 \\ y_4 \end{bmatrix} = \begin{bmatrix} 1 & x_1 & x_1^2 & x_1^3 \\ 1 & x_2 & x_2^2 & x_2^3 \\ 1 & x_3 & x_3^2 & x_3^3 \\ 1 & x_4 & x_4^2 & x_4^3 \end{bmatrix} \begin{bmatrix} a_0 \\ a_1 \\ a_2 \\ a_3 \end{bmatrix} + \begin{bmatrix} \varepsilon_1 \\ \varepsilon_2 \\ \varepsilon_3 \\ \varepsilon_4 \end{bmatrix}$$

[0065]

[0066] 여기서,  $\varepsilon_1, \varepsilon_2, \varepsilon_3, \varepsilon_4$ 는 좌표점을 각각에 대응하는 DC 옵셋이나 에러로 간주할 수 있다. 하지만, 최소값을 찾기 위한 함수의 미분에 의하여 소거될 항들이다.

[0067] 수학식 5에 각각 좌표값들을 대입하여 연립 방정식을 풀면 산포꼴(130)에 대응하는 곡선(C2)의 3차 함수의 계수들( $a_0, a_1, a_2, a_3$ )이 구해질 수 있다. 그 이후에 계수들( $a_0, a_1, a_2, a_3$ )을 갖는 3차 함수를 미분한 값이 0이 되는 근( $x_{opt}$ )은 아래 수학식 6으로 나타낼 수 있다.

### 수학식 6

$$x_{opt} = \frac{-a_2 \pm \sqrt{a_2^2 - 3a_3a_1}}{3a_3}$$

[0068]

[0069] 여기서, 계수  $a_3$ 가 양수인 경우, 삼차 함수의 미분값이 0이 되는 해는 2개의 실근으로 나타날 수 있다. 2개의 실근 중에서 극소점(Relative minimum point)에 대응하는 값이 구하고자 하는 값이다. 따라서, 수학식 6에서 두 개의 실근 중에서 큰 값이 최적 읽기 전압( $x_{opt}$ )이 될 것이다. 계수  $a_3$ 가 음수인 경우, 2개의 실근 중에서 작은 값이 최적 읽기 전압( $x_{opt}$ )이 될 것이다. 이 경우 아래 수학식 7로 최적 읽기 전압( $x_{opt}$ )이 표현될 수 있다.

### 수학식 7

$$x_{opt} = \frac{-a_2 + \sqrt{a_2^2 - 3a_3a_1}}{3a_3}$$

[0070]

[0071] 도 6b는 도 6a의 곡선(C2)에서의 좌표점을 구하기 위한 방법을 간략히 설명하는 그림이다. 도 6b를 참조하면, 곡선(C2)을 3차 함수로 회귀 분석하기 위해 적어도 4개의 좌표점이 획득되어야 한다. 즉, 3차 함수로 회귀 분석을 하기 위해서 메모리 셀들에 대한 적어도 5회의 읽기 동작이 선행되어야 한다. 각각의 읽기 동작에서 제 공되는 읽기 전압( $R_i, i$ 는  $0 \leq i \leq 4$ 의 정수)은 다르다.

[0072] 좌표점 CP1( $x_1, y_1$ )을 구하기 위해서는 읽기 전압들( $R_0, R_1$ ) 각각에 의한 읽기 동작이 수행되어야 한다. 읽기 전 압( $R_0$ )에 의해서 데이터(D0)가 선택된 메모리 셀들로부터 센싱될 것이다. 그리고 읽기 전압( $R_1$ )에 의해서 데이터(D1)가 선택된 메모리 셀들로부터 센싱될 것이다. 데이터(D0)와 데이터(D1)의 배타적 논리합 연산을 수행하여 논리 '1'의 수를 카운트하면, 읽기 전압들( $R_0, R_1$ ) 사이(즉, 전압 대역  $\Delta V_1$ )에 대응하는 메모리 셀들의 수가 구해진다. 이때, 좌표점 CP1의 좌표값( $x_1$ )은 읽기 전압들( $R_0, R_1$ )의 중간값(Median)으로 맵핑할 수 있다. 즉, 좌표값( $x_1$ )은  $(R_0+R_1)/2$ 로 맵핑할 수 있다. 그리고, 좌표점 CP1의 좌표값( $y_1$ )은 전압 대역( $\Delta V_1$ )에 문턱 전압이 분포하는 메모리 셀들의 수에 맵핑될 수 있다.

[0073] 좌표점 CP2( $x_2, y_2$ )을 구하기 위해서는 읽기 전압들( $R_1, R_2$ ) 각각에 의한 읽기 동작이 수행되어야 한다. 읽기 전 압( $R_1$ )에 의하여 독출된 데이터(D1)와 읽기 전압( $R_2$ )에 의하여 독출된 데이터(D2)에 대한 배타적 논리합(XOR)을 수행하면, 문턱 전압이 전압 대역( $\Delta V_2$ )에 분포하는 메모리 셀들의 수를 구할 수 있다. 이렇게 구해진 전압 대역( $\Delta V_2$ )에 대응하는 메모리 셀들의 수는 좌표값( $y_2$ )으로 맵핑될 수 있다. 그리고 좌표점 CP2의 좌표값( $x_2$ )은 읽

기 전압들(R1, R2)의 중간값(Median)으로 맵핑할 수 있다. 즉, 좌표값( $x_2$ )은  $(R1+R2)/2$ 로 설정할 수 있다.

[0074] 좌표점 CP3( $x_3$ ,  $y_3$ )을 구하기 위해서는 읽기 전압들(R2, R3) 각각에 의한 읽기 동작이 수행되어야 한다. 읽기 전압(R2)에 의하여 독출된 데이터(D2)와 읽기 전압(R3)에 의하여 독출된 데이터(D3)에 대한 배타적 논리합(XOR)을 수행하면, 문턱 전압이 전압 대역( $\Delta V_3$ )에 분포하는 메모리 셀들의 수를 구할 수 있다. 이렇게 구해진 전압 대역( $\Delta V_3$ )에 대응하는 메모리 셀들의 수는 좌표값( $y_3$ )으로 맵핑될 수 있다. 그리고 좌표점 CP3의 좌표값( $x_3$ )은 읽기 전압들(R2, R3)의 중간값(Median)으로 맵핑할 수 있다. 즉, 좌표값( $x_3$ )은  $(R2+R3)/2$ 로 설정할 수 있다.

[0075] 좌표점 CP4( $x_4$ ,  $y_4$ )을 구하기 위해서는 읽기 전압들(R3, R4) 각각에 의한 읽기 동작이 수행되어야 한다. 읽기 전압(R3)에 의하여 독출된 데이터(D3)와 읽기 전압(R4)에 의하여 독출된 데이터(D4)에 대한 배타적 논리합(XOR)을 수행하면, 문턱 전압이 전압 대역( $\Delta V_4$ )에 분포하는 메모리 셀들의 수를 구할 수 있다. 이렇게 구해진 전압 대역( $\Delta V_4$ )에 대응하는 메모리 셀들의 수는 좌표값( $y_4$ )으로 맵핑될 수 있다. 그리고 좌표점 CP4의 좌표값( $x_4$ )은 읽기 전압들(R3, R4)의 중간값(Median)으로 맵핑할 수 있다. 즉, 좌표값( $x_4$ )은  $(R3+R4)/2$ 로 설정할 수 있다.

[0076] 여기서, 읽기 전압들(R0, R1, R2, R3, R4) 각각에 대한 증가분들( $\Delta V_1$ ,  $\Delta V_2$ ,  $\Delta V_3$ ,  $\Delta V_4$ )은 동일한 값으로 제공될 수도 있고, 서로 다른 값으로 설정될 수도 있다. 다만, 동일하게 제공될 때에는 읽기 전압(R0)에 대해서 일정 전압만큼 순차적으로 증가하는 전압들로 생성할 수 있다. 만일, 하나의 읽기 전압(R0)만을 참조하여 읽기 전압들(R1, R2, R3, R4)을 생성하는 경우, 증가분들( $\Delta V_1$ ,  $\Delta V_2$ ,  $\Delta V_3$ ,  $\Delta V_4$ )을 동일한 값으로 설정하면 된다.

[0077] 이상에서, 산포꼴에 대응하는 확률 밀도 함수가 3차 함수에 대응하는 곡선(C2)으로 모델링되고, 회귀 분석법을 적용하기 위한 좌표값들(CP1, CP2, CP3, CP4)을 구하는 과정이 설명되었다. 좌표값들이 구해지면, 이후에는 회귀 분석법을 적용하여 3차 함수의 극소값에 대응하는 전압을 최적 읽기 전압으로 결정할 수 있다.

[0078] 도 7은 본 발명의 일 실시 예에 따른 메모리 시스템의 동작을 보여주는 도면이다. 도 7을 참조하면, 메모리 컨트롤러(110)와 불휘발성 메모리 장치(120)는 좌표값을 구하기 위한 읽기 전압들 각각에 대응하는 읽기 명령과 데이터를 교환한다.

[0079] 메모리 컨트롤러(110)는 산포꼴에 대응하는 확률 밀도 함수의 좌표점을 구하기 위한 읽기 명령을 불휘발성 메모리 장치(120)에 전달한다. 이때, 메모리 컨트롤러(110)는 회귀 분석법을 적용하기 위해서 선택된 메모리 셀들에 대해서 읽기 전압(R0)으로 읽도록 명령어를 제공할 수 있다. 그러면, 불휘발성 메모리 장치(120)는 읽기 전압(R0)을 생성하여 선택된 메모리 셀들을 센싱할 것이다. 그리고 불휘발성 메모리 장치(120)는 읽기 전압(R0)에 대해서 센싱된 데이터(D0)를 메모리 컨트롤러(110)로 출력하게 될 것이다.

[0080] 이어서, 메모리 컨트롤러(110)는 선택된 메모리 셀들을 읽기 전압(R0)보다 높은 읽기 전압(R1)으로 읽도록 읽기 명령어를 제공한다. 읽기 명령어에 응답하여 불휘발성 메모리 장치(120)는 읽기 전압(R1)에 대응하는 전압을 생성하여 선택된 메모리 셀들을 센싱한다. 그리고 불휘발성 메모리 장치(120)는 읽기 전압(R1)에 대해서 센싱 및 래치된 데이터(D1)를 메모리 컨트롤러(110)에 출력한다.

[0081] 이러한 방식으로 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)로부터 선택된 메모리 셀들에 대한 읽기 전압들(R0~Rn-1) 각각에 대해서 읽혀진 데이터(D0~Dn-1)를 제공받는다. 좌표점의 구하기 위한 읽기 동작이 완료되면, 메모리 컨트롤러(110)는 산포꼴에 대응하는 확률 밀도 함수(PDF)를 구하고, 확률 밀도 함수의 최소 또는 극소값을 구하는 연산 절차를 수행한다. 그리고 최소값에 대응하는 문턱 전압의 레벨을 두 개의 상태들을 식별하기 위한 읽기 전압으로 결정하게 될 것이다. 이러한 절차는 단계 S10으로 도시되어 있다.

[0082] 도 8은 불휘발성 메모리 장치로부터 제공되는 데이터를 보여주는 도면이다. 도 8을 참조하면, 선택된 메모리 셀들에 대한 읽기 전압들(R0~Rn-1) 각각에 대해서 독출되는 데이터(D0~D3)가 예시적으로 도시되어 있다.

[0083] 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)의 명령에 응답하여 읽기 전압(R0)에 대해서 독출된 데이터(D0)를 출력할 수 있다. 그리고 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)의 명령에 응답하여 읽기 전압(R1)에 대해서 독출된 데이터(D1)를 출력할 수 있다. 마찬가지로, 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)의 명령에 따라 읽기 전압(R2)에 대해서 읽혀진 데이터(D2)와 읽기 전압(R3)에 대해서 읽혀진 데이터(D3)를 출력할 수 있다.

[0084] 서로 다른 읽기 전압에 대해서 읽혀진 데이터들(D0, D1, D2, D3)이 출력되면, 메모리 컨트롤러(110)의 비트 카운터(112)에 대해서 배타적 논리합(XOR) 연산이 수행된다. 데이터들 간의 배타적 논리합 연산은 동일한 열들끼

리만 적용된다. 비트 카운터(112)는 데이터(D0)와 데이터(D1)에 대한 배타적 논리합 연산의 결과에 포함된 논리 '1'의 수를 카운트하여 좌표값( $y_1$ )으로 결정한다. 그리고 읽기 전압들(R0, R1)의 중간값(또는 평균값)을 좌표값( $x_1$ )으로 결정할 것이다.

[0085] 상술한 방식으로 데이터(D1, D2)의 배타적 논리합 연산을 통해서 좌표값( $x_2, y_2$ )을 구할 수 있다. 마찬가지로, 데이터(D2, D3)의 배타적 논리합 연산을 통해서 좌표값( $x_3, y_3$ )을 구할 수 있다. 3개의 좌표점들의 좌표값이 결정되면, 2차 함수로 모델링되는 산포꼴 함수의 회귀 분석법을 적용하기 위한 제반 정보는 확보된 것이다.

[0086] 도 9는 본 발명의 실시 예에 따른 읽기 레벨을 결정하는 방법을 간략히 보여주는 순서도이다. 도 1 및 9를 참조하여, 산포꼴을 확률 밀도 함수(PDF)로 모델링하고, 모델링된 확률 밀도 함수로부터 최적 읽기 전압을 결정하는 절차가 설명될 것이다.

[0087] S110 단계에서, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)에 복수의 읽기 전압들(R0~Rn-1)의 레벨 정보를 포함하는 읽기 명령어를 제공한다. 불휘발성 메모리 장치(120)는 읽기 전압들(R0~Rn-1) 각각에 의해서 읽혀진 데이터(D0~Dn-1)를 메모리 컨트롤러(110)에 전달할 것이다.

[0088] S120 단계에서, 메모리 컨트롤러(110)는 전달된 데이터(D0~Dn-1)를 참조하여 좌표값을 계산한다. 예를 들면, 메모리 컨트롤러(110)는 각각의 읽기 전압들 사이에 대응하는 문턱 전압을 가지는 메모리 셀들의 수를 카운트한다. 메모리 컨트롤러(110)는 카운트 결과에 기초하여 적어도 3개의 좌표점들의 좌표값을 결정한다.

[0089] S130 단계에서, 메모리 컨트롤러(110)의 회귀 분석기(114)는 좌표값을 참조하여 산포꼴에 대응하는 확률 밀도 함수를 구한다. 즉, 회귀 분석기(114)는 좌표값을 참조하여 확률 밀도 함수의 계수들을 구할 것이다. 확률 밀도 함수를 구하기 위해서 회귀 분석기(114)는 2차 연립 방정식이나 3차 연립 방정식을 사용할 수 있다.

[0090] S140 단계에서, 회귀 분석기(114)는 확률 밀도 함수에서 최소값 또는 극소값에 대응하는 문턱 전압 레벨을 구한다. 예를 들면, 2차 함수로 모델링되는 확률 밀도 함수의 경우, 하나의 최소값에 대응하는 문턱 전압 레벨을 구함으로써 최적 읽기 전압(Vopt)을 결정하게 될 것이다. 반면, 3차 함수로 모델링되는 경우, 확률 밀도 함수(PDF)의 미분값을 0으로 만드는 실근은 최대 2개가 존재할 수 있다. 즉, 두 개의 실근 중에서 하나는 극대값에 대응하고, 나머지 하나는 극소값에 대응한다.

[0091] S150 단계에서, 메모리 컨트롤러(110)는 산포꼴에 대응하는 확률 분포 함수(PDF)의 미분값이 0이 되는 문턱 전압들 중 어느 하나를 최적 읽기 전압으로 선택한다. 2차 함수로 모델링된 확률 밀도 함수(PDF)의 경우, 그것의 미분값을 0으로 하는 근은 하나만 존재할 것이다. 반면, 3차 함수로 모델링된 확률 밀도 함수의 경우, 최대 2개의 실근이 존재할 수 있다. 하지만, 소거 상태(E0)와 프로그램 상태(P1) 사이의 산포꼴의 형태는 3차 함수의 극소값( $a_3 > 0$  일 때) 주변의 곡선 형태와 유사하다. 따라서, 2개의 실근 중에서 극소점에 대응하는 하나를 최적 읽기 전압으로 선택되는 것이 타당하다. 따라서, 두 개의 실근들 중에서 크기가 더 큰 어느 하나가 최적 읽기 전압(Vopt)으로 선택될 수 있다.

[0092] 이상에서는 불휘발성 메모리 장치(120)의 읽기 전압을 조정하기 위해 사용되는 회귀 분석법이 간략히 설명되었다. 회귀 분석을 수행하기 위하여 필요한 것이 모델링되는 확률 밀도 함수(PDF)의 좌표값을 구하는 것이다. 2차 함수로 확률 밀도 함수(PDF)를 모델링하는 경우, 적어도 3개의 좌표값들이 필요하다. 따라서, 3개의 좌표값을 얻기 위해서는 서로 다른 읽기 전압들을 적용하는 적어도 4회의 읽기 동작이 수반된다. 3차 함수로 확률 밀도 함수(PDF)를 모델링하는 경우, 적어도 4개의 좌표값들이 필요하다. 따라서, 4개의 좌표값을 얻기 위해서는 서로 다른 읽기 전압들을 적용하는 적어도 5회의 읽기 동작이 수반될 것이다.

[0093] 이러한 회귀 분석법에 따르면, 최소한의 읽기 동작을 통해서 산포꼴에 대응하는 확률 밀도 함수(PDF)를 모델링 할 수 있다. 그리고 모델링된 확률 밀도 함수의 최소값 또는 극소값에 대응하는 문턱 전압을 메모리 셀들의 읽기 전압으로 결정할 수 있다. 이러한 방식의 읽기 전압 조정은 최소한의 읽기 동작을 필요로 하기 때문에 퍼포먼스 향상을 가능케 한다. 더불어, 산포꼴에 가장 근사되는 형태의 확률 밀도 함수(PDF)로 모델링이 가능하기 때문에 높은 정확도를 갖는 최소점 검출이 가능하다. 따라서, 본 발명의 회귀 분석법을 통해서 조정된 읽기 전압을 사용하는 경우, 높은 데이터 신뢰성(Data Integrity)이 기대된다.

[0094] 도 10은 본 발명의 다른 실시 예에 따른 메모리 시스템의 읽기 방법을 보여주는 도면이다. 도 10을 참조하면, 메모리 컨트롤러(110, 도 1 참조)의 읽기 명령에 응답하여 불휘발성 메모리 장치(120, 도 1 참조)는 센싱된 데이터들에 대한 배타적 논리합(XOR) 연산을 수행하여 출력할 수 있다.

- [0095] 회귀 분석을 적용하기 위하여, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)에 읽기 레벨 정보를 포함하는 읽기 명령을 전달한다. 특히, 메모리 컨트롤러(110)는 하나의 읽기 전압에 대응하는 데이터를 요구하는 것이 아니라, 복수의 읽기 전압 정보를 읽기 명령 단계에서 불휘발성 메모리 장치(120)에 전달할 수 있다. 즉, 메모리 컨트롤러(110)는 읽기 명령 단계에서 복수의 읽기 전압들(R0, R1, R2, …, Rn)을 지정할 수 있다.
- [0096] 메모리 컨트롤러(110)의 읽기 명령에 응답하여 불휘발성 메모리 장치(120)는 순차적으로 선택된 메모리 셀들을 센싱할 것이다. 불휘발성 메모리 장치(120)는 읽기 전압(R0)을 선택된 메모리 셀들의 워드 라인에 제공하고 메모리 셀들을 센싱한다. 읽기 전압(R0)에 의해서 센싱된 데이터(D0)는 페이지 버퍼(123, 도 2 참조)에 구비되는 래치에 저장될 것이다. 이어서, 불휘발성 메모리 장치(120)는 읽기 전압(R1)을 선택된 메모리 셀들의 워드 라인에 제공하고 메모리 셀들을 센싱한다. 읽기 전압(R1)에 의해서 센싱된 데이터(D1)는 페이지 버퍼(123)에 구비되는 래치에 저장될 것이다. 불휘발성 메모리 장치(120)는 서로 다른 읽기 전압들에 의해서 센싱된 데이터(D0, D1)에 대한 배타적 논리합(XOR) 연산을 수행한다. 그리고, 불휘발성 메모리 장치(120)는 그 결과를 메모리 컨트롤러(110)에 전달한다.
- [0097] 불휘발성 메모리 장치(120)는 복수의 읽기 전압들(R0, R1, R2, …, Rn)을 순차적으로 적용하여 선택된 메모리 셀들을 센싱하고 센싱된 데이터를 래치하게 될 것이다. 이러한 센싱 및 래치 동작은, 배타적 논리합 연산(XOR) 연산 및 그 결과를 출력하는 동작과 중첩되어 수행될 수 있을 것이다. 복수의 읽기 전압들에 의하여 센싱된 데이터가 적어도 2개 페이지 크기의 래치들에 순차적으로 저장되면, 저장되는 데이터들의 동일 열들끼리에 배타적 논리합 연산이 수행될 것이다. 그리고 그 배타적 논리합(XOR) 연산의 결과는 입출력 버퍼(124)에 의해서 외부로 출력될 것이다. 이러한 절차에 의하여 읽기 전압들(R1, R2)에 대응하는 데이터(D0, D1)에 대한 배타적 논리합(XOR) 결과가 출력될 것이다. 그리고 읽기 전압들(R2, R3)에 대응하는 데이터(D2, D3)에 대한 배타적 논리합(XOR) 결과가 연속하여 출력될 것이다. 4개의 읽기 레벨이 지정되면, 배타적 논리합(XOR) 연산의 결과는 3회에 읽기 단위(예를 들면, 페이지)로 메모리 컨트롤러(110)에 전달될 것이다.
- [0098] 메모리 컨트롤러(110)는 데이터들(D0~Dn)의 배타적 논리합(XOR) 연산 결과를 수신한다. 그리고 수신된 각각의 배타적 논리합 결과들을 참조하여 읽기 전압들 사이에 분포하는 메모리 셀들의 수를 카운트한다. 즉, 메모리 컨트롤러(110)의 비트 카운터(112)는 배타적 논리합(XOR) 결과에 포함되는 논리 '1'의 수를 카운트하게 될 것이다. 이러한 카운트 동작이 완료되면, 복수의 좌표점을 각각의 좌표값들이 결정된다. 그리고 메모리 컨트롤러(110)는 결정된 좌표값을 참조하여 산포꼴 형태에 대응하는 확률 밀도 함수를 구하게 될 것이다. 메모리 컨트롤러(110)의 회귀 분석기(114)는 확률 밀도 함수의 최소값 또는 극소값을 구하고, 그에 대응하는 문턱 전압의 레벨을 새로운 읽기 전압으로 결정하게 된다. 이러한, 과정이 S20으로 도시되어 있다.
- [0099] 여기서, 읽기 명령을 제공하는 단계에서 최초 읽기 동작을 위한 읽기 전압(R0)과 이후에 제공될 읽기 전압들과의 전압 차이에 대한 정보가 제공될 수도 있다. 즉, 최초에 제공되는 읽기 전압(R0)과 순차적으로 제공될 전압들 간의 오프셋 정보가 더 제공될 수도 있음을 잘 이해될 것이다. 불휘발성 메모리 장치(120)는 오프셋 정보를 참조하여 순차적으로 읽기 전압을 생성하고, 선택된 메모리 셀들을 센싱할 것이다.
- [0100] 연속하여 독출된 데이터 간의 배타적 논리합(XOR) 연산을 수행하여 출력하는 경우, 메모리 컨트롤러(110)의 연산 부담을 감소시킬 수 있다. 그리고 독출 데이터를 출력하는 경우보다, 불휘발성 메모리 장치(120)의 출력 횟수도 줄일 수 있다.
- [0101] 도 11은 도 10의 배타적 논리합 연산의 결과를 예시적으로 보여주는 도면이다. 도 11을 참조하면, 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)의 명령에 따라 2개의 읽기 레벨에 따라 센싱된 데이터를 배타적 논리합(XOR) 연산을 수행한 후에 출력한다.
- [0102] 불휘발성 메모리 장치(120)는 선택된 메모리 셀들을 메모리 컨트롤러(110)로부터 제공된 읽기 전압을 참조하여 순차적으로 센싱할 것이다. 불휘발성 메모리 장치(120)는 읽기 전압(R0)에 의해서 읽혀진 데이터(D0)를 제 1 래치단에 저장할 것이다. 이어서, 불휘발성 메모리 장치(120)는 읽기 전압(R1)에 의해서 읽혀진 데이터(D1)를 제 2 래치단에 저장할 것이다. 여기서 제 1 래치단과 제 2 래치단은 페이지 버퍼(123)에 구비되는 래치들이다. 그리고 하나의 읽기 레벨에 의해서 읽혀진 데이터는 하나의 페이지 단위로 가정하기로 한다. 제 1 래치단과 제 2 래치단에 저장된 데이터들(D0, D1)을 동일한 열끼리 배타적 논리합(XOR)을 수행하면, 하나의 페이지 크기로 출력된다. 그리고 배타적 논리합(XOR) 연산의 결과 데이터가 메모리 컨트롤러(110)에 전달되면, 비트 카운터(112)는 전달된 데이터에 포함되는 논리 '1'의 수를 카운트한다. 배타적 논리합(XOR)의 결과 데이터에 포함되는 논리 '1'의 수가 좌표값(y<sub>1</sub>)에 맵핑될 수 있다. 그리고 좌표값(x<sub>1</sub>)은 읽기 전압들(R0, R1)의 평균값에 맵핑될 것이

다.

[0103] 상술한 방식으로 불휘발성 메모리 장치(120)는 읽기 전압(R1)에 의해서 읽혀진 데이터(D1)와 읽기 전압(R2)에 의해서 읽혀진 데이터(D2)를 처리하여 메모리 컨트롤러(110)에 제공할 것이다. 그러면, 제공받은 데이터로부터 비트 카운터(112)는 논리 '1'의 수를 카운트하고, 카운트된 값은 좌표값( $y_2$ )에 맵핑될 것이다. 그리고 불휘발성 메모리 장치(120)는 읽기 전압(R2)에 의해서 읽혀진 데이터(D2)와 읽기 전압(R3)에 의해서 읽혀진 데이터(D3)를 처리하여 메모리 컨트롤러(110)에 제공할 것이다. 그러면, 메모리 컨트롤러(110)는 좌표값( $y_3$ )을 결정할 수 있다.

[0104] 이상의 방법에 따르면, 메모리 컨트롤러(110)와 불휘발성 메모리 장치(120) 사이에서 발생하는 트랜잭션의 수를 줄일 수 있다. 따라서, 배타적 논리합 연산없이 데이터가 메모리 컨트롤러(110)에 전달되는 실시 예에 비하여 퍼포먼스 향상을 기대할 수 있다.

[0105] 도 12는 본 발명의 다른 실시 예에 따른 메모리 시스템을 보여주는 블록도이다. 도 12를 참조하면, 메모리 시스템(200)은 메모리 컨트롤러(210) 및 불휘발성 메모리 장치(220)를 포함할 수 있다. 메모리 컨트롤러(210)는 불휘발성 메모리 장치(220)로부터 제공되는 읽기 결과를 참조하여 회귀 분석을 수행하고, 최적의 읽기 전압을 결정할 수 있다. 좀더 자세히 설명하면 다음과 같다.

[0106] 메모리 컨트롤러(210)는 읽기 레벨의 조정이 필요한 상황에서, 읽기 전압들( $R_{n-1}, R_n$ )의 정보를 포함하는 읽기 명령을 불휘발성 메모리 장치(220)에 제공한다. 예를 들면, 메모리 컨트롤러(110)는 읽기 명령을 제공할 때, 서로 다른 레벨들( $R_{n-1}, R_n$ )로 선택한 메모리 셀들을 센싱하기 위한 명령어를 제공할 수 있다. 이때, 불휘발성 메모리 장치(220)는 명령어에 응답하여 서로 다른 레벨들( $R_{n-1}, R_n$ )에 대해서 센싱된 데이터들( $D_{n-1}, D_n$ ) 간의 배타적 논리합(XOR) 연산을 수행한다. 그리고 불휘발성 메모리 장치(220)는 배타적 논리합 연산의 결과 데이터에 포함된 논리 '1'의 수를 카운트한다. 이러한 카운트 동작은 불휘발성 메모리 장치(220)의 내부에 구비되는 비트 카운터(227)에 의해서 수행될 수 있다. 그리고 불휘발성 메모리 장치(220)는 카운트된 값을 읽기 전압들의 평균 값에 대응하는 좌표값( $y_n$ )으로 출력할 것이다.

[0107] 메모리 컨트롤러(210)는 불휘발성 메모리 장치(220)로부터 제공되는 좌표값( $y_n$ )을 원하는 만큼 요구할 수 있다. 예를 들면, 적어도 3개의 서로 다른 좌표값이 필요하면, 서로 다른 문턱 전압 대역에 포함되는 메모리 셀들의 수를 카운트하기 위한 명령을 3회 제공할 수 있다. 각각의 명령에 응답해서 출력되는 좌표값을 참조하여 메모리 컨트롤러(210)는 산포꼴에 대응하는 확률 밀도 함수(PDF)를 구할 수 있다. 그리고, 확률 밀도 함수(PDF)에서의 최소값 또는 극소값을 구하여 최적 읽기 전압을 결정하는 동작은 회귀 분석기(214)에서 수행될 것이다.

[0108] 상술한 실시 예에 따르면, 메모리 컨트롤러(210)는 불휘발성 메모리 장치(220)로부터 좌표값( $y_n$ )을 직접 획득할 수 있다. 따라서, 메모리 컨트롤러(210)가 수행할 연산의 부담을 불휘발성 메모리 장치(220)와 분담할 수 있다. 본 발명의 메모리 컨트롤러(210)는 회귀 분석법을 사용하여, 불휘발성 메모리 장치(220)에 대한 최소한의 액세스를 통해서도 최적의 읽기 전압을 결정할 수 있다. 따라서, 읽기 전압의 레벨을 조정하기 위한 동작에 소요되는 시간을 최소화할 수 있다.

[0109] 도 13은 도 12에 도시된 불휘발성 메모리 장치의 구성을 예시적으로 보여주는 블록도이다. 도 13을 참조하면, 불휘발성 메모리 장치(220)는 셀 어레이(221), 행 디코더(222), 페이지 버퍼(223), 입출력 버퍼(224), 제어 로직(225), 전압 발생기(226), 그리고 비트 카운터(227)를 포함한다. 불휘발성 메모리 장치(220)는 비트 카운터(227)의 구성을 제외하고는 도 2의 구성을 동일하다. 따라서, 셀 어레이(221), 행 디코더(222), 페이지 버퍼(223), 입출력 버퍼(224), 제어 로직(225), 전압 발생기(226)에 대한 설명은 생략하기로 한다.

[0110] 불휘발성 메모리 장치(220)는 메모리 컨트롤러(210)에 의해서 선택된 메모리 셀들로부터 적어도 2개의 읽기 전압에 의한 읽기를 수행하여, 하나의 좌표값을 출력하도록 제어된다. 메모리 컨트롤러(210)로부터 명령을 제공받으면, 불휘발성 메모리 장치(220)는 선택된 메모리 셀들로부터 적어도 2개의 읽기 전압들( $R_{i-1}, R_i$ )을 사용하여 데이터를 센싱한다. 센싱된 데이터는 페이지 버퍼(223)에 순차적으로 저장될 것이다. 그러면, 비트 카운터(227)는 페이지 버퍼(223)에 저장된 2개의 페이지 데이터에 대한 배타적 논리합(XOR) 연산을 수행한다. 그리고 비트 카운터(227)는 그 결과에 포함된 논리 '1'의 개수를 카운트한다. 비트 카운터(227)는 카운트 결과( $y_i$ )를 입출력 버퍼(224)에 전달하고, 입출력 버퍼(224)는 메모리 컨트롤러(210)로 카운트 결과( $y_i$ )를 출력할 것이다.

[0111] 상술한 기능을 위해서 비트 카운터(227)는 적어도 2개 페이지를 저장하기 위한 래치단들(또는 레지스터)과 배타적 논리합(XOR) 연산을 수행하기 위한 논리 게이트열을 포함할 수 있다. 예를 들면, 비트 카운터(227)는 서로

다른 읽기 전압으로 독출된 2개 페이지를 구비되는 래치단들에 저장할 수 있다. 그리고 비트 카운터(227)는 동일 열에 대응하는 비트들 간에 대한 배타적 논리합(XOR) 연산을 수행하는 논리 게이트열을 포함할 수 있다. 더불어, 비트 카운터(227)는 논리 게이트열로부터 출력되는 페이지 크기의 데이터에 포함되는 논리 '1'의 수를 카운트하는 카운터 회로(미도시됨)를 포함할 수 있다. 카운터 회로의 출력이 대응하는 읽기 레벨의 좌표값( $y_i$ )에 해당한다.

[0112] 도 14는 도 12의 메모리 시스템의 또 다른 읽기 방법을 보여주는 도면이다. 도 14를 참조하면, 메모리 컨트롤러(210, 도 12 참조)의 읽기 명령에 응답하여 불휘발성 메모리 장치(220, 도 12 참조)는 복수의 좌표값들  $y_i$  ( $1 \leq i \leq n$ )를 제공할 수 있다.

[0113] 메모리 컨트롤러(210)는 읽기 레벨을 조정하기 위한 읽기 명령(Read CMD)을 불휘발성 메모리 장치(220)에 제공할 때, 모든 읽기 전압들( $R_0 \sim R_n$ )을 지정할 수 있다. 도면의 ( $R_0, R_n$ )은 읽기 전압( $R_0$ )으로부터 읽기 전압( $R_n$ )까지의 모든 읽기 전압들을 의미한다.

[0114] 메모리 컨트롤러(210)의 읽기 명령에 응답하여, 불휘발성 메모리 장치(220)는 순차적으로 선택된 메모리 셀들을 센싱할 것이다. 불휘발성 메모리 장치(220)는 읽기 전압( $R_0$ )을 선택된 메모리 셀들의 워드 라인에 제공하고 메모리 셀들을 센싱한다. 읽기 전압( $R_0$ )에 의해서 센싱된 데이터(D0)는 페이지 버퍼(223, 도 13 참조)에 구비되는 래치에 저장될 것이다. 이어서, 불휘발성 메모리 장치(220)는 읽기 전압( $R_1$ )을 선택된 메모리 셀들의 워드 라인에 제공하여 선택된 메모리 셀들을 센싱한다. 읽기 전압( $R_1$ )에 의해서 센싱된 데이터(D1)는 페이지 버퍼(223)에 구비되는 래치에 저장될 것이다. 이러한 절차로 불휘발성 메모리 장치(220)는 선택된 메모리 셀들에 대한 읽기 동작을 각각의 읽기 전압들( $R_0 \sim R_n$ )에 대해서 순차적으로 수행한다. 센싱된 데이터는 페이지 버퍼(223)에 저장되고, 비트 카운터(227)에 순차적으로 전달될 것이다.

[0115] 비트 카운터(227)는 서로 다른 읽기 전압들에 의해서 센싱된 데이터(D0, D1)에 대한 배타적 논리합(XOR) 연산을 수행한다. 비트 카운터(227)는 데이터들(D0, D1)의 배타적 논리합(XOR) 연산의 결과 데이터에 포함되는 논리 '1'의 수를 카운트한다. 비트 카운터(227)는 데이터들(D0, D1)의 배타적 논리합 연산의 결과에 포함된 논리 '1'의 수를 좌표값( $y_1$ )으로 저장할 수 있다.

[0116] 그리고 비트 카운터(227)는 데이터(D1, D2)에 대한 배타적 논리합(XOR) 연산 및 카운트 동작을 수행하여 좌표값( $y_2$ )을 구하고, 내부에 저장할 수 있다. 이러한 비트 카운터(227)의 동작은 메모리 컨트롤러(210)로부터 요청된 모든 읽기 전압들( $R_0 \sim R_n$ )에 대해서 순차적으로 수행할 것이다. 그러면, 좌표값들( $y_1 \sim y_n$ )이 모두 구해질 수 있다. 만일, 2차 함수로 선택된 메모리 셀들의 확률 밀도 함수(PDF)가 모델링되는 경우라면, 좌표값들( $y_1 \sim y_n$ )은 3개가 저장될 것이다. 만일, 3차 함수로 메모리 셀들의 확률 밀도 함수가 모델링되는 경우라면, 좌표값들( $y_1 \sim y_n$ )은 4개가 저장될 것이다. 저장된 좌표값들( $y_1 \sim y_n$ )은 이후 메모리 컨트롤러(210)에 출력될 것이다.

[0117] 메모리 컨트롤러(210)는 출력된 좌표값들( $y_1 \sim y_n$ )을 기초로 회귀 분석을 수행하여 확률 밀도 함수(PDF)의 계수들을 계산할 것이다. 그리고 메모리 컨트롤러(210)는 확률 밀도 함수(PDF)의 최소값이나 극소값을 계산하고, 그에 대응하는 문턱 전압을 읽기 전압으로 결정할 것이다. 이러한 절차는 S30 단계로 요약된다.

[0118] 도 15는 본 발명의 또 다른 실시 예에 따른 메모리 시스템을 보여주는 블록도이다. 도 15를 참조하면, 메모리 시스템(300)은 메모리 컨트롤러(310) 및 불휘발성 메모리 장치(320)를 포함할 수 있다.

[0119] 메모리 컨트롤러(310)는 불휘발성 메모리 장치(320)에 회귀 분석법(Regression Analysis)을 적용하기 위한 읽기 명령(Read CMD)을 제공한다. 메모리 컨트롤러(310)는 읽기 명령어(Read CMD)에 읽기 전압 정보( $R_0, \Delta V, \#$ )를 포함시킬 수 있다. 여기서,  $R_0$ 는 최초 읽기 레벨을 의미한다. 그리고  $\Delta V$ 는 읽기 전압들 간의 전압 간격을 의미한다. 그리고  $\#$ 은 최초 읽기 전압( $R_0$ )을 시작으로 전압 간격( $\Delta V$ )을 순차적으로 증가시키는 횟수를 의미한다. 즉,  $\#$ 은 읽기 횟수에 해당한다.

[0120] 메모리 컨트롤러(310)의 회귀 분석법을 적용하기 위한 읽기 명령어(Read CMD)에 응답하여 불휘발성 메모리 장치(320)는 좌표값들( $y_1, y_2, \dots, y_n$ )을 출력할 것이다. 그러면, 메모리 컨트롤러(310)는 좌표값들( $y_1, y_2, \dots, y_n$ )을 참조하여 해당 산포꼴에 대응하는 확률 밀도 함수(PDF)를 계산한다. 즉, 회귀 분석기(314)는 좌표값을 대입하여 확률 밀도 함수(PDF)의 계수들을 구할 수 있다. 그리고 회귀 분석기(314)는 확률 밀도 함수(PDF)의 최소값이나 극소값을 계산하고 그에 대응하는 문턱 전압의 크기를 최적 읽기 전압으로 결정할 것이다.

- [0121] 불휘발성 메모리 장치(320)는 읽기 명령(Read CMD)에 응답하여 최초 읽기 전압(R0)를 시작으로 선택된 메모리 셀들을 센싱할 것이다. 불휘발성 메모리 장치(320)는 최초 읽기 전압(R0)으로부터 전압 간격( $\Delta V$ )만큼 순차적으로 증가되는 읽기 전압들로 선택된 메모리 셀들을 센싱할 것이다. 이러한 읽기 전압들은 최초 읽기 전압(R0)의 제공 이후에 #회 제공될 것이다.
- [0122] 읽기 전압들에 의해서 센싱된 데이터는 비트 카운터(327)에 제공된다. 비트 카운터(227)는 서로 다른 레벨의 읽기 전압들( $R_{n-1}$ ,  $R_n$ )에 의해서 센싱된 데이터들( $D_{n-1}$ ,  $D_n$ ) 간의 배타적 논리합(XOR) 연산을 수행한다. 그리고 비트 카운터(327)는 배타적 논리합 연산의 결과 데이터에 포함된 논리 '1'의 수를 카운트한다. 그리고 비트 카운터(327)는 카운트된 값을 좌표값( $y_n$ )으로 출력할 것이다. 이러한 좌표값은 지정된 모든 읽기 전압들에 대해서 계산되고, 계산된 좌표값들( $y_1$ ,  $y_2$ , ...,  $y_n$ )은 이후에 취합되어 메모리 컨트롤러(310)에 전달될 수 있다.
- [0123] 메모리 컨트롤러(310)는 불휘발성 메모리 장치(320)로부터 제공되는 좌표값( $y_i$ )을 원하는 만큼 요구할 수 있다. 예를 들면, 적어도 3개의 좌표값이 필요하면, 메모리 컨트롤러(310)는 읽기 회수(#)를 3으로 제공하면 된다. 그리고 적어도 4개의 좌표값이 필요하면, 메모리 컨트롤러(310)는 읽기 회수(#)를 4로 제공하면 된다. 그리고, 정밀도를 높이기 위해서 전압 간격( $\Delta V$ )의 크기를 줄이고, 읽기 회수(#)를 증가시킬 수 있다.
- [0124] 상술한 메모리 컨트롤러(310)는 불휘발성 메모리 장치(320)를 사용하면, 읽기 레벨의 조정에 소요되는 트랜잭션의 수를 최소화할 수 있다. 이 실시 예에 따르면, 1회의 읽기 명령과, 1회의 데이터 출력으로 회귀 분석에 필요한 좌표값 정보의 획득이 가능하다.
- [0125] 도 16은 본 발명의 다른 실시 예에 따른 읽기 방법을 보여주는 순서도이다. 도 16을 참조하면, 불휘발성 메모리 장치의 읽기 동작 중에 읽기 실패(Read fail)가 발생하면 본 발명의 읽기 전압의 조정을 수행할 수 있다.
- [0126] S310 단계에서, 메모리 컨트롤러(310)는 호스트(Host)의 요청에 따라 불휘발성 메모리 장치(320)로부터 데이터를 독출할 것이다. 이때에는 불휘발성 메모리 장치(320)는 조정되지 않은 읽기 전압을 사용하여 선택된 메모리 셀들을 독출할 것이다.
- [0127] S320 단계에서, 메모리 컨트롤러(310)는 독출된 데이터에 대한 에러 검출(Error Detect) 연산을 수행한다. 에러 검출 연산은 독출된 데이터에 포함되는 에러 코드를 사용하여 에러의 존재 여부 또는 발생한 에러의 비트 수 등을 검출하는 연산이다.
- [0128] S330 단계에서, 메모리 컨트롤러(310)는 에러의 존재 여부에 따라 동작 분기를 실시한다. 독출된 데이터에 에러가 존재하는 경우, 절차는 S340 단계로 이동한다. 그리고 독출된 데이터에 에러가 존재하지 않는 경우에는 읽기 동작을 완료하게 될 것이다.
- [0129] S340 단계에서, 메모리 컨트롤러(310)는 검출된 에러가 정정 가능한지 판단하게 된다. 메모리 컨트롤러(310)는 검출된 에러 비트의 수가 에러 정정 엔진의 정정 능력을 초과하는지를 판단하게 될 것이다. 만일, 검출된 에러 비트의 수가 정정 가능한 정도라면, 절차는 S350 단계로 이동한다. 하지만, 정정 불가능한 에러가 검출되는 경우, 절차는 S360 단계로 이동한다.
- [0130] S350 단계에서, 메모리 컨트롤러(310)는 검출된 에러를 정정한다. 예를 들면, 메모리 컨트롤러(310)에 구비되는 에러 정정 엔진에 의해서 신드롬(Syndrome)이 계산되고, 신드롬을 기초로 에러 위치가 계산될 수 있다. 에러 위치의 계산이 완료되면, 대응하는 에러의 위치에 데이터를 정정함으로써 에러 정정 연산이 수행된다.
- [0131] S360 단계에서, 메모리 컨트롤러(310)는 정정이 불가한 데이터가 독출된 어드레스의 메모리 셀들에 대한 읽기 전압의 레벨 조정 동작을 수행한다. 앞서 설명한 바와 같이, 읽기 전압의 레벨 조정을 위해서 4회 또는 5회의 읽기 동작을 통해서 메모리 셀들의 확률 분포 함수를 구하게 될 것이다. 그리고 확률 분포 함수의 최소점 또는 극소점을 검출하기 위한 회귀 분석법이 적용될 것이다. 읽기 전압의 레벨 조정이 완료되면, 절차는 조정된 읽기 전압에 의해서 선택된 메모리 셀들을 독출하기 위한 S310 단계로 복귀할 것이다.
- [0132] 이상에서는 본 발명의 회귀 분석법을 적용하는 불휘발성 메모리 장치의 읽기 방법이 설명되었다. 읽기 동작시에 과도한 에러가 발생하고, 이러한 에러가 정정 불가한 경우에는 본 발명의 읽기 레벨 조정을 통해서 최적의 읽기 레벨로 조정될 수 있다. 그리고 하나의 산포꼴에 대응하는 확률 밀도 함수의 최소점 또는 극소점을 검출하기 위해서 4회 또는 5회의 읽기 동작만이 요구된다. 따라서, 읽기 전압의 조정에 필요한 메모리 시스템의 부담이 최소화될 수 있다.
- [0133] 도 17은 본 발명의 불휘발성 메모리 장치의 예시적인 형태를 보여주는 사시도이다. 도 17을 참조하면, 도 2 또

는 도 13의 셀 어레이(121, 221)는 복수의 메모리 블록(BLK<sub>i</sub>)을 포함할 수 있다. 복수의 메모리 블록(BLK<sub>i</sub>) 각각은 셀 스트링이 기판에 대해서 수직 방향(z 방향)으로 형성되는 3차원 적층 구조에 의해서 형성될 수 있다.

[0134] 기판(411) 상에, x 방향을 따라 복수의 도핑 영역들(412a, 412b, 412c, 412d)이 형성된다. 제 1 및 제 2 도핑 영역들(412a, 412b) 사이의 기판(411)의 영역 상에, y 방향을 따라 신장되는 복수의 절연 물질들(418)이 z 방향을 따라 순차적으로 제공된다. 예를 들면, 복수의 절연 물질들(418)은 z 방향을 따라 특정 거리만큼 이격되어 형성될 것이다.

[0135] 제 1 및 제 2 도핑 영역들(412a, 412b) 사이의 기판(411) 상부에, y 방향을 따라 순차적으로 배치되며 z 방향을 따라 절연 물질들(418)을 관통하는 필라(413)가 형성된다. 예시적으로, 필라(413)는 절연 물질들(418)을 관통하여 기판(411)과 연결될 것이다. 여기서, 필라(413)는 제 2 및 제 3 도핑 영역들(412b, 412c) 사이의 기판 상부와, 제 3 및 제 4 도핑 영역들(412c, 412d) 사이의 기판 상부에도 형성된다.

[0136] 필라(413)의 내부층(413b)은 절연 물질로 구성된다. 예를 들면, 필라(413)의 내부층(413b)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 것이다. 제 1 및 제 2 도핑 영역들(412a, 412b) 사이의 영역에서, 절연 물질들(418), 필라(413), 그리고 기판(411)의 노출된 표면을 따라 절연막(415)이 제공된다. 예시적으로, z 방향을 따라 제공되는 마지막 절연 물질(418)의 z 방향 쪽의 노출면에 제공되는 절연막(415)은 제거될 수 있다.

[0137] 제 1 및 제 2 도핑 영역들(412a, 412b) 사이의 영역에서, 절연막(415)의 노출된 표면상에 제 1 도전 물질들(414a~414i)이 제공된다. 예를 들면, 기판(411)에 인접한 절연 물질(418) 및 기판(411) 사이에 y 방향을 따라 신장되는 제 1 도전 물질(414a)이 제공된다. 더 상세하게는, 기판(411)에 인접한 절연 물질(418)의 하부면의 절연막(415) 및 기판(411) 사이에, x 방향으로 신장되는 제 1 도전 물질(414a)이 제공된다. 그리고 제 2 및 제 3 도핑 영역들(412b, 412c) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(412a, 412b) 상의 구조물과 동일한 구조물이 제공될 것이다. 제 3 및 제 4 도핑 영역들(412c, 412d) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(412a, 412b) 상의 구조물과 동일한 구조물이 형성될 것이다.

[0138] 복수의 필라들(413) 상에 드레인들(416)이 각각 제공된다. 드레인들(416)은 제 2 타입으로 도핑된 실리콘 물질일 수 있다. 드레인들(416) 상에, x 방향으로 신장된 제 2 도전 물질들(417a~417c)이 제공된다. 제 2 도전 물질들(417a~417c)은 y 방향을 따라 순차적으로 배치된다. 제 2 도전 물질들(417a~417c) 각각은 대응하는 영역의 드레인들(416)과 연결된다. 예시적으로, 드레인들(416) 및 x 방향으로 신장된 제 2 도전 물질(417c)은 각각 콘택트 플러그들(Contact plug)을 통해 연결될 수 있다.

[0139] 여기서, 제 1 도전 물질들(414a~414i)은 각각 워드 라인 또는 선택 라인(SSL, GSL)을 형성한다. 제 1 도전 물질들(414a~414i) 중에서 워드 라인으로 형성되는 일부(414b~414h)는 동일한 층에 속한 것들은 상호 연결된다. 메모리 블록(BLK<sub>i</sub>)은 제 1 도전 물질들(414a~414i) 전체가 선택될 경우에 선택될 수 있다. 반면, 본 발명의 서브-블록은 제 1 도전 물질들(414a~414i) 중 일부만이 선택됨으로써 선택 가능하다. 또한, 본 발명에서는 제 1 도전 물질들(414a~414i)의 층수는 예시적인 것에 불과하다. 제 1 도전 물질들(414a~414i)의 층수는 공정 기술이나 제어 기술에 따라 다양하게 변경될 수 있음을 잘 이해될 것이다.

[0140] 도 18은 본 발명의 실시 예에 따른 솔리드 스테이트 디스크(이하, SSD)를 포함하는 사용자 장치를 보여주는 블록도이다. 도 18을 참조하면, 사용자 장치(1000)는 호스트(1100)와 SSD(1200)를 포함한다. SSD(1200)는 SSD 컨트롤러(1210), 버퍼 메모리(1220), 그리고 불휘발성 메모리 장치(1230)를 포함한다.

[0141] SSD 컨트롤러(1210)는 호스트(1100)와 SSD(1200)와의 물리적 연결을 제공한다. 즉, SSD 컨트롤러(1210)는 호스트(1100)의 버스 포맷(Bus format)에 대응하여 SSD(1200)와의 인터페이싱을 제공한다. 특히, SSD 컨트롤러(1210)는 회귀 분석기(1215)를 포함할 수 있다. 회귀 분석기(1215)를 통해서 메모리 셀들의 산포꼴의 정확한 위치를 최소의 읽기 동작만으로 검출할 수 있다. 따라서, 읽기 실패시 대응하는 메모리 셀들에 대한 최소한의 읽기 동작으로 최적의 읽기 레벨을 찾아낼 수 있다.

[0142] 호스트(1100)의 버스 포맷(Bus format)으로 USB(Universal Serial Bus), SCSI(Small Computer System Interface), PCI express, ATA, PATA(Parallel ATA), SATA(Serial ATA), SAS(Serial Attached SCSI) 등이 포함될 수 있다.

[0143] 버퍼 메모리(1220)에는 호스트(1100)로부터 제공되는 쓰기 데이터 또는 불휘발성 메모리 장치(1230)로부터 읽혀진 데이터가 일시 저장된다. 호스트(1100)의 읽기 요청시에 불휘발성 메모리 장치(1230)에 존재하는 데이터가 캐시되어 있는 경우에는, 버퍼 메모리(1220)는 캐시된 데이터를 직접 호스트(1100)로 제공하는 캐시 기능을 지원한다. 일반적으로, 호스트(1100)의 버스 포맷(예를 들면, SATA 또는 SAS)에 의한 데이터 전송 속도는

SSD(1200)의 메모리 채널의 전송 속도보다 월등히 빠르다. 즉, 호스트(1100)의 인터페이스 속도가 월등히 높은 경우, 대용량의 버퍼 메모리(1220)를 제공함으로써 속도 차이로 발생하는 폐포먼스 저하를 최소화할 수 있다.

[0144] 버퍼 메모리(1220)는 대용량의 보조 기억 장치로 사용되는 SSD(1200)에서 충분한 버퍼링을 제공하기 위해 동기식 DRAM(Synchronous DRAM)으로 제공될 수 있다. 하지만, 버퍼 메모리(1220)가 여기의 개시에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0145] 불휘발성 메모리 장치(1230)는 SSD(1200)의 저장 매체로서 제공된다. 예를 들면, 불휘발성 메모리 장치(1230)는 대용량의 저장 능력을 가지는 수직 구조 낸드 플래시 메모리(NAND-type Flash memory)로 제공될 수 있다. 불휘발성 메모리 장치(1230)는 복수의 메모리 장치로 구성될 수 있다. 이 경우, 각각의 메모리 장치들은 채널 단위로 SSD 컨트롤러(1210)와 연결된다. 저장 매체로서 불휘발성 메모리 장치(1230)가 낸드 플래시 메모리를 예로 들어 설명되었으나, 또 다른 불휘발성 메모리 장치들로 구성될 수 있다. 예를 들면, 저장 매체로서 PRAM, MRAM, ReRAM, FRAM, NOR 플래시 메모리 등이 사용될 수 있으며, 이종의 메모리 장치들이 혼용되는 메모리 시스템도 적용될 수 있다. 불휘발성 메모리 장치는 실질적으로 도 1에서 설명된 것과 동일하게 구성될 수 있다.

[0146] 상술한 SSD(1200)에서, 불휘발성 메모리 장치(1230)는 도 2 또는 도 13의 불휘발성 메모리 장치와 실질적으로 동일하게 동작할 수 있다. 즉, 불휘발성 메모리 장치(1230)는 SSD 컨트롤러(1210)의 명령에 따라 센싱된 데이터, 센싱된 데이터들의 배타적 논리합(XOR), 그리고 배타적 논리합(XOR)의 결과에 포함되는 논리 '1'의 수 중에서 적어도 하나를 출력할 수 있다.

[0147] 도 19는 본 발명의 다른 실시 예에 따른 메모리 시스템(2000)을 예시적으로 보여주는 블록도이다. 도 19를 참조하면, 본 발명에 따른 메모리 시스템(2000)은 메모리 컨트롤러(2200)와 불휘발성 메모리(2100)를 포함할 수 있다.

[0148] 불휘발성 메모리(2200)는 도 2 또는 도 13의 불휘발성 메모리 장치와 실질적으로 동일하게 구성될 수 있다. 따라서, 불휘발성 메모리(2200)에 대한 구체적인 설명은 생략하기로 한다.

[0149] 메모리 컨트롤러(2100)는 불휘발성 메모리(2200)를 제어하도록 구성될 수 있다. SRAM(2100)은 CPU(2120)의 워킹 메모리로 사용될 수 있다. 호스트 인터페이스(2130)는 메모리 시스템(2000)과 접속되는 호스트의 데이터 교환 프로토콜을 구비할 수 있다. 메모리 컨트롤러(2100)에 구비된 ECC(2140)는 불휘발성 메모리(2200)로부터 읽어온 읽기 데이터에 포함되어 있는 에러를 검출 및 정정할 수 있다. 메모리 인터페이스(2150)는 본 발명의 불휘발성 메모리(2200)와 인터페이싱 할 수 있다. CPU(2120)는 메모리 컨트롤러(2100)의 데이터 교환을 위한 제반 제어 동작을 수행할 수 있다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(2000)은 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있다.

[0150] 메모리 컨트롤러(2100)는 USB, MMC, PCI-E, SAS, SATA, PATA, SCSI, ESDI, 그리고 IDE 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들면, 호스트)와 통신하도록 구성될 것이다. 메모리 컨트롤러(2100)는 선택된 메모리 셀들에 대한 읽기 전압을 회귀 분석법을 사용하여 결정할 수 있다. 회귀 분석을 수행하는 기능은 펌웨어로 제공되거나, 특정 기능 블록으로 제공될 수 있을 것이다.

[0151] 본 발명에 따른 메모리 시스템(2000)는, 컴퓨터, 휴대용 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA, 포터블(portable) 컴퓨터, 웹 태블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 사용자 장치들 중 하나에 적용될 수 있다.

[0152] 도 20은 본 발명의 다른 실시 예에 따른 데이터 저장 장치(3000)를 예시적으로 보여주는 블록도이다. 도 20을 참조하면, 본 발명에 따른 데이터 저장 장치(3000)는 플래시 메모리(3100)와 플래시 컨트롤러(3200)를 포함할 수 있다. 플래시 컨트롤러(3200)는 데이터 저장 장치(3000) 외부로부터 수신된 제어 신호들에 기초하여 플래시 메모리(3100)를 제어할 수 있다.

[0153] 상술한 데이터 저장 장치(3000)에서, 플래시 메모리(3100)는 도 2 또는 도 13의 불휘발성 메모리 장치와 실질적으로 동일하게 동작할 수 있다. 즉, 플래시 메모리(3100)는 선택된 메모리 셀들에 대해 서로 다른 읽기 전압들로 독출하여 플래시 컨트롤러(3200)에 제공할 수 있다. 플래시 메모리(3100)는 독출된 데이터를 배타적 논리합 연산을 수행한 이후에 플래시 컨트롤러(3200)에 제공할 수도 있다. 플래시 메모리(3100)는 독출된 데이터들 간

의 배타적 논리합 연산의 결과에 포함된 논리 '1'의 수를 플래시 컨트롤러(3200)에 제공할 수 있다.

[0154] 플래시 컨트롤러(3200)는 플래시 메모리(3100)로부터의 데이터를 참조하여 선택된 메모리 셀들의 최적 읽기 레벨을 결정하기 위한 회귀 분석을 수행할 수 있다. 회귀 분석을 통해서 최소의 읽기 회수만으로도 고신뢰성의 읽기 레벨을 결정할 수 있다.

[0155] 본 발명의 데이터 저장 장치(3000)는 메모리 카드 장치, SSD 장치, 멀티미디어 카드 장치, SD 카드, 메모리 스택 장치, 하드 디스크 드라이브 장치, 하이브리드 드라이브 장치, 또는 범용 직렬 버스 플래시 장치를 구성할 수 있다. 예를 들면, 본 발명의 데이터 저장 장치(3000)는 디지털, 카메라, 개인 컴퓨터 등과 같은 사용자 장치를 사용하기 위한 산업 표준을 만족하는 카드를 구성할 수 있다.

[0156] 도 21은 본 발명에 따른 플래시 메모리 장치(4100) 및 그것을 포함하는 컴퓨팅 시스템(4000)의 개략적인 구성을 보여주는 도면이다. 도 21을 참조하면, 본 발명에 따른 컴퓨팅 시스템(4000)은 버스(4600)에 전기적으로 연결된 불휘발성 메모리 장치(4120), 메모리 컨트롤러(4110), 마이크로프로세서(4200), 램(4300), 유저 인터페이스(4400), 베이스밴드 칩셋(baseband chipset)과 같은 모뎀(4500) 등을 포함할 수 있다. 도 21에 도시된 메모리 컨트롤러(4110)와 불휘발성 메모리 장치(4120)는 메모리 시스템(4100)을 구성한다. 메모리 시스템(4100)은 도 1, 도 12, 도 15, 도 18, 도 19, 도 20에 도시된 메모리 시스템들 중 어느 하나일 수 있다.

[0157] 본 발명에 따른 컴퓨팅 시스템이 모바일 장치인 경우, 컴퓨팅 시스템의 동작 전압을 공급하기 위한 배터리가 추가적으로 제공될 수 있다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 컴퓨팅 시스템에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램, 등이 더 제공될 수 있다. 메모리 시스템(4100)은 앞서 설명된 본 발명의 회귀 분석법을 통해서 최적의 읽기 레벨을 결정할 수 있다. 따라서, 데이터 신뢰성(Data Integrity)을 높일 수 있다.

[0158] 본 발명에 따른 반도체 장치는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 반도체 그리고/또는 컨트롤러는 PoP(Package on Package), BGAs(Ball grid arrays), CSPs(Chip scale packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), Die in Waffle Pack, Die in Wafer Form, COB(Chip On Board), CERDIP(Ceramic Dual In-Line Package), MQFP(Plastic Metric Quad Flat Pack), TQFP(Thin Quad Flatpack), SOIC(Small Outline Integrated Circuit), SSOP(Shrink Small Outline Package), TSOP(Thin Small Outline), TQFP(Thin Quad Flatpack), SIP(System In Package), MCP(Multi Chip Package), WFP(Wafer-level Fabricated Package), WSP(Wafer-Level Processed Stack Package) 등과 같은 패키지들을 이용하여 실장될 수 있다.

[0159] 이상에서와 같이 도면과 명세서에서 최적 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 부호의 설명

[0160] 110, 210, 310 : 메모리 컨트롤러

112, 227, 327 : 비트 카운터

114, 214, 314 : 회귀 분석기

120, 220, 320 : 불휘발성 메모리 장치

121, 221 : 셀 어레이

122, 222 : 행 디코더

123, 223 : 페이지 베퍼

124, 224 : 입출력 베퍼

125, 225 : 제어 로직

126, 226 : 전압 발생기

130, 140, 150, 160, 170 : 산포꼴

411 : 기판

412a, 412b, 412c, 412d : 도핑 영역

413 : 필라

413a : 표면층

413b : 내부층

414a~414i : 제 1 도전 물질

415 : 절연막

416 : 드레인

417a, 417b, 417c : 비트 라인

418 : 절연 물질

1100 : 호스트

1200 : SSD

1210 : SSD 컨트롤러

1215 : 회귀 분석기

1220 : 버퍼 메모리

1230 : 불휘발성 메모리 장치

2100 : 메모리 컨트롤러

2110 : SRAM

2120 : CPU

2130 : 호스트 인터페이스

2140 : ECC

2150 : 메모리 인터페이스

2200 : 불휘발성 메모리 장치

3100 : 플래시 메모리

3200 : 플래시 컨트롤러

4000 : 컴퓨팅 시스템

4100 : 메모리 시스템

4110 : 메모리 컨트롤러

4120 : 플래시 메모리 장치

4200 : 중앙처리장치

4300 : 램

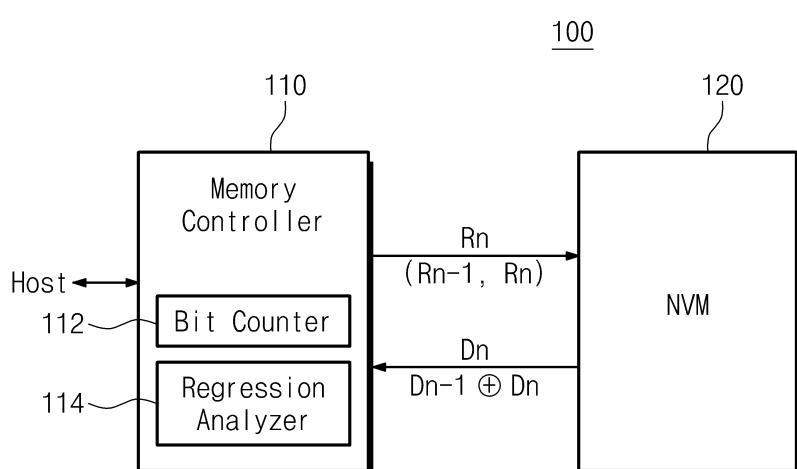
4400 : 유저 인터페이스

4500 : 모뎀

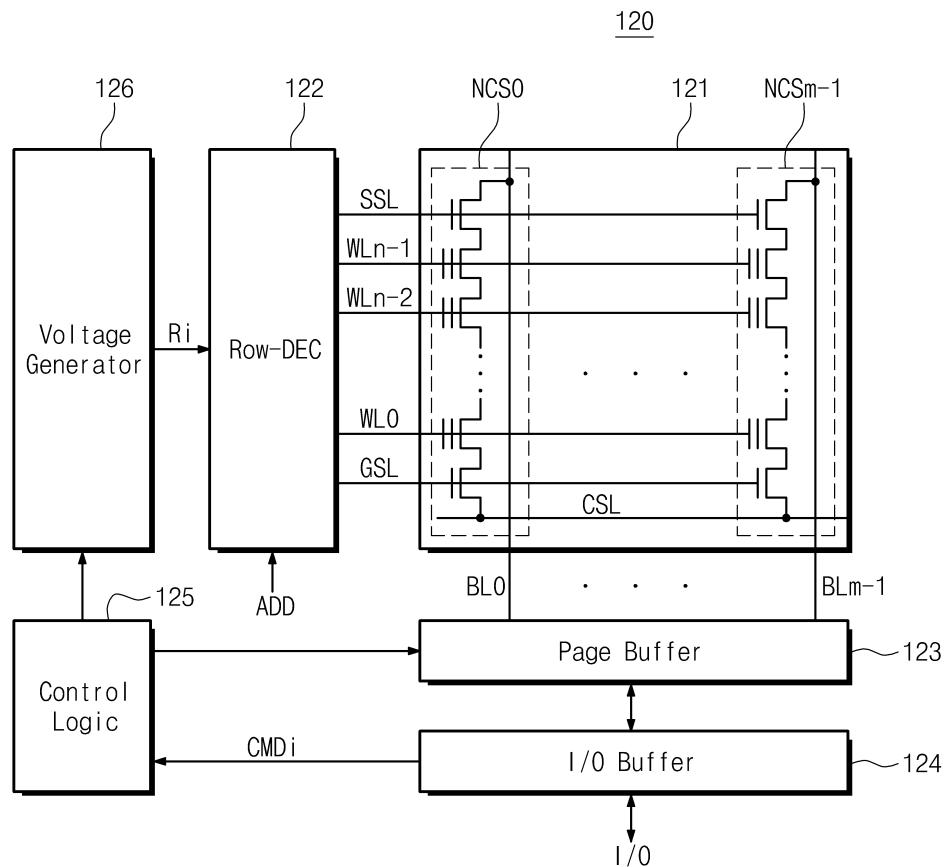
4600 : 시스템 베스

## 도면

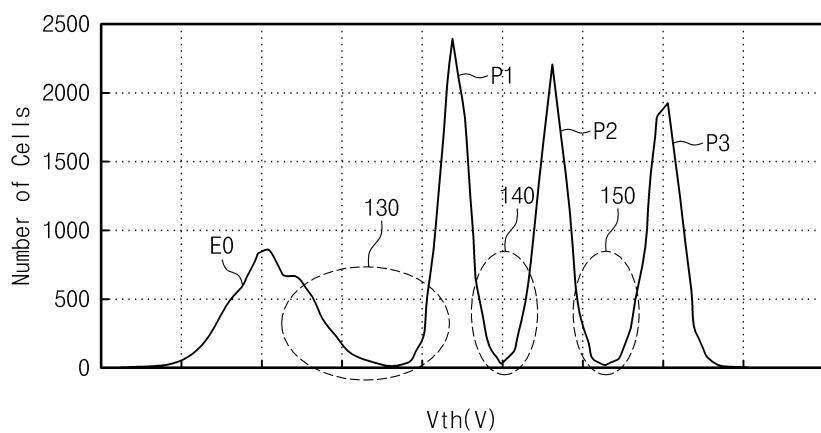
### 도면1



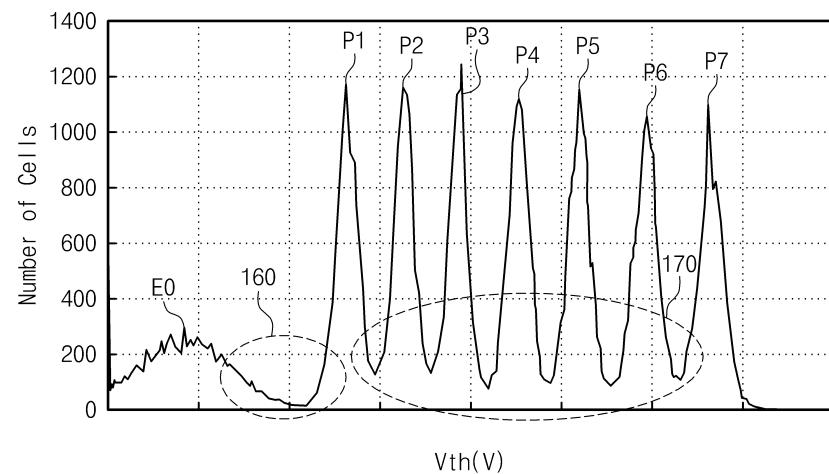
## 도면2



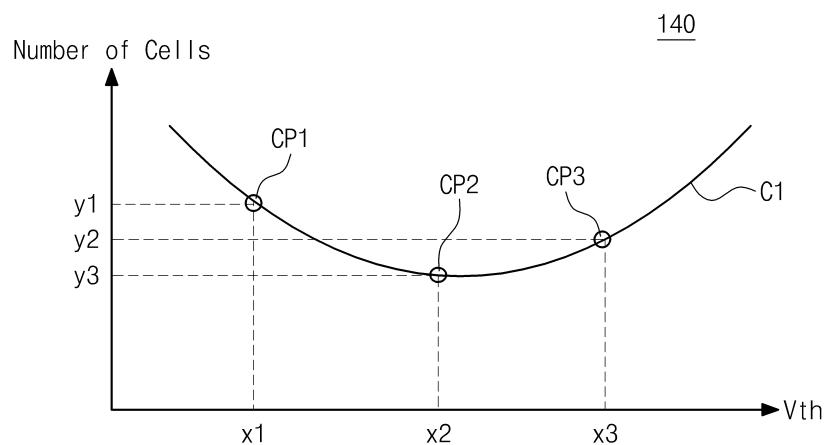
## 도면3



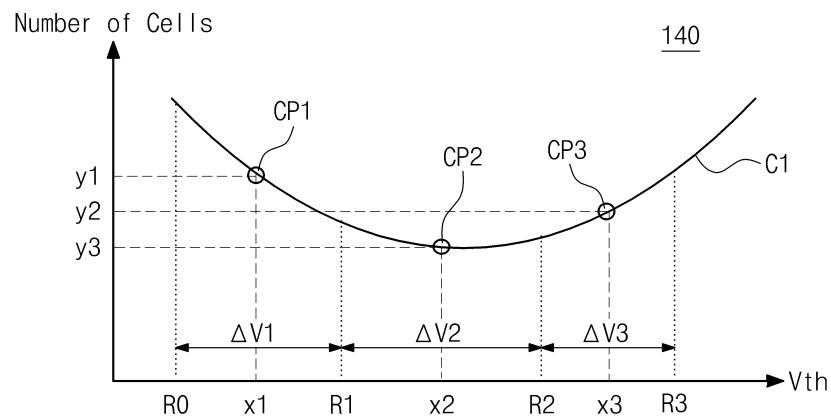
도면4



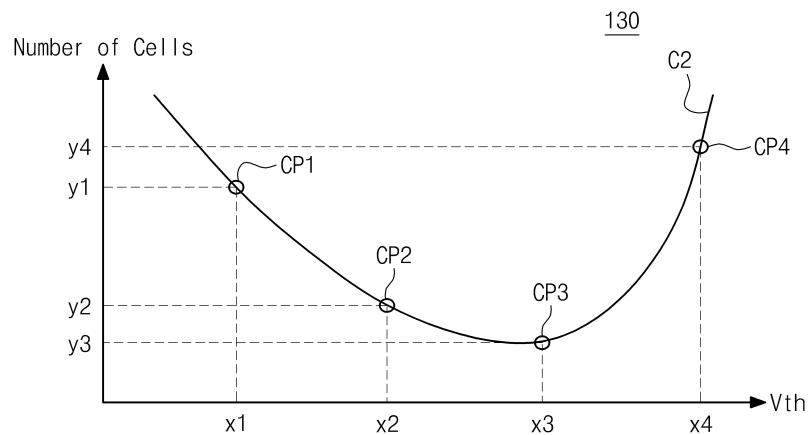
도면5a



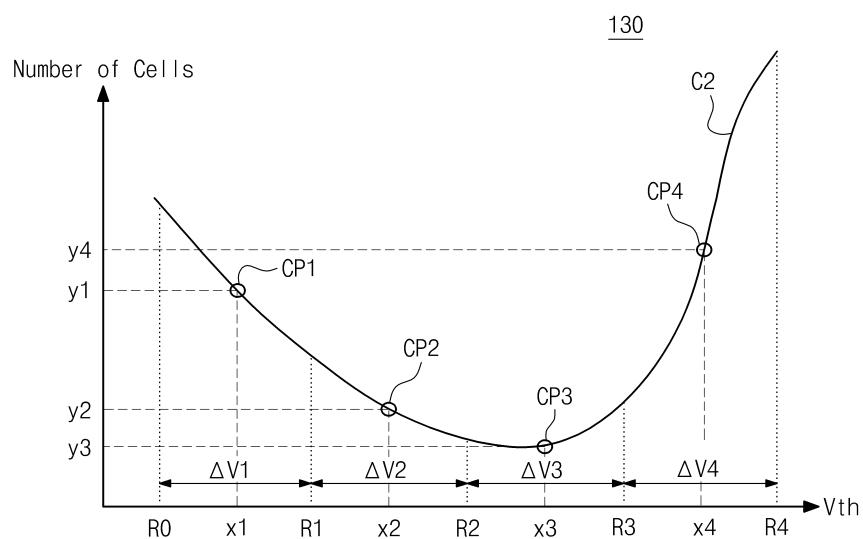
도면5b



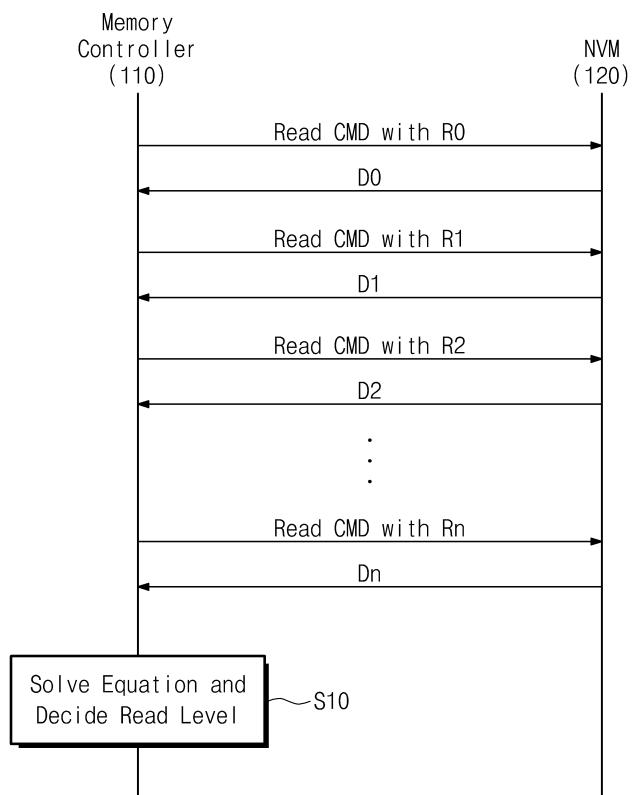
### 도면6a



### 도면6b



## 도면7



## 도면8

D0 

1	0	1	1	...	0	1	1	1
---	---	---	---	-----	---	---	---	---

D1 

1	0	1	0	...	0	0	1	1
---	---	---	---	-----	---	---	---	---

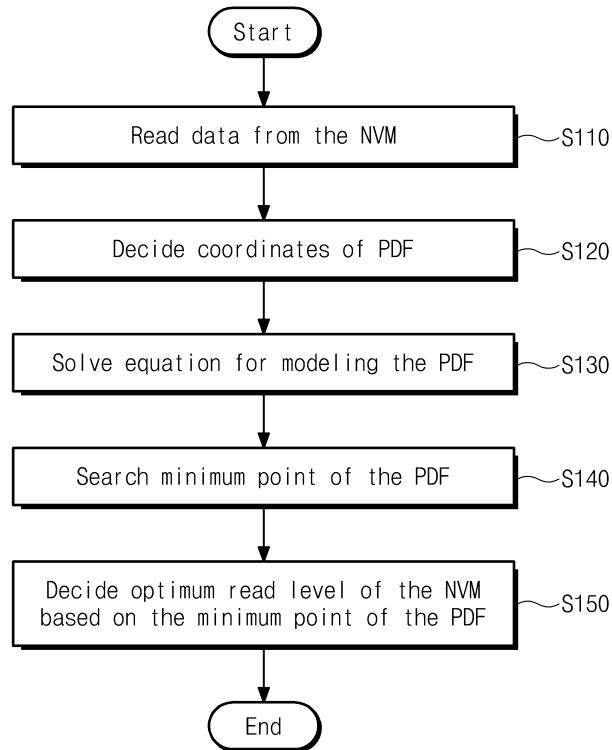
D2 

1	0	0	0	...	1	0	0	1
---	---	---	---	-----	---	---	---	---

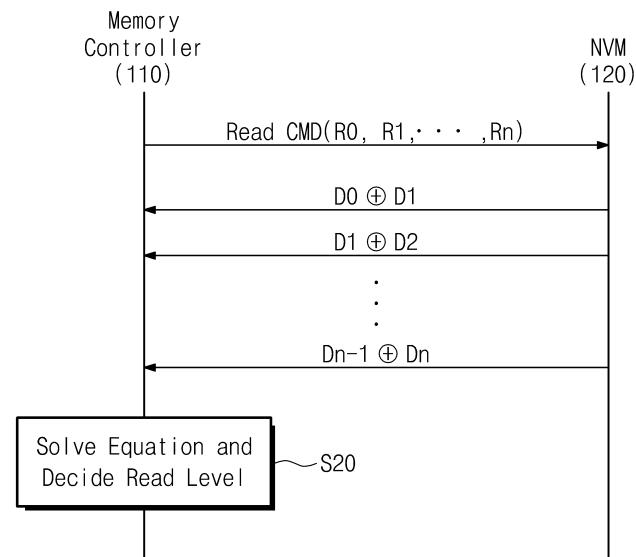
D3 

1	0	0	0	...	0	0	0	1
---	---	---	---	-----	---	---	---	---

## 도면9



## 도면10



## 도면11

$D0 \oplus D1$ 

1	0	1	1	...	0	1	1	1
---	---	---	---	-----	---	---	---	---

 } y1=Number of '1'

$D1 \oplus D2$ 

1	0	1	0	...	0	0	1	1
---	---	---	---	-----	---	---	---	---

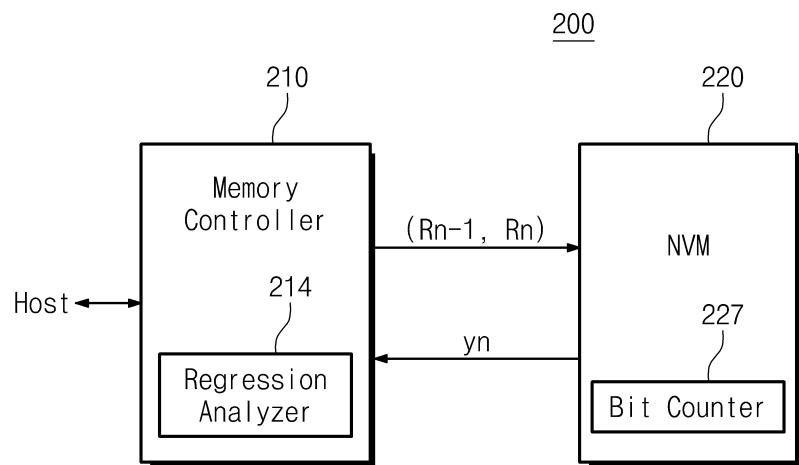
 } y2=Number of '1'

$D2 \oplus D3$ 

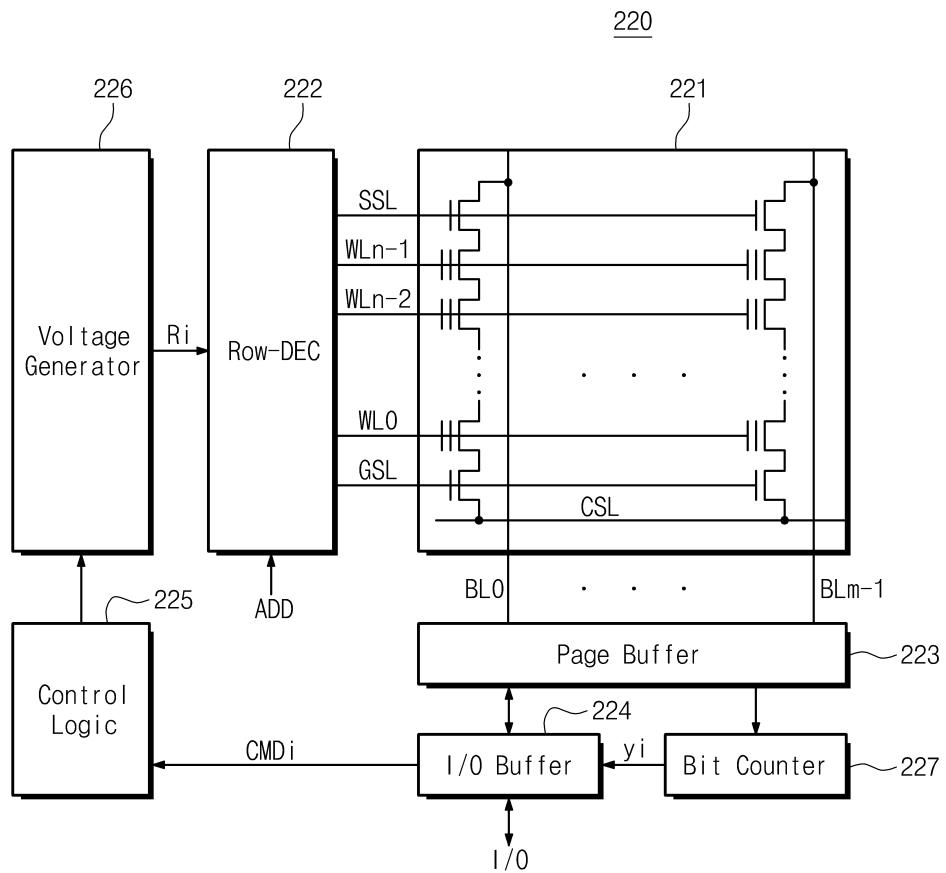
1	0	0	0	...	1	0	0	1
---	---	---	---	-----	---	---	---	---

 } y3=Number of '1'

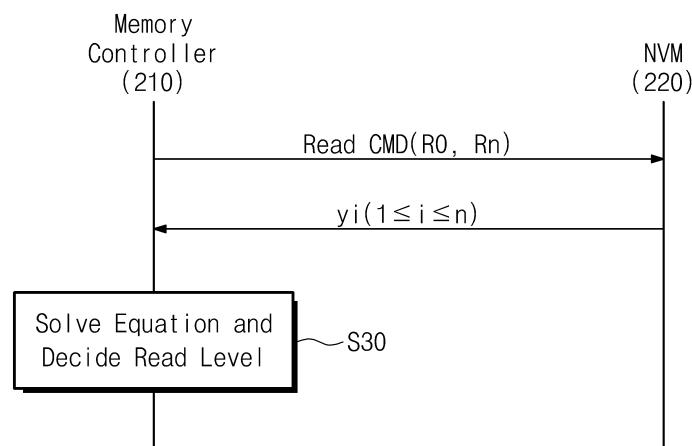
## 도면12



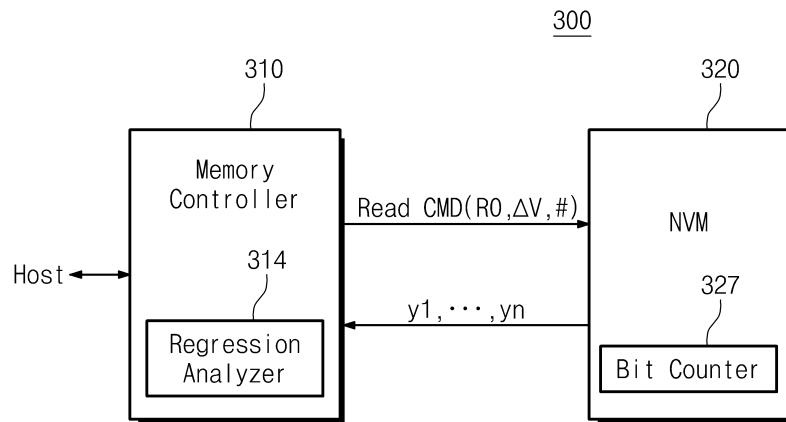
## 도면13



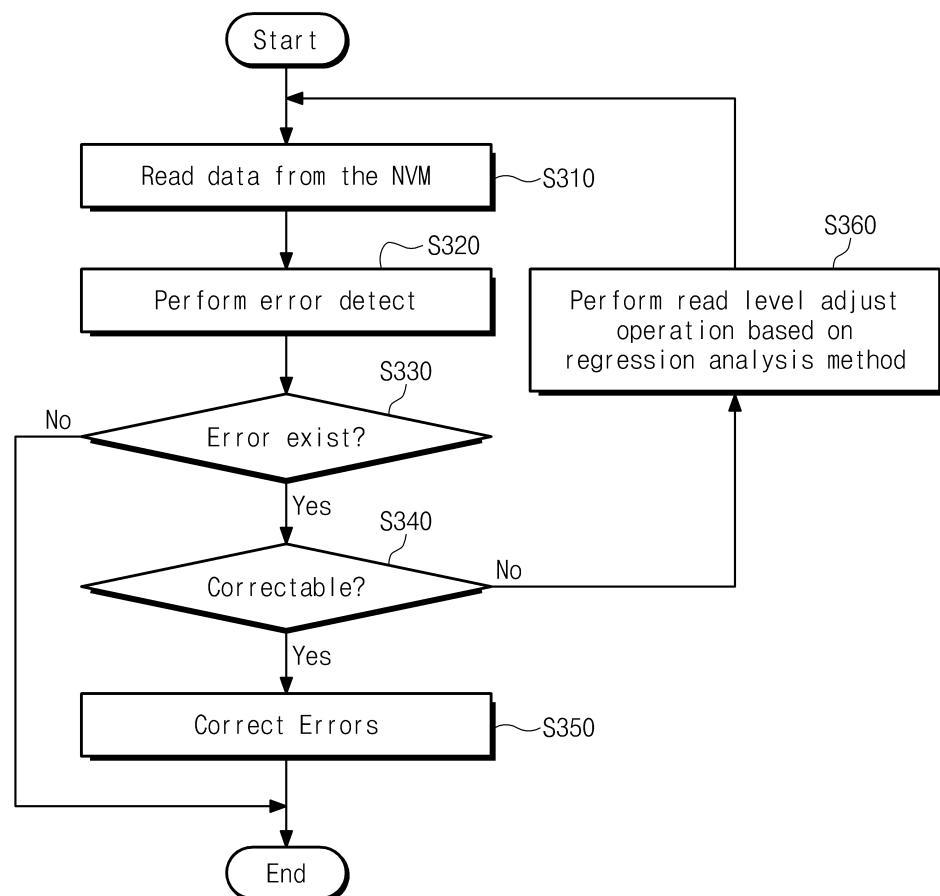
## 도면14



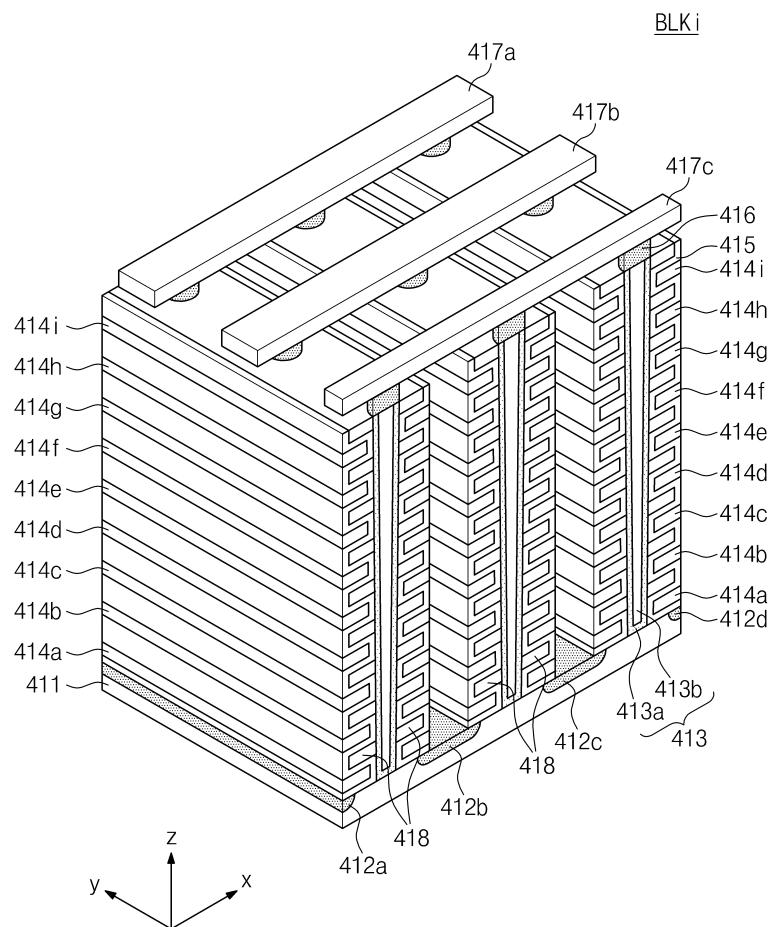
도면15



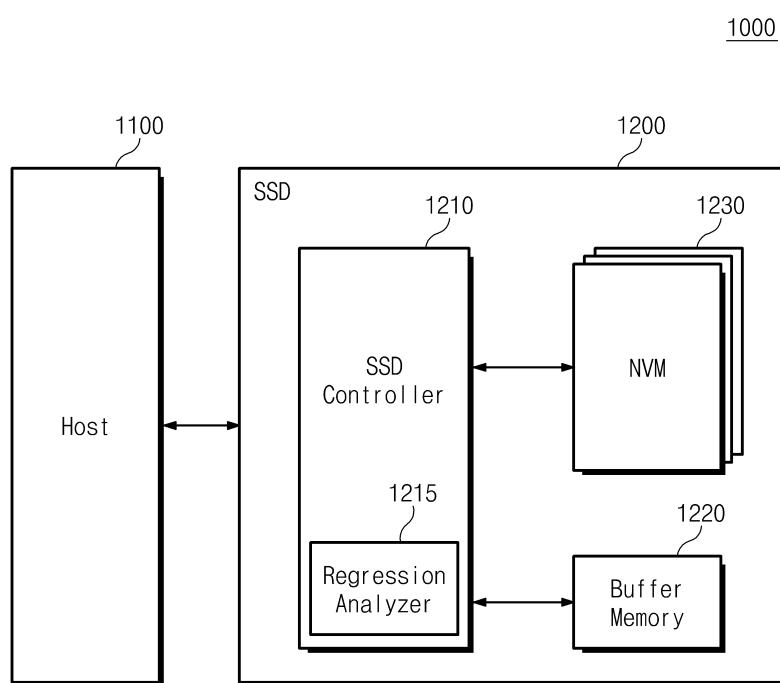
도면16



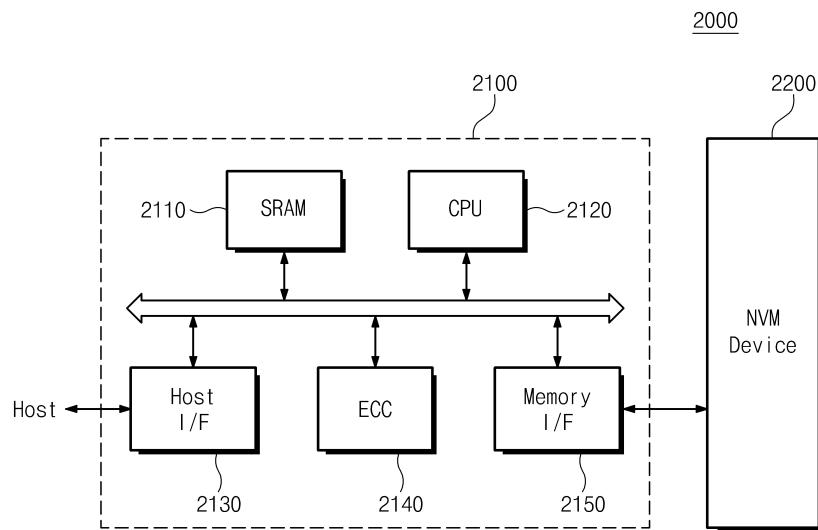
도면17



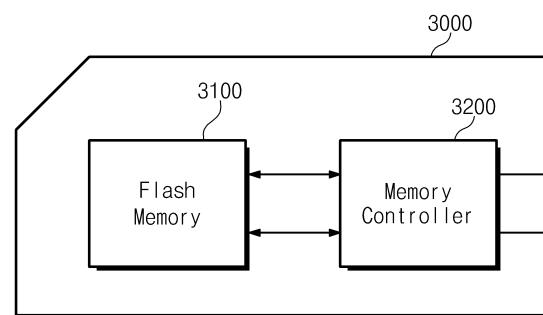
도면18



도면19



도면20



도면21

