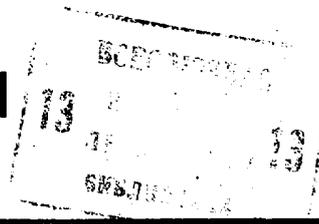




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

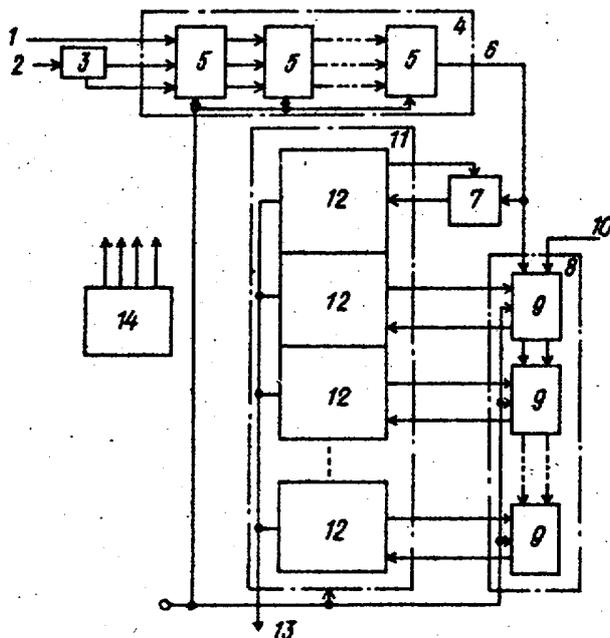
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4096707/24-24
- (22) 28.07.86
- (46) 30.12.87. Бюл. № 48
- (71) Ленинградский институт точной механики и оптики
- (72) Г.А. Кухарев, А.Ю. Тропченко и В.С. Скорняков
- (53) 681.32(088.8)
- (56) Аллен Дж. Архитектура вычислительных устройств.-ТИИЭР, т. 73, 1985, № 5.

Система параллельной обработки.
Под ред. Д. Ивенсена. М.: Мир, с. 416.
(54) СИСТОЛИЧЕСКИЙ ПРОЦЕССОР ДИСКРЕТНОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ
(57) Изобретение относится к вычислительной технике и может быть исполь-

зовано в специализированных системах обработки сигналов и изображений высокой производительности. Цель изобретения - расширение функциональных возможностей путем вычисления двумерного дискретного преобразования Фурье. Поставленная цель достигается за счет того, что в состав процессора входят информационные входы 1, 2, регистр 3, первая матрица 4, операционный блок 5, выход 6 первой матрицы, сумматор 7, вторая матрица 8 из операционных блоков 9, второй вход 10 матрицы, блок сдвиговых регистров 11, каналы 12 блока 11, информационные выходы 13 процессора и блок синхронизации. 4 ил.



Диаг. 1

Изобретение относится к вычислительной технике и может быть использовано в специализированных системах обработки сигналов и изображений высокой производительности.

Цель изобретения - расширение функциональных возможностей путем выполнения двумерного дискретного преобразования Фурье.

На фиг. 1 представлена функциональная схема систолического процессора дискретного преобразования Фурье (ДПФ); на фиг. 2 - функциональная схема операционного блока первой (систолической) матрицы; на фиг. 3 - то же, второй (систолической) матрицы; на фиг. 4 - то же, блока сдвиговых регистров.

Устройство содержит информационные входы 1 и 2, входной регистр 3, первую (систолическую) матрицу 4, операционные блоки 5 первой (систолической) матрицы, выход 6 первой (систолической) матрицы, сумматор 7, вторую (систолическую) матрицу 8, операционные блоки 9 второй (систолической) матрицы, второй вход 10 систолической матрицы, блок 11 сдвиговых регистров, каналы 12, информационные выходы 13 процессора и блок 14 синхронизации.

Операционный блок 5 (фиг. 2) содержит входы 15-17, регистры 18 и 19, умножитель 20, сумматор 21, выходы 22-24.

Операционный блок 9 (фиг. 3) содержит входы 25-27, регистр 28, умножитель 29, сумматор 30, выходы 31-33.

Блок 11 сдвиговых регистров (фиг. 4) содержит вход 34, регистр 35, выходы 36 и 37.

Процессор работает следующим образом.

При выполнении двумерного ДПФ

$$C_N = E_N (X_N E_N),$$

$$X_N = \begin{bmatrix} X_{11} & X_{12} & \dots & X_{1N} \\ X_{21} & X_{22} & \dots & X_{2N} \\ \dots & \dots & \dots & \dots \\ X_{N1} & X_{N2} & \dots & X_{NN} \end{bmatrix}; C_N = \begin{bmatrix} C_{11} & C_{12} & \dots & C_{1N} \\ C_{21} & C_{22} & \dots & C_{2N} \\ \dots & \dots & \dots & \dots \\ C_{N1} & C_{N2} & \dots & C_{NN} \end{bmatrix};$$

$$E_N = \begin{bmatrix} W_N^0 & W_N^0 & W_N^0 & \dots & W_N^0 \\ W_N^0 & W_N^0 & W_N^1 & \dots & W_N^{(N-1)} \\ \dots & \dots & \dots & \dots & \dots \\ W_N^0 & W_N^N & W_N^{2N} & \dots & W_N^{(N-1)(N-1)} \end{bmatrix} \quad (1)$$

где X_N - матрица исходных данных;
 C_N - матрица результатов;

E_N - матрица действительных экспоненциальных функций, все матрицы имеют порядок N .

Процессор реализует преобразование (1) по формулам:

$$\begin{aligned} C^{(1)} &= \sum_{k=1}^N (E_N X^{(k)}); \\ C^{(2)} &= \sum_{k=1}^N \{W_N^{(k-1)} (E_N X^{(k)})\}, W_N = \exp(-j2\pi/N); \\ &\vdots \\ C^{(M)} &= \sum_{k=1}^N \{W_N^{(k-1)} \dots \{W_N^{(k-1)} (E_N X^{(k)})\}\} \end{aligned} \quad (2)$$

где $X^{(k)} = [X_{k1}, X_{k2}, \dots, X_{kN}]^T$; $C^{(l)} = [C_{l1}, C_{l2}, \dots, C_{lN}]^T$, $\forall k, l \in \overline{1, N}$.

В выражении (2) преобразование в круглых скобках для каждого k выполняется систолической матрицей 4 лишь один раз с использованием этого результата во всех параллельных ветвях вычисления $C^{(l)}$. Дополнительные операции в выражении (2), соответствующие вычислению преобразования Фурье по второй координате, выполняются дополнительным сумматором 7, второй систолической матрицей 8 и блоком 11 сдвиговых регистров, осуществляющим накопление текущих результатов двумерного ДПФ. При этом исходные данные $X^{(k)}$ загружаются по входу 2 систолического процессора, на вход 1 которого поступают весовые множители W_N^{p-1} ($p \in \overline{1, N}$), с выхода 6 первой систолической матрицы 4 считывается результат, соответствующий вычислению одномерного ДПФ, который поступает на первый вход дополнительного сумматора 7 и первый вход второй систолической матрицы 8, на второй вход 10 которой поступают весовые множители W_N^{k-1} ($k \in \overline{1, N}$). Результат двумерного ДПФ снимается с общего выхода 13 блока 11 сдвиговых регистров. При этом каждая ячейка блока 5 первой систолической матрицы 4 реализует следующие функции (фиг. 2):

$$W_{вых} \leftarrow W_{вх}; X_{вых} \leftarrow X_{вх}; \quad (3)$$

$$Y_{вых} \leftarrow Y_{вх} \cdot W_{вх} + X_{вх}$$

Каждая ячейка блока 9 второй систолической матрицы 8 реализует функции (фиг. 3):

$$W_{вых} \leftarrow W_{вх}$$

$$X_{вых} \leftarrow X_{вх} \cdot W_{вх} \quad (4)$$

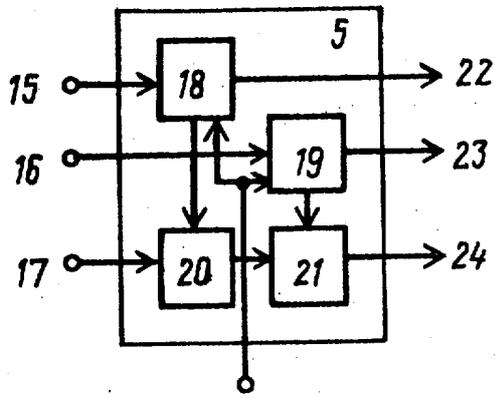
$$Y_{вых} \leftarrow Y_{вх} + X_{вх} \cdot W_{вх}$$

Работой процессора управляет стандартный блок 14 синхронизации.

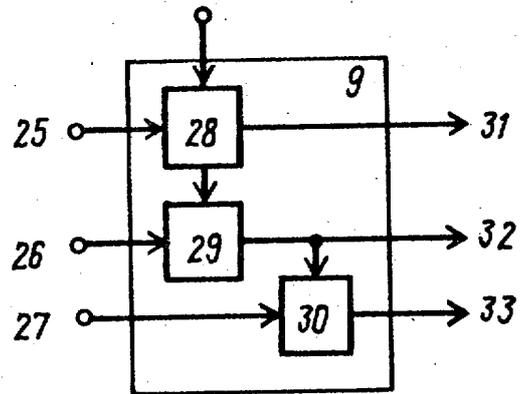
Ф о р м у л а и з о б р е т е н и я

Систолический процессор дискретного преобразования Фурье, содержащий первую матрицу из $(N-1)$ операционных блоков, где N - размер преобразования, причем первый и второй выходы i -го ($i=1, N-2$) операционного блока подключены соответственно к первому и второму входам $(i+1)$ -го операционного блока, первый и второй входы первого операционного блока матрицы являются соответственно первым и вторым входами первой матрицы, первым и вторым выходами которой являются соответственно первый и второй выходы $(N-1)$ -го операционного блока первой матрицы, отличающаяся тем, что, с целью расширения функциональных возможностей путем выполнения двумерного преобразования Фурье, в него введены вторая матрица из $(N-1)$ операционных блоков, блок сдвиговых регистров, сумматор и регистр, информационный вход которого является информационным входом процессора, причем третьи выходы i -го операционного блока первой матрицы подключены к третьему входу $(i+1)$ -го операционного блока первой матрицы, третьим входом и третьим выходом которой являются соответственно третий вход первого и третий выход $(N-1)$ -го операционных блоков первой матрицы, первый и второй входы регистра подключены соответственно к третьему и второму входам первой матрицы, второй выход которой подключен к первому входу сумматора и первому входу второй матрицы, выход сумматора подключен к первому информационному входу блока сдвиговых регистров, первый выход которого подключен к второму входу сумматора, третий выход i -го операционного блока второй матрицы подключен к $(i+1)$ -му информационно-

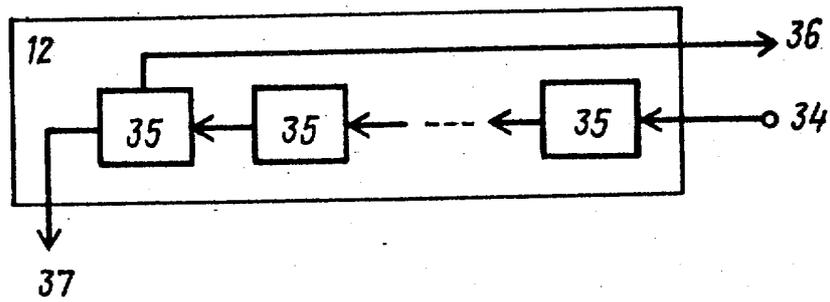
му входу блока сдвиговых регистров, тактовый вход которого соединен с тактовыми входами операционных блоков первой и второй матриц и является тактовым входом процессора, а $(i+1)$ -й выход блока сдвиговых регистров подключен к третьим входам i -х операционных блоков первой и второй матриц и является $(i+1)$ -м информационным выходом процессора, причем операционный блок первой матрицы содержит два регистра, умножитель и сумматор, первым входом операционного блока является информационный вход первого регистра, первый выход которого является первым выходом операционного блока, вторым входом которого является первый вход умножителя, второй вход которого подключен к второму выходу первого регистра, выход умножителя подключен к первому входу сумматора, выход которого является вторым выходом операционного блока, третьим входом которого является информационный вход второго регистра, первый выход которого является третьим выходом операционного блока, тактовым входом которого являются соединенные между собой тактовые входы первого и второго регистров, второй выход второго регистра подключен к второму входу сумматора, при этом операционный блок второй матрицы содержит умножитель, сумматор и регистр, информационный вход которого является вторым входом операционного блока, вторым выходом которого является первый выход регистра, второй выход которого подключен к первому входу умножителя, второй вход которого является первым входом операционного блока, первым выходом которого является выход умножителя, соединенный с первым входом сумматора, второй вход которого является третьим входом операционного блока, третьим выходом и тактовым входом которого являются соответственно выход сумматора и тактовый вход регистра.



Фиг. 2



Фиг. 3



Фиг. 4

Составитель А. Баранов
 Редактор А. Маковская Техред М. Дидык Корректор Г. Решетник

Заказ 6364/42 Тираж 671 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4