

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. <i>H01L 29/786</i> (2006.01)	(45) 공고일자 2006년08월01일
	(11) 등록번호 10-0606182
	(24) 등록일자 2006년07월21일

(21) 출원번호 10-2004-7000479	(65) 공개번호 10-2004-0015806
(22) 출원일자 2004년01월12일	(43) 공개일자 2004년02월19일
번역문 제출일자 2004년01월12일	
(86) 국제출원번호 PCT/GB2003/002131	(87) 국제공개번호 WO 2003/098696
국제출원일자 2003년05월19일	국제공개일자 2003년11월27일

(30) 우선권주장 0211424.7	2002년05월17일	영국(GB)
-------------------------	-------------	--------

(73) 특허권자 세이코 앱슨 가부시키가이샤 일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1
--

(72) 발명자 가와세다케오 영국캠브리지씨비44에프에프밀턴로드캠브리지싸이언스파크9에이 앱슨 캠브리지래버러토리내
--

(74) 대리인 문두현 문기상

심사관 : 임동우

(54) 회로 제조 방법

요약

박막 회로는 잉크젯 인쇄 기술과 조합하여 리소그래피 기술을 사용하여 제조된다.

극히 높은 해상도를 제공하는 리소그래피 기술은 트랜지스터 소스 및 드레인 전극, 상호접속부의 부분 및 회로 전극을 제조하는데 사용되고 도전성이 높은 재료가 사용될 수 있다. 반도체 영역, 절연체 영역, 게이트 전극 및 상호접속부의 다른 부분, 특히 상호접속부 교차점은 잉크젯 인쇄 기술을 사용하여 패터닝된다.

각종 재료가 잉크젯 인쇄 기술에 사용될 수 있고 다중 리소그래피 단계의 사용, 특히 플라스틱 기판의 사용과 연관된 위치 정렬에 대한 염려가 대부분 해소된다.

대표도

도 6

색인어

가요성 기판, 회로 전극, 리소그래피 기술, 잉크젯 인쇄 기술, 플라스틱 기판

명세서

기술분야

본 발명은 회로 제조 방법에 관한 것으로, 특히 박막 트랜지스터 회로에 대한 제조 방법에 관한 것이다.

배경기술

포토마스크 또는 새도우 마스크와 같은 에칭 마스크를 사용하는 리소그라피 기술은 전자 회로의 제조에 잘 알려져 있다. 포토 리소그라피는 이러한 공정의 일 예이고 포토리소그라피 공정은 해상도와 형태 결정성이 미세하기 때문에 집적 회로 디바이스 형태로 전자 회로를 제조사 공통적으로 사용되고 있다.

포토리소그라피 공정의 일 예에서, 포토레지스트 재료로 이루어진 하나의 층이 기판상에 지지되는 패터닝될 재료에 중착된다. 스판 코팅은 포토레지스트층을 형성하기 위해 공통적으로 사용되는 기술이다. 그 레지스트 층은 포토 마스크를 통해 광에 노출된다. 이 공정 단계에서는 통상적으로 자외선광이 사용된다. 포지티브 포토레지스트가 사용되는 경우, 포토 마스크에서 개구를 통해 자외선 광에 노출되는 포토레지스트 층의 이들 영역이 용해되어 패터닝된 포토레지스트층을 통해 기판 상의 재료를 패터닝한다. 포토 리소그라피 공정은 여러 해동안 사용되면서 개선되어 현재의 기술에 이르렀으며 1마이크론 미만의 형태 확정을 성취할 수 있다.

현재, 리소그라피 기술을 사용하는 대부분의 박막 회로 제조는 유리 또는 실리 등의 강성(rigid) 기판을 사용하여 수행된다. 그러나, 가요성 플라스틱 기판을 포함하는 플라스틱 기판 상에 이러한 회로를 제조할 필요성이 증가하고 있다. 포토 리소그라피 공정에 사용되는 포토마스크는 비교적 강성이어서 공정 단계 동안 마스크가 거의 팽창되지 않는다. 그러나, 기판은 팽창되는데 특히 플라스틱 기판이 사용되는 경우 마스크와 기판 상에 지지되는 패터닝될 층과의 사이에서 왜곡이 발생한다.

박막 반도체 장치를 제조하기 위해서, 포토 리소그라피 공정은 장치의 각 층에 있는 각 재료에 대하여 사용될 필요가 있고 따라서 수개의 포토마스크가 각 층용으로 필요하다. 박막 회로에 대해서는, 층간에 상호 접속이 요구되고 이들은 통상적으로 층을 관통하는 홀을 제조함으로서 제공되어 하지층을 노출시키고 그 홀에 재료를 중착시킨다. 따라서, 박막 트랜지스터 회로를 제조하기 위해서는 적어도 4개의 포토리소그라피 단계가 사용되며 각 단계는 관련된 포토마스크를 구비하고 있다. 회로 형태의 미세 확정(fine definition)을 성취하기 위해서는 모든 포토리소그라피 공정 단계에 및 그 사이에 걸쳐서 그리고 포토마스크의 모든 면적에 걸쳐서 정확한 열라인먼트가 요구된다. 이는 기판이 커지면 곤란해지며 가요성 플라스틱 기판이 사용되는 경우에는 특히 더 곤란해진다. 그러나, 미세 확정이 성취될 수 있다는 것 때문에, 표시 장치를 위한 매트릭스 어드레싱 회로에 사용되는 어드레싱 라인 및 비교적 길고 얇은 회로 상호 접속부 등의 임의의 박막 회로 형태를 확정하기 위하여 포토리소그라피 공정을 사용하는 것이 유익하다. 또한, 이 공정은 매우 얇은 길이의 채널 영역이 성취될 수 있기 때문에 박막 트랜지스터의 소스 및 드레인 전극의 제조에 사용해도 유익하다.

또한 잉크젯 인쇄 기술을 사용하여 용매 속에서의 공액 폴리머의 용액을 퇴적함으로써 박막 회로를 형성하는 것이 제안되어 왔다. 적절한 공액 폴리머 재료의 선택에 의해서, 박막 회로의 도전체, 반도체 및 절연체 영역은 이러한 기술을 사용하여 용액으로부터 퇴적될 수도 있다. 그러나, 폴리-3-4-에틸렌디옥시티오펜(PEDOT: poly-3-4-ethylenedioxythiophene) 또는 폴리아닐린(PANI) 등의 도전성 폴리머를 사용하여 높은 해상도로 전극을 패터닝하는 것은 현재 이용 가능한 기술을 사용하여 성취할 수 있는 잉크젯 공정의 해상도 때문에 문제가 될 수 있다.

박막 트랜지스터(TFT)를 제조하기 위해서, 10 마이크론 미만의 채널 길이를 가진 채널은 신뢰성 있게 성취될 수 없고, TFT의 드레인 전류가 채널 길이에 반비례하는 것으로 알려져 있다. 잉크젯 공정의 사용을 통해서 얇은 채널 길이를 제공할 수 없다는 것은 예를 들면 전류 구동 발광 디바이스를 사용하는 표시 장치 등의 임의의 애플리케이션에 이러한 인쇄 TFT를 사용하는데 한계를 가져온다.

액정 디스플레이(LCD), 전기영동 디스플레이, 전자 착색 디스플레이(ECD) 또는 발광 다이오드(LED) 디스플레이 등의 각종 표시 장치가 널리 사용되고 있다. 최근, 다른 형태의 LED 디스플레이가 어드레스 가능한 EL(electroluminescent) 디스플레이의 형태로 제안되었다. EL 표시 장치는, 예를 들면 유리, 플라스틱 또는 실리콘 기판 등의 고체 기판에 의해서 지지되는 애노드 및 캐소드 사이에 끼워 위치되는 유기 폴리머 또는 저분자 등의 유기 재료의 혼합물을 포함하고, 이 유기 재료는 디스플레이의 발광 소자를 형성한다.

표시 장치, 특히 액정 표시 장치는 소비자 기호를 맞추기 위한 스타일로 제품에 내장된다. 모바일폰 및 손목시계는 이들 제품의 전형적인 예이다. 이와 같이, 이들 디스플레이들은 종종 제품 형태와 어울리도록 곡선 형상일 필요가 있고 이 곡선 형상은 플라스틱 기판 재료의 사용을 통해 더욱 용이하게 성취될 수 있고 필요하다면 이들 디스플레이들은 제품 제조 동안 요구되는 프로파일을 취하기 위한 위치로 만곡되어 고정될 수 있다.

또한, 액정 디스플레이에는 많은 다른 형태의 휴대용 장비에 사용될 수 있고 일반적으로 랩탑 컴퓨터의 디스플레이 스크린에 선호되고 있다. 이러한 종류의 제품에 주로 요구되는 것은, 요구되는 디바이스 휴대성을 제공하기 위해 크기의 소형화 및 경량화가 이루어져야 한다는 것이다. 랩탑 컴퓨터에서의 디스플레이 스크린에서 염려되는 하나의 영역은 액정 재료를 담기 위해 사용되는 유리 기판의 깨지는 성질이다. 유리 스크린은 제품 크기와 무게를 줄이기 위해서 얇아야 하지만 실제 사용시의 가혹 행위에 견디기에 충분할 정도로 강해야 한다. 랩탑 컴퓨터의 디스플레이 스크린에 사용될 수 있도록 유리 시트(sheet)를 약 1mm 미만으로 할 수 있는 유리 기판을 터프닝(toughening)하는 기술이 제안되어 왔다.

또한, 모바일폰 등의 다른 휴대가능한 휴대용 디바이스는 매우 가벼워야 할 뿐만 아니라 사용자에 의해서 단단한 표면에 떨어뜨린 경우에도 견딜 수 있어야 하기 때문에, 강하게 사용할 수 있지만 얇고 가벼운 디스플레이 스크린 기판이 필요하다. 따라서, 터프닝된 유리 기판은 이들 디바이스에 사용될 수 있지만 비교적 스크린 크기를 작게 하고 제조시 가격 경쟁을 높이려면 다른 부가적인 제조상의 어려움을 낳게 한다.

이들 디바이스를 위한 효과적인 디스플레이 스크린 제조를 제공하기 위해서, 통상적으로 그 디스플레이에는 액정 재료로 대부분 채워지는 작은 에어 갭(air gap)을 형성하도록 그 사이에 공간을 두고 대면하여 배치되는 비교적 큰 유리 기판을 사용하여 제조된다. 그 비교적 큰 기판은 스코어링(scoring)에 의해서 분할되고 그 후에 스코어 라인을 따라 절단되어 비교적 작은 크기의 개별 디스플레이 셀이 형성된다. 그러나, 그 기판은 얇고 가볍게 하기 위해서 터프닝된 유리로 이루어져야 하지만, 터프닝 공정은 비교적 큰 유리 기판을 만들 수 있지만 분할하기 힘들고 분할선(break line)을 따라 갈라짐(cracking)이 발생할 수 있어 제조시 낭비가 심해지고, 유리에 응력이 발생하여 사용시 고장을 조기에 야기할 수 있다.

플라스틱 기판용 플라스틱 재료는 매우 얇고 가벼운 디스플레이를 제공하도록 선택될 수 있고, 그 기판은 재료상 고유 강도가 있기 때문에 터프닝 공정이 필요 없고 어드레싱 회로 구동 트랜지스터가 제조되는 대규모 플라스틱 기판 시트는 분할선을 따라 쪼개지는 손실이 거의 없이 더욱 용이하게 분할될 수 있다. 따라서, 플라스틱 기판은 그 자체로 매우 능률적이기 때문에 액정 표시 디스플레이 장치를 제조시 비용이 비교적 낮음을 알 수 있다. 따라서, 매일 사용하는 다양한 형태의 디스플레이 장치에의 플라스틱 기판의 사용 요구가 증가하고 있는 것은 놀라운 일이 아니다. 그러나, 지금까지, 플라스틱 기판의 사용이 기피되어 왔는데 그 이유는 액정 표시 장치의 디스플레이 화소를 구동 및 어드레싱하기 위해 사용되는 박막 회로를 제조하는데 사용되는 리소그라피 기술에 의해서 요구되는 많은 포토마스크를 상기 기판 상에 일치시켜 정렬할 때 경험되는 어려움들 때문이다.

두 가지 주요 형태의 어드레싱 회로가 디스플레이 디바이스에 사용되는 것으로 잘 알려져 있다. 첫 번째는 공통적으로 패시브 매트릭스 어드레싱 회로라고 하는 것이다. 액정 디스플레이를 예로 들면, 디스플레이 화소는 액정 재료를 한정하기 위해 사용되는 기판의 대향 표면상에 행렬로 각각 배열된 전극의 어레이에 의해서 결정된다. 본질적으로, 디스플레이의 각 화소는 이들 사이의 액정 유전체와 함께 평행판 커페시터와 형태가 유사하다. 화소를 획정하는 전극들 사이에 전압이 인가되는 경우 액정 재료가 액정 재료의 투명도를 제어하기 위해 생성되는 전계에 의해서 국소적으로 영향을 받으며 따라서 특정 화소의 투명도가 제어된다.

이러한 종류의 어드레싱 회로는 디스플레이의 단부 또는 경계 영역으로부터 제공되는 전압 펄스의 형태인 데이터 신호에 순전히 따른다. 그러나, 상기 어레이의 전극은 비교적 얇고 전기저항을 가지고 있으며 이 저항은 전극 길이에 비례한다. 따라서, 전압 펄스가 전극에 인가되는 경우, 인가되는 전위의 일부가 전극을 따라 하강하고 이것이 적절하게 제어되지 않으면 표시 화상의 희도가 불균일해질 수 있다.

따라서, 액티브 매트릭스 어드레싱 회로가 액정 표시 장치에 채택되는 빈도가 증가하고 있다. 액정 디스플레이 액티브 매트릭스 어드레싱 회로에서, 적어도 하나의 박막 트랜지스터(TFT)는 액정 재료를 구동하기 위해 디스플레이의 각 화소에 형성된다. 디스플레이의 물리적인 배치 때문에, TFT는 디스플레이 기판에서 비교적 얕은 영역에 제조되어야 한다. 화소 구동 트랜지스터로서 사용되는 두 가지 가장 일반적인 종류의 TFT는 반도체 재료층이 폴리실리콘 또는 비정질 실리콘 중 어느 하나로 이루어진 것이다. 어느 한 종류의 디바이스에서, 각 화소에 요구되는 위치에 실리콘 재료를 퇴적시키기 위해서 진공 캠버 등의 고가의 특수 장비를 사용하여 고가의 리소그라피 마스크를 사용하여야 한다. 따라서, 반도체 기판 상에 마스크를 일치시켜 정렬하는데 따른 부수적인 문제는 상기 퇴적된 실리콘의 전압 펄스를 화소 위치 TFT에 공급하는데 사용되는 전극 등의 전체 제조 공정의 초반 단계에서 퇴적되는 재료와 정확하게 정렬되지만 비정질 또는 폴리실리콘 디바이

스가 사용되는 지의 여부에 따라 TFT 제조 공정 자체의 공정 비용이 높아져 표시 장치의 가격이 크게 증가한다. 액티브 매트릭스형 액정 디스플레이가 패시브 매트릭스형 액정 디스플레이 보다 매우 고가인 것은 액티브인 경우에 주로 TFT 제조 공정이 행해지기 때문이다.

실리콘 TFT는 투명하지 않은 디바이스이므로 디스플레이를 위한 개구율이 최대가 되도록 하기 위해서는 디스플레이 스크린 기판 상의 TFT에 의해서 점유되는 영역이 최소가 되어야 하고 여기서 개구율은 광이 관측자에게로 통과할 수 있는 디스플레이의 비율이다. 전압 구동 펄스를 화소 위치 TFT로 통과시키기 위해 사용되는 도전체 라인 또는 전극에 대해서도 동일하게 적용된다. 예를 들면 모바일 전화 디스플레이와 같은 비교적 작은 크기의 디스플레이의 경우, 단지 약 50%의 개구율이 성취될 수 있고 비교적 큰 디스플레이에 대해서도 약 70% 내지 80% 이상의 개구율을 성취하기 어렵다. 따라서, 액티브 매트릭스 어드레싱 회로에서 데이터 라인 및 게이트 라인으로서 잘 알려진 전극은, 개구율이 더 저감되지 않게 하는 최소폭이 되어야 한다.

또한, 이하 더욱 상세하게 설명하겠지만, TFT의 채널 길이는 적정 동작 속도를 가진 TFT를 형성하기 위해서 가능한 한 짧아야 하지만 TFT의 게이트 커패시턴스는 채널 폭이 최적화될 필요성이 있으므로 가능한 한 작게 유지되어야 한다. 이들은 상반되는 설계 요구사항이다.

따라서, 액티브 매트릭스 어드레싱 회로를 내장하는 디스플레이를 위해,

- a) 화소 구동 트랜지스터의 채널 길이를 최소화하고;
- b) 디스플레이의 화소를 어드레싱하는데 사용되는 데이터 라인 및 게이트 라인에 도전성이 높은 재료를 사용하고;
- c) 개구율의 저하를 최소화하기 위해 데이터 라인 및 게이트 라인의 폭을 최소화하고;
- d) 게이트 전극 상의 커패시턴스를 최소화하기 위해 게이트 전극 및 드레인 전극(또는 소스) 사이의 중첩을 최소화하고;
- e) 게이트 전극 커패시턴스를 크게 증가시키지 않으면서 채널 폭을 최대화하는

것이 바람직하다.

이 모든 특성은 소스 및 드레인 전극, 회로 상호 접속부 중 적어도 일부, 및 화소 전극을 포토리소그라피 등의 리소그라피 기술을 사용하여 패터닝함으로써 성취될 수 있다. 예를 들면, 포토리소그라피 공정에 의해서 성취될 수 있는 미세 획정 때문에, 1마이크론 미만의 채널 길이(즉, 소스와 드레인 전극 사이의 이격 공간)가 제공될 수 있다. 또한, 비교적 긴 채널 폭을 성취하기 위해서 소스 및 드레인 전극을 인터디지트 패턴(interdigitated pattern)으로 형성할 수 있고 이들 양자는 유기 반도체의 동작 성능을 향상시키기 위해서 사용될 수 있다. 또한, 금, 은, 백금 및 팔라듐 등의 도전성이 높은 재료가, 게이트 라인 및 데이터 라인 등의 회로 전극 및 상호 접속부를 제조하여 이들 라인을 따라 인가되는 신호의 전압 강하 및 디스플레이의 동작시 신호 펄스의 지연을 최소화하기 위해 사용될 수 있다.

일반적으로 박막 트랜지스터 회로, 특히 표시 장치에서 사용되는 어드레싱 전극용 박막 트랜지스터 회로의 제조와 관련하여 어느 하나의 도전성 상호 접속부가 다른 도전성 상호 접속부와 교차(cross-over)하도록 할 필요가 종종 있지만 이 두개의 도전성 상호접속부는 디스플레이가 기능을 하도록 서로 전기적으로 분리되어 있어야 한다. 일 예로서, 액정 디스플레이 사용 액티브 매트릭스 어드레싱 회로에서, 데이터 라인 및 게이트 라인은 화소 전극 사이에 제공되는 협소한 공간에서 서로 거의 직교하여 배열된다. 이 레이아웃에 의하여, 수평행 전극과 수직렬 전극의 어레이로서 배열된 전극에서, 각 수평행 전극은 수직렬 전극과의 몇 개의 교차점을 가지고 있고 그 역도 마찬가지이다. 리소그라피 기술을 사용하여 이들 각 교차점에 절연체 영역을 형성하는 것은 절연체 영역을 확정하는데 개별 리소그라피 마스크가 사용되어야 하기 때문에 특히 문제의 소지가 있으며 마스크의 전체 영역에 걸쳐서 각 교차점에 정확하게 마스크가 배열되어야 하는 부수적인 문제도 있다. 이는 특히 대규모 플라스틱 기판에서, 제 1 전극 어레이를 확정하는데 사용되는 이전 공정 단계 동안 기판의 팽창, 수축 또는 왜곡이 발생하기 때문에 어려움이 있다.

따라서, 본 발명에서는 리소그라피 기술과 잉크젯 인쇄 기술의 조합된 기술이 회로 디바이스를 제조하기 위해 유익하게 사용되었다.

발명의 상세한 설명

본 발명의 제 1 예에 따르면, 도전성 재료의 다른 영역들 사이에 배열된 도전성 재료의 제 1 영역을 구비하는 기판상에 리소그라피 기술(lithographic technique)을 사용하여 패턴층을 제공하는 단계, 및 도전성 재료의 상기 제 1 영역의 적어도 일부 위로 연장하여 잉크젯 인쇄 기술을 사용하여 절연체 재료를 선택적으로 퇴적함으로써 상기 도전성 재료의 상기 제 1 영역으로부터 분리되지만 도전성 재료의 다른 영역들 위이면서 이들 사이로 연장하여 반도체 또는 도전체 재료가 제공될 수 있게 하기 위해 절연체 재료의 국소 영역을 제공하는 단계를 포함하는 회로 제조 방법이 제공된다.

상기 제 1 영역은 연속하는 도전성 스트립으로서 제공되고 상기 다른 영역은, 상기 연속하는 도전성 스트립과 도전성 스트립형 세그먼트가 교차점을 포함하는 경로를 가지며 상기 교차점에서 서로 접촉하지 않도록 배열된다.

바람직하게는, 상기 단부는 상기 스트립형 세그먼트보다 넓은 폭을 갖는 접촉 패드로서 제조된다.

상기 패턴층이 화소 전극을 제공하도록 패터닝되고 연속하는 도전성 스트립과 도전성 스트립형 세그먼트가 서로 거의 직교하여 배열되고 액티브 매트릭스형 표시 장치를 위한 전극 어레이를 제공하도록 화소 전극들 사이로 연장한다.

바람직하게는, 상기 패턴층은 박막 트랜지스터용 소스 및 드레인 전극을 제공하도록 패터닝되고 상기 소스 및 드레인 전극과 접촉하는 반도체 영역은 잉크젯 인쇄 기술을 사용하여 제공되고, 상기 회로 제조 방법은 상기 반도체 영역 위에 놓이며 상기 절연체 층에 의해서 공간 이격되는 상기 박막 트랜지스터용 게이트 전극을 제공하도록 상기 절연체층 상에 도전체 재료 및 상기 반도체 층상에 절연체 층을 제공하도록 잉크젯 인쇄 기술을 사용하는 단계를 더 포함한다.

더 바람직하게는, 상기 소스 및 드레인 전극은 상대적으로 짧은 길이와 상대적으로 긴 폭을 가진 채널 영역을 가진 상기 박막 트랜지스터를 제공하기 위해 인터디지트형 빗형상 구조체(interdigitated comb-like structure)로서 패터닝된다.

상기 인터디지트형 빗형상 구조체는 상기 빗형상 소스 전극의 빗살과 상기 빗형상 드레인 전극의 빗살이 상기 게이트 전극의 폭보다 적은 양으로 인터디지트된다.

상기 패턴층은, 상기 반도체 영역을 제공하기 위해 사용되는 상기 잉크젯 인쇄 기술의 해상도와 상기 소스 및 드레인 전극을 제공하는데 사용되는 상기 리소그라피의 해상도와의 사이의 차를 보상하기 위해 상기 소스 및 드레인 전극 중 어느 하나의 단부에 비도전성 버퍼 영역을 제공하도록 패터닝될 수도 있다.

더 바람직한 실시예에서, 상기 패턴층은 상기 소스 전극이 제 1 도전성 스트립에 결합되고, 드레인 전극은 화소 전극에 결합되고, 게이트 전극은 상기 제 1 스트립에 직교하여 배열된 제 2 도전성 스트립과 접촉하여 연장하도록, 상기 제 1 및 제 2 스트립이 각각 표시 장치의 액티브 매트릭스 어드레싱 회로의 데이터 라인 및 게이트 라인으로서 기능을 하도록 제조된다.

바람직하게는, 교차점에서의 상기 잉크젯 인쇄된 절연체 재료는 제 1 절연체 재료를 포함하도록 선택되고, 상기 반도체 층상의 절연체 재료는 상기 제 1 절연체 재료와 다른 절연체 재료를 포함하도록 선택된다.

대안적 실시예에서, 연속 도전성 스트립은 박막 트랜지스터용 게이트 전극을 형성하기 위해 폭의 일부가 넓어지도록 패터닝되고, 상기 회로 제조 방법은 잉크젯 인쇄 기술을 사용하여 상기 게이트 전극 상에 절연체층을 형성하고 스트립형 세그먼트와의 교차점에서 상기 연속 도전성 스트립의 적어도 일부 위로 연장하는 단계, 상기 도전성 스트립형 세그먼트와 전기적으로 결합하도록 상기 절연체층 위로 연장하는 제 1 도전성 영역과, 상기 박막 트랜지스터용 소스 전극을 형성하기 위해 상기 도전성 스트립형 세그먼트 중 하나와 접촉하고 상기 절연체층의 적어도 일부 위로 연장하여 상기 제 1 도전성 영역으로부터 분리된 제 2 도전성 영역과, 상기 박막 트랜지스터용 드레인 전극을 형성하기 위해 화소 전극과 접촉하고 상기 절연체층의 적어도 일부 위로 연장하여 상기 제 1 및 제 2 도전성 영역으로부터 분리된 제 3 도전성 영역을 형성하기 위해 잉크젯 인쇄 기술을 사용하여 도전성 재료를 퇴적하는 단계, 및 상기 소스 및 드레인 전극과 접촉하여 연장하는 상기 박막 트랜지스터용 반도체 영역을 형성하기 위해 상기 게이트 전극 위에 놓인 상기 절연체층의 노출 영역에 잉크젯 기술을 사용하여 반도체 재료를 퇴적시키는 단계를 포함하고, 따라서 상기 연속 도전성 스트립은 게이트 라인으로서 기능을 할 수 있고 상기 제 1 도전성 영역과 조합하여 상기 도전성 스트립형 세그먼트가 표시 장치용 액티브 매트릭스 어드레싱 회로를 위한 데이터 라인으로서 기능을 할 수 있다.

다른 실시예에서, 상기 연속 도전성 스트립 및/또는 상기 도전성 스트립형 세그먼트는 하나 이상의 박막 트랜지스터 사이에 상호 접속부를 포함하도록 그리고/또는 전자 회로용 입력, 출력 및 전압 공급 단자와 접촉하여 연장하도록 제조되고 상기 패턴층에 개별 영역으로서 제공된다.

상기 방법은 적어도 두개의 박막 트랜지스터를 제조하는 단계를 포함하고, 하나의 박막 트랜지스터는 제 1 도전형의 반도체 재료를 퇴적함으로써 제조되고 다른 박막 트랜지스터는 제 1 도전형과 반대인 제 2 도전형의 제 2 반도체 재료를 퇴적함으로써 제조된다.

상기 제 1 도전형은 인핸스먼트형(enhancement type) 반도체를 포함하도록 선택될 수도 있고 상기 제 2 도전형은 공핍형(depletion type) 반도체를 포함하도록 선택된다.

상기 제 1 도전형은 n형 반도체를 포함하도록 선택될 수도 있고 제 2 도전형은 p형 반도체를 포함하도록 선택됨으로써 상보 논리형 회로를 제공한다.

본 발명의 방법은 상기 패턴층의 개별 영역 사이로 연장하는 저항성 회로를 제조하는 단계를 더 포함한다.

상기 저항성 회로 부품은 저항성 재료를 잉크젯 인쇄 기술을 이용하여 국소 영역에 퇴적함으로써 제조될 수도 있다.

바람직하게는, 상기 공핍형 반도체로부터 제조된 박막 트랜지스터는 저항성 회로 부품으로서 기능을 하도록 배열될 수도 있다.

상기 저항성 재료는 무기 재료 또는 폴리머의 콜로이드 또는 용해서 폴리머를 포함하도록 선택될 수도 있다.

상기 반도체 재료는 유기 반도체 재료를 포함할 수도 있다.

상기 절연체층 상에 제공되는 상기 게이트 전극의 상기 도전체 재료는 공액 폴리머 또는 무기 도전체 재료의 콜로이드를 포함할 수도 있다.

바람직하게는 상기 도전체 재료는 공액 폴리머 또는 무기 도전성 재료의 콜로이드를 포함할 수도 있다.

상기 절연체는 무기 재료 또는 폴리머의 콜로이드, 또는 용해성 폴리머 재료, 경화성 폴리머 재료를 포함할 수도 있다.

바람직하게는 교차점에서의 상기 인쇄된 절연체 재료는 경화성 폴리머 재료를 포함하도록 선택되고 상기 반도체층 상의 상기 절연체 재료는 상기 용해성 폴리머 재료를 포함하도록 선택된다.

상기 패턴층은 금속 또는 도전성 산화물 재료, 및/또는 공액 폴리머 재료를 포함할 수도 있다.

바람직하게는, 상기 패턴층은 제 1 층으로서 금속 또는 도전성 산화물 재료로 제공되고 제 1 층 위에 놓인 제 2 층으로서 공액 폴리머 재료로 제공된다.

상기 기판은 가요성 기판을 포함할 수도 있고 기판에 대한 잉크젯 인쇄 기술에 사용되는 잉크젯 헤드를 위치 정렬하는 위치결정 마크가 형성되어 있을 수 있다.

바람직하게는, 상기 위치결정 마크에 대한 잉크젯 헤드의 위치는 액티브 피드백 제어 시스템을 사용하여 제어된다.

본 발명의 제 2 예에 따르면, 상기 제 1 예에 따라 제조된 전자 디바이스, 전기광학 디바이스 또는 도전성 상호접속부가 제공된다.

도면의 간단한 설명

본 발명을 첨부된 도면을 참조하여 설명한다.

도 1은 본 발명의 방법에 사용하는 기판 상에 지지되는 도전체층을 나타낸 도면이고;

도 2는 도 1에 도시된 반도체 층을 패터닝시 사용하는 현상된 포토레지스트층을 나타낸 도면이고;

도 3은 도 2에 나타낸 현상된 포토레지스트층을 통해 패터닝한 후의 도 6의 도전체층을 나타낸 도면이고;

도 4는 잉크젯 인쇄 기술을 사용하여 패터닝된 도전체층에 퇴적된 반도체 영역을 나타낸 도면이고;

도 5는 잉크젯 인쇄 기술을 사용하여 도 4에 나타낸 구조체에 퇴적된 절연체 영역을 나타낸 도면이고;

도 6은 잉크젯 인쇄 기술을 사용하여 도 5에 나타낸 구조체에 퇴적된 도전체 영역을 나타낸 도면이고;

도 7은 본 발명의 실시예에 따라 제조된 저면(bottom) 게이트 트랜지스터와 연속 게이트 라인을 가진 대안적 구조체를 나타낸 도면이고;

도 8은 선 A-A를 따라 취한 도 7에 나타낸 구조체의 단면도를 나타낸 도면이고;

도 9는 인터디지트형 소스 및 드레인 전극을 사용함으로써 얻어지는 박막 트랜지스터의 채널 영역을 개략적으로 나타낸 도면이고;

도 10은 도 9에 나타낸 도전체 영역의 확대도를 개략적으로 나타낸 도면이고;

도 11은 패터닝 후 도전체 층의 스트립형 세그먼트 사이에 배열되는 인터디지트형 소스 및 드레인 전극에 대한 대안적 배열을 나타낸 도면이고;

도 12는 본 발명의 발명에 따라 패터닝된 패턴층의 개별 영역의 배열을 나타낸 도면이고;

도 13은 본 발명의 방법에 따라 잉크젯 인쇄 기술을 사용하여 도 12에 나타낸 패턴층에 퇴적된 반도체 영역을 나타낸 도면이고;

도 14는 본 발명의 방법에 따라 잉크젯 인쇄 기술을 사용하여 도 13에 나타낸 구조체에 퇴적된 저항성 소자를 나타낸 도면이고;

도 15는 본 발명의 방법에 따라서 잉크젯 인쇄 기술을 사용하여 도 14에 나타낸 구조체에 퇴적된 절연체 영역을 나타낸 도면이고;

도 16은 본 발명의 방법에 따라 잉크젯 기술을 사용하여 도 14에 나타낸 구조체에 퇴적된 도전체 영역을 나타낸 도면이고;

도 17은 공핍형 부하 트랜지스터의 형태로 저항성 소자를 형성하는 대안적 실시예를 나타낸 도면이고;

도 18은 본 발명의 방법에 따라 제조되는 상보 논리 회로를 나타낸 도면이고;

도 19는 본 발명의 방법에 사용하는 잉크젯 퇴적 장치를 위한 제어 시스템의 개략 블록도이고;

도 20은 도 19에 나타낸 제어 시스템에 대한 파형도를 나타낸 도면이고;

도 21은 본 발명의 방법에 따라 제조된 전기광학 디바이스에 대한 블록도이고;

도 22는 본 발명의 방법에 따라 제조된 표시 장치를 내장하는 모바일 개인용 컴퓨터를 개략적으로 나타낸 도면이고;

도 23은 본 발명의 방법에 따라 제조되는 표시 장치를 내장하는 모바일 템파폰을 개략적으로 나타낸 도면이고;

도 24는 본 발명의 방법에 따라 제조된 표시 장치를 내장하는 디지털 카메라를 개략적으로 나타낸 도면이다.

실시예

용액 처리 박막 트랜지스터 전자 회로를 제조할 수 있는 제조 방법은 잉크젯 인쇄 기술에 의해서 용매속의 용질로서 도전성, 반도전성 및 절연체 재료의 선택적 국소 퇴적에 기초하여 제안되어 왔다. 또한 이러한 기술은 용액에 도전성 재료 등의 콜로이드의 퇴적을 위해 제안되어 왔다. 그러나, 임의의 전자 또는 전기광학 디바이스에 대해서는, 전기광학 표시 장치의

화소와 연관된 전극 영역 등의 비교적 큰 전극 영역을 확보할 필요가 있다. 더욱이, 이러한 디바이스에 대해서는, 전기 저항이 최소로 할 필요가 있는 길지만 얇은 도전체 라인을 확보할 필요가 있다. 또한, 이들 과제들 중 어느 하나에 잉크젯 인쇄 기술이 사용될 수 있지만, 도전성 재료의 도트(dot) 어레이로서 대규모 전극 영역을 인쇄하는 것은 비교적 비효율적이다. 또한, 액티브 매트릭스 어드레싱 회로의 게이트 라인 및 데이터 라인 등의 디스플레이 화소를 어드레싱하는데 사용되는 도전성이 높은 전극에 바람직한 재료는 전기 저항이 낮은 금속 또는 금, 은, 백금 또는 팔라듐의 금속 합금 또는 ITO(indium tin oxide) 등의 금속 산화물이다. 이들 재료는 그 자체로 잉크젯 인쇄 기술의 사용에 의해서 퇴적될 수 없고 이들 재료의 콜로이드가 퇴적될 수 있고 그 도전성은 순수 금속 또는 금속 합금의 도전성과 일치하지 않는다. 콜로이드로부터 퇴적되는 재료의 도전성을 향상시키기 위해서 어닐링 공정이 사용될 수 있지만 이러한 어닐링 공정은 어닐링 단계를 수행하는데 채용된 공정 온도 때문에 가요성 기판에는 사용할 수 없다.

본 발명에 따르면, 리소그라피 및 잉크젯 인쇄 기술이 조합되어 박막 트랜지스터 회로 등의 디바이스 제조시에 유익하게 사용될 수 있다. 따라서, 소스 및 드레인 전극, 상호접속부의 부분, 및 화소 전극은 이를 회로 특성에 바람직한 재료로 리소그라피에 의해서 패터닝될 수 있고 리소그라피 기술로 형성하는데 어려움이 있는 반도체 영역, 절연체 영역, 게이트 전극 및 상호 접속부의 임의의 다른 부분, 특히 전극 교차점은 잉크젯 인쇄 기술을 사용하여 유익하게 패터닝될 수 있다.

도 1은 당해 분야에서 잘 알려진 증착 기술을 사용함으로써 기판(22) 상에 퇴적된 도전체 필름(20)을 나타낸다. 증착 기술을 사용하는데 있어서 도전체 필름(20)은 금속 또는 금속 합금 등의 도전성이 높은 재료로 이루어지도록 선택될 수 있다. 금, 은, 팔라듐(palladium), 백금, 크롬 또는 이들 금속의 합금은 이 목적에 특히 적절한 재료의 예이다. 또한, 도전체 필름(20)은 필요에 따라, 백금의 상부층을 구비한 알루미늄의 제 1 층과 마찬가지로, 금속과 다른 재료와 합금된 금속 합금으로 이루어진 이중 층으로서 퇴적될 수 있다. ITO, 인듐 산화물, 또는 산화 아연과 같은 금속 산화물이 또한 이러한 목적을 위해 사용될 수 있다. 칼슘과 알루미늄의 이중층이 또한 사용될 수도 있다. 도전체 필름(20)을 퇴적시키는데 전기도금이 사용될 수 있다.

도전체 필름(20)은 또한 스핀 코팅에 의해서 공액 중합체 또는 콜로이드 재료의 용액으로부터 퇴적될 수 있다. 이 경우에, 균일한 층을 형성하기 위해 필요한 진공 공정이 필요 없기 때문에 제조 비용을 고려해야 하는 애플리케이션에 효과적이다.

포토레지스트층은 스핀 코팅 등에 의해서 도전체 필름(20)에 퇴적되고 종래 기술에 알려진 바와 같이 포토마스크를 통해 자외선광에 노출된 후에 현상된다. 400nm의 영역에서의 파장을 가진 시준광(collimated light)을 사용함으로써 가요성 기판에도 적용할 수 있는 1마이크론 미만의 해상도가 성취될 수 있다. 레지스트 재료의 노출된 영역은 적절한 용액(현상액)에서 용해에 의해서 제거되어 포토마스크에 있는 개구에 대응하는 개구 형상을 가진 레지스트 마스크를 남긴다. 그 결과적인 구조체는 패터닝된 포토레지스트 마스크(24)를 통해 노출된 도전체(20)의 선택 영역과 함께 도 2에 도시되어 있다.

그 후, 도 2의 구조체는 포토레지스트 마스크를 통해 도전체층(20)의 노출된 영역을 에칭하도록 건식 또는 습식 에칭을 사용하여 에칭되어 본 예에서는 기판(22)인 하지층을 노출시킨다. 그 후, 포토레지스트 마스크(24)가 제거되어 기판(22) 상에 도전성 재료의 패턴층(26)이 남는다.

도 3에 나타낸 발명의 실시예에서, 패턴층(26)은 전기 광학 디스플레이 장치를 위한 데이터 라인(28), 게이트 라인(30) 및 화소 전극(32)으로서 구성된 도전체 재료의 개별 영역들을 포함한다. 도 3으로부터, 데이터 라인 및 게이트 라인은 각 라인의 경로가 서로 교차하는 교차 영역(35)에서 서로 접촉하지 않도록 하기 위해서 데이터 라인은 연속하는 도전성 스트립으로 형성되지만 게이트 라인은 도전성 스트립형 세그먼트로서 형성되는 것을 볼 수 있다. 비록, 데이터 라인(28)이 도 3에서 연속하는 도전성 스트립으로 도시되어 있지만, 패턴층(26)의 개별 영역이 패터닝되어 데이터 라인(28)이 스트립형 세그먼트로서 형성되고 게이트 라인(30)은 연속하는 도전성 스트립으로 형성되어 있음을 알 수 있다. 그러나, 이하 설명으로부터 명백해지는 이유때문에 도 3에 나타낸 바와 같이 데이터 라인이 연속하는 스트립으로 구성되는 것이 바람직하다.

게이트 라인(30)은 스트립(strip)형 세그먼트보다 넓은 폭을 가지며 제조 공정의 후속 단계에서 유리하게 사용될 수 있는 단부(34)가 형성되어 있다.

데이터 라인(28)은 넓어진 폭을 가진 영역들이 형성되어 있고 각 영역은 박막 트랜지스터를 위한 소스 전극(36) 등의 전극으로서 역할을 할 수 있다.

화소 전극(32)은 데이터 라인(28)을 향하여 확장되어 박막 트랜지스터를 위한 드레인 전극(38) 등의 전극으로서 역할을 할 수 있는 영역을 제공하도록 형성된다.

데이터 라인(28) 및 화소 전극(32)은 또한 패터닝되어 베퍼 영역(40)을 형성하여 이 영역은 필수적으로 에칭 단계 동안 도전성 재료가 제거된 비도전성 영역을 포함하고 있으며 후속 공정 단계에서 사용되는 잉크젯 인쇄 기술로 성취할 수 있는 덜 미세한 해상도와 리소그라피 기술로 성취할 수 있는 매우 미세한 해상도의 차를 허용하기 위해서 사용될 수 있다.

도 3에 나타낸 패턴층을 형성하기 위한 리소그라피 기술을 사용함으로써, 데이터 라인 및 게이트 라인은 매우 얇지만 높은 도전성을 가진 금속 또는 금속 산화물 재료로 이루어질 수 있고 이들은 매우 미세하게 확정될 수 있다. 따라서, 소스 및 테이터 라인은 데이터 신호를 장치의 화소에 전압 강하가 거의 없고 데이터 및 게이트 라인을 따라 발생하는 펠스 지연이 거의 없이 효율적으로 전달할 수 있도록 제조될 수 있다. 또한, 라인이 매우 얇으면서 높은 해상도로 만들어질 수 있기 때문에 데이터 및 게이트 라인이 직교하여 배치되는 것을 허용하도록 화소 전극들 사이에 요구되는 공간이 축소될 수 있고, 따라서 장치의 개구율이 최대로 되고 콘트라스트와 휘도가 높아진다.

반도체 재료는 도 4에 나타낸 바와 같이 소스 및 드레인 전극(36 및 38)과 접촉하여 반도체 도메인 또는 영역(42)을 형성하기 위해서 잉크젯 인쇄 기술을 사용하여 국소 영역에 퇴적된다. 이 도면으로부터, 패턴층에 형성된 베퍼 영역(40)의 관점에서 보면, 반도체 영역(42)만이 소스 및 드레인 전극과 접촉하여 화소 전극(32) 또는 게이트 전극(30)과는 접촉하지 않는 것을 알 수 있다. $Pc2Lu$, $Pc2Tm$, C60, C70, TCNQ, PTCD1-Ph, TCNNQ, NTCDI, NTCDA, PTCDA, F16CuPc, NTCDI-C8F, DHF-6T, PTCD1-C8, 폴리티오펜(polythiophene), 폴리(알킬티오펜)(P3HT 등), 웬타센(pentacene), 폴루오렌(fluorene)과 비티오펜(F8T2)의 공중합체, 폴리티에닐렌비닐렌, 티오펜계 올리고머, 또는 프탈로시아닌 등의 임의의 가용성 유기 반도체가 사용될 수 있다. 바람직하게는, 반도체 재료는 높은 전자 이동도를 갖는 것이 선택되어 데이터 신호에 대응하는 전류를 전기광학 장치의 화소에 제공하기 위해 사용된다.

그 후, 절연 재료가 잉크젯 인쇄 기술을 사용하여 국소 영역에 퇴적된다. 도 5에 나타낸 실시예에서, 절연 재료는 2개의 상이한 국소 영역에 퇴적된다. 절연 재료는 데이터 라인(28)과 게이트 라인(30)의 교차 영역(35)에, 이들 교차 영역에서 데이터 라인(28)을 덮어 전기적으로 분리하는 각 교차 영역에 절연 재료의 브리지(44)를 형성하도록 퇴적된다. 절연 재료는 또한 반도체 영역(42) 위에 게이트 유전체로서 역할을 하도록 각 반도체 영역 상에 절연층(46)을 형성하도록 퇴적된다.

절연 재료는 임의의 용해성 또는 경화성 폴리머 재료 또는 플로머 또는 무기물 재료의 콜로이드를 포함할 수도 있다. 적절한 용해성 폴리머 재료는 폴리(비닐페놀)(PVP), 폴리(메틸 메타크릴레이트)(PMMA), 폴리카보네이트(PC), 폴리스티렌(PS), 폴리올레핀, 폴리아크릴아미드, 폴리(아크릴산), 노볼락 수지, 레졸(resol) 수지, 및 폴리이미드의 전구체(precursor) 폴리머를 포함한다. 경화성 폴리머 재료는 애폭시 수지를 포함할 수도 있다. SiO_2 등의 무기 재료의 전구체는 또한 절연층(46)을 형성하기 위해 제공될 수도 있다.

절연 재료의 브리지(44)는 브리지 영역에서 데이터 라인을 덮고 스트립형 세그먼트 게이트 라인(30)의 단부(34)와 접촉하지만 덮지 않게 연장되도록 형성되는 것이 바람직하다. 브리지(44)는 완성된 회로에서 데이터 라인(28)으로부터 게이트 라인(30)을 전기적으로 분리하도록 역할을 하기 때문에, 브리지(44)를 형성하는 절연 재료의 두께가 충분히 확보될 필요가 있다. 따라서, 애폭시 수지와 같은 경화성 폴리머는 잉크젯 퇴적 공정에 의해서 퇴적되는 모든 액체가 고체 상태로 되고 따라서 절연 재료에 요구되는 두께를 보다 용이하게 확보할 수 있다. 또한, 용해성 폴리머의 점도를 적절하게 선택하거나 그리고/또는 폴리머의 건조를 도움으로써, 브리지(44)의 연장은, 전기적인 분리가 데이터 라인(28)에 제공되지만 게이트 라인(30)의 단부(34)가 절연 폴리머에 의해서 덮이지 않도록 제공되어 후속 공정 단계에서 도전성 재료와 접촉되도록 완전히 노출되는 것을 확실하게 하도록 제어될 수 있다. 더욱이, 적층된 절연층을 형성하기 위해 상이한 절연 재료가 제공될 수도 있다. 다른 폴리머로 이루어진 층에 하나의 폴리머 용액(solution)이 퇴적되는 경우, 폴리머 용액이 다층 구조체를 형성하는 기존의 (하지)폴리머층을 용해 또는 손상시키지 못한다. 이러한 다층 구조체는 절연층의 두께를 비교적 크게 하는 것이 바람직하다.

TFT용 게이트 유전체로서 역할을 하는 절연층(46)에 대해서, 절연층(46)을 형성하기 위해 선택되는 절연 재료의 유전 특성은 TFT의 동작 성능이 저하되지 않도록 선택한다. 반도체 장치에서의 포획 상태는 잘 알려진 현상이고 전하 캐리어가 반도체층에 포획(trap)되는 경우 발생한다. 포획 상태의 증가는 이동도를 저하시키고 임계 전압을 상승시키는데 이는 TFT에 바람직한 특성이 아니다. 반도체층(42)과 절연층(46) 사이의 인터페이스는 상기 반도체 장치의 동작 특성을 저해하는 범위에 포획 상태가 발생하지 않도록 하는 것이 중요하다. 상기 절연 재료는 안정성이 있도록 선택되고 과잉 자유 라디칼을 함유하지 않고 반도체층(42)의 반도체 재료와 반응하지 않아야 한다. 따라서, 절연층(46)은 반도체 재료와의 양호한 인터페이스를 제공할 수 있도록 선택되는 용해성 폴리머(soluble polymer)로 제조될 수도 있고 게이트 유전 재료의 요

구 두께를 제공하도록 용해성 폴리머 제 1 층 및 경화성 폴리머 제 2 층의 형태로 2층 구조로서 제공될 수도 있다. 이는 재료 퇴적시 잉크젯 인쇄 기술을 사용하는 특별한 장점은 소망하는 장치 성능을 제공하도록 선택할 수 있다는 것을 고려한 것이다.

게이트 라인(30)의 도전성 스트립형 세그먼트를 전기적으로 결합시키기 위한 도전성 경로로서 역할을 하는 도전성 상호 접속부(50)와 TFT용 게이트 전극(48)을 형성하기 위해서 잉크젯 인쇄 기술을 사용하여 도 5에 나타낸 구조체 상의 국소 영역에 도전성 재료가 퇴적된다.

상호 접속부(50)는 게이트 라인(30)의 단부(34)와 접촉하여 브리지 부분(44) 상에 도전성 재료를 퇴적함으로써 제조된다. 상기 단부의 넓어진 폭으로 상기 상호 접속부(50)와 상기 게이트 라인 사이가 전기적으로 양호하게 접촉할 수 있게 하기 때문에 게이트 라인의 전체적인 전기 도전성은 상기 잉크젯 퇴적 상호 접속부(50)의 사용에 의해서 크게 감소되지 않는다.

게이트 전극(48)은 절연층(46) 상에 도전성 재료를 퇴적함으로써 제조되며 이들은 게이트 라인(30)과 접촉하여 확장되도록 배열된다.

게이트 전극(48)과 상호 접속부(50)는 용액 도전성 재료, 예를 들면 PEDOT 또는 PANI 등의 공액 폴리머, 금속, 금속 합금, 또는 금, 은, 동 또는 탄소 등의 다른 도전성 재료의 콜로이드로 제조될 수도 있다.

상술한 실시예에서, 포토리소그라피 단계가 사용되어 연속 스트립형 데이터 라인, 세그먼트된 게이트 라인, 화소 전극 및 박막 트랜지스터의 소스 및 드레인 전극이 제공되고 후속층은 잉크젯 인쇄 기술을 사용하여 제조된다.

그러나, 포토리소그라피 단계는 잉크젯 인쇄 기술을 사용하여 포토리소그라피 패턴층에 후속하여 제조될 하부 게이트 트랜지스터로서 공지된 것을 사용하기 위해서 박막 트랜지스터용 게이트 전극, 화소 전극, 세그먼트된 데이터 라인 및 연속 스트립형 게이트 라인을 제공하기 위해서 사용될 수 있다. 도 7 및 8에 이러한 구조가 도시되어 있다.

도 7을 참조하면, 본 발명의 실시예에서, 게이트 라인(30)은 연속 스트립으로서 형성되고 데이터 라인(28)은 도전성 스트립형 세그먼트로서 형성된다. 게이트 라인(30)에는 게이트 라인(30)에 비해서 폭이 넓고 최종 트랜지스터 구조체에서 게이트 전극(31)으로서 기능을 하는 영역이 제공된다. 그 후, 절연 재료의 영역(500)은 잉크젯 인쇄 기술을 사용하여 게이트 전극(31) 상에 퇴적된다. 그 후, 잉크젯 기술을 사용하여 다시 절연 재료의 영역(500) 상에 도전성 영역(502 및 504)이 제공된다.

데이터 라인(28)의 도전성 스트립형 세그먼트와 연속하는 스트립형 게이트 라인(30) 사이의 교차 영역을 덮도록 확장되는 것을 도 7에서 볼 수 있다. 또한 잉크젯 인쇄 기술을 사용하여 절연 영역(500) 상에서 데이터 라인(28)의 도전성 세그먼트 와의 접촉부로 확장하는 도전성 영역(506)이 퇴적된다. 도전성 영역(506)은 도전체 영역(502 및 504)과 동일한 잉크젯 인쇄 단계에서 퇴적될 수 있다. 따라서, 영역(506)은 데이터 라인의 세그먼트를 전기적으로 연결하지만 절연체 영역(500)에 대해서 게이트 라인(30)으로부터 전기적으로 분리된 도전성 브리지를 형성한다. 그 후, 잉크젯 인쇄 기술을 사용하여 반도체 영역(508)이 도전성 영역(502 및 504) 상에 퇴적되어 "하부 게이트" TFT 구조체가 완성된다.

도 7에 도시한 배열에 연속 게이트 라인이 사용될 수 있고 이에 대해서 게이트 라인의 저항은 비교적 레벨이 낮아질 수 있다. 결과적으로, 다수 화소의 등가 회로는 직렬로 결합된 저항들간 노드로부터 접지에 접속되는 커패시터와 직렬로 접속되는 다수의 저항이 된다. 게이트 라인의 저항이 증가하는 경우, 상기 등가 회로의 저항들의 유효 저항이 증가되고 게이트 라인을 따라 통과하는 신호 펄스에서 지연을 발생시킨다. 따라서, 게이트 라인의 저항이 가능한 한 낮게 유지하면, 연속 게이트 라인이 리소그라피 기술을 사용하여 제조될 수 있기 때문에 도 7에 나타낸 실시예에서와 같이 게이트 라인을 따라 통과하는 신호 펄스에 지연이 거의 없어 연속 게이트 라인 화소 배열의 이러한 형태를 포함한 장치에 고속 동작으로 사용될 수 있다.

박막 트랜지스터 회로의 고속 동작을 위해서, 소스와 드레인 영역 사이의 공간인 트랜지스터의 채널 길이 L은 가능한 한 작은 통상적으로 수마이크론이어야 하는데 그 이유는 트랜지스터의 동작 속도는 게이트 (입력) 커패시턴스의 감소 ($\propto L^{-1}$) 와 드레인 전류의 증가($\propto L^{-1}$)의 기여분의 곱인 L^{-2} 에 거의 비례하기 때문이다. 이는 특히 용액 유기 반도체와 같은 비교적 이동도가 낮은 반도체 층에 있어서 중요하다.

채널폭 W은 채널 길이 L이 패터닝 해상도에 대해서 제한되기 때문에 설계시 충분한 드레인 전류를 얻도록 최적화해야 한다. 그러나, 채널 폭을 증가시키면 최소화되어야 할 게이트 커패시턴스도 증가한다. 게이트 커패시턴스는 채널 영역과 게이

트 소스(드레인) 중첩 영역으로부터의 두개의 기여분을 포함한다. 1 마이크론 미만의 채널은 리소그라피 기술을 사용함으로써 성취될 수 있지만 게이트 전극의 폭은 잉크젯 패터닝의 해상도 한계 때문에 10마이크론보다 크다. 도 2 내지 8에 나타낸 바와 같은 소스 및 드레인 전극의 단순 구조는 결과적으로 게이트 소스(드레인) 중첩 영역 때문에 게이트 커패시턴스가 커진다.

따라서, 본 발명의 바람직한 형태에서, 소스 및 드레인 전극(36 및 38)은 도 7에 나타낸 바와 같이 빗형상 인터디지트 영역으로서 제조된다. 본질적으로, 채널 길이는 빗형상 영역간 공간에 의해서 제공되고 채널폭은 인터디지트 영역간 공간의 전체 길이에 의해서 제공되고 도 9에 L 및 W로 각각 도시되어 있다. 리소그라피 기술을 사용하여 도 9에 나타낸 바와 같이 소스 및 드레인 영역을 제조함으로써, 1마이크론 미만의 채널 길이, 1마이크론 미만의 소스/드레인 전극의 폭, 및 수백마이크론을 초과하는 채널폭이 제공될 수 있어 용액 유기 반도체 트랜지스터가 고속 스위칭과 높은 드레인 전류 능력을 제공할 수 있다.

인쇄된 게이트 전극(48)의 라인 폭은 도 10에 더욱 명백하게 표시되어 있다. 석명을 위해서, 도 10에서는 인쇄된 게이트 전극을 외곽선으로 표시하여 인터디지트형 소스 및 드레인 영역과의 공간 관계를 명백하게 도시하였다. 인쇄된 게이트 전극(48)은, 도 10에 도시된 바와 같이 채널 영역을 완전히 겹치도록 빗형상 소스 및 드레인 전극의 인터디지트형 핑거(finger)를 덮는 폭을 가질 수 있게 인쇄된다.

빗살의 중첩 길이(인터디지트)는 인쇄된 게이트 전극의 라인폭보다 약간 작은 길이가 되도록 선택될 수도 있다. 이 구조에 따르면, 게이트 커패시턴스는 비록 인쇄된 게이트 전극의 라인 폭이 채널 길이 L에 비해 큰 경우에도 최소화된다. 또한, 바람직하게 게이트 전극은, 게이트 라인과 게이트 전극간에 양호한 전기적인 접촉의 제공을 확보하기 위해서 게이트 라인(30)의 스트립형 세그먼트에 비해 증가된 폭을 갖는, 도전성 상호 접속부와 접촉 확장한다. 소스 및 드레인 전극은 도 11에 나타낸 바와 같이 도전성 상호접속부(50)가 게이트 전극으로서 역할을 할 수 있는 경우에 게이트 라인(30)의 경로에 위치될 수도 있다. 본 구성에서, 게이트 전극을 인쇄하는 잉크젯 인쇄 공정이 간략화될 수 있고 따라서 더욱 효율적이다.

도 6 및 7에 나타낸 각 구조체는 디스플레이 장치의 각 화소에 인접하여 위치되는 TFT를 가진 액정 디스플레이 장치용 액티브 매트릭스 어드레싱 회로로서 역할을 할 수 있다. 그러나, 유기 폴리머 EL(electroluminescent) 표지 장치와 같은 전류 구동 디스플레이 장치를 가지는 디스플레이 장치에 상기 어드레싱 회로가 사용될 수 있도록 각 화소 전극에서 예를 들면 2개 이상의 TFT를 제공하기 위해서 본 발명의 방법이 사용될 수 있다.

상술한 실시예에서, 패턴층(26)은 기판(22)에 퇴적된 단일층 무기 도전체 필름(20)으로 제조되고 리소그라피 공정에 의해서 패터닝된다.

일부 무기 도전체 재료는 유기 반도체의 최상위 점유 분자 궤도(HOMO: highest occupied molecular orbital) 레벨보다 작은 일함수를 나타낸다. ITO(indium tin oxide)는 예를 들면 공정 조건에 따라 4.0eV와 4.5eV 사이의 일함수를 가지며 F8T2는 약 5.5eV의 HOMO 레벨을 나타낸다. 따라서, 무기 도전체 재료로부터 유기 반도체 재료로의 에너지 캐리어의 주입용 에너지 캐리어에 대해서 극복되어야 하는 에너지갭이 비교적 높고 따라서 에너지 캐리어의 주입이 방해되어 장치 효율이 저하된다. PEDOT 또는 폴리아닐렌(polyaniline) 등의 도전성 폴리머는 무기 도전체와 유기 반도체 재료의 에너지 레벨 사이인 약 -4.6eV와 약 -5.3eV의 HOMO 레벨을 갖는다. 따라서, 패턴층이, 상기 무기 도전체 재료의 제 1 층과 도전성 유기 폴리머로 구성되는 제 2 층으로 구성되는 2층 구조체로서 제공되면, 유기 반도체 폴리머로의 에너지 캐리어의 주입이 향상될 수 있고 따라서 패턴층(26)에 대해 보다 높은 전기 도전성 무기 도전성 재료의 사용에 따른 장점이 있음은 물론 유기 반도체 폴리머의 동작 효율이 향상될 수 있다.

따라서, 패턴층(26)의 전부 또는 일부는 2층 구조체와 같은 형태로 제공될 수도 있고 단일 리소그라피 공정의 사용에 의해서 제공되도록 구성될 수도 있다. 균일한 2층은 단일 리소그라피 공정에서 동시에 에칭될 수 있다. 이는 자기 정렬 방식을 사용하여 성취될 수 있고 이에 의해서 유기 도전체 재료의 층은 무기 재료의 패턴층(26) 상에 피복되고 그 후 기판과 패터닝된 무기층을 통해 노출된다.

박막 회로의 임의의 형태를 제조하기 위해 본 발명의 방법이 사용될 수 있고 도 12 내지 16은 인쇄된 트랜지스터와 인쇄된 레지스터 회로 소자와 함께 2개의 상호 접속된 NAND 회로를 가진 논리 회로(셋-리셋 플립플롭)를 제조하는데 사용되는 경우의 예로서 본 발명의 방법을 나타낸다.

도 12를 참조하면, 전극(64)과 패터닝된 도전체(62)의 개별 영역을 가진 패턴층(60)은 리소그라피 기술을 사용하여 기판 상에 제조된다. 그 후, 반도체 재료의 영역(66)은, 2개의 NAND 게이트를 제공하기 위해 접속될 4개의 TFT를 위한 소스 및 드레인 전극으로서 역할을 할 패턴층(60)의 전극(68)이 접촉하도록 잉크젯 인쇄 기술에 의해서 국소 영역에 퇴적된다.

이 구조체는 도 13에 나타낸 바와 같다. 그 후에, 부하 저항을 제조하기 위해서, 저항성 재료의 영역(70)은 2개의 전극(68)과 다른 전극(72) 사이로 확장하도록 바람직하게는 잉크젯 기술을 사용하여 국소 영역에 퇴적된다. 저항성 재료는 PEDOT 와 절연 폴리머의 혼합물 또는 용액속의 콜로이드와 같은 폴리머 재료를 포함할 수도 있다. 다른 전극(72)은, 공급 전압 (V_{dd})이 인가될 수 있는 논리 회로용 전압 공급 전극(76)에, 패턴층(60)의 도전성 스트립(74)에 의해서 접속된다. 이는 도 14에 나타낸 구조체를 제공한다.

그 후에, 절연체 재료는 도 15에 나타낸 바와 같이 패턴층(60)의 선택된 도전성 스트립 상에 절연체 영역(80)을 그리고 반도체 영역(66) 상에 게이트 유전체 영역(78)을 제공하기 위해 국소 영역에 퇴적된다. 절연체 영역(80)은 논리 회로에서 상호접속을 제공하기 위해 사용되는 다른 도전성 스트립의 경로와 함께 교차점에서 선택된 도전성 스트립을 분리하도록 하는 역할을 한다. 그 후, 도 16에 나타낸 바와 같이 도전성 재료의 영역(82)이 절연체 영역(80) 상에 도전성 상호 접속부를 제공하도록 잉크젯 인쇄 기술에 의해서 퇴적되어 회로가 완성된다.

도시된 실시예에서는, 논리 게이트를 얻기 위해서 부하 저항들(70)이 공급된다. 그러나, 부하 트랜지스터를 사용하는 것도 가능하다. 이러한 목적에 적합한 공핍형 트랜지스터의 예가 도 17에 도시되어 있다. 인핸스먼트(enhancement) 및 공핍형 특성은 각각 스위칭 트랜지스터(251) 및 부하 트랜지스터(252)에 적합하다. 진성 반도체 재료(253)는 인핸스먼트형 스위칭 트랜지스터(251)에 사용되고 도핑된 반도체 재료(254)는 공핍형 부하 트랜지스터(252)에 사용되고 이들 반도체 재료는 잉크젯 인쇄에 의해서 퇴적된다. 동일한 회로에서 이들 다른 재료의 퇴적은 비용의 큰 증가 없이 잉크젯 인쇄에 의해서 성취될 수 있다. 따라서, 본 발명은 다른 반도체를 포함하는 접적 회로를 제조하는데 특히 적합하다.

이러한 것은 도 18에 나타낸 바와 같이 상보(complimentary) 논리 회로의 경우에도 사실임을 알 수 있다. n형 트랜지스터(261) 및 p형 트랜지스터(262)는 잉크젯 인쇄에 의해서 각각 n형 반도체(263) 및 p형 반도체(264)를 퇴적함으로써 제조될 수 있다.

인터디지트형 소스 및 드레인 전극은 도 12 내지 18중 임의의 논리 회로에 사용될 수 있음을 알 수 있다. 인터디지트형 소스 및 드레인 전극은 특히 고주파에서 동작하는 논리 회로에서 유용한데 그 이유는 인터디지트형 전극에 의해서 제공되는 게이트 소스(드레인)의 중첩 영역이 작아, 논리 신호에서 펄스를 지연시키는 게이트 커뮤니케이션을 최소화 할 수 있기 때문이다. 이러한 전극 구성은 본 발명의 방법을 사용하여 용이하게 제조될 수 있다.

상술한 논리 회로들은 대규모 논리 어레이로서 제조될 수 있고 이들은 도 6 내지 8을 참조하여 설명한 액티브 매트릭스 어드레싱 회로의 데이터 라인(28) 및 게이트 라인(30)에 필수 신호를 공급하기 위해 사용될 수도 있다. 더욱이, 상기 어드레싱 방식에 사용되는 동일 기판(플라스틱 재료로 이루어질 수 있음) 상에 대규모 논리 어레이가 용이하게 형성될 수 있다. 따라서, 반도체 필름(20)은 패턴층(26)을 제공하도록 패터닝되는 경우 액티브 매트릭스 어드레싱 방식의 게이트 및 데이터 라인과 논리 어레이 사이에 요구되는 임의의 상호 접속부와 함께 대규모 논리 어레이를 위한 도전체(62) 및 전극(64)을 제공하도록 리소그래피 기술을 사용하여 동일한 패터닝 단계동안 패터닝될 수 있다. 어드레싱 회로와 논리 어레이의 TFT 및 부하 저항 또는 부하 트랜지스터 형태의 임의의 저항성 소자는, 회로 내에 TFT 기능에 따라 선택되는 다양한 반도체 재료를 사용하며 매우 효율적이어서 제조 비용이 저렴한 기술인 잉크젯 인쇄 기술을 사용하여 제공될 수 있다. 더욱이, TFT는 제조 비용이 저렴한 반도체 폴리머로 제조될 수 있고 채널 치수 때문에 게이트 커뮤니케이션 및 게이트 유전체 재료가 용이하게 최적화될 수 있고 효율이 좋은 고속 TFT가 제조될 수 있다.

더욱이, 도전체 경로를 가로지르는 교차점에 절연체 브리지를 제공하는 공정은 논리 어레이간 상호 접속부와 디스플레이 어드레싱 회로에까지 확장될 수 있어 설계 자유도가 향상된다.

따라서, 본 발명의 방법에는 충분한 이점이 있으며 이들은 플라스틱 기판이 사용되는 경우에도 이들 기판 재료의 사용과 연관된 부수적으로 발생하는 어려움이 용이하게 적응될 수 있는 바와 같이 특정 이점을 제공할 수 있음을 알 수 있다.

기판에 대한 잉크젯 헤드의 위치 결정의 액티브 피드백 제어를 행하는 잉크젯 인쇄 헤드를 사용함으로써 본 발명의 잉크젯 인쇄 기술이 유리하게 수행될 수 있다. 그 이유는 기판 상의 국소 영역에서 각종 재료를 퇴적하기 위해 잉크젯 인쇄 기술이 사용될 수 있기 때문이고 이러한 피드백 제어 시스템의 사용에 의해서 반도체, 절연체 및 도전체 재료의 연속한 잉크젯 인쇄가 성취될 수 있고 이러한 시스템은 도 19에 도시되어 있다.

컴퓨터(118)는 시스템의 마스터 제어를 제공하고 노출 선택 신호가 잉크젯 헤드에 제공되어 인쇄용 재료의 분사가 이루어 질 이들 노즐이 선택된다. 잉크젯 퇴적 장치는 또한 잉크젯 헤드에 구동 펄스를 공급하는 파형 발생기(도 19에 도시되어 있지 않음)를 포함한다.

파형 발생기는 데이터 발생기(126)에 의해서 구동되고 컴퓨터(118)로부터 직접 구동되지 않는다. 데이터 발생기(126)는 동력화 병진 스테이지(motorised translation stage)(116)에 내장된 위치결정 인코더(position encoder)(128)로부터 인코더 신호를 수신하도록 배치된다. 위치결정 인코더(128)로부터의 인코더 신호는 데이터 발생기(126)의 패턴 메모리(130)를 위한 외부 클록 신호로서 사용된다. 따라서, 잉크젯 장치는 패턴 메모리에 저장된 패턴 데이터와 상기 병진 스테이지(116)의 이동 사이의 동기화를 제공한다. 잉크젯 헤드가 파형 발생기로부터의 구동 펄스에 의해서 구동되는 주파수가 상기 병진 스테이지(116)의 속도에 의해서 결정된다.

컴퓨터(118)는 인쇄될 디바이스의 패턴 데이터로 프로그래밍된다. 장치의 동작시, 패턴 데이터는 상기 컴퓨터(118)에 의해서 패턴 메모리(130)에 저장된 데이터 발생기(126)로 전송되고 여기서 패턴 데이터는 패턴 메모리에 저장된다. 그 후, 패턴의 인쇄를 위해 사용될 노즐은 잉크젯 헤드로 노즐 선택 신호를 제공함으로써 컴퓨터(118)에 의해서 선택된다. 또한, 컴퓨터(118)는, 패턴 데이터에 의해서 요구되는 바와 같이 잉크젯 헤드의 노즐에 관련하여 소망하는 좌표로 상기 병진 스테이지가 이동하게 하는 스테이지 제어 회로(134)를 통해 상기 병진 스테이지(116) 내의 액츄에이터(132)에 이동 명령 또는 구동 신호를 제공한다.

그러나, 병진 스테이지는 스테이지 제어 회로(134) 및 데이터 발생기(126)에 공급되는 인코더 신호를 제공하는, 예를 들면, 광학 또는 자기 인코더(magnetic encoder)일 수도 있는 위치 결정 인코더(128)를 포함한다. 상기 스테이지 제어 회로에 대한 피드백 시스템에서 인코더 신호를 사용함으로써, 상기 병진 스테이지에 공급되는 구동 신호는, 상기 병진 스테이지(116)가 요구 속도와 요구 좌표로 인쇄 헤드에 대하여 확실하게 움직이도록 제어될 수 있다. 따라서, 상기 시스템은 상기 병진 스테이지(116)에 대한 유효 이동에 사용되는 리드 스크류(lead screw)에 있을 수도 있는 임의의 주기적인 변동에 대하여 보상을 행할 수 있다.

인코더 신호는 패턴 메모리의 클록 신호로서 역할을 하는 스위치(136)를 통해 데이터 발생기(126)의 패턴 메모리(130)에 공급된다. 이 방식에서, 파형 발생기의 트리거 신호로서 역할을 하는 데이터 발생기(126)로부터의 출력 신호는 상기 병진 스테이지(116)의 실제 이동과 동기된다. 따라서, 잉크젯 헤드의 노즐로부터 인쇄될 재료의 액체 방울의 분사를 일으키는 파형 발생기로부터의 구동 신호의 제공은, 상기 병진 스테이지(116)의 위치 결정에 따라 제어된다.

병진 스테이지는 이동의 가속 및 속도와 패턴용 위치 결정 좌표로 컴퓨터(118)에 의해서 프로그래밍되고 데이터 발생기(126)는 위치 결정 인코더(128)로부터의 인코더 신호의 제공을 통해서 상기 병진 스테이지가 이동되는 경우 실질적으로 클록(clocked)된다. 따라서, 기판 상의 전자 디바이스의 인쇄는 상기 병진 스테이지(116)가 가속, 감속 또는 일정 속도로 이동하는 경우를 포함하여 임의의 시간에서 이루어질 수 있고 따라서 기판 상의 전자 디바이스를 제조하는데 필요한 시간이 충분히 단축된다.

더욱이, 패턴 메모리(130)가 상기 병진 스테이지(116)의 이동과 동기화되는 이유로, 잉크젯 헤드로부터의 인쇄를 위한 재료의 분사가, 독립 파형 트리거형 잉크젯 퇴적 장치인 경우와 같이 시간 기반 시스템에 의해서가 아니라 상기 위치 결정 인코더(128)에 의해서 감지되는 바에 따라서 상기 병진 스테이지(116)의 실제 위치에 의해서 제어되기 때문에, 요구되는 패턴의 극히 정확한 인쇄가 성취될 수 있다. 바람직하게는, 위치 결정 인코더(128)는 상기 병진 스테이지(116)의 0.2 마이크론 이동에 대응하는 사이클로 패턴 메모리(130)가 클록되도록 하는 주파수를 가진 인코더 신호를 제공한다.

잉크젯 장치의 동작을 위한 신호 타이밍은 도 20에서 알 수 있다. 상기 병진 스테이지(116)의 이동은, 상기 스테이지 제어부(134)에 개시 이동 트리거 펄스(200)의 컴퓨터(118)에 의한 제공에 의해서 개시된다. 펄스(200)의 수신시, 스테이지 제어부(134)는 상기 병진 스테이지(116)의 액츄에이터(132)에 전류 기판 구동 신호(202)를 제공한다. 구동 신호(202)는 제로 레벨로부터 레벨 L_1 로 급상승 하도록 배열되고 이 레벨 L_1 은 상기 병진 스테이지(116)의 빠른 가속을 제공하도록 짧은 시간 주기동안 유지된다. 그 후, 구동 신호(202)는 레벨 L_1 로부터도 20에서 레벨 L_2 로 나타낸 감소된 레벨로 감소되어 상기 병진 스테이지에 일정 속도를 제공한다. 구동 신호의 레벨 L_2 는, 도 20에 레벨 L_3 로 도시된 네거티브 전류가 액츄에이터에 인가되어 상기 병진 스테이지(116)가 급감될 때까지 유지된다. 따라서, 병진 사이클에서, 상기 병진 스테이지(116)는 A 내지 B 기간 동안 가속되어 B 내지 C 기간 동안 정상 상태를 유지하고 C 내지 D 기간 동안 감속된다. 따라서, 상기 병진 스테이지의 속도는 도 20의 플로트(204)에 의해서 나타낸 바와 같다.

위치 결정 인코더의 출력 신호는 도 20에서의 인코더 신호(206)로서 도시되어 있고 구형파 펄스 트레인(train)의 형태이다. 상기 펄스 트레인의 주파수가 상기 병진 스테이지의 속도에 비례하는 것을 신호(206)으로부터 알 수 있다. 따라서, 상기 병진 스테이지가 A 내지 B 기간 동안 가속되는 바와 같이, 인코더 신호(206)는 B 내지 C 기간 동안 유지되는 정상 상태

펄스 반복 주파수에 도달하도록 주파수를 증가시키고 상기 병진 스테이지가 정상 상태 일정 속도에 도달하는 경우 상기 병진 스테이지(116)의 감속기간 C 내지 D 동안 주파수를 저감시킨다. 따라서, 상기 인코더 신호의 각 펄스는 상기 병진 스테이지의 정해진 이동량, 즉 상술한 실시예에서는 0.2 마이크론을 나타낸다.

또한, 패턴 데이터가 도 20에 도시되어 있으며 이 도면에서 영역 D1 내지 Dn은 개략적으로 본 발명의 방법에 의해서 상기 재료가 퇴적되는 국소 영역을 나타낸다. 인쇄하는 동안, 데이터 발생기의 스위치(136)는 위치 결정 인코더(128)로부터의 인코더 신호가 패턴 메모리(130)에 입력되도록 배치된다. 패턴 메모리에 저장된 패턴 데이터는 A 내지 B 기간 동안 인쇄될 예를 들면 영역 D3을 요구할 수도 있으며 그 동안 상기 병진 스테이지가 가속되고 따라서 일정 속도로 이동하지 않는다. 상기 병진 스테이지(116)의 각 0.2 마이크론 이동을 위해서, 위치 결정 인코더(128)는 도 20에 나타낸 펄스 트레인(206)의 펄스 중 하나의 형태로 인코더 신호를 제공한다. 영역 D3은 위치 결정 인코더(128)로부터 펄스 트레인(206)의 제3 펄스에 대응하는데 즉 상기 병진 스테이지가 그의 최초 휴지 위치로부터 0.6 마이크론 이동한 때에 대응한다. 상기 위치 결정 인코더로부터의 제3 펄스는 출력 회로(138)를 통해 데이터 발생기(126)로부터의 출력 신호를 공급하는 패턴 메모리(130)를 위한 클록 펄스로서 역할을 한다. 각 시간에 패턴 데이터는 인쇄될 영역 D1 내지 Dn 중 하나를 요구하고, 이러한 출력 신호는 과형 발생기의 트리거로서 역할을 하도록 데이터 발생기(126)로부터 제공된다. 따라서, 상기 데이터 발생기(126)로부터의 출력 신호는, 펄스(210)를 출력하기 위해 데이터 발생기를 트리거하는 위치 결정 인코더(128)로부터 출력되는 인코더 신호(206)의 펄스와 패턴 메모리에 저장된 패턴 데이터에 의해서 결정되는 펄스 트레인의 펄스(210) 사이의 공간을 가진 펄스 트레인(208)의 형태이다.

데이터 발생기로부터의 펄스(210)는 펄스(210)가 수신되는 각 시간에 잉크젯 인쇄 헤드로 구동 펄스(212)를 제공하는 과형 발생기로 공급되어 과형 발생기의 트리거 펄스로서 역할을 한다. 따라서, 상기 헤드로부터 인쇄될 재료의 액체 방울의 분사를 일으키는 잉크젯 헤드로의 구동 펄스(212)의 제공이 병진 스테이지(116)의 속도와 동기화되는 것을 도 20에 도시된 과형 및 타이밍도로부터 알 수 있다. 따라서, 병진 스테이지가 가속, 감속 또는 일정 속도로 이동하는지에 관계없이 인쇄될 재료의 액체 방울은 기판 상에 정확한 좌표에 분사된다. 또한 이 경우 상기 병진 스테이지(116)를 물리적으로 구동시키기 위해 사용되는 리드 스크류의 위치에서의 주기적인 변동의 결과로서 상기 병진 스테이지의 속도 변화가 발생할 수 있다.

도 19에 나타낸 잉크젯 장치에 의해서 디바이스를 인쇄하는 동안 또는 인쇄간에, 잉크젯 헤드가 디바이스의 실제 인쇄를 위해 사용되지 않는 시간 주기가 있을 수 있고 그 후에 기판 상의 디바이스 영역 외측의 유휴(idle) 위치에 잉크젯 헤드가 위치된다. 그러나, 이들 유휴 주기(idling period) 동안 잉크젯 헤드의 노즐의 클로깅(clogging)을 방지하기 위해서, 잉크젯 헤드의 노즐로부터 주기적으로 재료를 분사할 필요가 있다. 이러한 유휴 주기 동안, 병진 스테이지가 안정화되고 따라서 위치 결정 인코더(128)로부터의 인코더 신호는 패턴 메모리(130)의 클록 펄스로서 사용하기 위해서 존재하는 것은 아니다. 따라서, 데이터 발생기로부터의 출력 신호가 존재하지 않고 과형 발생기는 잉크젯 헤드에 구동 펄스를 공급하지 않는다.

따라서, 유휴 주기의 개시시, 스위치(136)는 클록 발생기(140)를 패턴 메모리에 결합할 수 있도록 동작된다. 클록 발생기는 병진 스테이지(116)의 병진 동안 제공되는 인코더 신호에 적합한 클록 펄스의 스트림(stream)을 생성한다. 따라서, 패턴 발생기는, 클록 발생기(140)로부터의 클록 펄스와 동기화하여 상기 과형 발생기에 트리거 펄스의 스트림을 출력한다. 따라서 상기 유휴 기간 동안 잉크젯 헤드의 노즐의 클로깅이 회피된다.

병진 스테이지(116)는 잉크젯 헤드에 대하여 X 및 Y 축의 양축으로 기판을 이동할 수 있고 따라서 X 및 Y 축을 위한 각 리드 스크류를 가진 각 스테이지를 포함하고 있다.

도 19에 나타낸 시스템은 또한 X 및 Y 스테이지의 변위에서의 에러를 보상하는데 사용될 수 있다. 예를 들면, 어느 하나의 스테이지의 병진 길이의 오버 슈트(over shoot) 또는 언더 슈트(under shoot)는 인쇄되는 회로의 좌표축을 위한 보정으로 컴퓨터(118)를 프로그래밍함으로써 보정될 수 있다. 이 에러는 양 축인 X 및 Y 축에서 발생될 수 있고 따라서 새로운 좌표 시스템은 양 축에서 그 회로의 전체 영역을 커버하도록 적용된다. 각종 정렬 마크가 회로 상에서 볼 수 있는데 이들 좌표로 상기 스테이지를 이동하도록 프로그래밍함으로써, 회로를 가로질러 비교적 긴 거리로 상기 스테이지를 위치시킬 때 에러가 관측될 수 있다. 예를 들면, X 축을 따라서, 상기 스테이지가 하나의 마크로부터 다른 마크로 이동하도록 프로그래밍될 수 있고 회로가 인쇄되는 기판의 회전에 의해서 스테이지 상에서의 회로의 위치 결정시의 에러에 대하여 보상할 수 있다. 그러나, 이동 길이는 이 축을 따라 너무 길게 또는 너무 짧게 결정될 수도 있다. 이 때 에러는 그 단일 축에 대한 이동 길이 명령으로 보정 팩터를 프로그래밍함으로써 보상될 수 있다.

이상적으로는, 상기 병진 스테이지의 X 및 Y 축 사이의 구성 각도는 정확하게 90도가 되어야 한다. 그러나, 실제로, 이 이상적인 구성각은 제조 허용 오차 때문에 통상적으로 성취될 수 없다. 따라서 임의의 좌표로 상기 스테이지가 이동하도록

프로그램되는 경우 오프셋 에러가 존재하게 된다. 또한 그 시스템은 두개의 축간 구성 각도에서의 이러한 에러를 보상하도록 프로그램될 수도 있다. 따라서, 피드백 제어 잉크젯 프린터 등에 의해서 상기 재료가 퇴적될 수 있는 정확성의 관점에서, 상기 교차점(28)에서 매우 협소한 데이터 라인(32)을 분리하는 브리지(44) 등의 잉크젯 인쇄 영역은 요구되는 정확성을 가지고 제조될 수 있음을 알 수 있다.

본 발명의 방법은 종래 리소그라피 기술이 베타적으로 사용되는 경우 상당한 어려움만으로 얻을 수 있는 대규모 가요성 디바이스를 제조할 수 있다.

본 발명은 단일 리소그라피 단계만 요구되는 플라스틱 기판의 사용에 특히 적합하기 때문에 특히 장점이 있으며 이는 다중 포토리소그라피 단계가 사용되는 경우 필수적으로 사용되는 다중 포토리소그라피 마스크의 정렬 문제가 발생하지 않는다는 것을 의미한다.

기판 상에 제조되는 디바이스는 캡슐화될 필요가 있고 바람직하게는 SiO_2 등의 무기 패시베이션 재료가 이러한 목적을 위해서 사용된다. 또한, 플루오르화 폴리머가 또한 패시베이션층으로서 사용될 수 있지만 이러한 유기 재료는 비교적 삼투성이 있기 때문에 이러한 목적에 덜 적합하다. 그러나, SiO_2 가 사용되는 경우, 디바이스와 패시베이션층 사이에 전구체(precursor) 재료가 요구된다. 패시베이션층을 위해 사용될 수 있는 적절한 재료의 예에는 폴리실라제인(polysilazane); 실리케이트의 모노머, 디머(dimer), 테트라머, 헥사머, 올리고머 또는 폴리머; 하이드로젠 실리케이트(hydrogen silicate); 래더 하이드로젠 실세스퀴옥산(ladder hydrogen silsesquioxane); 또는 실라제인(silazane)을 포함한다.

이들 전구체 재료는 메탄올, 에탄올, 이소프로필 알콜, 아세톤, 부틸 아세테이트, 트리메틸실라놀, 테트라메틸 디실옥산(disiloxane), 에티닐 디메틸클로로실란(ethynyl dimethylchlorosilane), 톨루엔, 크실렌(xylene), 및 트리메틸벤젠(trimethylbenzenes) 등의 유기 용매속의 용액으로부터 퇴적될 수 있다. 상기 전구체 재료는 통상적으로 용액의 스펀 코팅에 의해서 연속 전구체층으로서 제공되지만 SiO_2 패시베이션층을 제공하는 공정 단계는 적어도 100°C 내지 200°C의 범위에서의 공정 온도를 요구한다. 이 공정 온도는 전구체 재료를 가열시켜서 종종 스펀 코팅된 연속 층을 수축시켜 갈라지게 할 수 있다. 가요성 플라스틱 기판이 사용되는 경우, 상기 수축이 기판을 뒤틀리게 하고 극단적인 경우 상기 층을 갈라지게 하거나 또는 깨지게 하기 때문에 특히 문제가 될 수 있다. 따라서, 본 발명에 따르면, 바람직하게는 전략적으로 위치 결정된 전구체 재료로 이루어진 이산 영역을 제공하기 위해서 잉크젯 기술을 사용하여 선택된 위치에 전구체 재료가 유리하게 퇴적될 수 있다. 전구체 재료가 연속하는 층으로서 퇴적되는 것이 아니라 비교적 작은 영역이 이산적으로 퇴적되기 때문에 상기 전구체 재료에서의 표면 장력이 상기 연속 스펀 코팅된 층에 비해 충분히 감소된다. 따라서, 상기 재료의 수축 및 갈라짐과 연관된 문제들은 향상된 캡슐화 방법을 제공하여 거의 해소될 수 있다. 상기 전구체 재료가 이산 영역에 선택적으로 퇴적되기 때문에 필요에 따라서 용액속의 상이한 전구체 재료가 잉크젯 기술을 사용하여 회로의 상이한 부분에 퇴적될 수 있다.

본 발명의 방법은 전기광학 디바이스, 반도체 디바이스 및 다른 전자 디바이스의 제조에 바람직하게 적용될 수 있다. 즉, 본 발명에 따른 상기 방법에 의해서 제조되는 박막 회로는 다양한 형태의 전기광학 디바이스에 유익하게 사용될 수 있다. 전기광학 디바이스는 바람직하게는 액정 디바이스, 유기 EL 디바이스, 무기 EL 디바이스, 전계 발광 디바이스(FED), 플라즈마 디바이스, 전기영동 디바이스 및 다른 표시 장치를 포함한다. 이들 디바이스는 바람직하게는 디스플레이 장치에 적용될 수 있다. 특히, 이러한 박막 트랜지스터는 더욱 바람직하게는 상기 표시 장치에 사용되는 액티브 매트릭스 기판에 형성되는 화소 회로 및/또는 구동 회로에 적용될 수 있다.

도 21은 전기광학 디바이스의 바람직한 예로서 유기 EL 소자 등의 전기광학 소자를 합체한 액티브 매트릭스형 표시 장치(또는 장치)를 나타내는 블록도이다. 본 도면에 도시된 표시 장치(200)에서, 복수의 스캐닝 라인 "gate", 상기 스캐닝 라인 "gate"가 연장하는 방향과 교차하는 방향으로 연장하는 복수의 데이터 라인 "sig", 상기 데이터 라인 "sig"에 거의 평행하게 연장하는 복수의 공통 전원 라인 "com", 및 스캐닝 라인 "gate"와 데이터 라인 "sig"의 교차점에 위치되는 복수의 화소(201)가 기판 상에 형성된다.

각 화소(201)는 스캐닝 게이트를 통해 게이트 전극에 인가되는 스캐닝 신호의 제 1 TFT(202), 상기 제 1 TFT(202)를 통해 데이터 라인 "sig"으로부터 공급되는 화상 신호를 유지하는 유지 커페시터 "cap", 유지 커페시터 "cap"에 의해서 유지되는 화상 신호가 게이트 전극(제 2 게이트 전극)에 공급되는 제 2 TFT(203), 및 전기광학 소자(204)가 제 2 TFT(203)를 통해 공통 전원 라인 "com"에 전기적으로 직접 접속되는 경우 공통 전원 공급 라인 "com"으로부터 구동 전류가 흐르는 EL 소자(저항으로서 표시됨) 등의 전기광학 소자(204)를 포함한다. 스캐닝 라인 "gate"는 제 1 구동 회로(205)에 접속되고 데이터 라인 "sig"는 제 2 구동 회로(206)에 접속된다. 제 1 회로(205)와 제 2 회로(206) 중 적어도 하나는 제 1 TFT

(202)와 제 2 TFT(203)가 형성되는 기판 상에 형성되는 것이 바람직하다. 본 발명에 따른 방법에 의해서 제조되는 TFT 어레이는 제 1 TFT(202)와 제 2 TFT(203)의 어레이 중 적어도 하나에 적용되는 것이 바람직하다. 도전성이 높은 재료로 데이터 및 게이트 라인을 제조시 고효율을 성취하면서 상호 교차점에서의 데이터 및 게이트 라인을 분리시킬 수 있다.

따라서, 본 발명은 예를 들면 모바일폰, 랩탑 개인용 컴퓨터, DVD 플레이어, 카메라, 중계(야외) 장치 등의 모바일 디스플레이; 데스크탑 컴퓨터, CCTV 또는 포토 앤범 등의 휴대규모 디스플레이; 차량 등의 계기 패널 또는 항공 계기 패널; 또는 제어실 장비 디스플레이 등의 산업용 디스플레이와 같은 다양한 형태의 장치에 내장되는 디스플레이 및 다른 디바이스를 제조하는데 사용될 수 있다. 즉, 본 발명에 따른 방법에 의해서 제조되는 TFT 어레이가 상술한 바와 같이 적용되는 전기광학 디바이스 또는 디스플레이는 다양한 형태의 장치에 내장될 수 있고 이들은 플라스틱 기판이 사용되는 경우에도 용이하게 제공될 수 있다.

아하, 본 발명에 따라 제조되는 전기광학 표시 장치를 사용하는 각종 전자 기기를 설명한다.

<1 : 모바일 컴퓨터>

이하, 상기 하나의 실시예에 따라 제조된 표시 장치가 모바일 개인용 컴퓨터에 적용된 예를 설명한다.

도 22는 그 개인용 컴퓨터의 구성을 나타낸 등각 도면이다. 도면에서, 개인용 컴퓨터(1100)는 키보드(1102) 및 디스플레이 유닛(1100)을 포함하는 본체(1104)가 구비되어 있다. 이 디스플레이 유닛(1100)은 상술한 바와 같이 본 발명에 따라 제조되는 표시 패널을 사용하여 구현된다.

<2 : 휴대용 폰>

다음으로, 표시 장치가 휴대용 폰의 디스플레이부에 적용된 예를 설명한다. 도 23은 휴대용 폰의 구성을 나타낸 등각 도면이다. 본 도면에서, 휴대용 폰(1200)은 복수의 동작키(1202), 수화구(earpiece)(1204), 송화구(mouthpiece)(1206), 및 디스플레이 패널(100)이 구비되어 있다. 이 디스플레이 패널(100)은 상술한 바와 같이 본 발명에 따른 표시 장치를 사용하여 구현된다.

<3 : 디지털 스틸 카메라>

다음으로, 파인더(finder)로서 OEL 표시 장치를 사용하는 디지털 스틸 카메라를 설명한다. 도 24는 디지털 카메라의 구성과 일부 디바이스에의 접속을 간략히 나타낸 등각 도면이다.

전형적인 카메라는 감광 코팅을 한 감광 필름을 사용하여 감광 코팅에서 화학적 변화를 일으켜 피사체의 광학 화상을 기록하고, 디지털 스틸 카메라(1300)는 예를 들면 CCD(charge coupled device)를 사용하여 광전 변환에 의해서 피사체의 광화상으로부터 화상 신호를 생성한다. 디지털 스틸 카메라(1300)는 CCD로부터 화상 신호에 기초하여 디스플레이를 수행하도록 케이스의 후면에 OEL 소자(100)가 구비되어 있다. 따라서, 디스플레이 패널(100)은 피사체를 표시하기 위한 파인더로서 기능을 한다. 광학 렌즈 및 CCD를 포함하는 수광 유닛(1304)은 케이스(1302)의 정면(도면에서 후면)에 설치된다.

카메라맨이 OEL 소자 패널(100)에 표시되는 피사체를 결정하고 셔터를 누르면 CCD로부터 화상 신호가 회로 보드(1308)에서의 메모리로 전송되어 저장된다. 디지털 스틸 카메라(1300)에서, 데이터 통신용 입출력 단자(1314) 및 비디오 신호 출력 단자(1312)가 케이스(1302)의 측부에 설치된다. 도면에 나타낸 바와 같이, 텔레비전 모니터(1430) 및 개인용 컴퓨터(1440)는 필요에 따라 각각 비디오 신호 단자(1312) 및 입출력 단자(1314)에 접속된다. 회로 보드(1308)의 메모리에 저장된 화상 신호는 텔레비전 모니터(1430) 및 개인용 컴퓨터(1440)에 주어진 동작에 의해서 출력된다.

도 22에 나타낸 개인용 컴퓨터, 도 23에 도시된 휴대용 폰, 및 도 24에 도시된 디지털 스틸 카메라 외에 전기 장치의 예는 OEL 소자 텔레비전 세트, 뷰 파인더형 및 모니터링형 비디오 테이프 레코더, 카 네비게이션 시스템, 페이저, 전자 노트북, 휴대용 계산기, 워드 프로세서, 워크 스테이션, TV 전화, POS(point-of-sales system) 단말기, 및 터치 패널이 구비된 디바이스를 포함한다. 물론, OEL 디바이스는 이들 전자 기기의 표시부뿐만 아니라 표시부를 포함하는 다른 형태의 장치에도 적용될 수 있다.

더욱이, 본 발명에 따라 제조되는 표시 장치는 매우 얇고 휘어질 수 있으며 가벼운 스크린형 대면적 TV에 적합하다. 이러한 대면적 TV를 벽에 부착하거나 또는 벽에 걸 수 있다. 휘어질 수 있는 TV는 사용하지 않을 때에는 말아놓을 수 있다.

상술한 설명은 예로서만 주어진 것이고 숙련된 당업자에 의해서 본 발명의 범주를 벗어나지 않고 변경이 이루어질 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.
삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.
삭제

청구항 24.
삭제

청구항 25.
삭제

청구항 26.
삭제

청구항 27.
삭제

청구항 28.
삭제

청구항 29.
삭제

청구항 30.
삭제

청구항 31.
삭제

청구항 32.
삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

청구항 38.

삭제

청구항 39.

삭제

청구항 40.

삭제

청구항 41.

삭제

청구항 42.

삭제

청구항 43.

삭제

청구항 44.

삭제

청구항 45.

삭제

청구항 46.

리소그래피 기술(lithographic technique)을 사용하여 기판 상에 도전성 재료를 포함하는 제 1 필름과 도전성 재료를 포함하는 제 2 도전성 필름을 형성하는 단계;

반도체 재료 및 도전성 재료 중 적어도 하나를 포함하고, 상기 제 1 필름 및 제 2 필름과 접촉하는 제 3 필름을 형성하는 단계; 및

잉크젯 기술을 사용하여 상기 제 1 필름의 적어도 일부를 덮는 제 4 필름을 형성하는 단계를 포함하는 회로 제조 방법.

청구항 47.

제 46 항에 있어서,

제 6 필름을 형성하고,

상기 제 1 필름 및 제 6 필름은 각각 데이터 라인과 게이트 라인을 포함하는 회로 제조 방법.

청구항 48.

제 47 항에 있어서,

상기 제 4 필름은 상기 데이터 라인 및 게이트 라인 간의 교차점에 배열되는 상기 제 1 필름의 적어도 일부와 상기 제 6 필름의 적어도 일부를 덮는 회로 제조 방법.

청구항 49.

리소그래피 기술을 사용하여 기판 상에 도전성 재료를 포함하는 제 1 필름과 도전성 재료를 포함하는 제 2 도전성 필름을 형성하여 도전성 재료의 영역들 사이에 배열된 제 1 영역을 형성하는 단계; 및

잉크젯 기술을 사용하여 반도체 재료 및 도전성 재료 중 적어도 하나를 포함하고, 상기 제 1 필름 및 제 2 필름과 접촉하는 제 3 필름을 형성하는 단계를 포함하는 회로 제조 방법.

청구항 50.

제 49 항에 있어서,

상기 제 1 영역은 스트립 모양으로 되고, 상기 도전성 재료의 영역들은 스트립형 세그먼트를 가지는 회로 제조 방법.

청구항 51.

제 50 항에 있어서,

상기 제 3 필름 위로 절연 재료를 포함하는 제 5 필름을 형성하는 단계; 및

상기 제 5 필름 상에 게이트 전극을 형성하는 단계를 더 포함하는 회로 제조 방법.

청구항 52.

제 51 항에 있어서,

잉크젯 기술을 사용하여 상기 게이트 전극을 형성하는 회로 제조 방법.

청구항 53.

제 51 항에 있어서,

상기 제 1 필름 및 제 2 필름은 각각 박막 트랜지스터용 소스 전극 및 드레인 전극인 회로 제조 방법.

청구항 54.

기판 상에 도전성 재료를 포함하는 제 1 필름과 도전성 재료를 포함하는 제 2 도전성 필름을 형성하는 단계;

반도체 재료 및 도전성 재료 중 적어도 하나를 포함하고, 상기 제 1 필름 및 제 2 필름과 접촉하는 제 3 필름을 형성하는 단계를 포함하고,

상기 제 2 필름 및 제 3 필름은 잉크젯 기술을 사용하여 형성하는 회로 제조 방법.

청구항 55.

제 54 항에 있어서,

상기 제 3 필름은 상기 기판과 접촉하는 회로 제조 방법.

청구항 56.

제 54 항에 있어서,

상기 제 1 필름 및 제 2 필름은 빗형상 구조체(comb-like structures)를 포함하고,

상기 제 1 필름은 상기 제 1 필름 및 제 2 필름 사이에 공간을 두고 상기 제 2 필름과 인터디지트되는 회로 제조 방법.

청구항 57.

제 56 항에 있어서,

상기 인터디지트형 제 1 필름과 제 2 필름이 상기 제 1 필름의 빗살과 제 2 필름의 빗살이 제 5 필름으로 형성된 게이트 전극의 폭보다 적은 양으로 인터디지트되는 회로 제조 방법.

청구항 58.

제 53 항에 있어서,

상기 소스 및 드레인 전극의 제공에 사용된 리소그래피 기술의 해상도와 상기 제 3 필름을 제공하는데 사용된 잉크젯 프린팅 기술의 해상도의 차를 보상하기 위해 상기 소스 및 드레인 전극의 어느 한 단부에 비도전성 버퍼 영역을 제공하도록 상기 제 1 필름과 제 2 필름이 패터닝되는 회로 제조 방법.

청구항 59.

제 53 항에 있어서,

상기 소스 전극이 제 1 도전성 스트립에 결합되고, 상기 드레인 전극이 화소 전극에 결합되고, 상기 게이트 전극이 상기 제 1 스트립에 직교하여 배열된 제 2 스트립과 접촉하도록 연장하고, 상기 제 1 및 제 2 스트립은 각각 표시 장치용 액티브 매트릭스 어드레싱 회로의 데이터 라인과 게이트 라인의 기능을 하도록 상기 제 1 필름과 제 2 필름이 패터닝되는 회로 제조 방법.

청구항 60.

제 59 항에 있어서,

상기 제 2 스트립은 도전성 스트립형 세그먼트로서 제공되고, 상기 제 1 필름 및 제 2 필름은 2개의 상기 스트립형 세그먼트 사이의 공간에 배열되는 기판의 영역에 소스 및 드레인 전극을 제공하도록 패터닝되고, 상기 게이트 전극은 상기 2개의 스트립형 세그먼트 사이로 연장하도록 놓여지는 회로 제조 방법.

청구항 61.

제 59 항에 있어서,

상기 잉크젯 인쇄된 제 3 필름은 제 1 절연체 재료를 포함하도록 선택되고, 상기 제 3 필름 상의 상기 제 5 필름은 상기 제 1 절연체 재료와는 다른 절연체 재료를 포함하도록 선택되는 회로 제조 방법.

청구항 62.

제 52 항에 있어서,

상기 제 1 영역의 상기 스트립은 박막 트랜지스터용 게이트 전극을 제공하기 위하여 폭이 증가하는 부분을 가지도록 패터닝되고, 상기 회로 제조 방법은

잉크젯 인쇄 기술을 사용하여 상기 게이트 전극 위로 절연층을 제공하고, 상기 스트립형 세그먼트와의 교차점에서 상기 스트립의 적어도 일부 위로 연장하는 단계,

상기 스트립형 세그먼트와 전기적으로 결합하도록 상기 절연체층 위로 연장하는 제 1 도전성 영역과, 상기 박막 트랜지스터용 소스 전극을 형성하기 위해 상기 스트립형 세그먼트 중 하나와 접촉하고, 상기 절연체층의 적어도 일부 위로 연장하고, 상기 제 1 도전성 영역으로부터 분리된 제 2 도전성 영역과, 상기 박막 트랜지스터용 드레인 전극을 형성하기 위해 화소 전극과 접촉하고, 상기 절연체층의 적어도 일부 위로 연장하여 상기 제 1 및 제 2 도전성 영역으로부터 분리된 제 3 도전성 영역을 제공하기 위해 잉크젯 인쇄 기술을 사용하여 도전성 재료를 퇴적하는 단계, 및

상기 소스 및 드레인 전극과 접촉하여 연장하는 상기 박막 트랜지스터용 반도체 영역을 제공하기 위해 상기 게이트 전극 위에 놓인 상기 절연체층의 노출 영역에 잉크젯 기술을 사용하여 반도체 재료를 퇴적시키는 단계를 포함하여,

상기 스트립이 표시 장치용 액티브 매트릭스 어드레싱 회로의 게이트 라인으로서 기능을 할 수 있고 상기 제 1 도전성 영역과 조합하여 상기 스트립형 세그먼트가 표시 장치용 액티브 매트릭스 어드레싱 회로의 데이터 라인으로서 기능을 할 수 있는 회로 제조 방법.

청구항 63.

제 53 항에 있어서,

상기 제 1 영역 및 도전성 재료의 영역들 중 적어도 하나는 상기 박막 트랜지스터의 적어도 하나의 상호 접속부를 포함하고, 전자 회로용 입력, 출력 및 전압 공급 단자와 접촉하도록 연장되고, 상기 기판 위의 상기 제 1 필름 및 제 2 필름에 개별 영역으로서 제공되는 회로 제조 방법.

청구항 64.

제 63 항에 있어서,

적어도 두개의 박막 트랜지스터를 제조하는 단계를 더 포함하고,

상기 박막 트랜지스터 중 하나는 제 1 도전형의 제 1 반도체 재료를 퇴적시켜 제조되고, 상기 박막 트랜지스터 중 다른 하나는 제 1 형과 반대되는 제 2 도전형의 제 2 반도체 재료를 퇴적시켜 제조되는 회로 제조 방법.

청구항 65.

제 63 항에 있어서,

상기 기판 위의 상기 제 1 필름 및 제 2 필름의 개별 영역 사이로 연장하는 저항성 회로 구성을 제조하는 단계를 더 포함하는 회로 제조 방법.

청구항 66.

제 53 항에 있어서,

상기 반도체 재료는 유기 반도체 재료를 포함하도록 선택된 회로 제조 방법.

청구항 67.

제 53 항에 있어서,

상기 제 3 필름의 상기 도전체 재료는 공액 폴리머(conjugated polymer)를 포함하도록 선택된 회로 제조 방법.

청구항 68.

제 53 항에 있어서,

상기 제 3 필름의 상기 도전성 재료는 무기 도전성 재료의 콜로이드를 포함하도록 선택된 회로 제조 방법.

청구항 69.

제 46 항에 있어서,

상기 도전성 재료는 공액 폴리머를 포함하도록 선택된 회로 제조 방법.

청구항 70.

제 46 항에 있어서,

상기 기판은 가요성 기판을 포함하도록 선택된 회로 제조 방법.

청구항 71.

제 46 항에 있어서,

상기 회로 상에 캡슐화층을 제공하는 단계를 더 포함하는 회로 제조 방법.

청구항 72.

제 46 항에 있어서,

상기 기판은 상기 기판에 대해 상기 잉크젯 기술에 사용되는 잉크젯 헤드를 위치 정렬하기 위한 위치 정렬 마크가 제공되는 회로 제조 방법.

청구항 73.

제 72 항에 있어서,

액티브 피드백 제어 시스템을 사용하여 상기 위치 정렬 마크에 대해 상기 잉크젯 헤드의 위치를 제어하는 단계를 더 포함하는 회로 제조 방법.

청구항 74.

제 46 항에 기재된 방법을 포함하는 전자 디바이스의 제조 방법.

청구항 75.

제 46 항에 기재된 방법을 포함하는 전기 광학 디바이스의 제조 방법.

청구항 76.

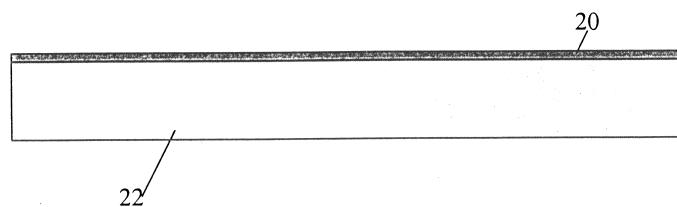
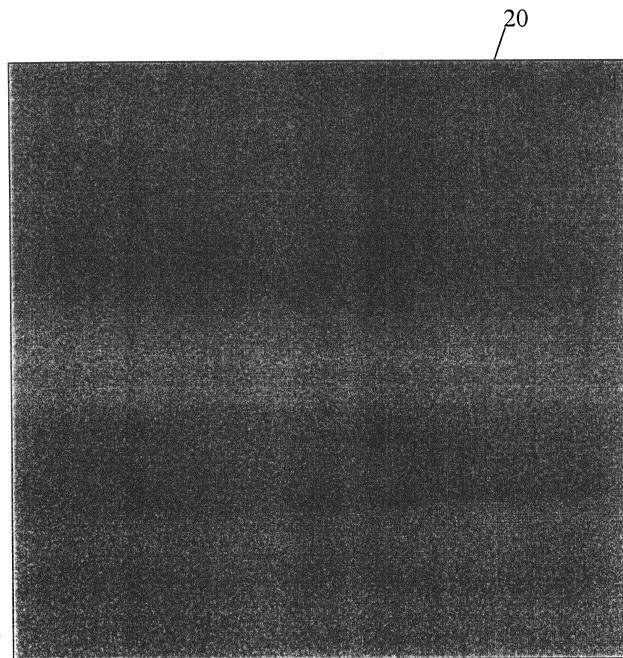
제 46 항에 기재된 방법을 포함하는 도전성 상호접속부의 제조 방법.

청구항 77.

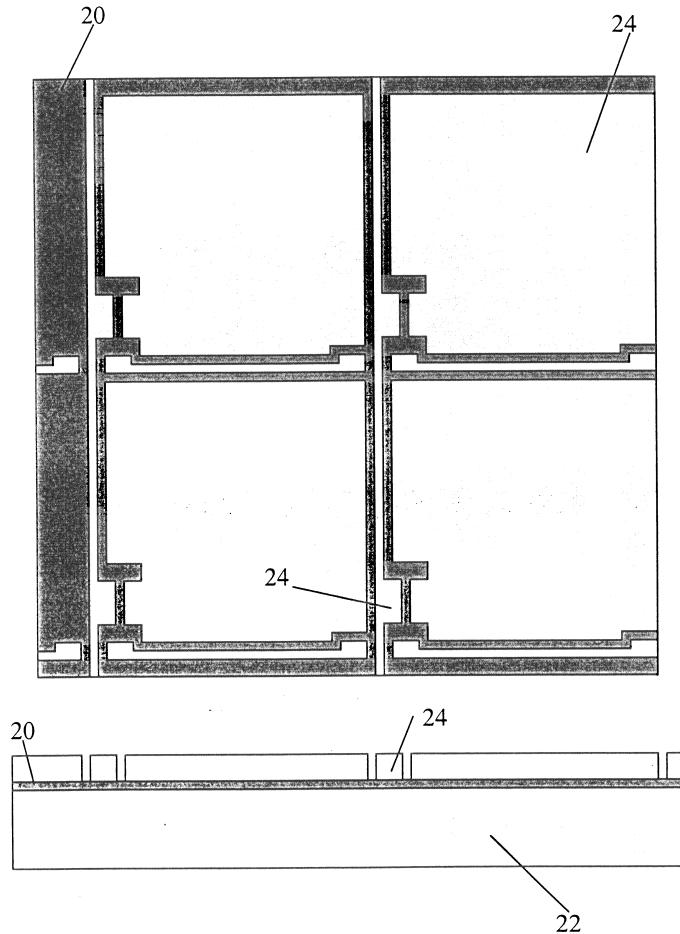
각각 제 46 항에 기재된 방법으로 제조된 전자 디바이스, 전기 광학 디바이스 또는 도전성 상호접속부를 포함하는 것을 특징으로 하는 디바이스.

도면

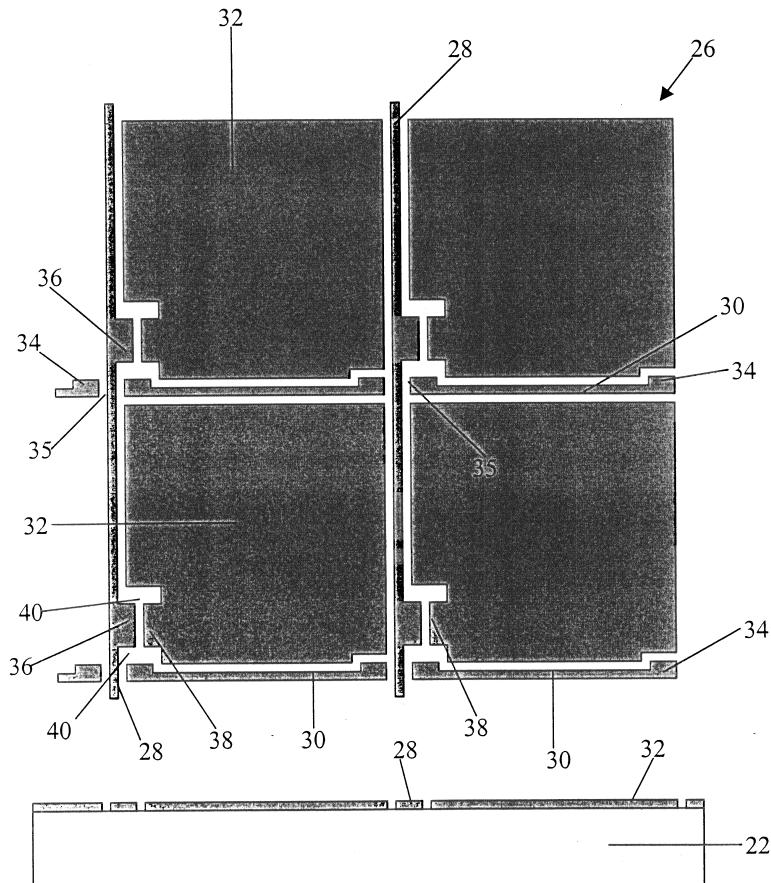
도면1



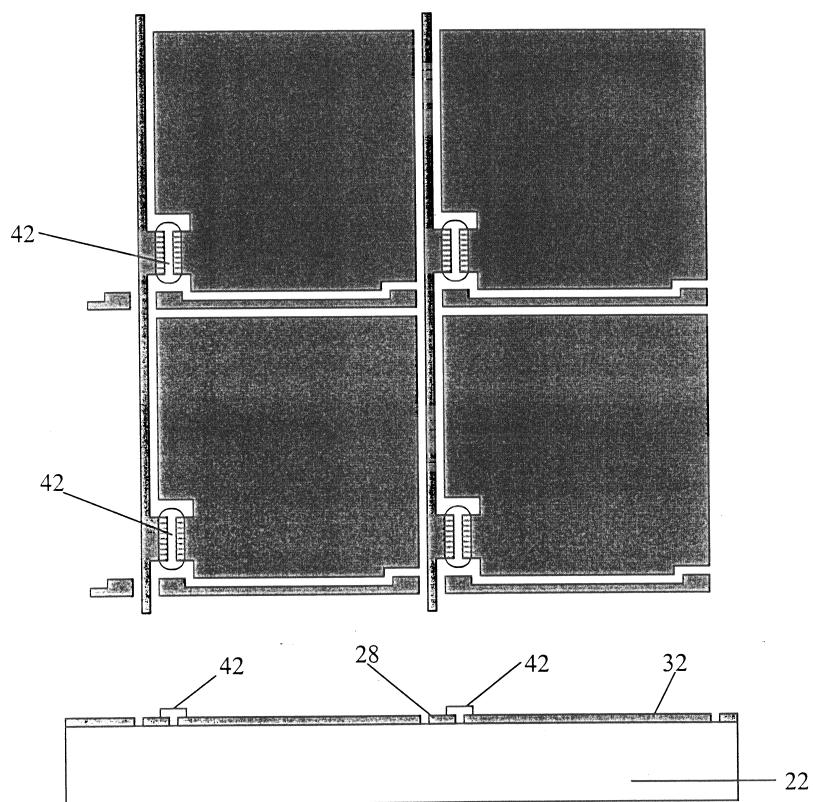
도면2



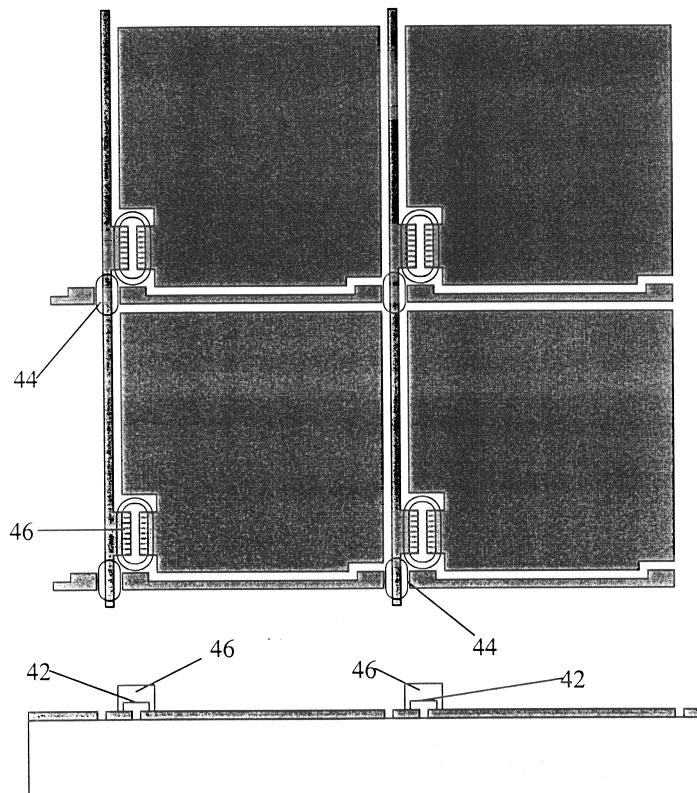
도면3



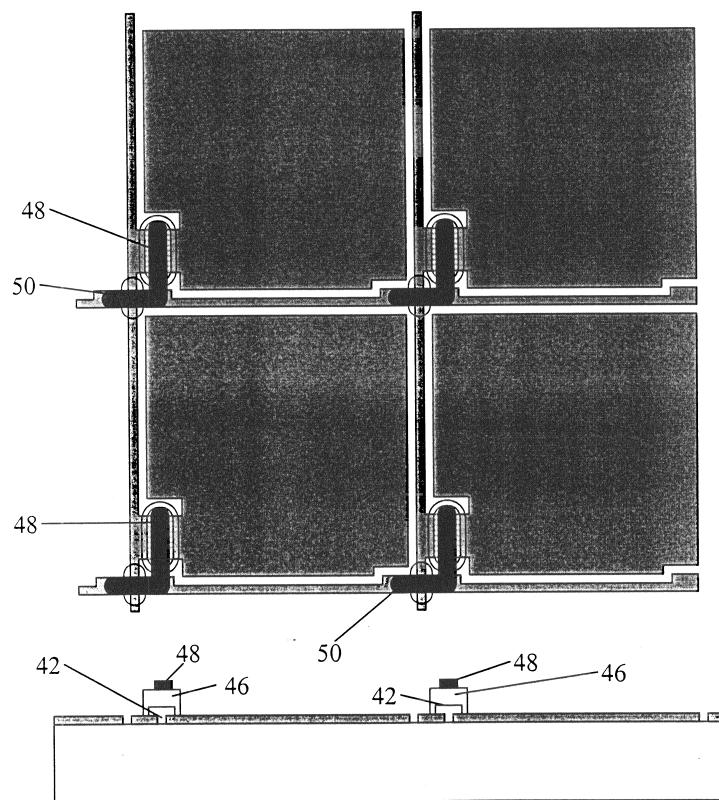
도면4



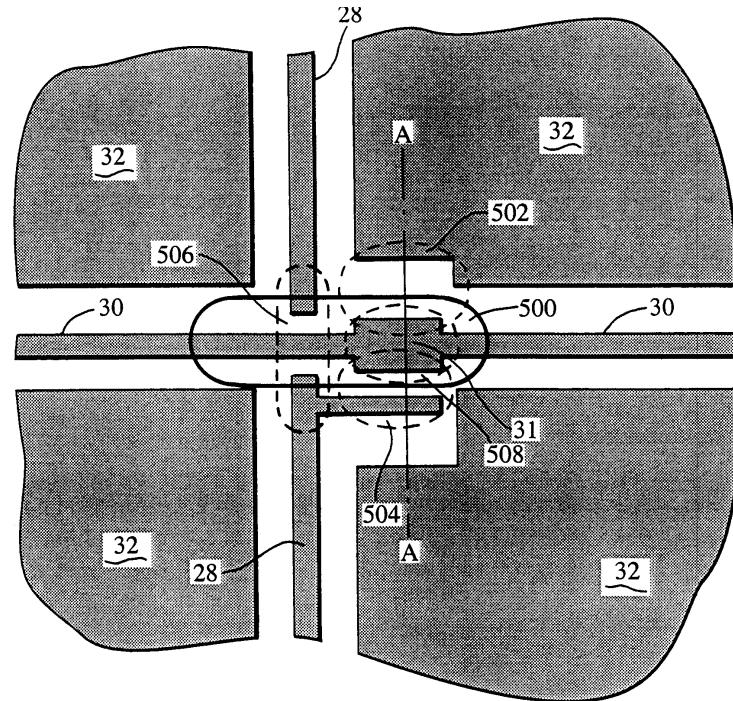
도면5



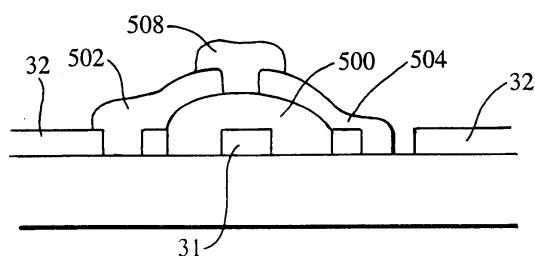
도면6



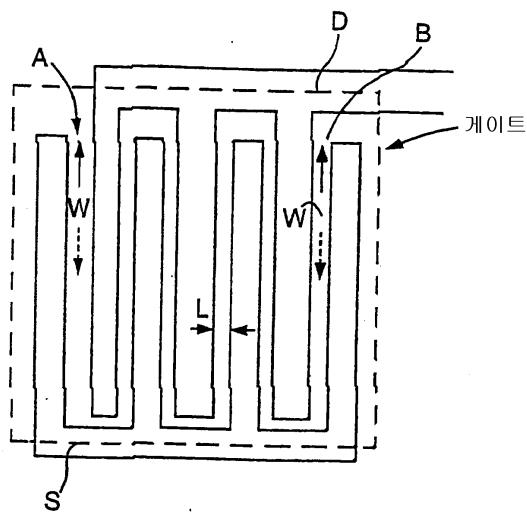
도면7



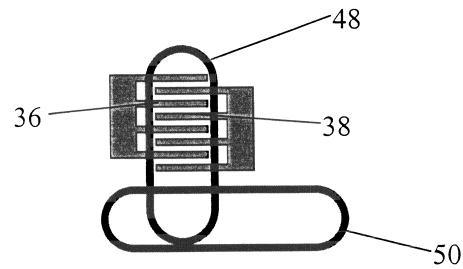
도면8



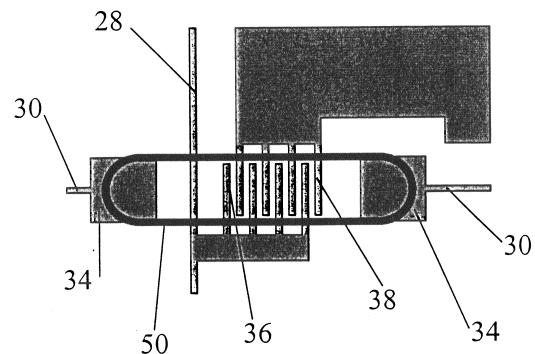
도면9



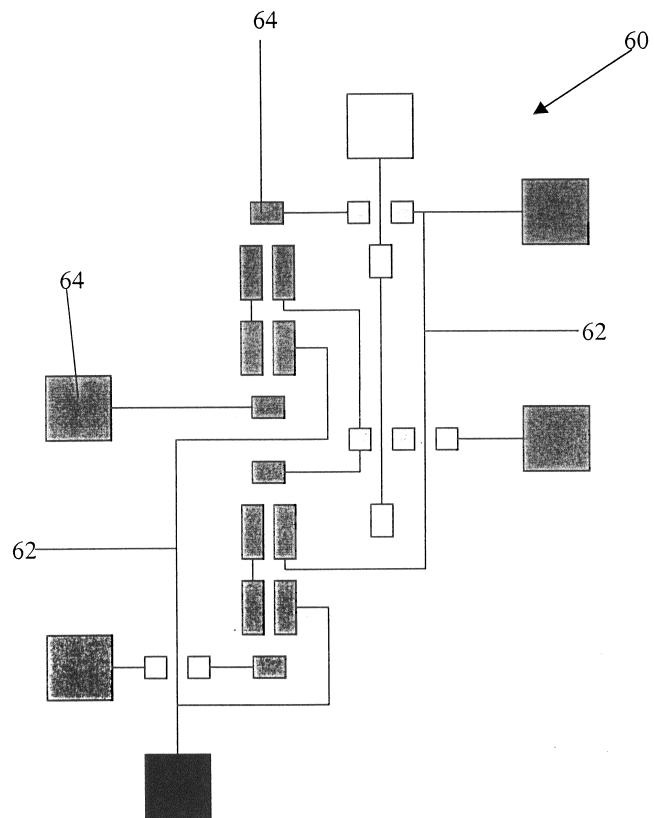
도면10



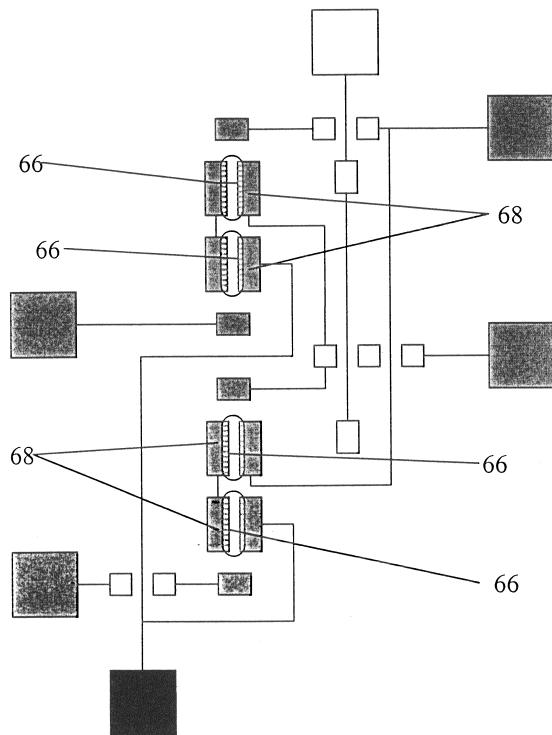
도면11



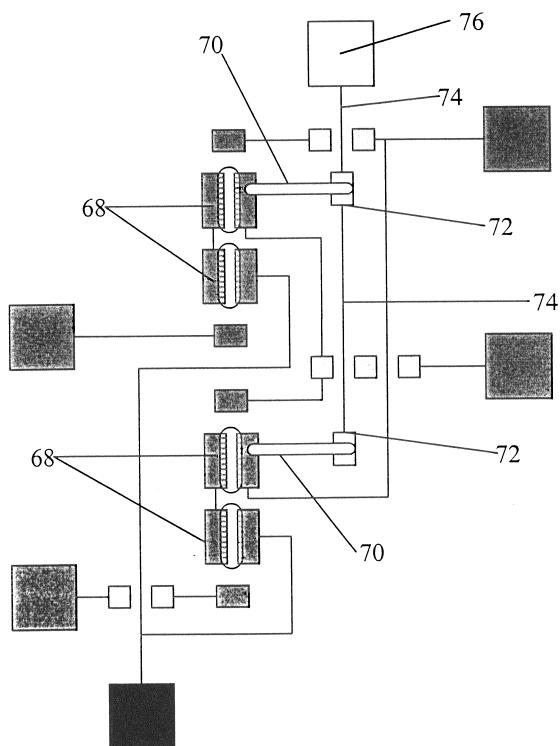
도면12



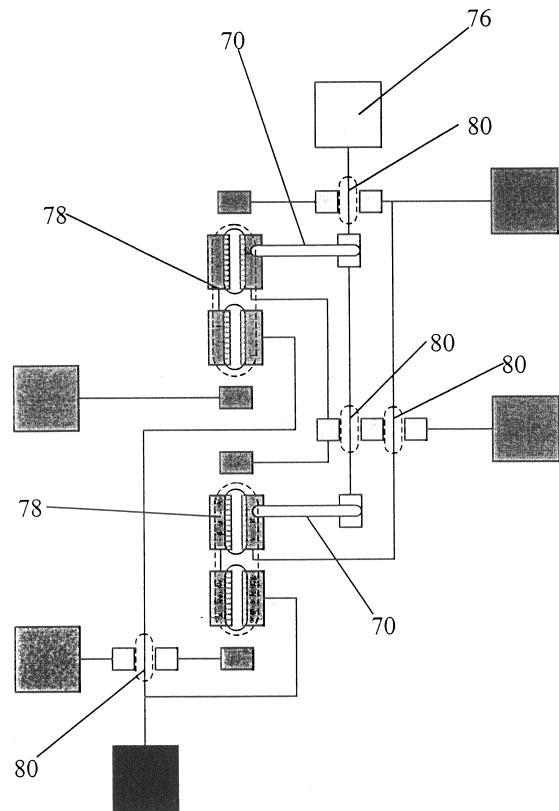
도면13



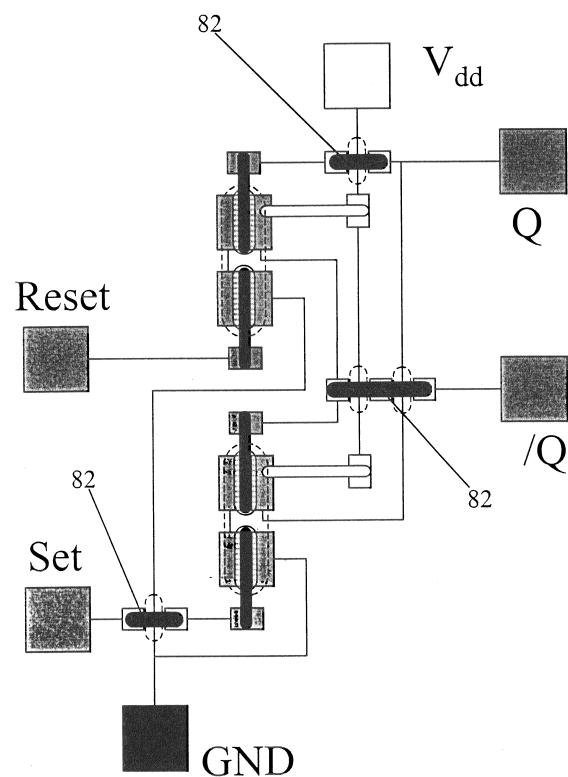
도면14



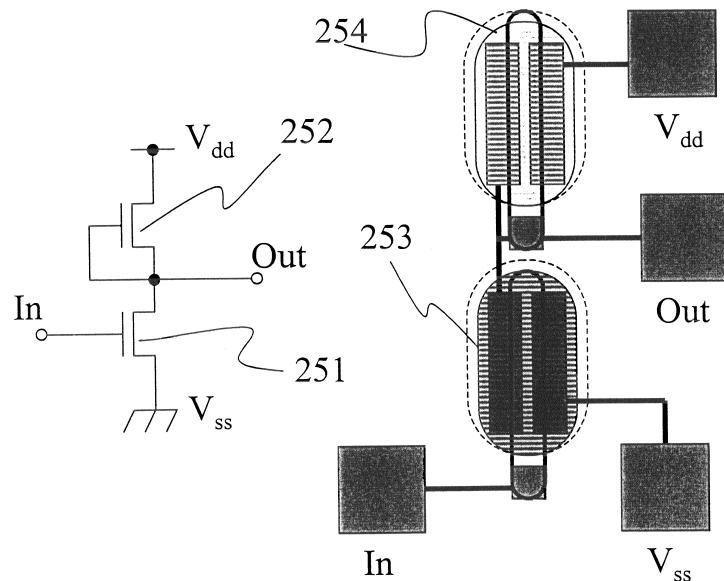
도면15



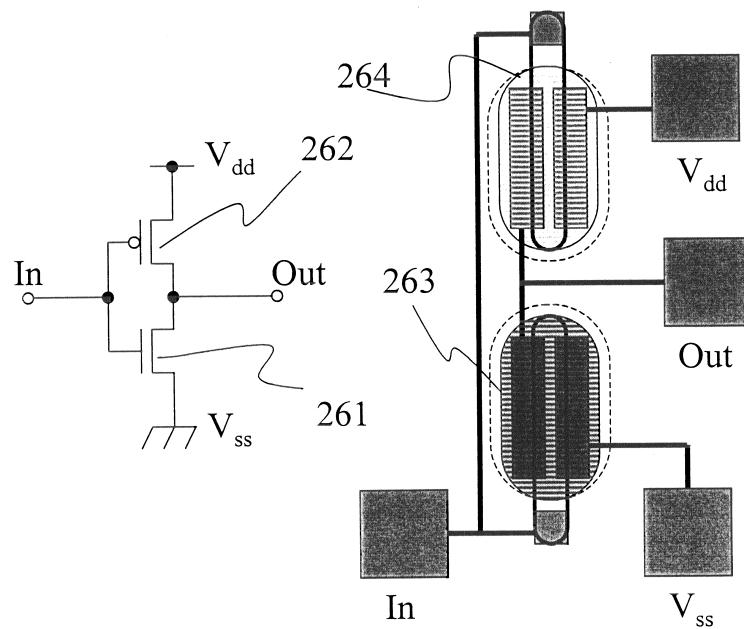
도면16



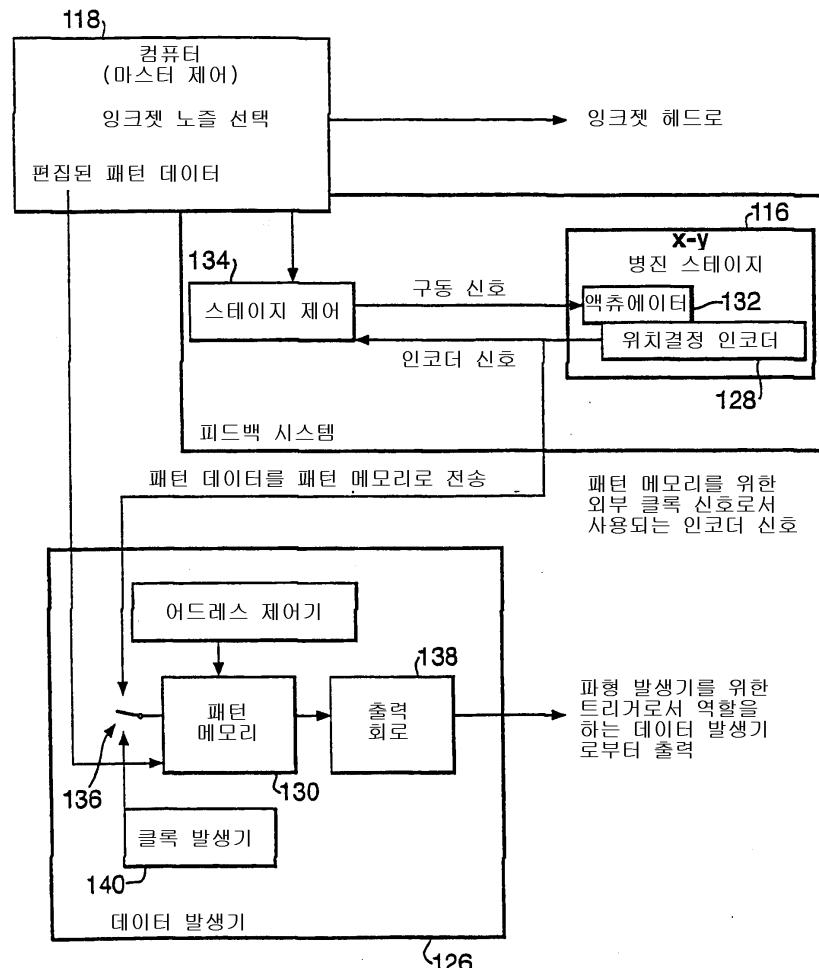
도면17



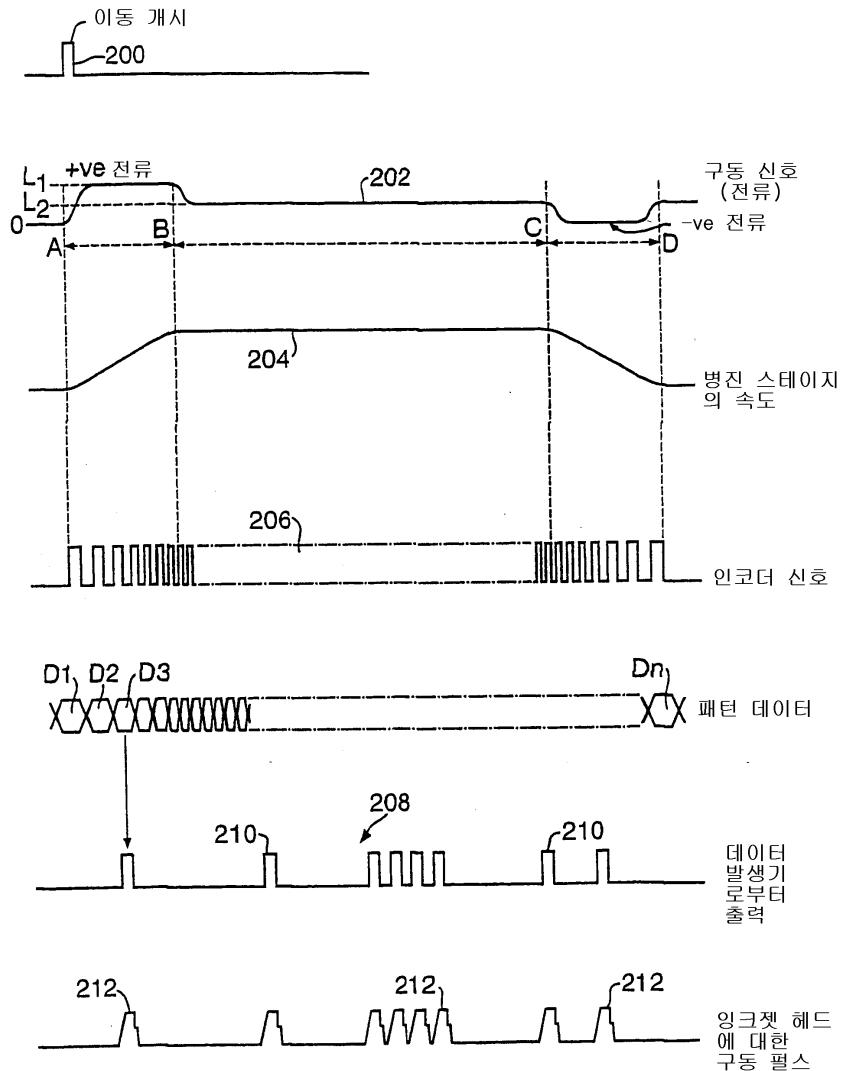
도면18



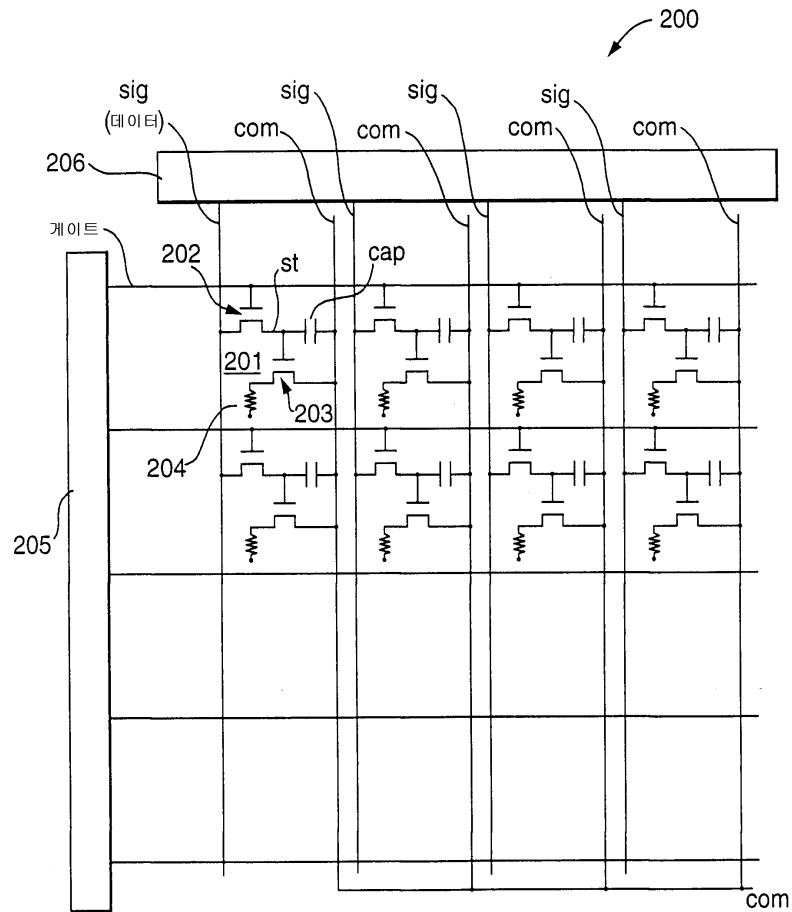
도면19



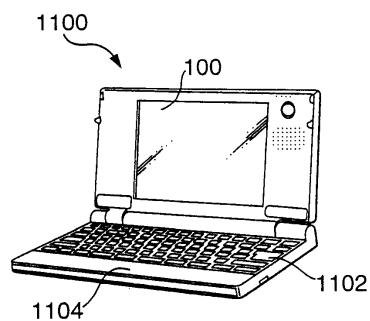
도면20



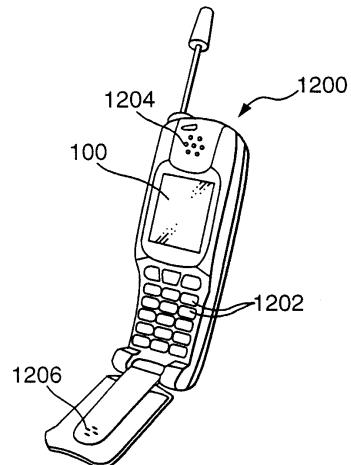
도면21



도면22



도면23



도면24

