

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

H04L 27/30

H04B 3/54

# [12] 发明专利申请公开说明书

[21] 申请号 98812215.4

[43]公开日 2001年1月31日

[11]公开号 CN 1282480A

[22]申请日 1998.11.10 [21]申请号 98812215.4

[30]优先权

[32]1997.12.15 [33]EP [31]97122042.1

[86]国际申请 PCT/EP98/07181 1998.11.10

[87]国际公布 WO99/31852 德 1999.6.24

[85]进入国家阶段日期 2000.6.15

[71]申请人 ABB 专利有限公司

地址 德国曼海姆

[72]发明人 K·多斯艾尔特

T·沃尔德克

[74]专利代理机构 中国专利代理(香港)有限公司

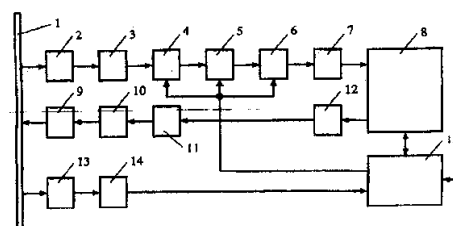
代理人 栾本生 王忠忠

权利要求书 3 页 说明书 16 页 附图页数 3 页

[54]发明名称 多载波方法及实现此方法的设备

[57]摘要

本发明涉及一种用于传输数字数据的多载波方法，尤其是通过电力分配系统。为了实现抗干扰的快速传输，提议将来自要发送的数据流的  $I_d(N)$  数据位组合分配数目为  $N$  的符号，每个符号由不同频率的  $N$  个信号形式组成。在接收端，数目为  $2N$  的数字匹配滤波器并行工作，用于同时非相干最佳接收所有的在每种情况下用作代表一个符号的  $N$  个信号形式，相应于各个信号形式能量的数字数值是作为  $N$  个信号形式中每个信号的相关值被组成的。 $N$  个相关值的加权与定标是通过与可自由选择的阈值作比较来实现的。组成一个符号的  $N$  个相关值被加在一起形成各个符号值。为实现本方法所需要的功能单元可方便地集成在 ASIC 中。



ISSN 1008-4274



(22) 中产生的产物被累加, 使得在一个信号形式周期通过以后, 用于一个符号的  $N$  个信号形式的同相组分和正交组分被累加在  $2N$  个寄存器中,

5 c) 开关 (212) 也用于顺序地将来自寄存器的  $2N$  个结果, 通过打开环状结构的相加器和寄存器组提供给一个几何和的电路, 形成近似地相应于各个信号形式能量的绝对值的数字数值,

10 d) 有一个进一步的环状结构相加器 (218), 一组  $N$  个寄存器 (219 到 222) 和一个多路转换器 (225), 藉助于这些部件, 符号值被累加, 使得在一个符号周期通过以后, 顺序提供给分析与决策设备 (226) 的各个符号值出现在  $N$  个寄存器中, 其中此设备最后供给接收到的数据, 和

15 e) 有一种集成钟产生与控制单元 (8), 与接收情况下参考信号的合成不同, 在传输期间以这样的一种方式对样本存储器 (214) 寻址, 使得其输出信号形成连续 - 相位发送信号形式, 在模拟/数字变换, 低通滤波和放大以后, 耦合到电力系统 (1)。

6. 依据权利要求 5 的设备, 其特征在于:

20 a) 有一个微处理器, 一个微控制器或一个有类似功能的数字电路 (15) 用于系统控制, 信号分析和数据传送。它是一种混合 - 信号 ASIC 的单片集成部件, 包含一台调制解调器的必不可少的部件,

25 b) 藉助于这种数字电路 (15), 在发送过程期间, 要发送的数据位组合可被供给发送设备和形成器, 首先通过对混合 - 信号 ASIC 中的控制单元编程设置所希望的数据速率和每个符号不同频率的数量为  $N$  的信号形式。

7. 依据权利要求 5 或 6 的设备, 其特征在于:

有以下作用的装置 (8, 13, 14, 15),

30 a) 为了同步用于发送与接收信号合成以及同步接收信号的处理, 电源 AC 被用作普遍的参考信号, 数据传输的开始始终被耦合到电源电压的零位传输上, 在 3 相的电力系统中得到  $1/6$  电源周期的基本定时型式, 由此, 通过整除, 在欧洲 50Hz 系统中可得到用于各种片速率例如,  $300\text{S}^{-1}$ ,  $600\text{S}^{-1}$ ,  $1200\text{S}^{-1}$ ,

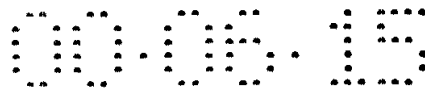
2400S<sup>-1</sup>或4800S<sup>-1</sup>的时间基准, 和其中

b) 为了在过零检测期间抑制抖动, 使用由用于相位检测的数字相关器和非线性数字调节器组成的数字锁相环路, 以便得到没有任何类型短时间起伏的非常稳定的同步信号。

5 8. 依据权利要求5到7中一项的设备, 其特征在于:

a) 除了电源耦合器(2, 9), 零位传输检测器(13)和传输功率放大器(10)以外, 所需要的功能组被单片集成在混合模拟/数字专用集成电路(ASIC)中, 存储器最好作为RAM单元被组成, 在电路复位以后, 其内容被通过外部只读存储器, 例如  
10 ROM, PROM或EPROM形式被加载, 和

b) 混合模拟/数字专用集成电路也包含微处理器, 微控制器的程序存储器或ROM或EEPROM形式的类似功能的数字电路(15)。



## 说明书

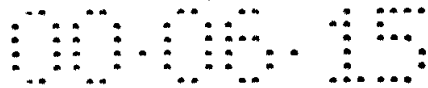
### 多载波方法及实现此方法的设备

5 本发明涉及一种利用许多最好是正交的信号形式，尤其是通过电力分配系统，快速与可靠的传送数字信息的方法和设备。

1991年12月，具有德国标准形态的欧洲标准 EN 50 065 生效。此标准规定在电力分配系统上为信号传输目的如何利用从 3KHz ... 148.5KHz 频带。在这个标准中，将可利用的频带粗略地分成两段：频率范围从 3KHz ... 95KHz 是为公用事业保留的，其中可允许最大  
10 134dB $\mu$ v 的传输幅度。剩下的频率范围从 95KHz ... 148.5KHz 对于私人用户来说不需要许可要求就可利用，但传输幅度不得超过 116dB $\mu$ v。这种相当低的传输电平（小于 1V）伴随着窄的可用频宽。EN50 065 - 1 对于通过供电线路防干扰传输信息的方法和设备提出了高的要求。由于幅度限制，可以始终利用满幅度的传输方法具有最好的成功  
15 机会。

目前，具有窄带或也具有宽带的，扩谱调制的系统，例如，在已出版的文件 DE - A1 - 44 23 978, DE - A1 - 43 23 376, DE - C2 - 40 01 265, DE - C2 - 40 01 266, EP - B1 - 0 200 016 和 EP - B1 - 0 199 148 中所描述的，被用于通过供电系统传输信息。这种在技术上可能是最  
20 简单的并且可始终利用全部可允许幅度的方法是 FSK（频移键控）。FSK 易于实施的事实肯定是当前通过电力系统传输信息的市场上可得到的大多数系统采用 FSK 工作的决定性原因。在许多现场试验期间的实际使用中 FSK 的缺点变得越来越明显，按目前的估计，应该说，将来公用事业打算通过它们的系统提供的服务不可能借助  
25 FSK 达到足够的可靠性。FSK 的基本问题在于，即使单个载波频率受到干扰时也会使整个传输完全失效，这种干扰或者是由于在时 - 变传输信道中任何点任何时候可能发生的选择性衰减，或者是由于电视机或开关型电源形式中的窄带干扰源。频带扩展方法，例如，频率跳跃（FH），允许许多类型的频率变动，可以提供一种补救的办法，在此  
30 可参看，例如，已出版的文件 DE - A1 - 44 23 978。虽然与 FSK 系统相比较要复杂些，由于现代微电子学的进步，这是可以承受的。然而，实际实现当前所用的 FH 方法至今还没有走出试验阶段；尤其是，市





制造和使用带有混合的模拟与数字功能的专用集成电路（混合信号的 ASIC）对于实现本方法是有利的。

因此，在发射机端的信号产生与接收机端直至位决策的相关处理可以高精度进行并在数字基础上的精确重现。一种信号形式的虚拟无限多样性不改变硬件就可得到，包括在宽的限制内自由选择各种数据速率和频率范围的能力。这些在 ASIC 中提供的数字功能不可能用当前状态技术中任何其它方法来实现，甚至利用最精巧的数字编程信号处理器也不行。另外，ASIC 包含用于对接收到的信号放大与滤波和在发射机端用于模拟/数字变换以及数字/模拟变换的模拟功能，也就是基本上不包含在标准的信号处理器中的功能单元。接收到信号的放大是按这样的方式自动调整的，使得模拟/数字变换器始终工作在有利的工作范围内。

本发明是以以下考虑为基础的：

如果  $N$  个载波频率用于一个 FH 系统，这些频率可用于形成  $N!$  ( $N$  阶乘 =  $N(N-1)(N-2)\dots 1$ ) 个不同的组合，以下的正文中称为符号。因此，可以用  $N=3$  个频率表示 6 个符号； $N=5$  提供 120。用  $N=3$  形成的 6 个符号能够传送  $[1d(6)] = 2$  位，而用  $N=5$  可达到  $[1d(120)] = 6$  位。在“通常”的 FH 中，这些可能性未被利用，只评估两个符号（组合），相应于 1 位的信息内容 - 参看，例如，已出版的文件 DE-A1-44 23 978。在通常的 FH 技术中，这就提供了冗余度，例如，在进行抵抗各个频率范围故障的传输方面。所得的缺点是明显的：传输速度按照所使用的载波频率数目下降。导致本发明的基本概述避免了这种速度的缺点，同时，无局限性地保证在 FH 原理中固有的抗干扰性能被保持。为了更详尽地解释本发明的基本方面，将比较几个例子：

如果所用的三个频率对于  $N=3$  被称作  $f_1, f_2$  和  $f_3$ ，得到以下的 6 个符号  $S_1 \dots S_6$ ，可按各种方法加以利用：





从 3KHz 到 95KHz 的频带，也就是  $B = 92\text{KHz}$  的带宽在依据欧洲标准 EN 50 065 - 1 用于传输信息的公用事业的分布式系统中是可得到的。如果，例如，必须通过符号处理多载波方法以纯数据速率（位速率） $r_b = 1200\text{bits/s}$  传送二进制信息，其中  $N = 4$  载波频率在符号周期  $T_s$  期间跳跃，则频率跳跃速率  $h = 2400\text{S}^{-1}$ 。频率跳跃速率的倒数  $T = 1/h$  规定每  $N$  频率中的一个发送期间时间间隔的持续时间。通信理论告诉我们， $B = 92\text{KHz}$  的频率带宽内，频率跳跃速率  $h = 2400\text{S}^{-1}$  时，最大  $[B/h]$  的数目 =  $[92000/2400] = 38$  个信号形式，每个频率偏置为  $2400\text{Hz}$ ，可同时发送并可由执行相关信号处理的接收机无差错和无相互干扰的检测出 - 也参看已出版的文件 DE - A1 - 44 23 978。

因此，利用所描述的类型符号 - 处理多载波方法在电力分配系统上最多  $[38/4] = 9$  个调制解调器同时并且无相互干扰地工作是可能的，例如在变压器站和所连接的家庭之间。对于这一点的决定性先决条件不仅是高精度信号的产生，而且是高精度的将所有发送的信号插入到整个的定时型式中并在每个调制解调器的接收机部分中执行相关信号处理。

发送信号的精确产生不仅是密集的信道分配的需要而且在单点对点连接的情况下是有利的。所有信号从一个固定的高度恒定的基本频率导出也是重要的，当频率改变时，没有相位间断，只产生连续相位过渡。相反，频率必须突然改变，也就是没有瞬变过程。连续相位过渡在每种情况下都是需要的，以便能够依据带有可支持滤波器复杂性的标准 EN 50 065 - 1 满足对于带外干扰的严格限制值。

正如在实际上全部的高质量传输系统中，同步是符号 - 处理多载波系统中信号产生和信号处理的基本要求。接收到的信号与在接收机中本地存在的参考信号的同步在相关接收的情况下是尤其必需的。在符号 - 处理多载波方法的情况下，这种参考信号来自频率合成器。在传输期间，已同步的频率合成器也是需要的，其携带信息的输出信号被送入电力系统。在由供电线路操作的系统中，藉助于交变系统电压的帮助，同步问题可简单而廉价地得到解决 - 参看，例如，EP - B1 - 200 016，EP - B1 - 0 199 148 和 EP - B1 - 0507 087。在以下的这份描述的一个部分中，将提出一种相关同步，它独立于电源电压并直接地从依据本发明的符号 - 处理多载波方法方便地获得。

已知的用于在配电系统上传送信息的发送与接收设备的硬件并不允许使用符号-处理多载波方法。在本方法描述过后，在本发明的范围内详细说明一种设备，该设备包括用于合成发送信号及相关处理符号-处理多载波方法接收到的信号的全部必不可少的部件。新设备包含模拟与数字部分，除了少数元件外，可用单片集成，为了实现这5点标准 CMDS 工艺是足够的。在频率选择（在允许的传输频带内所用频率的位置）方面达到了最大程度的灵活性。

在利用符号-处理多载波方法通过供电线路传送数字信息的调制解调器中的发送设备具有精确产生多重信号的任务，这些信号具有相当靠近的带有精确定时的邻近频率。快速的相位-连续的频率变化10必须能够与要发送的信息有关，在过程中不产生瞬变。用模拟技术制造的设备不可能应付以上的要求。另外，在频率变化方面也是不灵活的。

一个调制解调器的接收设备必须能够完全隔离具有未知相位关系的邻近频率信号。为此，在并行工作的许多接收机支路中通过相关装置进行匹配滤波是必要的。相关的原理从标准教科书中可充分地了20解。一种通常由乘法器与积分单元组成的有源相关器成为一个匹配滤波器，例如用于片周期  $T_c$  的信号形式，同步被采用以保证在每个片间隔结束，在片周期期间积分的值已为进一步处理采过样，如果必要的话，已被存贮以后，积分单元被设置为零。在模拟技术中，这样一种电路的复杂性是极其高的，因为每个载波频率需要一个分离的对相位不灵敏的正交接收机-比较已出版的文件 DE-A1-44 23 978。因此，利用  $N=4$  个频率产生一个基于符号-处理多载波方法的接收机需要8个分离的相关器。这样一种结构至今还未实现，这就是为什么25虽然不乏这方面的应用，然而在市场上得不到为实现可抗干扰至较高级别的多载波方法的硬件部件。

本发明第一次提供一种硬件基础，用于简单的和可复现的制造用于符号-处理多载波方法的调制解调器，工业化系列生产使其有可能随着生产数量增加继续降低成本。因此，本发明有助于实现在电力系30统上广泛应用抗干扰数据传输的突破，尤其是在欧洲，EN 50 065-1 的严格限制已经生效。至今，在欧洲市场上，无论是利用通常的调制方法还是为在配电系统上数据传输的多载波技术都得不到可靠工作

的调制解调器。

现在将参考附图 1 和 2 描述一种本发明的实施方案。为了清楚以及说明的目的，将考虑二进制信息的传输（也就是一个随机的连续的“H”和“L”位的流），具有固定的数据速率  $r_D=1/T_B=1200\text{bit/s}$ ，  
5 利用片周期  $T_c=T_B/2$  的四个不同频率的正交信号形式。因此在此是一种  $N=4$  的符号-处理多载波系统。通过参考本文可由专家实现变化为其它技术上有意义的  $N$  值。

非相干接收是配电系统中的规则，这就是为什么在  $N=4$  的接收机中需要并行工作八个相关器。如果  $T_c=T_B/2$ ，得到片速率  
10  $h=2400\text{S}^{-1}$ 。例如，在  $9.6\text{KHz}\cdots 148.8\text{KHz}$  频带中，可以找到 60 个频率，在每种情况下相隔  $2400\text{Hz}$ ，形成一组正交频率，其中在每种情况下的整数周期符合每个片周期  $T_c$ 。当采样速率为  $600\text{KHz}$  时，为了无差错表示最大需要 125 个样本。由于是非相干接收，对于每个接收到信号的样本需要 8 个参考值，这样为了输出参考信号样本需要的钟频率是  
15  $f_s=4.8\text{MHz}$ 。

在符号-处理多载波方法中，当用户信息分布在其上的频率尽可能的远离时，可以在取得最佳抗干扰能力的同时，也实现操作的可靠性。然而，对于许多频率来说，要同时承受相同的衰减和/或干扰是不可能的。例如，对于  $N=4$  的系统，以下的频率选择是合适的：

$f_1$	$f_2$	$f_3$	$f_4$
52,800Hz	62,400Hz	72,000Hz	86,400Hz

20 表 3:  $N=4$  时确定频率的例子

图 1 示出一台调制解调器的总配置，其工作情况将在随后的正文中详细解释，从接收部分开始。从电力系统 1 接收到的信号通过耦合器 2 传送到带通滤波器 3，让四个所希望的频率  $f_1\cdots f_4$  通过，但尽可能地阻挡其余的频率范围。让电源电压和其它低频率隔离已经由耦合器大部分进行过了，其作用如高通滤波器。其后是一台由三个运算放大器级 4, 5 和 6 组成的自动增益控制设备。其增益可通过集成的微控制器系统 15 用数字方式设置。经放大的接收到的信号传送到模拟/数字变换器 7，提供数字化样本到符号-处理系统 8，所得的结果由集成的微控制器系统 15 接受并作进一步的处理。最后，微控制器系统 15 一方面通过串行接口在此发送与接收数据，另一方面，计算用  
30

于设置三个运算放大器级 4, 5 和 6 的增益。此设备的特点是三个放大器中的两个是“快速调节的”，而第三个最多按因数 2 对每个符号逐个进行调节。快速调节的放大器的任务是快速响应突然的，相当大的信道变化，而慢速调节的放大器只打算补偿少量的起伏变化。在微控制器系统 15 中方便地以软件形式实现的控制算法始终企图将快速放大器设置为最高可能的增益值，以便随着快速的信道变化可得到大的响应容限。电平估算器为计算放大器对微控制器系统 15 的调节量提供基础，是作为平均电路用数字硬件构成，是符号 - 处理系统 8 的一个部件。电平估算器接收接收到的信号中的  $Z$  个数字化值  $X(k)$ ，并利用这些值确定在符号周期已经过去后每种情况下估算值：

$$X_{sch} = \frac{\pi}{2} \cdot \sum_{k=1}^Z |x(k)|,$$

在估算值  $X_{sch}$  和额定值  $X_{soll}$  之间的比为产生交换命令提供基础，供由微控制器系统 15 进行增益调节。最大总增益是从  $1 \cdots 4096$  可变的，三个放大器级中每一个可调节到增益值 1, 2, 4, 8 或 16。

在符号处理系统 8 内的另一个功能单元将在下节中参考附图 2 作详细的描述，该单元按这样的方式对从数据源到达微控制器系统的发送信号，要发送的数字数据流进行处理，使得要发送的信号形式的样本直接提供给数字/模拟变换器 12。数字/模拟变换过的发送信号在低通恢复滤波器 11 中被滤波，并在发送输出级 10 中放大以后，通过发送耦合器 9 供给电力系统 1。功能块 13 和 14 用于将数据传输与电源交变电压同步。在此过程中，在功能块 13 中实现高精度检测电源过零，同时，电源过零信息是与电力系统 DC 隔离的，这是通过光耦合器的帮助实现的。在方框 14 中，实现数字锁相环 (PLL)，由此任何类型的高频抖动被从电源过零传输信息中除去，这样一来，最后，一个边缘陡峭和稳定的同步信号被供给微控制器系统 15 的中断输入。与电源 AC 的同步通常不是一个最佳的解决办法，以下将要描述的本发明实现一种相关类型的同步。因而即使没有电源交变电压也达到完全同步，这就是为什么本发明是一种有利的开发。

图 2 中所示的方框图表示一种包括图 1 中的功能块 7、8、12 和

15 的集成微计算机系统。在一个完全的符号 - 处理多载波系统的实际结构中，将图 1 的所有功能单元除了耦合器 2, 9 和发送放大器 10 以外，以混合信号 ASIC 的形式单片集成是有利的。在这一点上，将只考虑图 2 中所示的部分，因为对于解释依据本发明的必不可少的功能来说，要比一个包罗万象的因而也是使人感到比较混乱的总电路更加适合。

在图 2 中，已滤波与放大并与电力系统隔离的接收到的信号首先到达模拟/数字变换器 21。因为非相干接收，如上所述，是配电系统中的 10 一个规则。N=4 需要在接收机中有八个并行工作的相关器。由于是非相干接收，接收到的信号中每个样本需要八个参考值。当采样率为 600KHz 时，每个频率需要最多 125 个样本，这样，当钟频率  $f_s=4.8\text{MHz}$  时，需要 2000 个样本的存贮器供输出参考信号样本。

在随后的正文中，数字化的接收信号用  $E(iT_a)$  标记，其中  $iT_a$  是离散时间， $i=0, 1, 2, \dots$ 。接收信号的每个数字化样本  $E(iT_a)$  在数字乘法器 22 中被来自信号形式或样本存贮器 214 的八个参考信号样本  $R(iT_a+vT_a/8)$  相乘，其中  $v=0 \dots 7$ 。然后八个子产物被通过信号形式周期  $T_c$  (片周期) 积分，也就是在分离的累加器中以数字方式加在一起。按照图 2，这些累加器被方便地实现如下：相加器 23 可与随后的八个寄存器 24...29, 210, 211 和一个开关 212 连接在一起，形成一个环状结构。在信号形式接收的开始，开关 212 在频率  $f_s$  的八个钟周期期间处于位置 II，也就是环状结构是打开的，使得零值通过相加器 23 的一个输入，而其它的输入相继接收来自乘法器 22 的 8 个乘法结果  $E(iT_a) \cdot R(iT_a+vT_a/8)$ ，其中  $v=0 \dots 7$  实施以下的相关：

- 25  $R(iT_a+0 \cdot T_a/8) \equiv$  正弦样本  $f_1$  片 ( $f_1$  片的同相组分)
- $R(iT_a+1 \cdot T_a/8) \equiv$  正弦样本  $f_2$  片 ( $f_2$  片的同相组分)
- $R(iT_a+2 \cdot T_a/8) \equiv$  正弦样本  $f_3$  片 ( $f_3$  片的同相组分)
- $R(iT_a+3 \cdot T_a/8) \equiv$  正弦样本  $f_4$  片 ( $f_4$  片的同相组分)
- $R(iT_a+4 \cdot T_a/8) \equiv$  余弦样本  $f_1$  片 ( $f_1$  片的正交组分)
- $R(iT_a+5 \cdot T_a/8) \equiv$  余弦样本  $f_2$  片 ( $f_2$  片的正交组分)
- 30  $R(iT_a+6 \cdot T_a/8) \equiv$  余弦样本  $f_3$  片 ( $f_3$  片的正交组分)
- $R(iT_a+7 \cdot T_a/8) \equiv$  余弦样本  $f_4$  片 ( $f_4$  片的正交组分)

在频率  $f_s$  的 8 个钟周期通过以后，寄存器 24...29, 210, 211 包

含以下结果:

寄存器→

24	25	26	27	28	29	210	211
$Q_4$	$Q_3$	$Q_2$	$Q_1$	$I_4$	$I_3$	$I_2$	$I_1$

其中  $I_j$  是具有频率  $f_j$  的同相组分,  $Q_j$  是正交组分, 其中  $j=1 \dots 4$ .

5 因为  $i=0$ , 在信号形式的开始施加以下操作:

$$Q_4(0) = E(0) \cdot R(0+7 \cdot T_s/8) + 0,$$

$$Q_3(0) = E(0) \cdot R(0+6 \cdot T_s/8) + 0,$$

$$Q_2(0) = E(0) \cdot R(0+5 \cdot T_s/8) + 0,$$

$$Q_1(0) = E(0) \cdot R(0+4 \cdot T_s/8) + 0,$$

$$I_4(0) = E(0) \cdot R(0+3 \cdot T_s/8) + 0,$$

$$I_3(0) = E(0) \cdot R(0+2 \cdot T_s/8) + 0,$$

$$I_2(0) = E(0) \cdot R(0+1 \cdot T_s/8) + 0,$$

$$I_1(0) = E(0) \cdot R(0+0 \cdot T_s/8) + 0.$$

加上 0 是因为环状结构是由开关 2/2 打开而得到的。在以上提到的频率  $f_0$  的八个钟周期通过以后, 开关 212 被切换到位置 I, 导致所描述的环状结构, 其中寄存器 211 的内容现在到达相加器 23。实施算术运算, 寄存器 24...29, 210, 211 的内容累加如下:

寄存器 24:  $Q_4(i) = E(iT_n) \cdot R\left(iT_n + \frac{7T_n}{8}\right) + \sum_{\xi=0}^{i-1} E(\xi T_n) \cdot R\left(\xi T_n + 7 \cdot \frac{T_n}{8}\right)$

寄存器 25:  $Q_3(i) = E(iT_n) \cdot R\left(iT_n + \frac{6T_n}{8}\right) + \sum_{\xi=0}^{i-1} E(\xi T_n) \cdot R\left(\xi T_n + 6 \cdot \frac{T_n}{8}\right)$

寄存器 26:  $Q_2(i) = E(iT_n) \cdot R\left(iT_n + \frac{5T_n}{8}\right) + \sum_{\xi=0}^{i-1} E(\xi T_n) \cdot R\left(\xi T_n + 5 \cdot \frac{T_n}{8}\right)$

寄存器 27:  $Q_1(i) = E(iT_n) \cdot R\left(iT_n + \frac{4T_n}{8}\right) + \sum_{\xi=0}^{i-1} E(\xi T_n) \cdot R\left(\xi T_n + 4 \cdot \frac{T_n}{8}\right)$

寄存器 28:  $I_4(i) = E(iT_n) \cdot R\left(iT_n + \frac{3T_n}{8}\right) + \sum_{\xi=0}^{i-1} E(\xi T_n) \cdot R\left(\xi T_n + 3 \cdot \frac{T_n}{8}\right)$

寄存器 29:  $I_3(i) = E(iT_n) \cdot R\left(iT_n + \frac{2T_n}{8}\right) + \sum_{\xi=0}^{i-1} E(\xi T_n) \cdot R\left(\xi T_n + 2 \cdot \frac{T_n}{8}\right)$

寄存器 210:  $I_2(i) = E(iT_n) \cdot R\left(iT_n + \frac{1T_n}{8}\right) + \sum_{\xi=0}^{i-1} E(\xi T_n) \cdot R\left(\xi T_n + 1 \cdot \frac{T_n}{8}\right)$

寄存器 211:  $I_1(i) = E(iT_n) \cdot R\left(iT_n + \frac{0 \cdot T_n}{8}\right) + \sum_{\xi=0}^{i-1} E(\xi T_n) \cdot R\left(\xi T_n + 0 \cdot \frac{T_n}{8}\right)$

假定信号形式具有片周期  $T_c = N \cdot T_n$ ，在频率  $f_n$  的  $i-N$  个钟周期以后，也就是频率  $f_n$  的  $8 \cdot N$  个钟周期以后，可得到所希望的八个信号组分：

24	25	26	27	28	29	210	211
$Q_4$	$Q_3$	$Q_2$	$Q_1$	$I_4$	$I_3$	$I_2$	$I_1$

5 为了随后的符号决策，依据正交接收机的原理，首先需要信号组分  $I_j$ ， $Q_j$  的几何和：

$$B_1 = \sqrt{I_1^2 + Q_1^2}; B_2 = \sqrt{I_2^2 + Q_2^2}; B_3 = \sqrt{I_3^2 + Q_3^2}; B_4 = \sqrt{I_4^2 + Q_4^2}.$$

得到和  $B_1 \cdots B_4$ 。

10 虽然通过数字硬件可以毫无问题的实现平方的算术运算和平方根的计算，但是相当复杂，尤其是大动态范围时。因此，在本发明中，采用以下的近似是有利的：

$$B_j \approx \max\{I_j, Q_j\} + \left(\frac{1}{4} + \frac{1}{8}\right) \cdot \min\{I_j, Q_j\},$$

可以很不复杂地提供等效的结果。在这种方案中，信号组分的较大相关值  $I_j$  或  $Q_j$  通过求和在每种情况下必须加到由  $(1/4 + 1/8)$  相乘的较小的相关值上。为此必要的简单算术与逻辑运算在功能块

215, 第二开关 216 和一组绝对值寄存器 217 中实现。在片周期经过后, 开关 212 在精确的 8 个钟周期内改变到位置 II, 使 8 个相关值传送到方框 215 中, 其中头四个被直接移入绝对值寄存器 217 组中。开关 212 现在返回位置 I, 使得下一个信号形式的相关值可累加在寄存器 24...29, 210, 211 中。现在第二开关 216 闭合, 用于依据以上的算术规则进一步计算绝对值  $B_j$ , 使得四个值  $I_1 \dots I_4$  顺序地送回到功能块 215, 其中的每一个与仍然存贮在方框 215 中的有关的正交值  $Q_1 \dots Q_4$  相比较。在每种情况下确定较大的值并被移入绝对值寄存器 217 的组中。

5

现在在每种情况下较小的相关值通过在功能块 215 中分别右移两位或三位实现除以 4 或除以 8, 结果被相加。为了依据以上的算术规则最后相加, 存贮在绝对值寄存器组 217 中的最大值通过第二开关 216 送回到功能块 215, 以便在每种情况下按  $(1/4+1/8)$  的比例加到最小值上, 结果被移入绝对值寄存器组 217, 现在可得到四个所希望的绝对值  $B_j$ , 由此可接着实现符号决策。

10

按照表 2, 在每种情况下, 四个片间隔通过后可进行符号决策。为此, 必须按照以下的方案在四个顺序的片间隔中将来自寄存器组 217 的绝对值  $B_1 \dots B_4$  相加, 并将结果存入四个符号寄存器 219...222。

15

片间隔 NO.

1	2	3	4		符号寄存器	数据符号
$B_1 +$	$B_2 +$	$B_3 +$	$B_4$	$\Sigma \Rightarrow$	222	00
$B_2 +$	$B_3 +$	$B_4 +$	$B_1$	$\Sigma \Rightarrow$	221	01
$B_3 +$	$B_4 +$	$B_1 +$	$B_2$	$\Sigma \Rightarrow$	220	10
$B_4 +$	$B_1 +$	$B_2 +$	$B_3$	$\Sigma \Rightarrow$	219	11

20

表 4: 符号值的计算

藉助于与绝对值寄存器组 217 和符号寄存器 219...222 接合的多路转换器 225 和相加器 218 实现所需的运算。假定符号寄存器 219...222 在第一片间隔的末了被用零充满。现在, 多路转换器 225 按照表 4 的列 1 将四个绝对值  $B_1 \dots B_4$  逐个地供给相加器 218, 同时, 其第二输入接收零值, 在第二片间隔以后, 来自多路转换器的绝对值按照表 4 的列 2 循环地交换, 也就是  $B_2, B_3, B_4, B_1$ , 这样, 由于从符号寄存

25





同步参考中很大程度的除去抖动，然而单独以电源 AC 为基础是不可能达到的。

在已知的相关接收机中，照例，从接收到的信号实现自主同步要比相关性能本身更费力。在本发明的情况下，却相反，利用在任何情况下总是必要的接收机硬件，可以不需要很大的附加努力来实现同步。因为从原理上所有的发射机和接收机利用振荡器晶体产生钟，从一开始就得到足够稳定的时间基准。然后，最终同步设备的任务是使在接收到的信号中存在的定时型式与在接收机中本地精确产生的定时相匹配。现在将参考以表 2 为基础的图 3 和表 5 来解释这种复杂的过程。

图 3 示出四个携带信息的符号和有关的数据位组合。从位组合“00”开始，可以看到，属于“10”的符号可由循环右移产生，而属于“01”的符号可由左移产生。关于同步，右移意味着在接收机中本地参考的定时型式相对于接收到的信号是超前的，也就是校正需要延时。这可类似地应用到左移的过程。

如果“01”选作起始点，循环右移产生‘00’和左移产生‘11’。应用每种符号的以上考虑，很清楚，可以通过单独考虑最大与次最大的相关值，确定是否接收机定时型式是超前还是滞后。绝对值的差值也提供一种同步误差幅度的指示，也就是此值越大，同步越精确，要采取的校正动作越少。按照以上的考虑，同步可用简单方式校正（假定起始点是接收属于‘00’的符号）：如果，例如，在最大（‘00’）和次最大（‘10’）相关值之间带有相当大差值的超前被检测到，在接收机中的本地参考被稍微延时，这可通过插入附加的钟脉冲用数字方式相当简单地完成。在后继的校正过程以后，最大和次最大的相关值被再次查看。现在假定，属于位组合‘11’的符号已被发送，因此，为此符号接收最大的相关值。在前面校正超前以后，现在指望对于‘01’的次最大相关值将出现，与最大值的差值已增加，也就是同步已经改善。如果必要的话，所描述的校正步骤在规模上不断减小，直到接收机参考的滞后而不是超前被检测到为止。在每个相关过程以后，也就是在一个符号周期已经通过以后的每种情况下，检测到接收机参考的交替超前与滞后，在最大与次最大相关值之间的大差值时，达到一种稳定的最佳状态。实际上，这种理想的条件很少可能发生，

因为要查看的差值遭受起伏的影响，即使在理想同步的情况下，由于始终存在的干扰信号，不可能将起伏与同步误差区分开。照例，这意味着，为了达到所描述的稳定状态要做比理论上预料的更大的校正工作。

5 以下的表 5 用作说明所描述的属于所假定的位组合 '00' 的符号的定时型式和传输 - 参看顶部的行 (发送)。

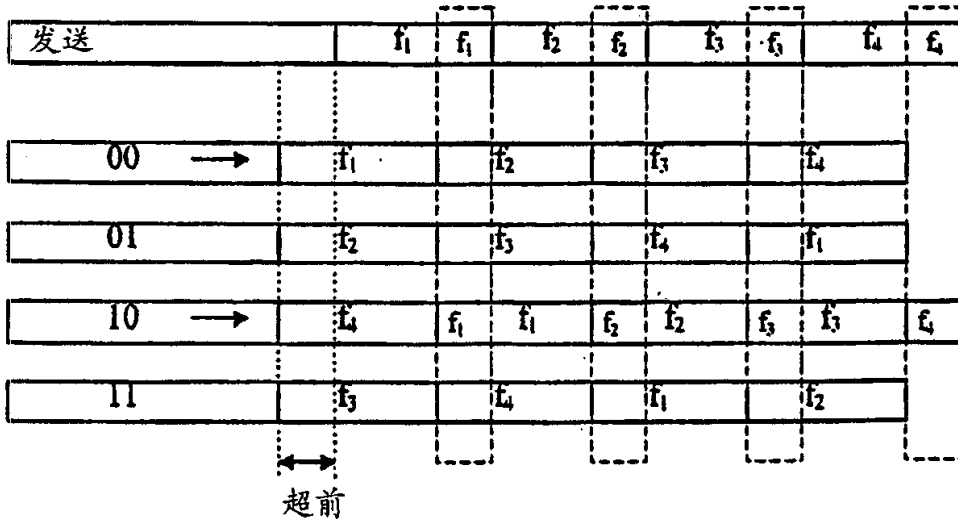


表 5: 相关同步原理解释

在接收端，可以看到参考定时型式有相当大的超前。一方面，这导致为发送符号产生的相关值太小，另一方面，在符号未被发送的情况下产生影响。然而，在依据本发明的同步方法中，这只是单符号的情况，也就是分配到位组合 '10' 的情况。在其它两种符号的情况下，不产生相关影响。在表 5 中的垂直虚线矩形包括在错误点上一起相关的影响，这是由于在一个符号的四片中每一片期间的定时型式偏离造成的。可以看到，这种影响可能只发生在属于 '10' 的符号中 - 在其它符号 '01' 和 '11' 的情况下频率不匹配。

说明书附图

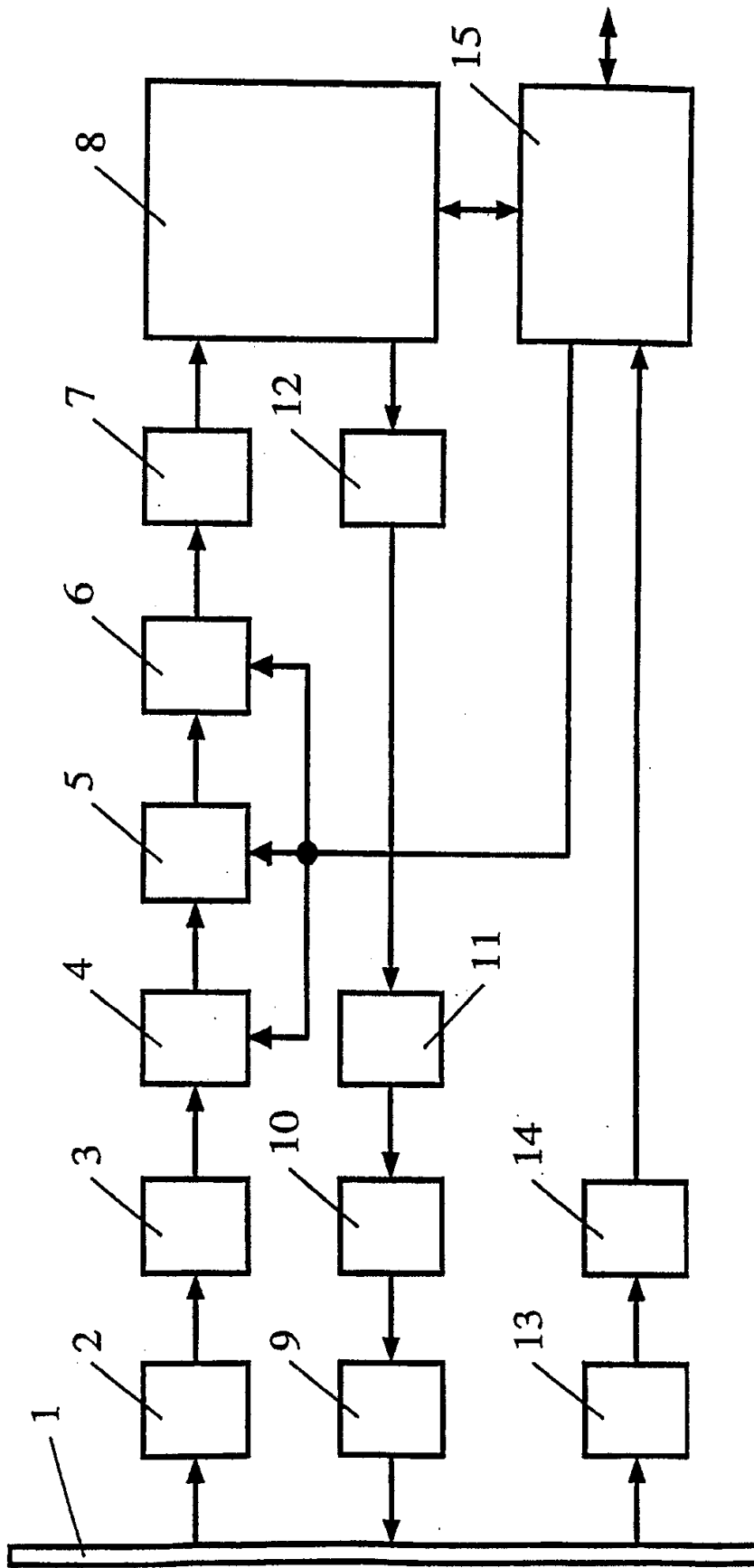


图 1

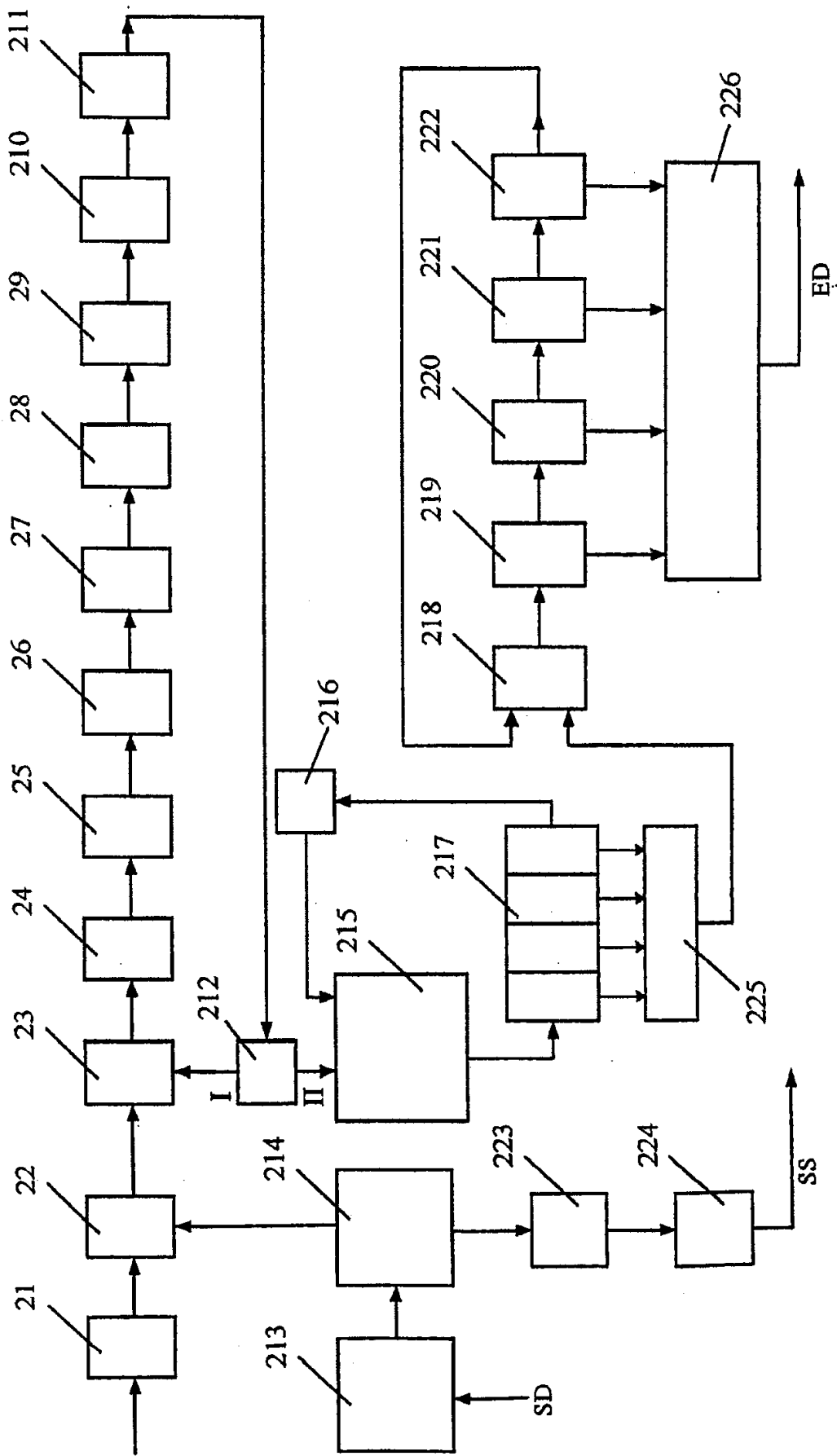


图 2

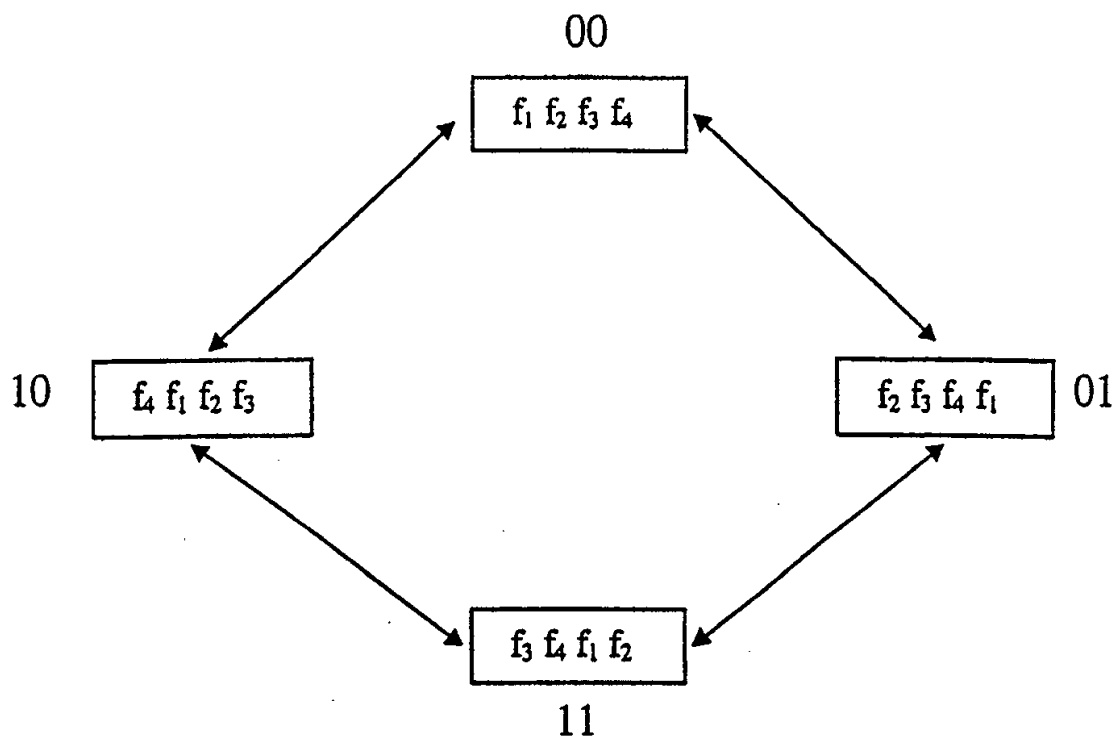


图 3