



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I457903 B

(45)公告日：中華民國 103 (2014) 年 10 月 21 日

(21)申請案號：101110255

(22)申請日：中華民國 101 (2012) 年 03 月 23 日

(51)Int. Cl. : G09G3/34 (2006.01) G09G3/20 (2006.01)

(30)優先權：2011/05/12 日本 2011-106895

(71)申請人：皮克斯特隆尼斯有限公司(美國) PIXTRONIX, INC. (US)
美國

(72)發明人：宮澤敏夫 MIYAZAWA, TOSHIO (JP)；宮本光秀 MIYAMOTO, MITSUhide (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 200523854A

TW 200836152A

TW 200945294A

CN 1965340A

審查人員：唐之凱

申請專利範圍項數：14 項 圖式數：10 共 0 頁

(54)名稱

門鎖電路及使用門鎖電路之顯示裝置

LATCH CIRCUIT AND DISPLAY DEVICE USING THE LATCH CIRCUIT

(57)摘要

本發明提供一種可在較短之時間間隔內將門鎖資訊門鎖，且可謀求更低成本化之單通道門鎖電路。該門鎖電路包含：輸入電晶體；連接於上述輸入電晶體之第 2 電極與第 1 門鎖控制線之間之保持電容；第 1 電極連接於上述第 1 門鎖控制線、閘極連接於上述輸入電晶體之第 2 電極之第 1 電晶體；閘極連接於上述第 1 電晶體之第 2 電極、第 1 電極連接於第 2 門鎖控制線之第 2 電晶體；閘極連接於上述第 1 電晶體之第 2 電極、第 1 電極連接於第 2 電晶體之第 2 電極、且第 2 電極連接於輸出端子之第 3 電晶體；連接於上述第 1 電晶體之第 2 電極與上述第 2 電晶體之第 2 電極之間之電容；及連接於上述第 1 電晶體之第 2 電極與上述第 1 門鎖控制線之間之二極體。



CD1 . . . 第 1 電容
CD2 . . . 第 2 電容
LAC1 . . . 第 1 門
鎖控制線
LAC2 . . . 第 2 門
鎖控制線
LAC3 . . . 第 3 門
鎖控制線
LD . . . 資料線
LG . . . 掃描線
LSS . . . 活動快門
控制線
N1 . . . 節點
N2 . . . 節點
N3 . . . 節點
N4 . . . 節點
NMT1 . . . 電晶體
NMT2 . . . 電晶體
NMT3 . . . 電晶體
NMT4 . . . 電晶體
NMT5 . . . 電晶體
OUT1 . . . 第 1 輸
出
OUT2 . . . 第 2 輸
出
S . . . 活動快門
φAC1 . . . 第 1 驅動
時脈
φAC2 . . . 第 2 驅動
時脈
φAC3 . . . 第 3 驅動
時脈
φG . . . 掃描電壓
φS . . . 活動快門控
制信號

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101110255

※申請日：101.3.23

※IPC 分類：G09G $\frac{3}{34}$ (2006.01)

一、發明名稱：(中文/英文)

G09G $\frac{3}{20}$ (2006.01)

門鎖電路及使用門鎖電路之顯示裝置

LATCH CIRCUIT AND DISPLAY DEVICE USING THE LATCH
CIRCUIT

二、中文發明摘要：

本發明提供一種可在較短之時間間隔內將門鎖資訊門鎖，且可謀求更低成本化之單通道門鎖電路。該門鎖電路包含：輸入電晶體；連接於上述輸入電晶體之第2電極與第1門鎖控制線之間之保持電容；第1電極連接於上述第1門鎖控制線、閘極連接於上述輸入電晶體之第2電極之第1電晶體；閘極連接於上述第1電晶體之第2電極、第1電極連接於第2門鎖控制線之第2電晶體；閘極連接於上述第1電晶體之第2電極、第1電極連接於第2電晶體之第2電極、且第2電極連接於輸出端子之第3電晶體；連接於上述第1電晶體之第2電極與上述第2電晶體之第2電極之間之電容；及連接於上述第1電晶體之第2電極與上述第1門鎖控制線之間之二極體。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

CD1	第 1 電 容
CD2	第 2 電 容
LAC1	第 1 門 鎖 控 制 線
LAC2	第 2 門 鎖 控 制 線
LAC3	第 3 門 鎖 控 制 線
LD	資 料 線
LG	掃 描 線
LSS	活 動 快 門 控 制 線
N1	節 點
N2	節 點
N3	節 點
N4	節 點
NMT1	電 晶 體
NMT2	電 晶 體
NMT3	電 晶 體
NMT4	電 晶 體
NMT5	電 晶 體
OUT1	第 1 輸 出
OUT2	第 2 輸 出
S	活 動 快 門
ϕ AC1	第 1 驅 動 時 脈

$\phi AC2$	第2驅動時脈
$\phi AC3$	第3驅動時脈
ϕG	掃描電壓
ϕS	活動快門控制信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種閃鎖電路及使用閃鎖電路之顯示裝置，尤其是關於一種僅使用n型MOS電晶體或p型MOS電晶體之任一者形成閃鎖電路之單通道閃鎖電路及使用單通道閃鎖電路之顯示裝置。

本申請案係基於且主張先前於2011年5月12日提出申請之日本專利申請案第2011-106895號之優先權的權利；該案之全部內容以引用之方式併入本文中。

【先前技術】

一般而言，閃鎖電路通常係由CMOS電路構成，例如，如圖8所示，一般為使用連接於被供給特定電壓即VDD之電壓之電源線(LVDD)與例如被供給接地電位即GND之電壓之電源線(LGND)之間之n型MOS電晶體(NMT93、NMT94)及p型MOS電晶體(PMT95、PMT96)之閃鎖電路。

圖9中顯示圖8中所示之掃描電壓(ϕG)、驅動時脈(ϕAC)、及各節點(N91、N92、N93、N94)之時間變化之情形。

首先，就資料線(LD)上之電壓(data)為低位準(以下記為L位準)之VL之電壓之情形進行說明。

如圖9所示，在時間($t1$)，若掃描線(LG)上之掃描電壓(ϕG)自L位準之VL之電壓變化為高位準(以下記為H位準)之VH1之電壓，則n型MOS電晶體(NMT91)接通，資料線(LD)上之電壓(data：於時間($t1$)為VL之電壓)擷取保持電容

(CD)。因此，節點(N91)成為VL之電壓。

其次，在時間(t2)，若門鎖線(LAC)上之驅動時脈(ϕ_{AC})自L位準之VL之電壓變化為H位準之VH2之電壓，則n型MOS電晶體(NMT92)接通，節點(N94)成為VL之電壓。

因此，p型MOS電晶體(PMT95)與n型MOS電晶體(NMT94)接通，p型MOS電晶體(PMT96)與n型MOS電晶體(NMT93)斷開，節點(N92)即第2輸出(OUT2)成為GND之電壓，節點(N93)即第1輸出(OUT1)成為VDD之電壓。因此，第1輸出(OUT1)之輸出成為H位準，第2輸出(OUT2)之輸出成為L位準。

其次，就資料線(LD)上之電壓(data)為H位準之VDH之電壓之情形進行說明。

如圖9所示，在時間(t3)，若掃描線(LG)上之掃描電壓(ϕ_G)自L位準之VL之電壓變化為H位準之VH1之電壓，則n型MOS電晶體(NMT91)接通，資料線(LD)上之電壓(data：於時間(t3)為VDH之電壓)擷取保持電容(CD)。因此，節點(N91)成為VH3之電壓。

其次，在時間(t4)，若門鎖線(LAC)上之驅動時脈(ϕ_{AC})自L位準之VL之電壓變化為H位準之VH2之電壓，則n型MOS電晶體(NMT92)接通，節點(N94)成為VH4之電壓。

因此，n型MOS電晶體(NMT93)與p型MOS電晶體(PMT96)接通，p型MOS電晶體(PMT95)與n型MOS電晶體(NMT94)斷開，節點(N92)即第2輸出(OUT2)成為VDD之電壓，節點(N93)即第1輸出(OUT1)成為GND之電壓。因此，

第1輸出(OUT1)之輸出成為L位準，第2輸出(OUT2)之輸出成為H位準。

又，如圖9所示，VDD之電壓及GND之電壓固定。

作為圖8所示之閘鎖電路之具體之使用方法之一例，如圖10所示，有作為藉由閘鎖電路之2個輸出(第1輸出OUT1、第2輸出OUT2)電性控制活動快門(S)之位置而進行圖像顯示之顯示器(以下，稱為活動快門方式之顯示器)之像素電路之使用方法。又，活動快門(S)有時亦被稱為機械快門。又，活動快門方式之顯示器有時亦被稱為MEMS(Micro Electro Mechanical Systems：微機電系統)快門方式顯示器。又，活動快門方式之顯示器，例如在專利文獻1(日本特開2008-197668號公報)中揭示。

圖10所示之活動快門方式之顯示器之像素電路中，活動快門(S)於電場方向高速移動。因此，節點(N92)為GND之電壓、節點(N93)為VDD之電壓之情形時，活動快門(S)朝節點(N93)側移動；節點(N92)為VDD之電壓、節點(N93)為GND之電壓之情形時，活動快門(S)朝節點(N92)側高速移動。

且，藉由活動快門(S)之開關，控制像素之發光狀態與非發光狀態。具有背光之活動快門方式之顯示器中，例如，活動快門(S)朝節點(N92)側移動之情形時，背光光透過像素成為發光狀態；活動快門(S)朝節點(N93)側移動之情形時，背光光不透過像素成為非發光狀態。

因此，於液晶顯示裝置中因與液晶層控制輸出光之動作

相同，故藉由活動快門(S)控制來自像素之輸出光，可顯示像素。又，圖10中，LSS為活動快門控制線， ϕS 為活動快門控制信號。活動快門控制信號(ϕS)為特定之固定電壓。又，如液晶顯示裝置之反轉驅動般，亦存在s電壓之情形。

該圖10所示之活動快門方式之顯示器之像素電路中，在寫入期間(圖9之TA)內，以各列單位對各像素寫入資料，且在活動快門狀態設定期間(圖9之TB)，使活動快門(S)朝節點(N92)或節點(N93)移動，而在顯示期間(圖9之TC)顯示圖像。

以如圖8所示之CMOS電路形成閘鎖電路之情形，使用半導體層由多晶矽構成之MOS電晶體。

然而，由於使用半導體層由多晶矽構成之MOS電晶體之CMOS製程，一般需要6至10道左右之步驟數，故可以說由先前之CMOS電路形成之閘鎖電路之構成其製程負載較大。相對於此，若將CMOS電路設為僅使用n型MOS電晶體或p型MOS電晶體之任一者之單通道電晶體構成，則一般可減少2道左右之步驟，且可減低製程之負載。

再者，若使用半導體層由非晶矽構成之MOS電晶體，則與使用半導體層由多晶矽構成之MOS電晶體之情形相比更能減低製程成本。

本發明係基於上述之見解而完成者，本發明之目的在於提供一種使製程之負載減低之閘鎖電路及使用閘鎖電路之顯示裝置。再者，其目的在於提供一種可在較短之時間間

隔內將門鎖資訊門鎖之單通道門鎖電路及使用單通道門鎖電路之顯示裝置。

本發明之上述及其他之目的與新特徵，根據本說明書之記述及附加圖式而闡明。

【發明內容】

若簡單說明本申請案中揭示之發明中代表者之概要，則如下所述。

(1)一種門鎖電路，其係在掃描電壓輸入時擷取資料並門鎖上述資料者，且包含：被供給上述第1驅動時脈之第1門鎖控制線；被供給上述第2驅動時脈之第2門鎖控制線；輸入電晶體，其具有與閘極、第1電極、及第2電極，且於上述閘極被輸入上述掃描電壓時，擷取與「0」或「1」之資料對應之電壓；第1電容，其連接於上述輸入電晶體之上述第2電極與上述第1門鎖控制線之間，並保持由上述輸入電晶體擷取之電壓；第1導電型之第1電晶體，其具有閘極、第1電極、及第2電極，上述第1電極連接於上述第1門鎖控制線，上述閘極連接於上述輸入電晶體之上述第2電極；上述第1導電型之第2電晶體，其具有閘極、第1電極、及第2電極，上述閘極連接於上述第1電晶體之上述第2電極，上述第1電極連接於上述第2門鎖控制線；上述第1導電型之第3電晶體，其具有閘極、第1電極、及第2電極，上述閘極連接於上述第1電晶體之上述第2電極，上述第1電極連接於上述第2電晶體之上述第2電極，上述第2電極連接於輸出端子；第2電容，其連接於上述第1電晶體之

上述第2電極與上述第2電晶體之上述第2電極之間；及二極體，其連接於上述第1電晶體之上述第2電極與上述第1閂鎖控制線之間。

(2)於(1)中，上述掃描電壓輸入後，上述第1驅動時脈自第1電壓變化為第2電壓；於上述第1驅動時脈自上述第1電壓變化為上述第2電壓後，上述第2驅動時脈自上述第1電壓變化為上述第2電壓；於上述第1驅動時脈自上述第2電壓變化為上述第1電壓後，上述第2驅動時脈自上述第2電壓變化為上述第1電壓；且上述輸出端子之電壓在上述第2驅動時脈自上述第1電壓變化為上述第2電壓時，成為上述第2電壓，在上述第2驅動時脈自上述第2電壓變化為上述第1電壓時，根據上述第1電晶體之接通狀態或斷開狀態，成為上述第2電壓或上述第1電壓。

(3)一種閂鎖電路，其係在掃描電壓輸入時擷取資料並閂鎖上述資料者，且包含：被供給上述第1驅動時脈之第1閂鎖控制線；被供給上述第2驅動時脈之第2閂鎖控制線；輸入電晶體，其具有閂極、第1電極、及第2電極，且於上述閂極被輸入上述掃描電壓時，擷取與「0」或「1」之資料對應之電壓；第1電容，其連接於上述輸入電晶體之上述第2電極與上述第1閂鎖控制線之間，並保持由上述輸入電晶體擷取之電壓；上述第1導電型之第1電晶體，其具有閂極、第1電極、及第2電極，上述閂極連接於上述輸入電晶體之上述第2電極，上述第1電極連接於上述第1閂鎖控制線；上述第1導電型之第2電晶體，其具有閂極、第1電

極、及第2電極，上述閘極連接於上述第1電晶體之上述第2電極，上述第1電極連接於上述第2門鎖控制線，上述第2電極連接於輸出端子；及二極體，其連接於上述第1電晶體之上述第2電極與上述第1門鎖控制線之間。

(4)於(3)中，上述掃描電壓輸入後，上述第1驅動時脈自第1電壓變化為第2電壓；於上述第1驅動時脈自上述第1電壓變化為上述第2電壓後，上述第2驅動時脈自第3電壓變化為第4電壓；於上述第1驅動時脈自上述第2電壓變化為上述第1電壓後，上述第2驅動時脈自上述第4電壓變化為上述第3電壓；且上述輸出端子之電壓在上述第2驅動時脈自上述第3電壓變化為上述第4電壓時，成為上述第4電壓，在上述第2驅動時脈自上述第4電壓變化為上述第3電壓時，根據上述第1電晶體之接通狀態或斷開狀態，成為上述第4電壓或上述第3電壓。

(5)於(3)中，上述掃描電壓輸入後，上述第1驅動時脈自第1電壓變化為第2電壓；於上述第1驅動時脈自上述第1電壓變化為上述第2電壓後，上述第2驅動時脈自第3電壓變化為第4電壓；於上述第1驅動時脈自上述第2電壓變化為上述第1電壓後，上述第2驅動時脈自上述第4電壓變化為上述第3電壓；且將上述第1驅動時脈之上述第2電壓設為 V_{H1} ，將上述第2驅動時脈之上述第4電壓設為 V_{H2} ，將 V_{th} 設為電晶體之臨限值電壓時，滿足 $|V_{H1}| \geq |V_{H2} + 2 \times V_{th}|$ 。

(6)於(1)或(3)中，上述二極體由二極體連接之電晶體構成，上述電晶體及上述二極體為半導體層由非晶矽構成之

薄膜電晶體。

(7)於(2)或(4)中，上述二極體由二極體連接之電晶體構成，上述電晶體及上述二極體為n型電晶體，上述第2電壓(或上述第2電壓及上述第4電壓)為較上述第1電壓(或上述第1電壓及上述第3電壓)更高電位之電壓。

(8)一種顯示裝置，其係具備各自包含活動快門之複數之像素，且電性控制上述活動快門之位置而進行圖像顯示者，且上述顯示裝置中，上述各像素包含電性控制上述活動快門之位置之像素電路；上述像素電路包含：第1輸出端子；第2輸出端子；連接於上述第1輸出端子之閘鎖電路；及連接於上述第2輸出端子、且被供給第3驅動時脈之第3閘鎖控制線；上述閘鎖電路為上述(1)至(7)中任一項之閘鎖電路。

(9)於(8)中，上述第3驅動時脈自第2電壓變化為第1電壓，且自上述第1電壓變化為上述第2電壓；上述第3驅動時脈在上述第1電壓之期間內，確定自上述閘鎖電路輸出至上述第1輸出端子之電壓。

若簡單說明根據本申請案中揭示之發明中具代表性者所得到之效果，則如下所述。

根據本發明，可提供使製程之負載減低之閘鎖電路及使用閘鎖電路之顯示裝置。再者，可提供可在較短之時間間隔內將閘鎖資訊閘鎖之單通道閘鎖電路及使用單通道閘鎖電路之顯示裝置。

【實施方式】

以下參照圖式詳細說明本發明之實施例。

另，在用以說明實施例之全圖中，具有同一功能者附加同一符號，且省略其重複之說明。又，以下之實施例並非用以限定本發明之申請專利範圍之解釋者。

[實施例1]

圖1係顯示本發明之實施例1之單通道閘鎖電路(以下，僅稱為閘鎖電路)之電路構成之電路圖。本實施例之閘鎖電路為僅由n型MOS電晶體(NMT*)(以下，僅稱為電晶體)構成之單通道MOS電晶體電路。另，本實施例之n型MOS電晶體(NMT*)為半導體層由非晶矽構成之薄膜電晶體(以下，稱為a-Si電晶體)。

又，圖1中，CD1、CD2為電容，LD為資料線，LG為掃描線，LAC1為被供給第1驅動時脈($\phi AC1$)之第1閘鎖控制線，LAC2為被供給第2驅動時脈($\phi AC2$)之第2閘鎖控制線，LAC3為被供給第3驅動時脈($\phi AC3$)之第3閘鎖控制線。

在利用電容之充放電之電路(所謂動態電路)中，作為使用遷移率低之a-Si電晶體且確保所需之動作速度之方法，一般採取擴大電晶體之閘極寬度、增多總電流量，或提高閘電壓、增大每單位面積之電流量之任一種手法。

然而，如後述之圖3所示，在分配有某面積之像素之中構成之電路中，由於擴大閘極寬度(例如擴大100倍)一事並不實用，故藉由提高閘電壓、增大每單位面積之電流量，而實現所需之動作速度。

圖 2 中，顯示圖 1 中所示之閃鎖電路之掃描電壓(ϕG)、第 1~第 3 驅動時脈($\phi AC1 \sim \phi AC3$)、及各節點(N1、N2、N3、N4)之時間變化之情形。

在時間($t1$)，若掃描線(LG)上之掃描電壓(ϕG)(所謂讀入脈衝)(開脈衝)自低位準(以下記為L位準)之VL之電壓變化為高位準(以下記為H位準)之VH1之電壓(所謂輸入掃描電壓)，則輸入電晶體(NMT1)接通，節點(N1)之電壓成為資料線(LD)上之電壓(data：於時間($t1$)為VL之電壓)。

在時間($t2$)，若掃描線(LG)上之掃描電壓(ϕG)變化為L位準之VL之電壓，則電晶體(NMT1)斷開，相對於節點(N1)之寫入動作結束。

為在自該時間($t1$)至時間($t2$)之間進行充分之寫入，並配合電晶體(NMT1)之電晶體尺寸，掃描電壓(ϕG)之H位準之VH1之電壓較好為大致較資料線(LD)上之H位準之VHD之電壓高10 V左右之電壓。本實施例中，VH1之電壓較好為15 V以上。

在時間($t3$)，第3閃鎖控制線(LAC3)上之第3驅動時脈($\phi AC3$)自H位準之VH3之電壓變化為L位準之VL(例如0 V)之電壓。本實施例之閃鎖電路，例如，在上述之活動快門方式之顯示器中使用之情形，在該時間點，快門(S)之位置藉由彈簧之力而移動至第1輸出(OUT1)與第2輸出(OUT2)之中間之位置。

其次，在時間($t4$)，當第1閃鎖控制線(LAC1)上之第1驅動時脈($\phi AC1$)自L位準之VL之電壓變化為H位準之VH2之

電壓時，由於電晶體(NMT3)成為電流自第1門鎖控制線(LAC1)流向節點(N2)(順方向之電流)之二極體連接，故電晶體(NMT3)成為接通狀態，使節點(N2)之電壓上升。

最終的節點(N2)之電壓VH4用下述(1)式表示。

$$VH4 = VH2 - V_{th} \quad \dots\dots\dots (1)$$

此處， V_{th} 為電晶體(NMT3)之臨限值電壓。例如，若將VH2之電壓設為25 V，將結合負載電容之充電時間之有效的 V_{th} 設為5 V，則VH4根據式(1)大致成為20 V。另，本說明書中，為了簡單起見，將全部之n型MOS電晶體之臨限值電壓設為 V_{th} 。

又，藉由連接於第1門鎖控制線(LAC1)與節點(N1)之間的電容(CD1)，伴隨第1驅動時脈(ϕ_{AC1})之電壓上升，節點(N1)之電壓亦上升，成為VDH3之電壓。

電壓VDH3用下述(2)式表示。

$$VDH3 = VL + VH2 \times (CD1 / (CD1 + CN1S)) \dots\dots\dots (2)$$

由於一般VL為接地電位，故根據式(2)，電壓VDH3較電壓VH2低。因此，電晶體(NMT2)幾乎不接通，至少無助於節點(N2)之終端電壓。此處，CN1S為自節點(N1)之電容減去電容(CD1)之所謂之寄生電容。

此處，由於電晶體(NMT4)之閘電壓即節點(N2)之電壓VH4較電晶體(NMT4)之臨限值電壓 V_{th} 高，故電晶體(NMT4)成接通狀態。

在時間(t5)，若第2門鎖控制線(LAC2)上之第2驅動時脈(ϕ_{AC2})自L位準之VL之電壓變化為H位準之VH2之電壓，

則伴隨第2驅動時脈(ϕ_{AC2})之電壓上升，節點(N3)之電壓上升。由於節點(N3)與節點(N2)藉由電容(CD2)而電容耦合，故伴隨節點(N3)之電壓上升，根據靴帶效應，節點(N2)之電壓亦上升。

此時之節點(N2)之電壓VN2用下述(3)式表示。

$$VN2 = VH4 + VN3 \times (CD2 / (CD2 + CN2S)) \dots \dots \dots (3)$$

此處，VN3為節點(N3)之電壓，CN2S為自節點(N2)之電容減去電容(CD2)者，即節點(N2)之所謂之寄生電容。

此處，藉由適切設定電容(CD2)之值，在電晶體(NMT4)為接通狀態下，始終滿足下述(4)式。

$$VN2 - VN3 > V_{th} \dots \dots \dots (4)$$

該情形下，如圖2所示，可將作為節點(N3)之電壓即VN3之終端電壓設為第2驅動時脈(ϕ_{AC2})之H位準之電壓即VH2之電壓。

此時之節點(N2)之電壓VN2、即VN2之終端電壓(用VH4'表示)用下述(5)式表示。

$$VH4' = VH4 + VH2 \times (CD2 / (CD2 + CN2S)) \dots \dots \dots (5)$$

同時，關於電晶體(NMT5)，亦由於VH4'之電壓為閘電壓，故節點(N4)之電壓亦成為VH2之電壓。例如，若將VH2之電壓設為25 V，則節點(N3)、節點(N4)皆成為25 V。

在時間(t6)，由於若第1閘鎖控制線(LAC1)上之第1驅動時脈(ϕ_{AC1})自H位準之VH2之電壓變化為L位準之VL之電壓，則電晶體(NMT2)之閘電壓即節點(N1)之電壓成為L位

準之VL(=0 V)之電壓，故電晶體(NMT2)成斷開狀態。

由於電晶體(NMT3)為二極體連接，故電流不自節點(N2)流向第1閘鎖控制線(LAC1)。因此，節點(N2)維持VH4'之電壓。另，精確而言，由於電晶體(NMT2)之閘極自H位準變化為L位準，故電晶體(NMT2)之閘極-汲極間電容中雖有若干之電壓下降，但由於很微小故在本說明書中忽視。

在時間(t7)，當第2閘鎖控制線(LAC2)上之第2驅動時脈(ϕ AC2)自H位準之VH2之電壓變化為L位準之VL之電壓時，由於電晶體(NMT4、NMT5)之閘電壓即節點(N2)之電壓為H位準之VH4'之電壓，故電晶體(NMT4)、電晶體(NMT5)成接通狀態。

因此，伴隨第2驅動時脈(ϕ AC2)之電壓下降，節點(N3，N4)之電壓下降。此時，雖節點(N2)之電壓VN2亦根據(3)式而下降，但即使節點(N3)之電壓VN3成為VL(例如本實施例中為0 V)之電壓，節點(N2)之電壓(VN2)仍大致為VH4之電壓，電晶體(NMT4、NMT5)成為充分低電阻之接通狀態。因此，節點(N3、N4)在較短時間內成為L位準之VL之電壓。

藉由上述之驅動方法，第1輸出(OUT1)被設定為低位準之VL之電壓。因此，將本實施例之閘鎖電路使用在上述之活動快門方式之顯示器中之情形下，快門(S)在時間(t6)與時間(t7)之間雖被靜電力朝第1輸出(OUT1)側牽引，但於時間(t7)之後，快門(S)便不再被靜電力朝第1輸出(OUT1)

側牽引。因此，快門(S)以例如支撐快門(S)之彈簧之力位於第1輸出(OUT1)與第2輸出(OUT2)之中間。

在時間(t8)，若第3閃鎖控制線(LAC3)上之第3驅動時脈($\phi AC3$)自L位準之VL之電壓變化為H位準之VH3之電壓，則位於第1輸出(OUT1)與第2輸出(OUT2)之中間之快門(S)被第3驅動時脈($\phi AC3$)之H位準之VH2之電壓靜電牽引，朝第2輸出(OUT2)側移動，快門位置之設定結束。

其次，就圖2之右側、時間(t11)以後之下一個次訊框中之快門設定之順序進行說明。

在時間(t11)，若掃描線(LG)上之掃描電壓(ϕG)自L位準之VL之電壓變化為H位準之VH1之電壓，則輸入電晶體(NMT1)接通，節點(N1)之電壓成為資料線(LD)上之電壓(data：於時間(t11)為VDH之電壓)。此處，VDH之電壓較電晶體(NMT2)之臨限值電壓 V_{th} 高，在所需之時間內，引流節點(N2)之電荷，並設定為可變成VL電壓之電壓。例如為7 V。

因此，電晶體(NMT2)成接通狀態，節點(N2)之電壓自VH4之電壓變為VL之電壓。此時，根據電容(CD2)及電晶體(NMT4)之閘極電容，電晶體(NMT4)自接通狀態變化為斷開狀態之後，節點(N3)之電壓雖多少成為負側之電壓，但由於少量，故在圖2中忽視。雖對於電晶體(NMT5)亦相同，但關於電晶體(NMT5)，由於無如電容(CD2)般之耦合電容，僅為電晶體(NMT5)之閘極電容，在量上小而可忽視，故相同地在圖2中忽視。

在時間(t12)，若掃描線(LG)上之掃描電壓(ϕG)變化為L位準之VL之電壓，則電晶體(NMT1)斷開，對節點(N1)之寫入動作結束。

在時間(t13)，第3閃鎖控制線(LAC3)上之第3驅動時脈($\phi AC3$)自H位準之VH3之電壓變化為L位準之VL之電壓。將本實施例之閃鎖電路使用在上述之活動快門方式之顯示器中之情形下，在該時間點，快門(S)之位置係以彈簧之力移動至第1輸出(OUT1)與第2輸出(OUT2)之中間之位置。

其次，在時間(t14)，第1閃鎖控制線(LAC1)上之第1驅動時脈($\phi AC1$)自L位準之VL之電壓變化為H位準之VH2之電壓。此時，由於在之前節點(N1)之電壓為VDH，故節點(N1)之電壓自VDH變化為如(6)式般表示之VDH13。

$$VDH13 = VDH + VH2 \times (CD1 / (CD1 + CN1S)) \dots \dots \dots (6)$$

若VDH13之電壓較VH2之電壓高，則節點(N2)之電壓VN2成下述(7)式，有可能成為與時間(t4)後不同之電壓。惟該差異較小，在圖5中，同樣地將時間(t14)後之節點(N2)之終端電壓記述為VH4之電壓。

$$VN2 = VDH13 - V_{th} \dots \dots \dots (7)$$

此外，在時間(t14)、時間(t15)，發生與時間(t4)、時間(t5)相同之情況，在時間(t16)之前，各個節點(N1)之電壓VN1、節點(N2)之電壓VN2、節點(N3)之電壓VN3分別成VN1=VDH13、VN2=VH4'、VN3=VH2。

其次，在時間(t16)，第1閃鎖控制線(LAC1)上之第1驅動

時脈(ϕ_{AC1})自H位準之 V_{H2} 之電壓變化為L位準之 V_L 之電壓。此時，由於電晶體(NMT2)為接通狀態，故節點(N2)之電壓自 $V_{H4'}$ 之電壓變化為 V_L 之電壓。作為結果，電晶體(NMT4)、電晶體(NMT5)斷開。

其後，在時間(t_{17})，第2門鎖控制線(LAC2)上之第2驅動時脈(ϕ_{AC2})自H位準之 V_{H2} 之電壓變化為L位準之 V_L 之電壓。

伴隨時間(t_{16})之節點(N2)之電壓變化，根據電容($CD2$)及電晶體(NMT4)之閘極電容，節點(N3)之電壓亦下降，節點(N3)之電壓自 V_{H2} 之電壓變為 V_{H12} 之電壓。 V_{H12} 之電壓大致用下述之(8)式表示。

$$V_{H12} = V_{H2} - V_{H4'} \times ((CD2 + CGD4) / (CD2 + CGD4 + CN2S)) \dots (8)$$

此處， $CGD4$ 為電晶體(NMT4)之閘極-汲極間電容， $CN2S$ 為節點(N2)之電容($CD2$)、電晶體(NMT4)之閘極-汲極間電容($CGD4$)以外之寄生電容。

使用a-Si電晶體、且為了高速地充電節點(N3)、節點(N4)，故必須得到高閘電壓，且由於電容 $CD2$ 成為與寄生電容($CN2S$ ， $CN3S$)相比相當大之電容，故較好為占節點(N2)之電容之8成左右。

因此，以(8)式給出之 V_{H12} 之電壓會有變化為相當低之電壓之情形。例如，若設為 $CD2 + CGD4 \div CD2 = 4 \times CN2S$ ，並設為 $V_{H2} = 25 \text{ V}$ ，則根據(1)式，成為 $V_{H4} = 20 \text{ V}$ ，根據(5)式，成為 $V_{H4'} = 40 \text{ V}$ ，根據(8)式，成為 $V_{H12} = 25 - 40 \times 0.8 =$

-7 V。

實際上，由於節點(N3)之電壓不會變得低於電晶體(NMT4)之 $-V_{th}$ ，故抑制在-5 V左右。因此，即使將節點(N3)之電壓作為第1輸出(OUT1)亦無法產生所需之高位準狀態。

另一方面，雖節點(N4)之電壓亦受到節點(N2)之變化之影響，但由於此時之耦合電容僅為電晶體(NMT5)之閘極-汲極間電容，且由於包含第1輸出(OUT1)之負載等之相對於節點(N4)之電容所佔有之比率小，故電壓下降量亦變小，可維持快門動作所需之電壓。

例如，若將電晶體(NMT5)之閘極-汲極間電容相對於節點(N4)之總電容之比率設為0.01，則根據(8)式，節點(N4)之電壓 V_{N4} 成為 $V_{N4}=25-40\times 0.01=24.6$ V。

如此，由於節點(N4)之電壓下降可設計為較小，故圖2中忽略記述下降部份。此時快門(S)在節點(N4)之電壓成為H位準之時間點藉由靜電力而朝第1輸出(OUT1)側移動，且維持該狀態。

在時間(t_{18})，即使第3門鎖控制線(LAC3)上之第3驅動時脈(ϕ_{AC3})變化為H位準之 V_{H3} 之電壓，仍維持該狀態。

圖3係顯示電性控制本發明之實施例1之活動快門(S)之位置而進行圖像顯示之顯示器(活動快門方式之顯示器)之概略構成之方塊圖。

圖3中顯示之活動快門方式之顯示器中，將1像素(PX)配置成2維狀，圖1中顯示之電路亦配置於各像素中。此處，

掃描線(LG)依各列單位設置，且輸入至垂直驅動電路(XDR)。

又，資料線(LD)依各行單位設置，且輸入至水平驅動電路(YDR)。第1閃鎖控制線(LAC1)、第2閃鎖控制線(LAC2)、第3閃鎖控制線(LAC3)、及快門控制線(LSS)共同設置於各像素中，且輸入至水平驅動電路(YDR)。

該圖3中顯示之活動快門方式之顯示器中，在寫入期間(圖2之TA)內，依各列單位對各像素寫入資料，在活動快門狀態設定期間(圖2之TB)，使活動快門(S)朝第1輸出(OUT1)或第2輸出(OUT2)移動，而在顯示期間(圖2之TC)顯示圖像。

[實施例2]

圖4係顯示本發明之實施例2之單通道閃鎖電路之電路構成之電路圖。

圖4中顯示之閃鎖電路為在圖1中顯示之閃鎖電路中刪除電容(CD2)、電晶體(NMT5)，且將節點(N3)作為第1輸出(OUT1)者。

圖5中，顯示圖4中顯示之閃鎖電路之掃描電壓(ϕG)、第1~第3驅動時脈($\phi AC1 \sim \phi AC3$)、及各節點(N1、N2、N3)之時間變化之情形。

在時間($t1$)，若掃描線(LG)上之掃描電壓(ϕG)自L位準之VL之電壓變化為H位準之VH1之電壓，則輸入電晶體(NMT1)接通，節點(N1)之電壓成為資料線(LD)上之電壓(data：於時間($t1$)為VL之電壓)。

在時間(t2)，若掃描線(LG)上之掃描電壓(ϕG)變化為L位準之VL之電壓，則電晶體(NMT1)斷開，對節點(N1)之寫入動作結束。

為在自該時間(t1)至時間(t2)之間進行充分之寫入，與上述之實施例1相同，VH1之電壓較佳為15 V以上。

在時間(t3)，第3門鎖控制線(LAC3)上之第3驅動時脈($\phi AC3$)自H位準之VH3之電壓變化為L位準之VL之電壓。如上所述，將本實施例之門鎖電路使用在上述之活動快門方式之顯示器中之情形下，在該時間點，快門(S)之位置係以彈簧之力移動至第1輸出(OUT1)與第2輸出(OUT2)之中間之位置。

其次，在時間(t4)，若第1門鎖控制線(LAC1)上之第1驅動時脈($\phi AC1$)自L位準之VL之電壓變化為H位準之VH2'之電壓，則二極體連接之電晶體(NMT3)接通，從而使節點(N2)之電壓上升。

最終的節點(N2)之電壓VH4根據上述之(1)式，成為 $VH4 = VH2' - V_{th}$ 。Vth為電晶體(NMT3)之臨限值電壓。

此處，由於電晶體(NMT4)之閘電壓即節點(N2)之電壓VH4較電晶體(NMT4)之臨限值電壓Vth高，故電晶體(NMT4)成接通狀態。

在時間(t5)，若第2門鎖控制線(LAC2)上之第2驅動時脈($\phi AC2$)自L位準之VL之電壓變化為H位準之VH2之電壓，則伴隨第2驅動時脈($\phi AC2$)之電壓上升，節點(N3)之電壓上升。

此處，若將第1驅動時脈(ϕ_{AC1})、第2驅動時脈(ϕ_{AC2})、及第3驅動時脈(ϕ_{AC3})之H位準之電壓設為同一之 V_{H2} 之電壓，則電晶體(NMT4)之閘電壓即節點(N2)其($V_{H2}-V_{th}$)成為最大電壓，於是節點(N3)之電壓之最大值(V_{N3max})成為 $V_{N3max}=V_{H2}-V_{th}-V_{th}$ ，從而電壓大幅下降，且速度亦變慢。例如，若 $V_{H2}=25\text{ V}$ 、 $V_{th}=5\text{ V}$ ，則 $V_{N3max}=15\text{ V}$ 。

對此，本實施例中，將第1驅動時脈(ϕ_{AC1})之H位準之電壓設為較第2驅動時脈(ϕ_{AC2})、及第3驅動時脈(ϕ_{AC3})之H位準之電壓 V_{H2} 高電壓之 V_{H2}' (例如 $V_{H2}'=V_{H2}+2V_{th}$)之電壓。

藉此，最終的節點(N3)之電壓可設為第2驅動時脈(ϕ_{AC2})之H位準之電壓即 V_{H2} 之電壓。

在時間(t_6)，由於若第1門鎖控制線(LAC1)上之第1驅動時脈(ϕ_{AC1})自H位準之 V_{H2}' 之電壓變化為L位準之 V_L 之電壓，則作為電晶體(NMT2)之閘電壓即節點(N1)之電壓成為L位準之 V_L (例如 0 V)之電壓，故電晶體(NMT2)斷開。

由於電晶體(NMT3)為二極體連接，故電流不自節點(N2)流向第1門鎖控制線(LAC1)。因此，節點(N2)維持 V_{H4} 之電壓。另，精確而言，由於電晶體(NMT2)之閘極自H位準之電壓變化為L位準之電壓，故電晶體(NMT2)之閘極-汲極間電容雖有若干之電壓下降，但由於很微小故在本說明書中忽視。

在時間(t_7)，若第2門鎖控制線(LAC2)上之第2驅動時脈(ϕ_{AC2})自H位準之 V_{H2} 之電壓變化為L位準之 V_L 之電壓，

則電晶體(NMT4)之閘電壓即節點(N2)之電壓為H位準之VH4之電壓，故電晶體(NMT4)維持接通狀態。

因此，伴隨第2驅動時脈(ϕ_{AC2})之電壓下降，節點(N3)之電壓下降。該情形下，節點(N2)之電壓大致為VH4之電壓，電晶體(NMT4)成為充分低電阻之接通狀態。因此，節點(N3)在較短時間內成為L位準之VL之電壓。

利用上述之驅動方法，將第1輸出(OUT1)設定為低位準之VL之電壓。因此，將本實施例之閘鎖電路使用在上述之活動快門方式之顯示器中之情形下，快門(S)在時間(t6)與時間(t7)之間雖被靜電力朝第1輸出(OUT1)側牽引，但於時間(t7)之後，快門(S)便不再被靜電力朝第1輸出(OUT1)側牽引。因此，快門(S)以例如支撐快門(S)之彈簧之力而位於第1輸出(OUT1)與第2輸出(OUT2)之中間。

在時間(t8)，若第3閘鎖控制線(LAC3)上之第3驅動時脈(ϕ_{AC3})變化為H位準之VH3之電壓，則位於第1輸出(OUT1)與第2輸出(OUT2)之中間之快門(S)被第3驅動時脈(ϕ_{AC3})之H位準之VH2之電壓靜電牽引，朝第2輸出(OUT2)側移動，快門位置之設定結束。

其次，就圖5之右側、時間(t11)以後之下一個次訊框中之快門設定之順序進行說明。

在時間(t11)，若掃描線(LG)上之掃描電壓(ϕ_G)自L位準之VL之電壓變化為H位準之VH1之電壓，則輸入電晶體(NMT1)接通，節點(N1)之電壓成為資料線(LD)上之電壓(data：於時間(t11)為VDH之電壓)。此處，VDH之電壓較

電晶體(NMT2)之臨限值電壓 V_{th} 高，在所需之時間內，引流節點(N2)之電荷，並設定為可變成VL電壓之電壓。例如為7 V。藉此，電晶體(NMT2)成接通狀態，節點(N2)之電壓自 V_{H4} 之電壓變為VL之電壓。

在時間(t_{12})，若掃描線(LG)上之掃描電壓(ϕ_G)變化為L位準之VL之電壓，則電晶體(NMT1)斷開，對節點(N1)之寫入動作結束。

在時間(t_{13})，第3閘鎖控制線(LAC3)上之第3驅動時脈(ϕ_{AC3})自H位準之 V_{H3} 之電壓變化為L位準之VL之電壓。如上所述，將本實施例之閘鎖電路使用在上述之活動快門方式之顯示器中之情形下，在該時間點，快門(S)之位置係以彈簧之力移動至第1輸出(OUT1)與第2輸出(OUT2)之中間之位置。

其次，在時間(t_{14})，第1閘鎖控制線(LAC1)上之第1驅動時脈(ϕ_{AC1})自L位準之VL之電壓變化為H位準之 $V_{H2'}$ 之電壓。此時，節點(N1)之電壓成為 $VDH_{13'} (=VDH + V_{H2'})$ 之電壓。

此外，在時間(t_{14})、時間(t_{15})，發生與時間(t_4)、時間(t_5)相同之情況，在時間(t_{16})之前，各個節點(N1)之電壓 V_{N1} 、節點(N2)之電壓 V_{N2} 、節點(N3)之電壓 V_{N3} 各自成為 $V_{N1} = VDH_{13'}$ 、 $V_{N2} = V_{H4}$ 、 $V_{N3} = V_{H2}$ 。

其次，在時間(t_{16})，第1閘鎖控制線(LAC1)上之第1驅動時脈(ϕ_{AC1})自H位準之 $V_{H2'}$ 之電壓變化為L位準之VL之電壓。此時，由於電晶體(NMT2)為接通狀態，故節點(N2)之

電壓自 V_{H4} 之電壓變化為 V_L 之電壓。其結果，電晶體 (NMT4) 斷開。

其後，在時間 (t_{17})，由於若第2門鎖控制線 (LAC2) 上之第2驅動時脈 (ϕ_{AC2}) 自 H 位準之 V_{H2} 之電壓變化為 L 位準之 V_L 之電壓，則由於電晶體 (NMT4) 之閘電壓即節點 (N2) 之電壓為 L 位準之 V_L 之電壓，故電晶體 (NMT4) 維持斷開狀態，節點 (N3) 維持 V_{H2} 之電壓。

此時，快門 (S) 在節點 (N3) 之電壓成為 H 位準之時間點藉由靜電力而朝第1輸出 (OUT1) 側移動，且維持其狀態。

在時間 (t_{18})，即使第3門鎖控制線 (LAC3) 上之第3驅動時脈 (ϕ_{AC3}) 自 L 位準之 V_L 之電壓變化為 H 位準之 V_{H3} 之電壓，仍維持該狀態。

本實施例與上述之實施例1相比，雖設定電壓增加，且必須進行高電壓之設定，但與上述之實施例1相比，具有可刪減作為門鎖電路之構成要素之電容 (CD2) 與電晶體 (NMT5) 之優點。

另，上述之說明中，雖就使用半導體層由非晶矽構成之薄膜電晶體作為 n 型 MOS 電晶體之情形進行說明，但在上述之各實施例中，亦可使用半導體層由多晶矽構成之薄膜電晶體作為 n 型 MOS 電晶體。

另，使用半導體層由多晶矽構成之薄膜電晶體之情形，可使用 p 型 MOS 電晶體代替 n 型 MOS 電晶體。

圖6中，顯示以 p 型 MOS 電晶體構成圖4中顯示之單通道門鎖電路之情形之電路構成。又，圖7中，顯示圖6中顯示

之單通道閃鎖電路之掃描電壓(ϕG)、第1~第3驅動時脈($\phi AC1$ 、 $\phi AC2$ 、 $\phi AC3$)、及各節點(N1、N2、N3)之時間變化之情形。

首先，就資料線(LD)上之電壓(data)為L位準之VDL之電壓之情形進行說明。

在時間($t1$)，若掃描線(LG)上之掃描電壓(ϕG)自H位準之VH之電壓變化為L位準之VL1之電壓，則輸入電晶體(PMT1)接通，節點(N1)成為資料線(LD)上之電壓(data：於時間($t1$)為VDL之電壓)。

若節點(N1)之電壓變化為VDL之電壓，則電晶體(PMT2)成為接通狀態，節點(N2)之電壓成為VH之電壓。

在時間($t2$)，若掃描線(LG)上之掃描電壓(ϕG)變化為H位準之VH之電壓，則電晶體(PMT1)斷開，對節點(N1)之寫入動作結束。

在時間($t3$)，第3閃鎖線(LAC3)上之第3驅動時脈($\phi AC3$)自H位準之VH之電壓變化為L位準之VL3之電壓。如上所述，將本實施例之閃鎖電路使用在上述之活動快門方式之顯示器中之情形下，在該時間點，快門(S)之位置係以彈簧之力移動至第1輸出(OUT1)與第2輸出(OUT2)之中間之位置。

其次，在時間($t4$)上，若第1閃鎖線(LAC1)上之第1驅動時脈($\phi AC1$)自H位準之VH之電壓變化為L位準之VL2之電壓，則二極體連接之電晶體(PMT3)成為接通狀態，使節點(N2)之電壓下降。

最終的節點(N2)之電壓VL4成為 $VL4=VL2+V_{th}$ 。Vth為電晶體(PMT3)之臨限值電壓。

此處，由於電晶體(PMT4)之閘電壓即節點(N2)之電壓VL4低於電晶體(PMT4)之臨限值電壓Vth，故電晶體(PMT4)接通。

又，節點(N1)之電壓亦下降，節點(N1)成 $VDL2=(VDL-VL2)$ 之電壓。

在時間(t5)，由於若第2閘鎖控制線(LAC2)上之第2驅動時脈($\phi AC2$)自H位準之VH之電壓變化為L位準之VL3之電壓，則電晶體(PMT4)成為接通之狀態，故伴隨第2驅動時脈($\phi AC2$)之電壓下降，節點(N3)之電壓下降。

此處，若將第1驅動時脈($\phi AC1$)、第2驅動時脈($\phi AC2$)、及第3驅動時脈($\phi AC3$)之L位準之電壓設為同一電壓(以VL表示)，則電晶體(PMT4)之閘電壓即節點(N2)其 $(VL+V_{th})$ 成為最小電壓，於是節點(N3)之電壓之最小值(V_{N3min})成為 $V_{N3min}=VL+V_{th}+V_{th}$ ，從而電壓大幅上升，且速度亦變慢。

因此，本實施例中，將第1驅動時脈($\phi AC1$)之L位準之電壓設定為較第2驅動時脈($\phi AC2$)之L位準之電壓低，例如，設定為 $VL2=VL3-2V_{th}$ 。

藉此，可將最終的節點(N3)之電壓設為第2驅動時脈($\phi AC2$)之L位準之電壓即VL3之電壓。

在時間(t6)，由於若第1閘鎖控制線(LAC1)上之第1驅動時脈($\phi AC1$)自L位準之VL2之電壓變化為H位準之VH之電

壓，則電晶體(PMT2)之閘電壓即節點(N1)之電壓成為L位準之VDL之電壓，故電晶體(PMT2)維持接通狀態。

由於電晶體(PMT3)為二極體連接，故電流不自第1門鎖控制線(LAC1)流向節點(N2)。因此，節點(N2)經由電晶體(PMT2)充電，成為VH之電壓。

其結果，電晶體(PMT4)斷開。另，精確而言，由於電晶體(PMT2)之閘極自L位準之電壓變化為H位準之電壓，故雖電晶體(PMT2)之閘極-汲極間電容中雖有若干之電壓上升，但由於很微小故在本說明書中忽視。

在時間(t7)，雖第2門鎖控制線(LAC2)上之第2驅動時脈(ϕ_{AC2})自L位準之VL3之電壓變化為H位準之VH之電壓，但由於電晶體(PMT4)斷開，故節點(N3)維持L位準之VL3之電壓。

其次，就圖7之右側、時間(t11)以後之其次之次訊框中之快門設定之順序進行說明。

在時間(t11)，若掃描線(LG)上之掃描電壓(ϕ_G)自H位準之VH之電壓變化為L位準之VL1之電壓，則輸入電晶體(NMT1)接通，節點(N1)之電壓成為資料線(LD)上之電壓(data：於時間(t11)為VH之電壓)。

在時間(t12)，若掃描線(LG)上之掃描電壓(ϕ_G)變化為H位準之VH之電壓，則電晶體(PMT1)斷開，對節點(N1)之寫入動作結束。

在時間(t13)，使第3門鎖控制線(LAC3)上之第3驅動時脈(ϕ_{AC3})自H位準之VH之電壓變化為L位準之VL3之電壓。

將本實施例之閃鎖電路使用在上述之活動快門方式之顯示器中之情形下，在該時間點，快門(S)之位置係以彈簧之力移動至第1輸出(OUT1)與第2輸出(OUT2)之中間之位置。

其次，在時間(t14)，第1閃鎖控制線(LAC1)上之第1驅動時脈(ϕ_{AC1})自H位準之 V_H 之電壓變化為L位準之 V_{L2} 之電壓。此時，由於之前節點(N1)之電壓為 V_H ，故節點(N1)之電壓變化為 $V_{DL3}(=V_H-V_{L2})$ 之電壓。

此外，在時間(t14)、時間(t15)，發生與時間(t4)、時間(t5)相同之情況，在時間(t16)之前，各個節點(N1)之電壓 V_{N1} 、節點(N2)之電壓 V_{N2} 、節點(N3)之電壓 V_{N3} 分別成 $V_{N1}=V_{DL3}$ ， $V_{N2}=V_{VL4}$ ， $V_{N3}=V_{L3}$ 。

其次，在時間(t16)，第1閃鎖控制線(LAC1)上之第1驅動時脈(ϕ_{AC1})自L位準之 V_{L2} 之電壓變化為H位準之 V_H 之電壓。此時，由於電晶體(PMT2)為斷開狀態，電晶體(PMT3)為二極體連接，故電流不自第1閃鎖控制線(LAC1)流向節點(N2)。因此，節點(N2)維持 V_{L4} 之電壓。另，精確而言，由於電晶體(PMT2)之閘極自L位準之電壓變化為H位準之電壓，故電晶體(PMT2)之閘極-汲極間電容中雖有若干之電壓上升，但由於很微小故在本說明書中忽視。

其後，在時間(t17)，由於若第2閃鎖控制線(LAC2)上之第2驅動時脈(ϕ_{AC2})自L位準之 V_{L3} 之電壓變化為H位準之 V_H 之電壓，則由於電晶體(PMT4)之閘電壓即節點(N2)之電壓為L位準之 V_{L4} 之電壓，故電晶體(PMT4)接通，節點

(N3)成為VH3之電壓。

此時快門(S)在節點(N4)之電壓成為H位準之時間點藉由靜電力而朝第1輸出(OUT1)側移動，且維持該狀態。

在時間(t18)，即使第3閃鎖控制線(LAC3)上之第3驅動時脈($\phi AC3$)變為H位準之VH之電壓，仍維持該狀態。

另，上述之說明中，雖就將本發明之閃鎖電路使用在上述之活動快門方式之顯示器中之情形進行說明，但本發明亦當可應用於活動快門方式之顯示器之電路以外之需要相同動作之其他之顯示器。

以上，雖根據上述實施例具體說明由本發明者完成之發明，但本發明並非限定於上述實施例者，在不脫離其要旨之範圍內當可進行各種更改此點不用說。

【圖式簡單說明】

圖1係顯示本發明之實施例1之單通道閃鎖電路之電路構成之電路圖。

圖2係顯示圖1中顯示之閃鎖電路之掃描電壓(ϕG)、驅動時脈($\phi AC1 \sim \phi AC3$)、及各節點(N1, N2, N3, N4)之時間變化之情形之時序圖。

圖3係顯示電性控制本發明之實施例1之活動快門(S)之位置而進行圖像顯示之顯示器之概略構成之方塊圖。

圖4係顯示本發明之實施例2之單通道閃鎖電路之電路構成之電路圖。

圖5係顯示圖4中顯示之閃鎖電路之掃描電壓(ϕG)、驅動時脈($\phi AC1 \sim \phi AC3$)、及各節點(N1, N2, N3)之時間變化

之情形之時序圖。

圖6係顯示本發明之實施例2之單通道閃鎖電路之變化例之電路構成之電路圖。

圖7係顯示圖6中顯示之閃鎖電路之掃描電壓(ϕG)、驅動時脈($\phi AC1$, $\phi AC2$, $\phi AC3$)、及各節點(N1, N2, N3)之時間變化之情形之時序圖。

圖8係顯示由先前之CMOS電路構成之閃鎖電路之電路構成之電路圖。

圖9係顯示圖8中顯示之掃描電壓(ϕG)、驅動時脈(ϕAC)、及各節點(N91, N92, N93, N94)之時間變化之情形之時序圖。

圖10係顯示電性控制活動快門(S)之位置而進行圖像顯示之顯示器之像素電路之電路構成之電路圖。

【主要元件符號說明】

CD1	第1電容
CD2	第2電容
LAC1	第1閃鎖控制線
LAC2	第2閃鎖控制線
LAC3	第3閃鎖控制線
LD	資料線
LG	掃描線
LSS	活動快門控制線
N1	節點
N2	節點

N3	節 點
N4	節 點
NMT1	電 晶 體
NMT2	電 晶 體
NMT3	電 晶 體
NMT4	電 晶 體
NMT5	電 晶 體
OUT1	第 1 輸 出
OUT2	第 2 輸 出
S	活 動 快 門
ϕ AC1	第 1 驅 動 時 脈
ϕ AC2	第 2 驅 動 時 脈
ϕ AC3	第 3 驅 動 時 脈
ϕ G	掃 描 電 壓
ϕ S	活 動 快 門 控 制 信 號

七、申請專利範圍：

1. 一種閃鎖電路，其特徵為，其係在掃描電壓輸入時擷取資料並閃鎖上述資料者，且包含：

被供給上述第1驅動時脈之第1閃鎖控制線；

被供給上述第2驅動時脈之第2閃鎖控制線；

輸入電晶體，其具有閘極、第1電極、及第2電極，且於上述閘極被輸入上述掃描電壓時，擷取與「0」或「1」之資料對應之電壓；

第1電容，其連接於上述輸入電晶體之上述第2電極與上述第1閃鎖控制線之間，並保持由上述輸入電晶體擷取之電壓；

第1導電型之第1電晶體，其具有閘極、第1電極、及第2電極，上述第1電極連接於上述第1閃鎖控制線，上述閘極連接於上述輸入電晶體之上述第2電極；

上述第1導電型之第2電晶體，其具有閘極、第1電極、及第2電極，上述閘極連接於上述第1電晶體之上述第2電極，上述第1電極連接於上述第2閃鎖控制線；

上述第1導電型之第3電晶體，其具有閘極、第1電極、及第2電極，上述閘極連接於上述第1電晶體之上述第2電極，上述第1電極連接於上述第2電晶體之上述第2電極，上述第2電極連接於輸出端子；

第2電容，其連接於上述第1電晶體之上述第2電極與上述第2電晶體之上述第2電極之間；及

二極體，其連接於上述第1電晶體之上述第2電極與上

述第1門鎖控制線之間。

2. 如請求項1之門鎖電路，其中

上述掃描電壓輸入後，上述第1驅動時脈自第1電壓變化為第2電壓；

於上述第1驅動時脈自上述第1電壓變化為上述第2電壓後，上述第2驅動時脈自上述第1電壓變化為上述第2電壓；

於上述第1驅動時脈自上述第2電壓變化為上述第1電壓後，上述第2驅動時脈自上述第2電壓變化為上述第1電壓；且

上述輸出端子之電壓在上述第2驅動時脈自上述第1電壓變化為上述第2電壓時，成為上述第2電壓，在上述第2驅動時脈自上述第2電壓變化為上述第1電壓時，根據上述第1電晶體之接通狀態或斷開狀態，成為上述第2電壓或上述第1電壓。

3. 如請求項1之門鎖電路，其中

上述二極體由二極體連接之電晶體構成；

上述輸入電晶體、上述第1電晶體、上述第2電晶體、上述第3電晶體及上述二極體為半導體層由非晶矽構成之薄膜電晶體。

4. 如請求項2之門鎖電路，其中

上述二極體由二極體連接之電晶體構成；

上述輸入電晶體、上述第1電晶體、上述第2電晶體、上述第3電晶體及上述二極體為n型電晶體；且

上述第2電壓為較上述第1電壓更高電位之電壓。

5. 一種閃鎖電路，其特徵為，其係在掃描電壓輸入時擷取資料並閃鎖上述資料者，且包含：

被供給上述第1驅動時脈之第1閃鎖控制線；

被供給上述第2驅動時脈之第2閃鎖控制線；

輸入電晶體，其具有閘極、第1電極、及第2電極，且於上述閘極被輸入上述掃描電壓時，擷取與「0」或「1」之資料對應之電壓；

第1電容，其連接於上述輸入電晶體之上述第2電極與上述第1閃鎖控制線之間，並保持由上述輸入電晶體擷取之電壓；

上述第1導電型之第1電晶體，其具有閘極、第1電極、及第2電極，上述閘極連接於上述輸入電晶體之上述第2電極，上述第1電極連接於上述第1閃鎖控制線；

上述第1導電型之第2電晶體，其具有閘極、第1電極、及第2電極，上述閘極連接於上述第1電晶體之上述第2電極，上述第1電極連接於上述第2閃鎖控制線，且上述第2電極連接於輸出端子；及

二極體，其連接於上述第1電晶體之上述第2電極與上述第1閃鎖控制線之間。

6. 如請求項5之閃鎖電路，其中

上述掃描電壓輸入後，上述第1驅動時脈自第1電壓變化為第2電壓；

於上述第1驅動時脈自上述第1電壓變化為上述第2電

壓後，上述第2驅動時脈自第3電壓變化為第4電壓；

於上述第1驅動時脈自上述第2電壓變化為上述第1電壓後，上述第2驅動時脈自上述第4電壓變化為上述第3電壓；且

上述輸出端子之電壓在上述第2驅動時脈自上述第3電壓變化為上述第4電壓時，成為上述第4電壓，在上述第2驅動時脈自上述第4電壓變化為上述第3電壓時，根據上述第1電晶體之接通狀態或斷開狀態，成為上述第4電壓或上述第3電壓。

7. 如請求項5之閃鎖電路，其中

上述掃描電壓輸入後，上述第1驅動時脈自第1電壓變化為第2電壓；

於上述第1驅動時脈自上述第1電壓變化為上述第2電壓後，上述第2驅動時脈自第3電壓變化為第4電壓；

於上述第1驅動時脈自上述第2電壓變化為上述第1電壓後，上述第2驅動時脈自上述第4電壓變化為上述第3電壓；且

將上述第1驅動時脈之上述第2電壓設為 V_{H1} ，將上述第2驅動時脈之上述第4電壓設為 V_{H2} ，將 V_{th} 設為電晶體之臨限值電壓時，滿足 $|V_{H1}| \geq |V_{H2} + 2 \times V_{th}|$ 。

8. 如請求項5之閃鎖電路，其中

上述二極體由二極體連接之電晶體構成；

上述輸入電晶體、上述第1電晶體、上述第2電晶體及上述二極體為半導體層由非晶矽構成之薄膜電晶體。

9. 如請求項6之閃鎖電路，其中

上述二極體由二極體連接之電晶體構成；

上述輸入電晶體、上述第1電晶體、上述第2電晶體及上述二極體為n型電晶體；且

上述第2電壓為較上述第1電壓更高電位之電壓，上述第4電壓為較上述第3電壓更高電位之電壓。

10. 一種顯示裝置，其特徵為，其係具備各自包含活動快門之複數之像素，且電性控制上述活動快門之位置而進行圖像顯示者，且：

上述各像素包含電性控制上述活動快門之位置之像素電路；

上述像素電路包含：

第1輸出端子；

第2輸出端子；

閃鎖電路，其係連接於上述第1輸出端子，且在掃描電壓輸入時擷取資料並閃鎖上述資料者，且包含：被供給上述第1驅動時脈之第1閃鎖控制線；被供給上述第2驅動時脈之第2閃鎖控制線；輸入電晶體，其具有閘極、第1電極、及第2電極，且於上述閘極被輸入上述掃描電壓時，擷取與「0」或「1」之資料對應之電壓；第1電容，其連接於上述輸入電晶體之上述第2電極與上述第1閃鎖控制線之間，並保持由上述輸入電晶體擷取之電壓；第1導電型之第1電晶體，其具有閘極、第1電極、及第2電極，上述第1電極連接於上述第1閃鎖控制

線，上述閘極連接於上述輸入電晶體之上述第2電極；
上述第1導電型之第2電晶體，其具有閘極、第1電極、
及第2電極，上述閘極連接於上述第1電晶體之上述第2
電極，上述第1電極連接於上述第2門鎖控制線；上述第
1導電型之第3電晶體，其具有閘極、第1電極、及第2電
極，上述閘極連接於上述第1電晶體之上述第2電極，上
述第1電極連接於上述第2電晶體之上述第2電極，且上
述第2電極連接於前述第2輸出端子；第2電容，其連接
於上述第1電晶體之上述第2電極與上述第2電晶體之上
述第2電極之間；及二極體，其連接於上述第1電晶體之
上述第2電極與上述第1門鎖控制線之間；及

第3門鎖控制線，其連接於上述第2輸出端子，且被供
給上述第3驅動時脈。

11. 如請求項10之顯示裝置，其中

上述掃描電壓輸入後，上述第1驅動時脈自第1電壓變
化為第2電壓；

於上述第1驅動時脈自上述第1電壓變化為上述第2電
壓後，上述第2驅動時脈自上述第1電壓變化為上述第2
電壓；

於上述第1驅動時脈自上述第2電壓變化為上述第1電
壓後，上述第2驅動時脈自上述第2電壓變化為上述第1
電壓；且

上述第2輸出端子之電壓在上述第2驅動時脈自上述第

1 電壓變化為上述第 2 電壓時，成為上述第 2 電壓，在上述第 2 驅動時脈自上述第 2 電壓變化為上述第 1 電壓時，根據上述第 1 電晶體之接通狀態或斷開狀態，成為上述第 2 電壓或上述第 1 電壓。

12. 如請求項 10 之顯示裝置，其中

上述二極體由二極體連接之電晶體構成；

上述輸入電晶體、上述第 1 電晶體、上述第 2 電晶體、上述第 3 電晶體及上述二極體為半導體層由非晶矽構成之薄膜電晶體。

13. 如請求項 11 之顯示裝置，其中

上述二極體由二極體連接之電晶體構成；

上述輸入電晶體、上述第 1 電晶體、上述第 2 電晶體、上述第 3 電晶體及上述二極體為 n 型電晶體；且

上述第 2 電壓為較上述第 1 電壓更高電位之電壓。

14. 如請求項 10 之顯示裝置，其中

上述第 3 驅動時脈自第 2 電壓變化為第 1 電壓，且自上述第 1 電壓變化為上述第 2 電壓；且

上述第 3 驅動時脈在上述第 1 電壓之期間內，確定自上述門鎖電路輸出至上述第 1 輸出端子之電壓。

八、圖式：

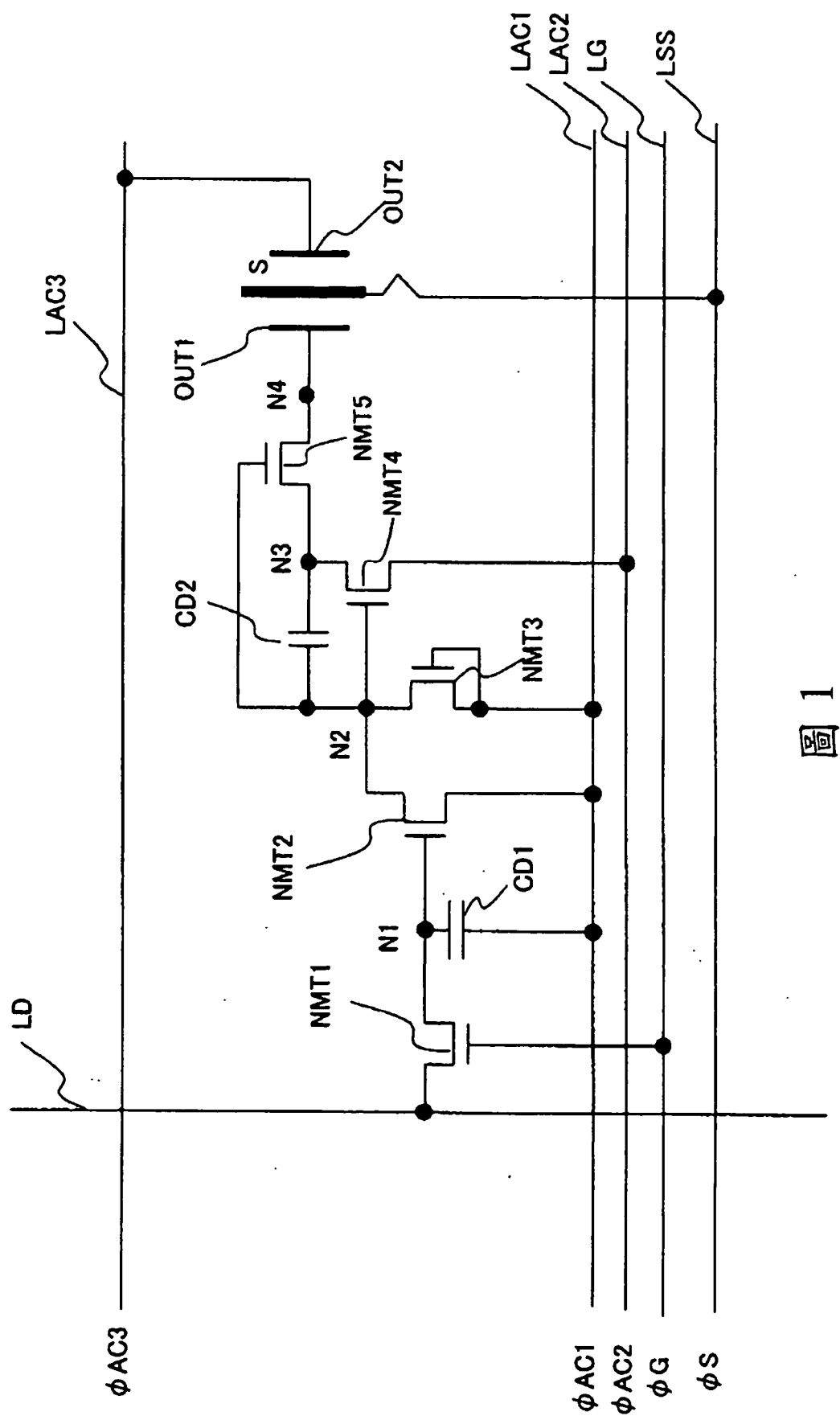
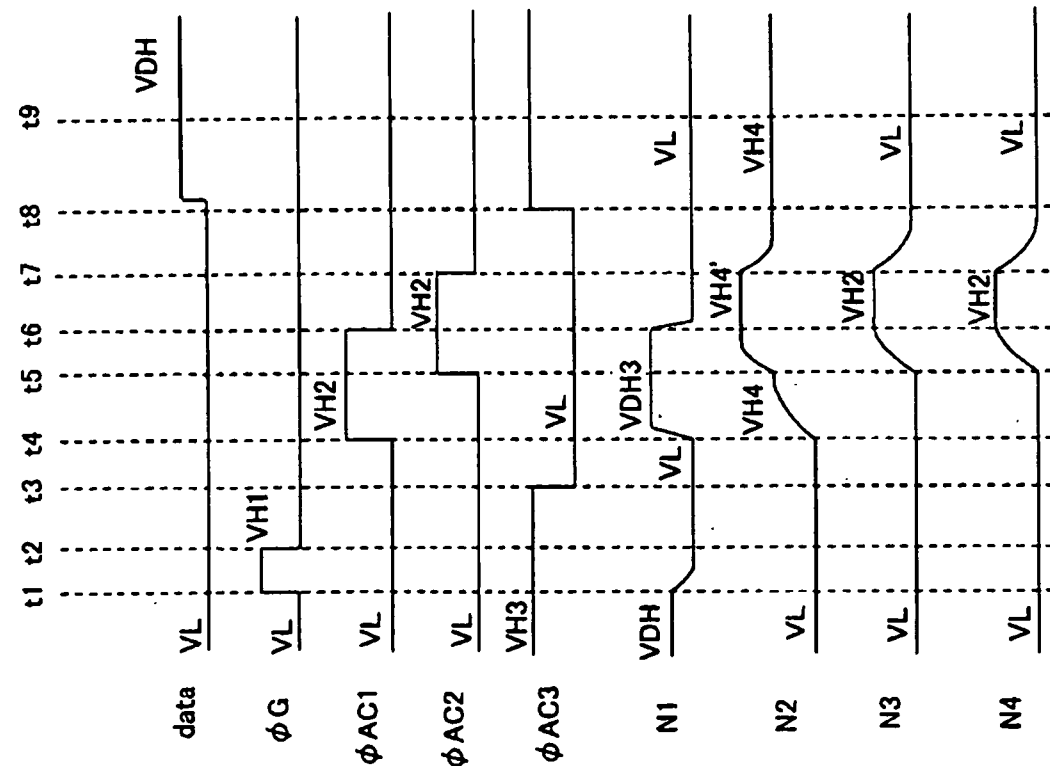
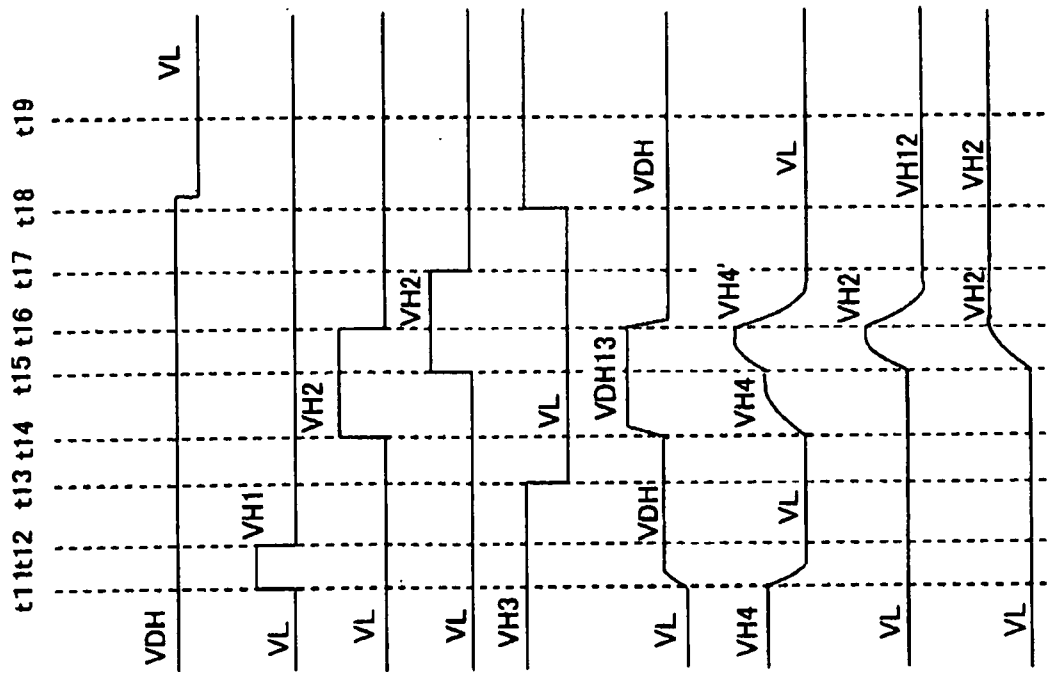


圖 1



TA TB TC 2

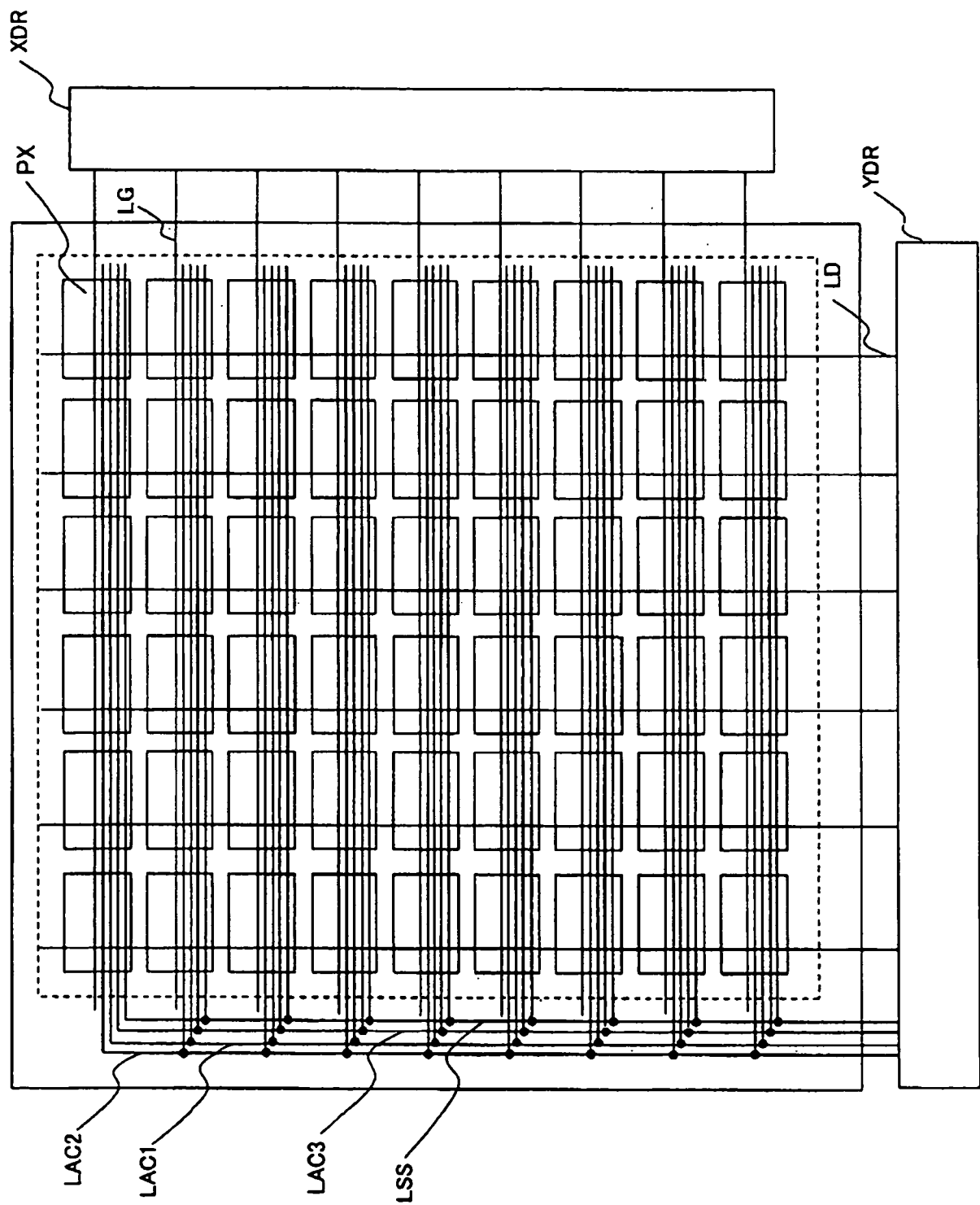


圖 3

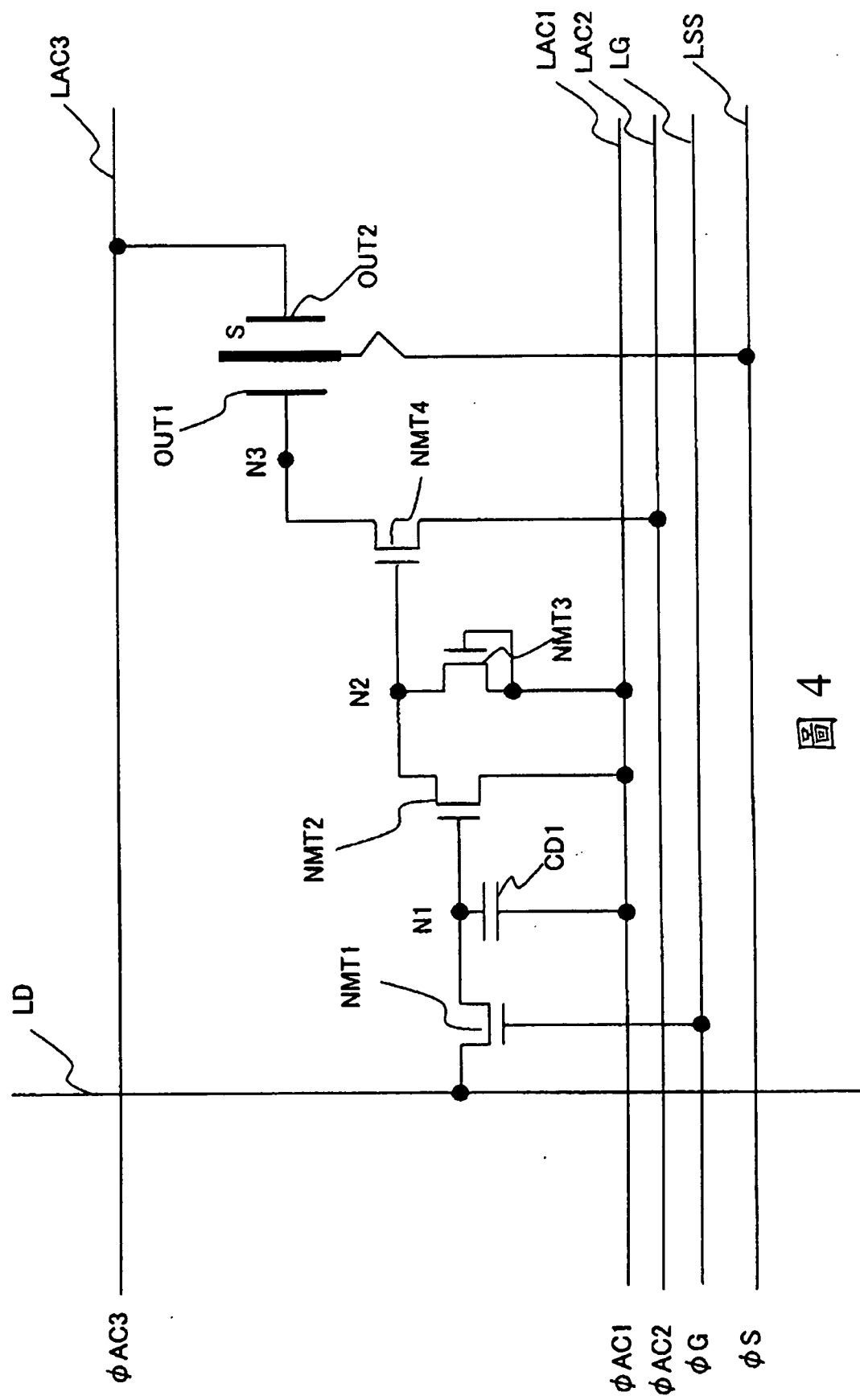


圖 4

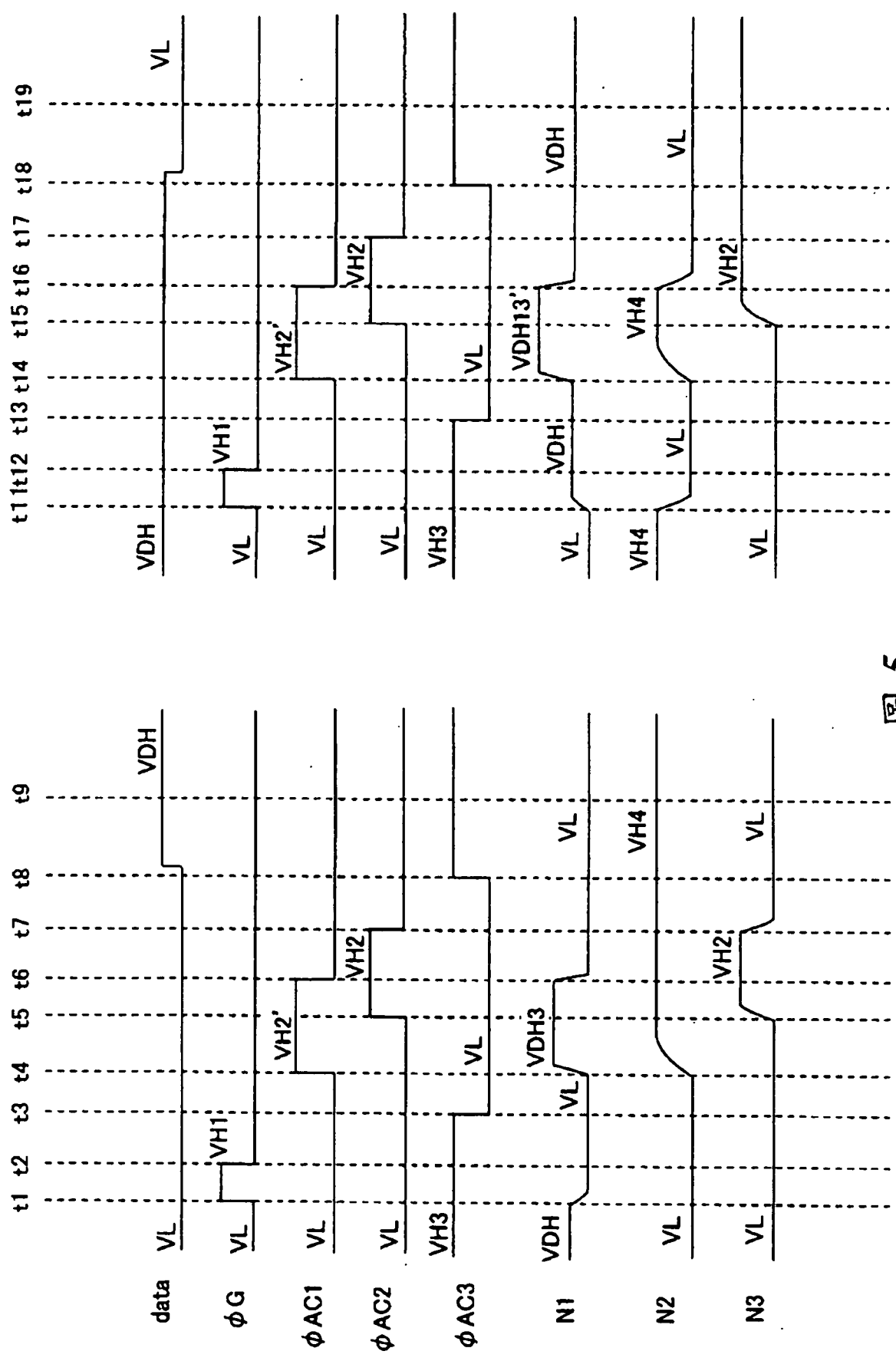


圖 5

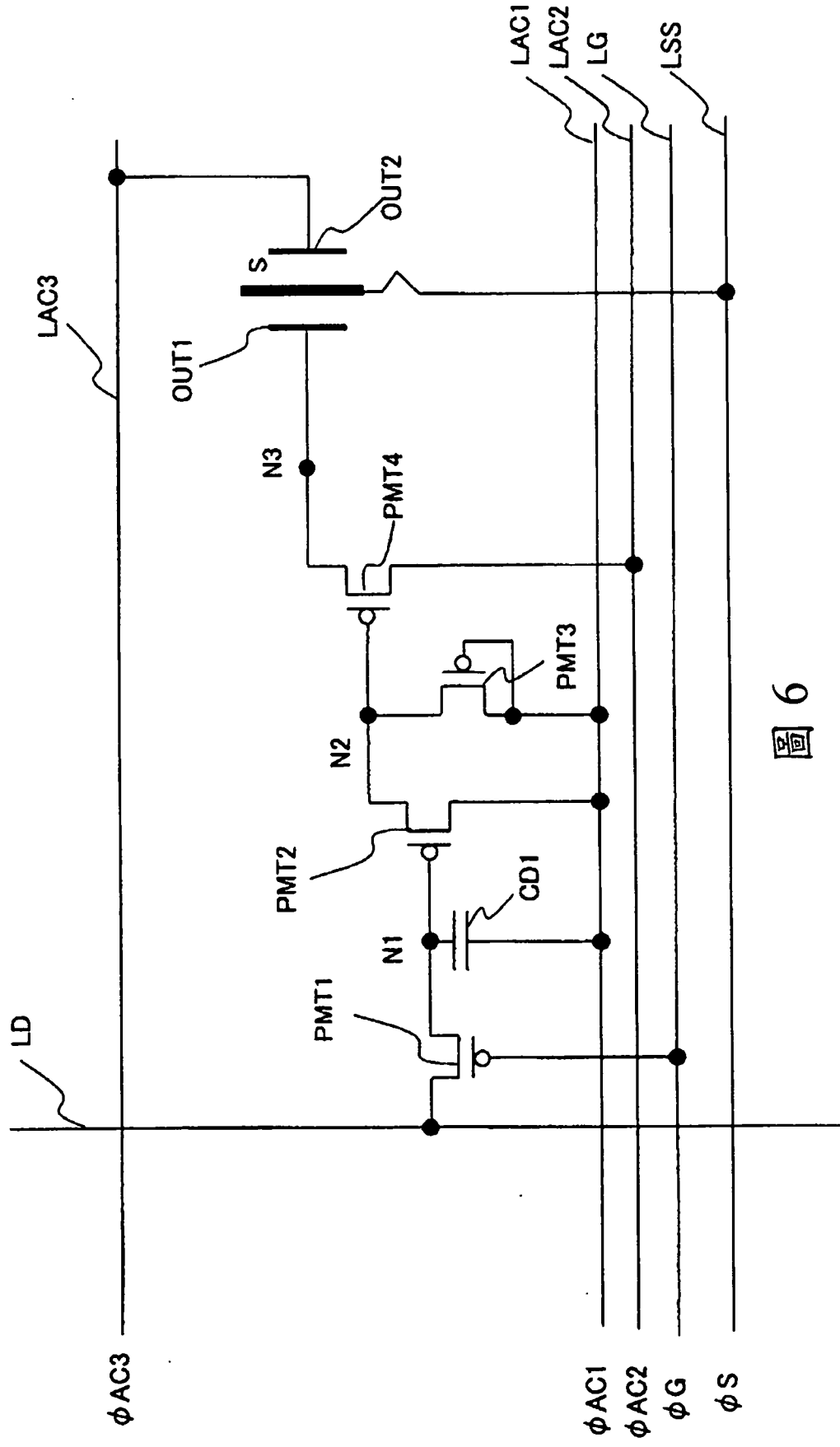


圖 6

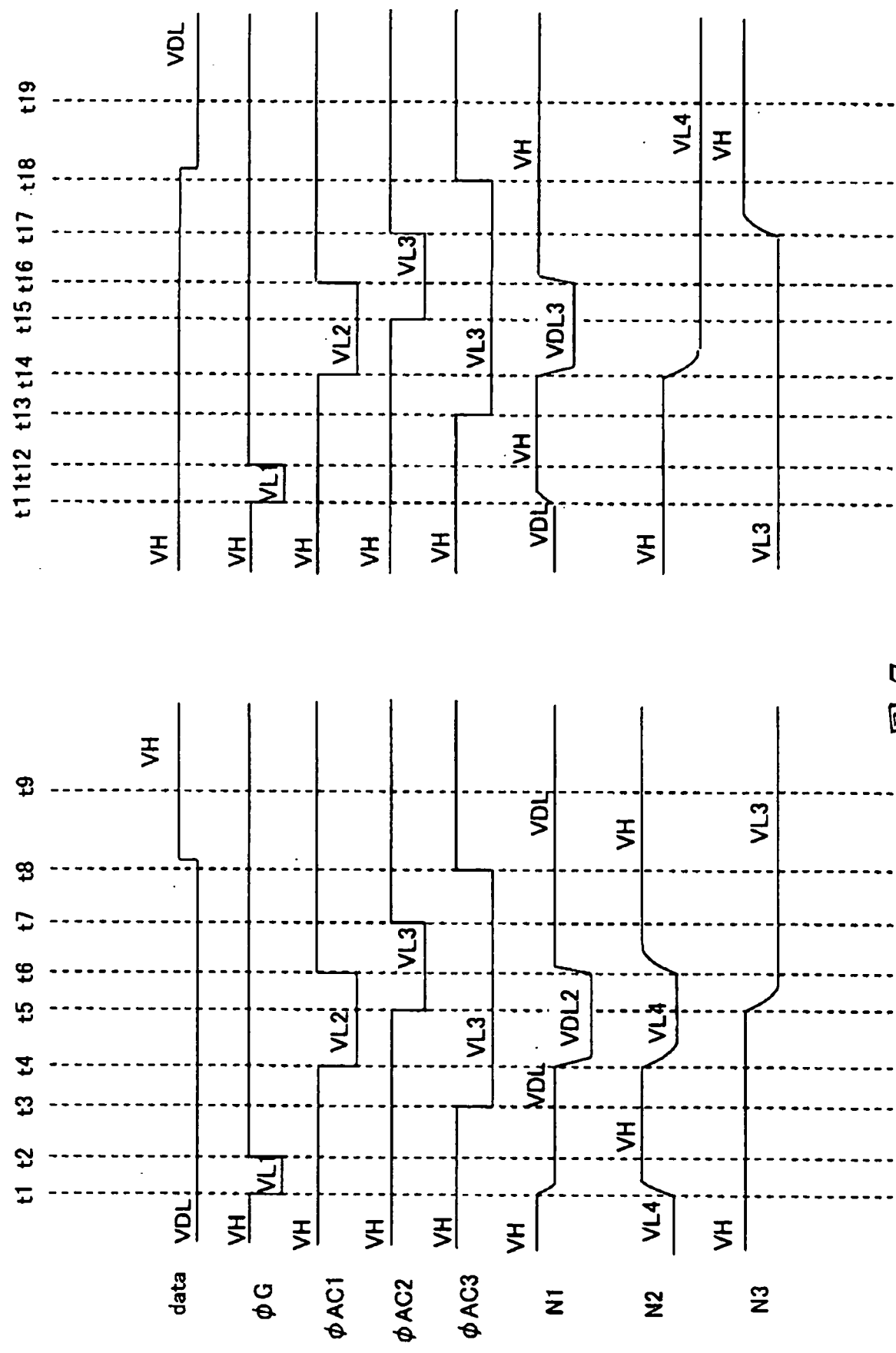


圖 7

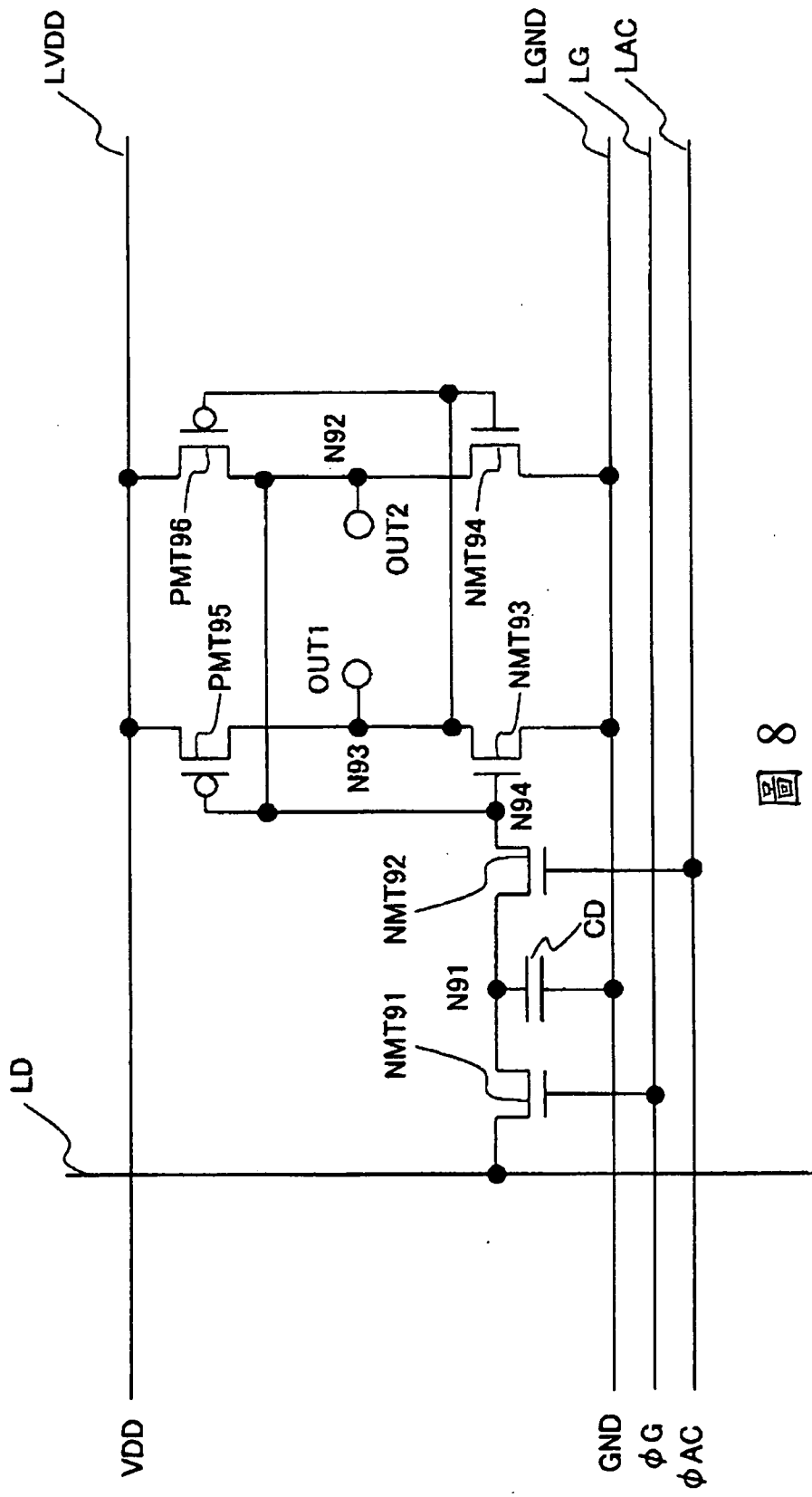


圖 8

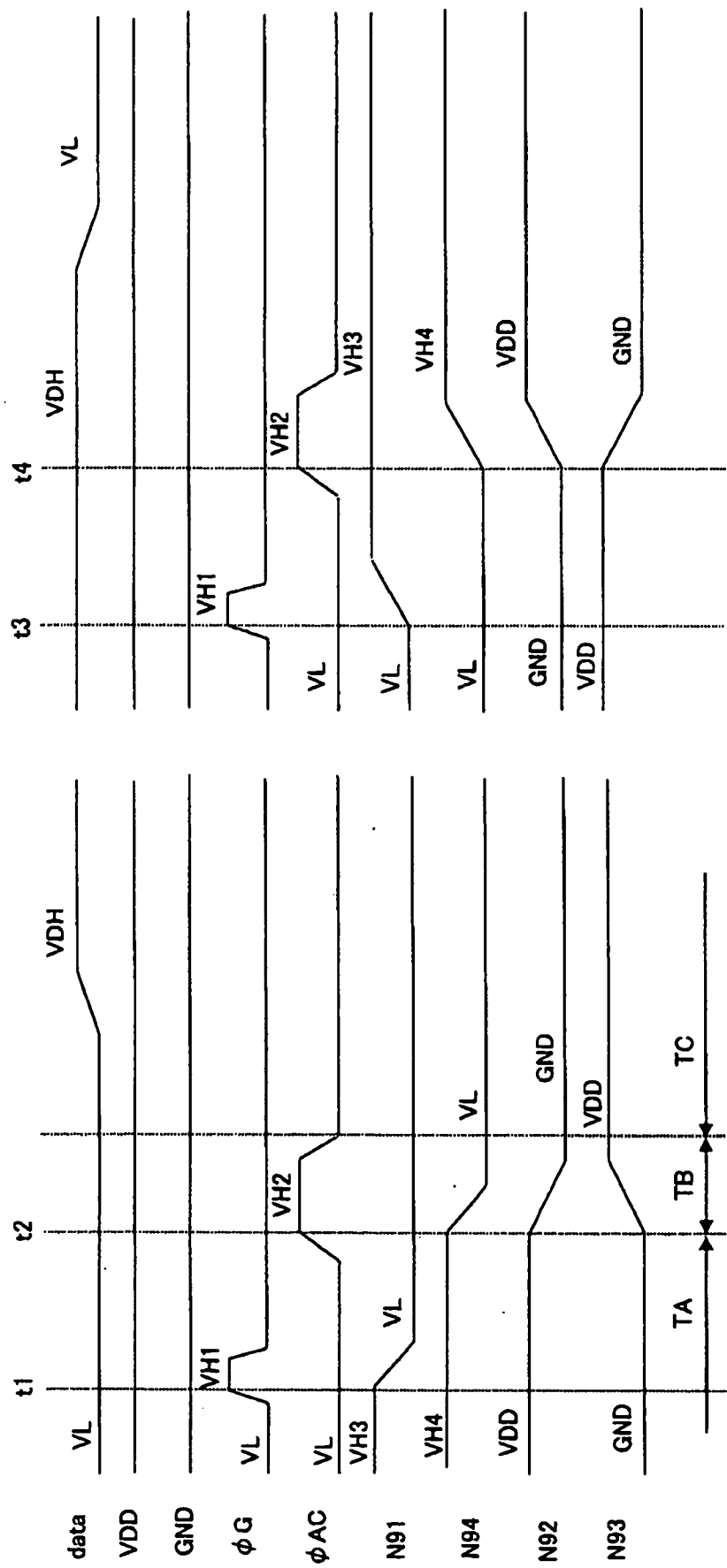


圖 9

