I310241

公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：92133982

※ 申請日期：92-12-03　　※IPC 分類：H01L 29/12 (2006.01)

壹、發明名稱：（中文/英文）

形成含應變之厚矽層及具有含應變之厚矽層之半導體結構

METHOD OF FORMING A THICK STRAINED SILICON LAYER AND SEMICONDUCTOR STRUCTURES INCORPORATING A THICK STRAINED SILICON LAYER

貳、申 請 人：（共1人）

姓名或名稱：（中文/英文）

高級微裝置公司/ADVANCED MICRO DEVICES, INC.

代表人：（中文/英文）柯洛皮　丹尼爾　R/COLLOPY, DANIEL R.

住居所或營業所地址：（中文/英文）

美國・加州 94088-3453・桑尼威・第 1AMD 區・M/S 68・郵政信箱 3453 號

One AMD Place, M/S 68, P.O.Box 3453, Sunnyvale, CA 94088-3453 U.S.A.

國　籍：（中文/英文）　美國/U.S.A.

參、發明人：（共6人）

姓　名：（中文/英文）

1. 王海宏/WANG, HAIHONG
2. 貝瑟　保羅　R/BESSER, PAUL R.
3. 丘政錫/GOO, JUNG-SUK
4. 郭明凡/NGO, MINH VAN
5. 培頓　艾瑞克　N/PATON, ERIC N.
6. 相奇/XIANG, QI

住居所地址：（中文/英文）

1. 美國・加州 94555・佛蒙特・多納梯 34170 號
   34170 Donahue Terrace, Fremont, CA 94555, U.S.A.
2. 美國・加州 94087・太陽谷・約克鎮道 1087 號
   1087 Yorktown Drive, Sunnyvale, CA 94087, U.S.A.

3. 美國・加州 94305・史丹福・艾斯坎多莊 #D100 號
100 Escondido Village, #D Stanford, CA 94305, U.S.A.
4. 美國・加州 94539・佛蒙特・峽谷道 40986 號
40986 Canyon Heights Drive, Fremont, CA 94539, U.S.A.
5. 美國・加州 95037・摩根丘・瑞巨廣場 498 號
498 Rio Grande Court, Morgan Hill, CA 95037, U.S.A.
6. 美國・加州 95129・聖荷西・湯瑪斯道 1119 號
1119 Thames Drive, San Jose, CA 95129, U.S.A.
國　籍：(中文/英文)
1.6. 中國大陸/CHINA　2.4.5. 美國/U.S.A.　3. 韓國/KOREA

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 V 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 2002 年 12 月 31 日 10/335,447 （主張優先權）
2.
3.
4.
5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.
2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

[發明所屬之技術領域]

本發明係關於半導體積體電路，特別是關於具有含應變之矽(strained silicon)之半導體元件。

[先前技術]

對改善電子元件效能之持續需求可憑藉能將個別半導體電路零件尺寸減少之矽加工與元件技術之進步來加以解決。不過，經濟面與物理上的限制使得想要一直持續減少元件尺寸更加困難，以至別的解決方案一直被尋找以使元件效能的增加能持續下去。

有一可增加金屬氧化物半導體場效應電晶體(MOSFET)效能之選項是增強矽之載子遷移率(carrier mobility)以便減少電阻與耗電量且可增加驅動電流，頻率響應與操作速度。一種增強載子遷移率之方法，近來已成注意焦點，係使用有拉伸應變(tensile strain)作用之矽材料。藉由生長一矽層於矽鍺基板上可形成“含應變”之矽。該矽鍺晶格一般比純矽晶格有更寬的間隔，這是晶格中存在較大的鍺原子所造成的結果。因為矽晶格之原子會與更分散的矽鍺晶格對齊，所以在矽層內會產生拉伸應變。矽原子會明顯地被相互拉開。作用於矽晶格之拉伸應變量會隨著鍺原子在矽鍺晶格內之比例增加而增加。

無應力矽(Relaxed silicon)有六個相等的價電子帶。作用於矽晶格之拉伸應變會造成四個價電子帶之能量增加及二個價電子帶之能量減少。由於量子效果(quantum

effect)所造成的結果，當其通過能量較低之電子帶之後電子有效重量(electrons effectively weigh)減少了百分之30。因此能量較低之電子帶對電子流有較低的電阻。此外，電子遭遇來自矽原子核之振動能較少，其造成該等電子散射率比無應力矽少 500 到 1000 倍。結果，與無應力矽比較，載子遷移率在含應變之矽內被大幅增加，使電子之遷移率可增加到 80%或更多，電子洞之遷移率可增加到20%或更多。頃發現遷移率之增加在達 1.5 百萬伏特/公分之電流場中可持續。此等因素咸信可使元件之速度增加百分之 35 而不需進一步減少元件尺寸，或可減少百分 25 之耗電量而不會減少其效能。

第 1 圖係顯示使用含應變之矽層之 MOSFET 之實施例。該 MOSFET 係被製造於一包括矽鍺層 10 之基板上，其上係形成一含應變之矽之磊晶層 12。該 MOSFET 使用習知 MOSFET 結構，其包括深源極與汲極區域 14，淺源極與汲極延伸區 16，閘極氧化物層 18，為間隔 22，24 包圍之閘極 20，矽化物源極與汲極接觸區 26，矽化物閘極接觸區 28，以及淺溝隔離層 30。該 MOSFET 之通道區包括含應變之矽材料，其提供在源極與汲極間之增強的載子遷移率。

儘管含應變之矽之理論優點大有可為，但是含應變之矽之製造與加工有許多問題。問題之一是溫度改變會造成在含應變之矽內形成“參差差排”(misfit dislocation)。參差差排係矽晶格內之差排，會有效釋放作用在矽晶格之應

變。參差差排主要是由含應變之矽晶格與下方矽鍺支持層晶格之間的失配(mismatch)所造成。含應變之矽層內之參差差排量可能會因熱因素而增加。在一實例中參差差排可能是在含應變之矽層沉積之後冷卻時由熱因素所造成。在另一實例中可能是在暴露於高溫時出現參差差排，例如1000℃或更高，例如在形成淺溝隔離層時。如此高溫咸信可造成該矽鍺基板之鍺含量之空乏現象(depletion)，導致覆蓋其上的含應變之矽內形成參差差排。參差差排之形成速率會隨著溫度上升而指數增加。

已經確定含應變之矽層有臨界厚度，大於此厚度則參差差排變得更容易顯著發生。該臨界厚度取決於作用在矽晶格之拉伸應變量，因此取決於下方的矽鍺層之鍺含量。例如，已經確定約具20%鍺含量之矽鍺層可維持約具200埃的臨界厚度而無形成顯著參差差排的風險，反之具30%鍺含量之矽鍺層只能維持約80埃的臨界厚度。

因此目前含應變之矽技術在MOSFET設計之應用被相互矛盾的限制所妨礙，其中含應變之矽載子遷移率可藉由增加下層之鍺含量而增強，但是含應變之矽之臨界厚度則因增加下層之鍺含量而減少。這些矛盾使得實際應用難以實現。例如，依經驗確定含應變之矽需要至少約70埃才能有效改善MOSFET之效能。不過，為了考量製程時矽之消耗量，開始的時候所形成的厚度必須大致加倍，且為了避免在這種厚度之層內形成參差差排，必須限制下層之鍺含量約20%。作用於含應變之矽層之所得應變頃發現在

95年11月28日修正補充

電洞遷移率(hole mobility)上有相對小的效果，因此在PMOS元件之含應變之矽難以提供有效的應用。除了以上之考量，該含應變之矽層之拉伸應變及其載子遷移率可能經由參差差排之形成，係在製程時通常會遭遇到的加溫與減溫所造成的，例如在形成淺溝隔離時，而進一步被降級。因此，儘管含應變之矽技術之限制因素可被平衡以實現在某些應用中有限的提高載子遷移率，但是目前技術並不提供可賦予足夠的應變以產生顯著增強載子遷移率的方法又不會引進會降低遷移率的缺點及應變鬆弛(strain relaxation)。

[發明內容]

因此本發明之目的係在於提供厚度大於習知臨界厚度之含應變之矽層，但不具參差差排(misfit dislocation)量，此係厚度大於習知臨界厚度之含應變之矽層之特徵。

本發明之另一個目的係提供一種MOSFET元件，其具有厚度大於習知臨界厚度之含應變之矽層。

根據本發明之具體實施例，淺溝隔離層係在含應變之矽層生長於矽鍺層上之前被形成於矽鍺層內。隨後，含應變之矽層形成在該矽鍺層上，而且第二矽鍺層在單一連續就地沉積製程(single continuous in situ deposition process)中形成於該含應變之矽層上。此一構造方法有效提供兩層基板於含應變之矽層之兩表面，用來維持該含應變之矽層之拉伸應變，並且防止參差差排之形成。結果，可生長含應變之矽之厚度而在隨後之加熱與冷卻時不會有易

煩請委員明示，本案修正後是否變更原實質內容

於形成顯著參差差排之實質風險，因而以給定之矽鍺層之鍺含量比較，厚度可有效加倍。此外，在生長含應變之矽層之前，淺溝隔離層之形成可避免含應變之矽層易受淺溝隔離層生長之熱循環的影響，因而進一步保護該含應變之矽層。

根據本發明之一具體實施例，在兩矽鍺層中間形成一含應變之矽層。開始的時候提供具第一矽鍺層之基板。在該第一矽鍺層上形成含應變之矽層，並且在單一連續就地沉積製程中，於該含應變之矽層上形成第二矽鍺層。該第一與第二矽鍺層維持該含應變之矽層之拉伸應變，並且在隨後對該含應變之矽層冷卻和加熱時防止參差差排之形成。

根據本發明之另一具體實施例，一半導體結構，係包括第一矽鍺層，生長在該第一矽鍺層上的含應變之矽層，以及生長在該含應變之矽層上之第二矽鍺層。該第一與第二矽鍺層維持該含應變之矽層之拉伸應變，並且防止在該含應變之矽層內形成參差差排。

根據本發明之另一具體實施例，形成一包括含應變之厚矽層之半導體元件。開始的時候，提供具第一矽鍺層之基板。在該第一矽鍺層內形成淺溝隔離層。然後於該第一矽鍺層上形成含應變之矽層，並且在有該含應變之矽層之單一連續就地沉積製程中，於該含應變之矽層上形成第二矽鍺層。該第一與第二矽鍺層維持該含應變之矽層之拉伸應變，以及在隨後對該含應變之矽層冷卻和加熱時防止參

95年11月24日修正補充

差差排之形成。隨後去除該第二矽鍺層，並且在該淺溝隔離層間形成包括該含應變之矽層之金屬氧化物半導體場效電晶體(MOSFET)。

根據本發明之另一具體實施例，一金屬氧化物半導體場效電晶體(MOSFET)，係包括通道區，形成在該通道區上之閘絕緣層，形成在該閘絕緣層上之閘極，以及位在通道區相對側之源極與汲極區。至少該 MOSFET 之通道區係由厚度大於臨界厚度之含應變之矽層所組成，該臨界厚度係由其上形成有含應變之矽層之矽鍺層之鍺含量加以決定。

[實施方式]

第 2a 圖至第 2L 圖揭示根據本發明之一較佳具體實施例製造一含應變之矽之 MOSFET 期間形成之結構。第 2a 圖顯示包括矽鍺層 40 之結構。該矽鍺層 40 較佳具有成分 $Si_{1-x}Ge_x$，其中 x 約為 0.3，更一般來說是在 0.1 到 0.4 的範圍內。通常是在矽晶圓(未圖示)上生長且支撐住該矽鍺層 40。例如可藉由以 Si_2H_6(二矽烷)與 GeH_4(四氫化鍺)作為來源氣體之化學氣相沉積(CVD)，在基板溫度為 600-900℃，30 毫帕 Si_2H_6 偏壓，60 毫帕 GeH_4 偏壓，生長矽鍺。其他製程可能使用 GeH_4(四氫化鍺)。可能使用這些比例啟動矽鍺層 40 之生長，或者是用 GeH_4 之偏壓由低壓或零壓開始漸增以形成具必要鍺含量(例如，30%)梯度組合物於上部，會與隨後形成的含應變之矽層一起形成一接面。

在該矽鍺層 40 上形成一雙層硬質罩幕結構(bi-layer hardmask structure)，係包括下(bottom)硬質罩幕層 42，也叫作下抗反射塗層

(BARC)，及一上硬質罩幕層 44。該下硬質罩幕層 42 通常為矽氧化物(例如，二氧化矽)而該上硬質罩幕層 44 通常為矽氮化物(例如，Si_3N_4)。

第 2b 圖顯示第 2a 圖之矽鍺層 40 用該雙層硬質罩幕層作圖樣轉換後形成具漸縮側壁之溝槽 46 之結構。第 2c 圖顯示由第 2b 圖之矽鍺層 40 去除該雙層硬質罩幕層材料，接著在溝槽中形成淺溝隔離層 48 後之結構。該淺溝隔離層 48 之形成可藉由進行矽鍺之簡單熱氧化處理，隨後藉由沉積矽氧化物層，使其厚度足以填滿該溝槽，例如以低壓 CVD(LPCVD)正矽酸乙酯(TEOS)或大氣壓力臭氧 TEOS。然後將該矽氧化物層強化密度與平坦化，例如藉由化學機械拋光或者是回蝕處理，使該淺溝隔離層 48 大至與矽鍺層 40 表面一樣高。關於形成該淺溝隔離層 48 之一般製程可能要利用超過 1000℃之溫度。藉由在形成含應變之矽之前形成該淺溝隔離層 48，該含應變之矽不為此溫度所影響，因此排除淺溝隔離層之製程為參差差排之可能來源。

第 2d 圖顯示在第 2c 圖中進行回蝕處理以自該矽鍺層 40 表面去除材料後之結構。第 2e 圖顯示在第 2d 圖上將含應變之矽層 50 形成於該矽鍺層 40 上面並且在該含應變之矽層 50 上面覆蓋有上矽鍺層 52 後之結構。實施產生第 2d 圖結構的回蝕處理以去除該矽鍺層 40 之一部份，藉以降低相對於該淺溝隔離層 48 之上表面之矽鍺層 40 之上表面，使得該淺溝隔離層 48 之上表面約與隨後形成之矽鍺

層 52 上表面一樣高。不過，被去除的數量可能各有不同。

該含應變之矽層 50 較佳係透過化學氣相沉積(CVD)處理藉由選擇性磊晶生長(selective epitaxial growth)而生長，例如使用 Si_2H_6 作為來源氣體，在 30 毫帕偏壓與基板溫度約 600 到 900℃。該含應變之層 50 與上矽鍺層 52 係生長於單一連續就地製程，較佳係在上矽鍺層 52 形成之前以最少冷卻或加熱該含應變之矽層 50。此項處理之實施在生長具必要厚度之含應變之矽層後，可藉由將鍺源氣體(例如四氫化鍺)引進沉積室以改變沉積材料之組合物，由矽成為具必要鍺含量之矽鍺，而不會顯著改變該含應變之矽層之溫度。也有必要將在最佳含應變之矽沉積溫度與最佳矽鍺沉積溫度之間任一溫度變化的方式分級，以考慮生長在該含應變之矽層上之矽鍺厚度使得在該含應變之矽層上表面能有適當的矽鍺數量，以提供當發生溫度變化時用來支持該含應變之矽層。形成該上矽鍺層 52 使其與該含應變之矽層 50 接面和下矽鍺層 40 有相同的鍺含量(例如約 30%)俾能提供在該含應變之矽層 50 內所產生之拉伸應變之最大支持，惟如有需要此後可加以分級。根據特定應用可能要確定上矽鍺層 52 之厚度。

如以上所指明的，一具約 30%鍺含量之矽鍺層能夠支持約 80 埃之含應變之矽層而在冷卻時或在隨後之熱處理期間，不會有形成顯著參差差排的風險。相對地，該較佳具體實施例之含應變之矽層 50 其兩面皆為具約 30%鍺含量之下矽鍺層 40 與上矽鍺層 52 所支持。因此該含應變之

修正

矽層 50 可形成具大於約 80 埃之厚度，通常是超過約 140 埃，以及有可能多達 160 埃，而在冷卻或隨後之熱處理期間不會有形成顯著參差差排的風險。

第 2f 圖顯示在第 2e 圖去除第二矽鍺層，隨後有數層不同材料層形成後之結構。可使用與矽相較對矽鍺有很高蝕刻選擇性之選擇性濕蝕刻(selective wet etch)以去除該上矽鍺層。除此之外，亦可透過高度可控制氧化處理氧化該矽鍺層，例如用熱蒸氣，隨後在 HF 溶液中去除之。在進一步製程前於冷卻時，該上矽鍺層之存在於冷卻時可額外阻止參差差排之形成。所形成的諸層材料包括形成在該含應變之矽層 50 上的閘絕緣層 54。該閘絕緣層 54 通常為矽氧化物，但也有可能為另一氧化物，例如二氧化矽-氮化矽-二氧化矽(ONO)。可藉由該含應變之矽層之熱氧化而生長一氧化物，或以化學氣相沉積而沉積一氧化物。在該閘絕緣層 54 上形成有閘導電層 56。該閘導電層 56 通常包括複晶矽(polysilicon)但可另外包括別的材料例如被植入鍺之複晶矽。在該閘導電層 56 上覆蓋有雙層硬質罩幕層結構，係包括下硬質罩幕層 58，亦稱為下抗反射塗層(BARC)，以及上硬質罩幕層 60。該下硬質罩幕層 58 通常為矽氧化物(例如，SiO_2)，而該上硬質罩幕層 60 通常為矽氮化物(例如，Si_3N_4)。

第 2g 圖顯示將第 2f 圖之該閘導電層與閘絕緣層作圖樣轉換以形成閘極 62 與自行校準閘絕緣層 64(self-aligned gate insulator)後之結構。利用一序列非等向性的

蝕刻進行圖樣轉換，係用光阻罩幕作為蝕刻罩幕以形成上硬質罩幕層圖樣，然後用已形成圖樣之上硬質罩幕層作為蝕刻罩幕以形成下硬質罩幕層圖樣，然後用已形成圖樣之下硬質罩幕層作為蝕刻罩幕以形成閘導電層圖樣，然後用閘極 62 作為硬質罩幕以形成該閘絕緣層圖樣。

第 2h 圖顯示在第 2g 圖之閘極 62 與閘絕緣層 64 周遭形成薄第一閘極間隔層(gate spacer)66 後之結構。該薄第一閘極間隔層 66 之形成較佳係藉由沉積保護性材料之均勻覆蓋層(conformal layer)，隨後以非等向性蝕刻去除非垂直表面之保護性材料而將在該閘極 62 與閘絕緣層 64 周遭之該薄第一閘極間隔層 66 保留。該薄第一閘極間隔層 66 之形成較佳為矽氧化物或矽氮化物。

第 2i 圖顯示在第 2h 圖之通道區對面植入摻雜物以形成含應變之矽層 50 內之淺源極與汲極延伸區 68 後之結構。在該淺源極與汲極延伸區 68 植入之前，高摻雜區(Halo region)(未圖示)可被植入。該高摻雜區係以導電性與該淺源極與汲極延伸區 68 之摻雜物相反之摻雜物所塗佈的區域。藉由縮短在該淺源極與汲極延伸區 68 末端之空乏區(depletion region)，該高摻雜區幫忙壓制該短通道"擊穿(Punchthrough)"的效果。該高摻雜區較佳係利用低能量以小角度植入至該等基板之表面，使得該高摻雜區延伸到閘極 62 之下以越過退火後該源極與汲極延伸區 68 端點之預期位置。與該源極與汲極延伸區 68 相同，該高摻雜區係形成在該通道區對面且延伸到該通道越過要形成之該源

極與汲極延伸區 68 端點。

第 2j 圖顯示在第 2i 圖之閘極 62 與薄第一間隔層 66 周遭形成第二間隔層 70，隨後植入摻雜物形成該含應變之矽層 50 與矽鍺層 40 內之深源極與汲極區 72 後之結構。在植入該深源極與汲極區 72 時，該第二間隔層 70 當作一植入罩幕(implant mask)以界定該深源極與汲極區 72 相對於該 MOSFET 之通道區之位置。該深源極與汲極區 72 之深度延伸超過該含應變之矽層 50 到較低的矽鍺層 40 內。

第 2k 圖顯示在第 2j 圖中進行快速熱退火(RTA)以將該含應變之矽層 50 與矽鍺層 40 退火並且活化植入於該淺源極與汲極延伸區 68 與深源極與汲極區 72 內之摻雜物後之結構。在退火期間某些植入摻雜物之擴散發生在該含應變之矽層 50 與矽鍺層 40 內。

第 2L 圖顯示在第 2k 圖中該源極與汲極區 72 上形成矽化物接觸區 74 與在該閘極 62 上形成矽化物接觸區 76 後之結構。該矽化物接觸區係以一包括半導體材料與金屬之化合物而形成的。通常所使用的金屬例如鈷(Co)，不過其他金屬例如鎳(Ni)也可應用。該等矽化物接觸區之形成係藉由沉積該金屬之薄均勻覆蓋層於該基板上，然後退火以促進矽化物形成於該金屬與下面的半導體材料之間的接觸點，隨後去除殘留金屬。

在第 3 圖揭示與第 2a 圖到第 2L 圖之具體實施例不同的另一具體實施例。在與第 2a 圖到第 2L 圖之具體實施例不同的第 3 圖之具體實施例中，在第 2c 圖之矽鍺層上所

實施之回蝕處理以產生的第 2d 圖之結構被省略。結果，該較低矽鍺層 40 之上表面約略與淺溝隔離層 48 一樣高，而該含應變之矽層 50 隨後以選擇性生長方式形成在該矽鍺層 40 上且延伸高過該淺溝隔離層 48 之上表面。由於使用選擇性生長製程，少量或沒有矽生長發生於該矽氧化物淺溝隔離層 48。因此高於該淺溝隔離層 48 之區域是空的，而當一保護性層例如硼酸-磷-矽化物-玻璃(BPSG)被應用時隨後的製程將使其填滿。

因此元件之構造不被限定於第 2a 圖到第 2L 圖之具體實施例。第 4 圖顯示形成含應變之矽層用之處理流程，係涵蓋該第 2a 圖到第 2L 圖之較佳具體實施例，與前面所提及的諸等其他具體實施例。開始的時候提供基板(步驟 80)。該基板包括第一矽鍺層。然後在該第一矽鍺層上形成含應變之矽層(步驟 82)。該含應變之矽層較佳之厚度大於依據第一矽鍺層之鍺含量所決定之習知臨界厚度。然後在有該含應變之矽之單一連續就地沉積製程中形成第二矽鍺層於該含應變之矽層上(步驟 84)。該第一與第二矽鍺層維持該含應變之矽層之拉伸應變且防止在該含應變之矽層內形成參差差排，即使該含應變之矽層之厚度超過臨界厚度。

第 5 圖顯示形成半導體元件用之處理流程，係涵蓋該第 2a 圖到第 2L 圖之較佳具體實施例，第 3 圖之另一具體實施例，以及其他的具體實施例。開始的時候提供基板(步驟 90)。該基板包括第一矽鍺層。然後形成淺溝隔離層於該矽鍺層內(步驟 92)。然後形成含應變之矽層於該第一矽鍺層上

修正補充 97年11月4日

(步驟 94)，且在有該含應變之矽之單一連續就地沉積製程中，形成第二矽鍺層於該含應變之矽層上(步驟 96)。在形成該含應變之矽層之前，在該第一矽鍺層上可進行回蝕處理。然後去除該第二矽鍺層(步驟 98)，並且在淺溝隔離層間形成包括該含應變之矽層之 MOSFET(步驟 100)。

依照別的具體實施例可依需求植入額外的特性。在一具體實施例中，氧化物或二氧化矽-氮化矽-二氧化矽閘極絕緣層被晶體高介電常數介電層(crystalline high-k dielectric layer)所取代，其具晶格常數可與較低矽鍺層的比較，因此對含應變之矽層內之拉伸應變提供額外的支持。例如，對於 20%矽鍺層，晶體 $DyScO_3$ 或 $GaScO_3$ 之閘極絕緣層提供適當的晶格。藉由分子束磊晶(MBE)可以生長此類結晶體。在另一具體實施例中，晶體高介電常數層可被用來在絕緣構造物上當作矽之介電基板，在此類構造中也可用來當作閘極絕緣材料。

對熟諳此藝者顯然以上製程中所述之作業不一定會排斥其他的作業，反而別的作業可依據所要形成的特定結構而被併入以上之處理。例如，中間的製程作業諸如在製程作業間的被動層或保護層之形成與去除以及光阻光罩與其他罩幕層之形成與去除，加入摻雜質與去除摻雜質，清除，平坦化，以及其他作業，可與上述特定作業一起進行。進一步，該製程之進行不需要對整個基板，例如整個晶圓，反而可選擇性的對基板之某些區域實施。因此，儘管圖解說明與以上所描述的具體實施例目前為較佳的，但

修正補充

是應瞭解此等具體實施例只是為作實例說明而提供的。本發明不被限定在一特定具體實施例，而是延伸到落在申請專利範圍內之發明和彼等之等價物之範疇內的不同修改，組合，及排列。

[圖式簡單說明]

第 1 圖揭示使用根據習知製程所形成之含應變之矽層之 MOSFET；

第 2a, 2b, 2c, 2d, 2e, 2f, 2g, 2h, 2i, 2j, 2k 及 2L 圖揭示根據本發明之第一較佳具體實施例製造 MOSFET 期間形成之結構；

第 3 圖揭示根據另一具體實施例形成之結構；

第 4 圖表示涵蓋第一較佳具體實施例與其他具體實施例之製程流程；以及

第 5 圖表示涵蓋第一較佳具體實施例與其他具體實施例之製程流程。

10、40、52 矽鍺層　　12 磊晶層

14 深源極與汲極

16 淺源極與汲極延伸區

18 閘極氧化物層　　20、62 閘極

22、24 間隔

26 矽化物源極與汲極接觸區

28 矽化物閘極接觸區　30 淺溝隔離層

42、58 下硬質罩幕層　　44、60 上硬質罩幕層

46	溝槽	48	淺溝隔離層
50	含應變之矽層	54、64	閘絕緣層
56	閘導電層	66	閘極間隔層
68	源極與汲極延伸區	70	第二間隙層
72	源極與汲極區	74、76	矽化物接觸區
80、82、84、90、92、94、96、98、100	步驟		

伍、中文發明摘要：

生長含應變之矽層(50)於矽鍺層(40)上，且在有該含應變之矽層(50)之單一連續就地沉積製程中，生長矽鍺層(52)於該含應變之矽層(50)上。在形成該含應變之矽層(50)前，形成淺溝隔離層(48)於較低之矽鍺層(40)內。該兩矽鍺層(40，52)有效提供兩層基板於該含應變之矽層(50)之兩表面，用來支持該含應變之矽層(50)之拉伸應變，以及防止在製程時可能會因溫度變化而形成之參差差排。因此，於給定矽鍺層(40，52)之鍺含量下，所生長之含應變之矽層(50)之臨界厚度可有效加倍，而在隨後製程時不會形成顯著的參差差排。在形成該含應變之矽層(50)之前，形成該淺溝隔離層(48)可避免該含應變之矽層(50)受極端的熱應力所影響而可進一步減少參差差排之形成。

陸、英文發明摘要：

A strained silicon layer (50) s grown on a layer of silicon germanium (40) and a layer of silicon germanium (52) is grown on the strained silicon (50) in a single continuous in situ deposition process with the strained silicon (50). Shallow trench isolations (48) are formed in the lower layer of silicon germanium (40) prior to formation of the strained silicon layer (50). The two silicon germanium layers (40, 52) effectively provide dual substrates at both surfaces of the strained silicon layer (50) that serve to maintain the tensile strain of the strained silicon layer (50) and resist the formation of misfit dislocations that might otherwise result from temperature changes during processing. Consequently the critical thickness of strained silicon (50) that can be grown without significant misfit dislocations during later processing is effectively doubled for a given germanium content of the silicon germanium layers (40, 52). The formation of shallow trench isolations (48) prior to formation of the strained silicon layer (50) avoids subjecting the strained silicon (50) layer to extreme thermal stresses and further reduces the formation of misfit dislocations.

95.11.29 修正補充

第 92133982 號專利申請案

申請專利範圍修正本

(95 年 11 月 29 日)

煩請委員明示，本案修正後是否變更原實質？

1. 一種形成含應變之矽層之方法，係包括：

提供包括第一矽鍺層(40)之基板；

形成含應變之矽層(50)於該第一矽鍺層(40)上；以及

在有該含應變之矽層之單一連續就地沉積製程中形成第二矽鍺層(52)於該含應變之矽層(50)上，

其中該第一(40)與第二(52)矽鍺層支持該含應變之矽層(50)之拉伸應變，並且防止在該含應變之矽層(50)內形成參差差排(misfit dislocation)。

2. 如申請專利範圍第 1 項之方法，其中該第一矽鍺層(40)具有成分 $Si_{1-x}Ge_x$，其中 x 係在 0.1 到 0.4 之範圍內。

3. 如申請專利範圍第 1 項之方法，其中該含應變之矽層(50)之厚度超過依據第一矽鍺層(40)之鍺含量所決定之臨界厚度。

4. 一種形成半導體元件之方法，係包括：

提供包括第一矽鍺層(40)之基板；

在該第一矽鍺層(40)內形成淺溝隔離層(48)；

在該第一矽鍺層(40)上形成含應變之矽層(50)；以及

在有該含應變之矽層(50)之單一連續就地沉積製程中，於該含應變之矽層(50)上形成第二矽鍺層(52)，

其中該第一(40)與第二(52)矽鍺層支持該含應變之矽層(50)之拉伸應變，並且防止在該含應變之矽層(50)內形成參差差排(misfit dislocation)。

5. 如申請專利範圍第 4 項之方法，其中該含應變之矽層(50)之厚度超過依據第一矽鍺層(40)之鍺含量所決定之臨界厚度。

6. 如申請專利範圍第 4 項之方法，進一步包括：

去除該第二矽鍺層(52)；以及

形成包括在該淺溝隔離層(48)間之該含應變之矽層(50)之金屬氧化物半導體場效電晶體(MOSFET)。

7. 如申請專利範圍第 4 項之方法，其中在形成該含應變之矽層(50)之前，去除該第一矽鍺層(40)之部份以相對於該淺溝隔離層(48)之上表面降低該第一矽鍺層(40)之上表面。

8. 一種半導體結構，係包括：

第一矽鍺層(40)；

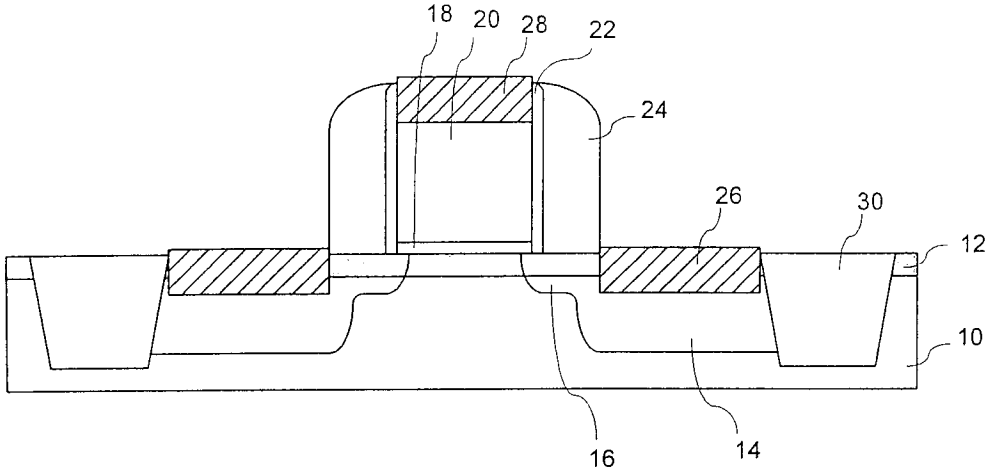
形成於該第一矽鍺層(40)上之含應變之矽層(50)；以及

形成於該含應變之矽層(50)上之第二矽鍺層(52)，

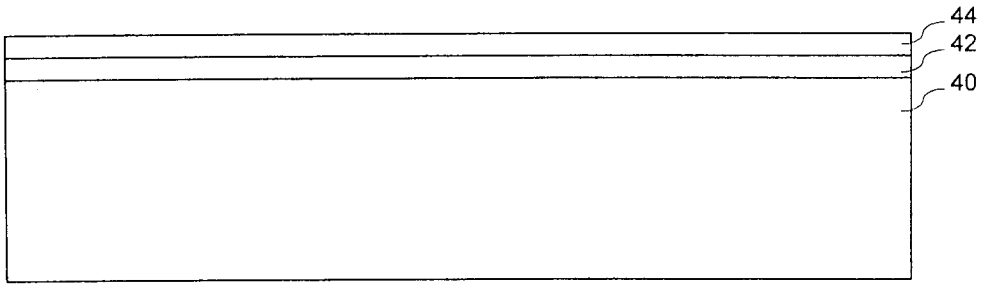
其中該第一(40)與第二(52)矽鍺層支持該含應變之矽層(50)內之拉伸應變，並且防止在該含應變之矽層(50)內形成參差差排(misfit dislocation)。

9. 如申請專利範圍第 8 項之結構，其中該含應變之矽層之厚度超過依據第一矽鍺層之鍺含量所決定之臨界厚度。

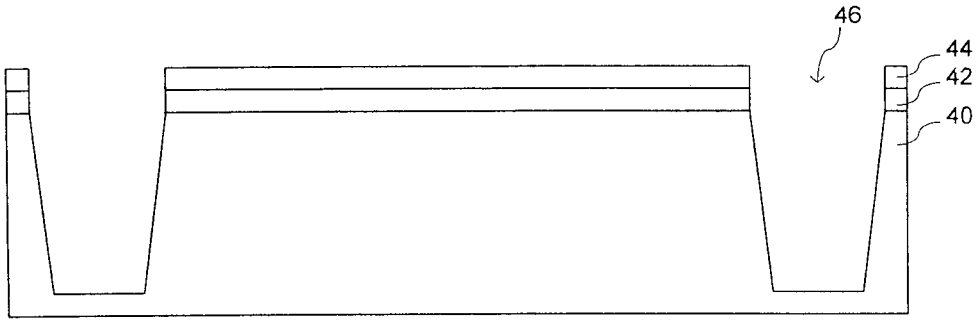
10.如申請專利範圍第8項之結構，其進一步包括淺溝隔離層(48)延伸通過該第二矽鍺層(52)與該含應變之矽層(50)而到該第一矽鍺層(40)。



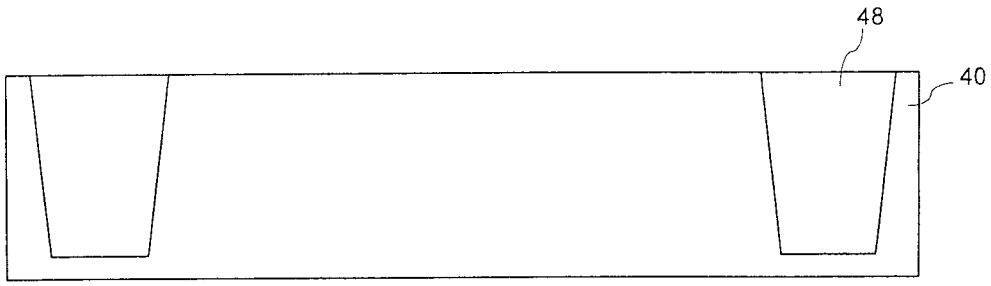
第 1 圖



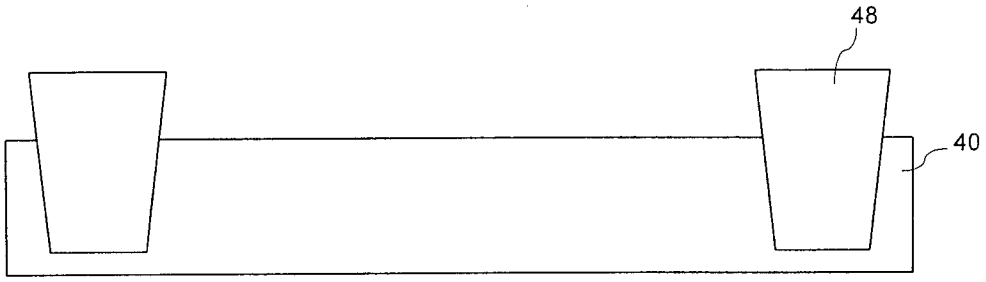
第 2a 圖



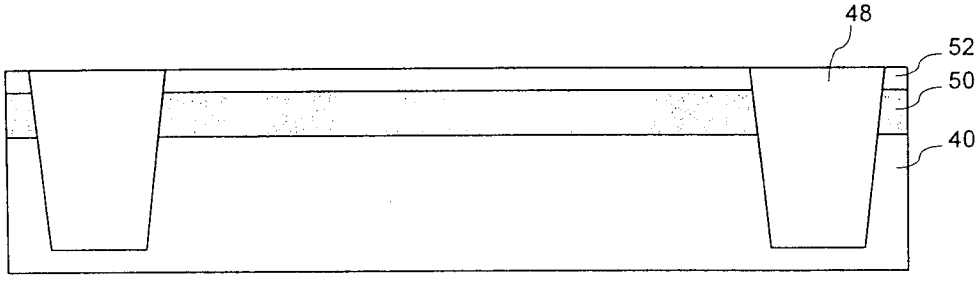
第 2b 圖



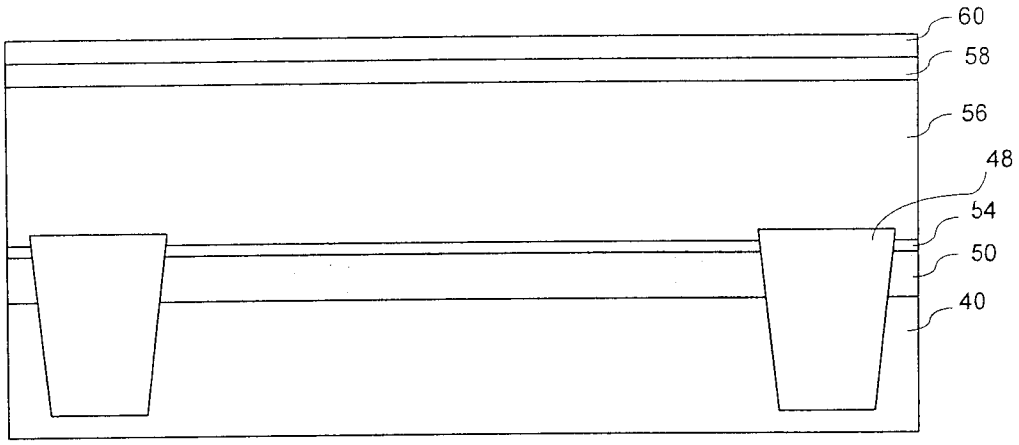
2c 圖



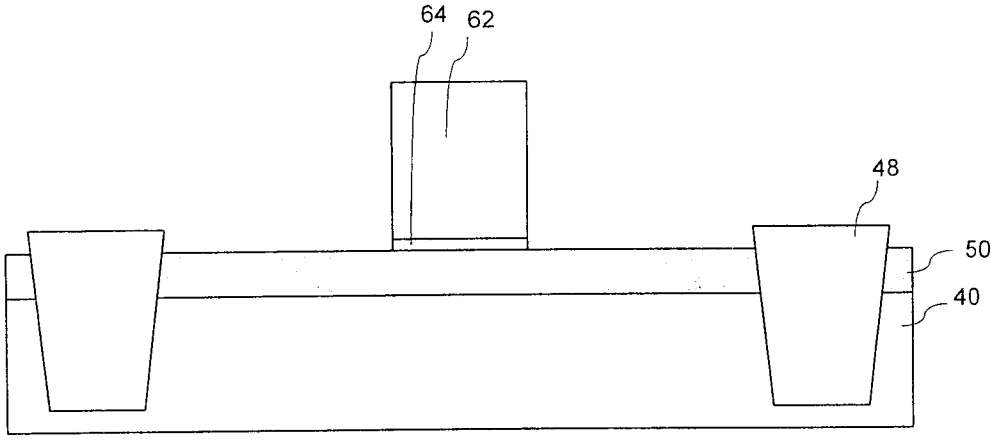
2d 圖



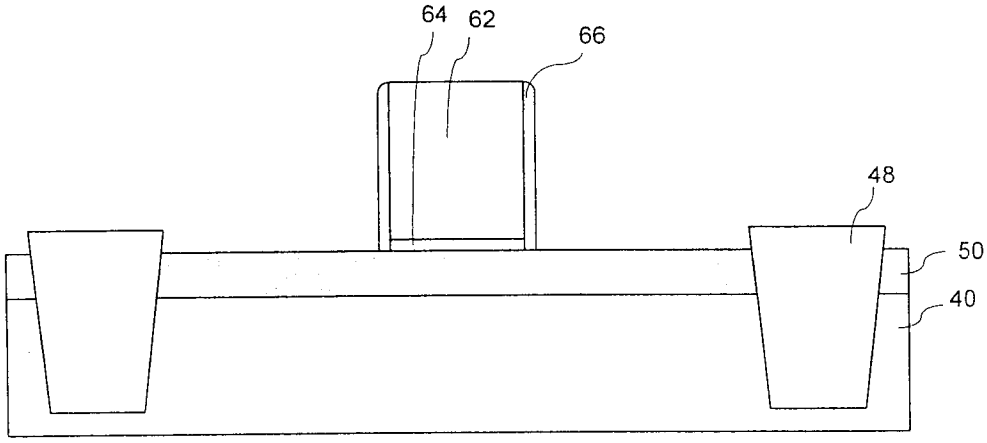
2e 圖



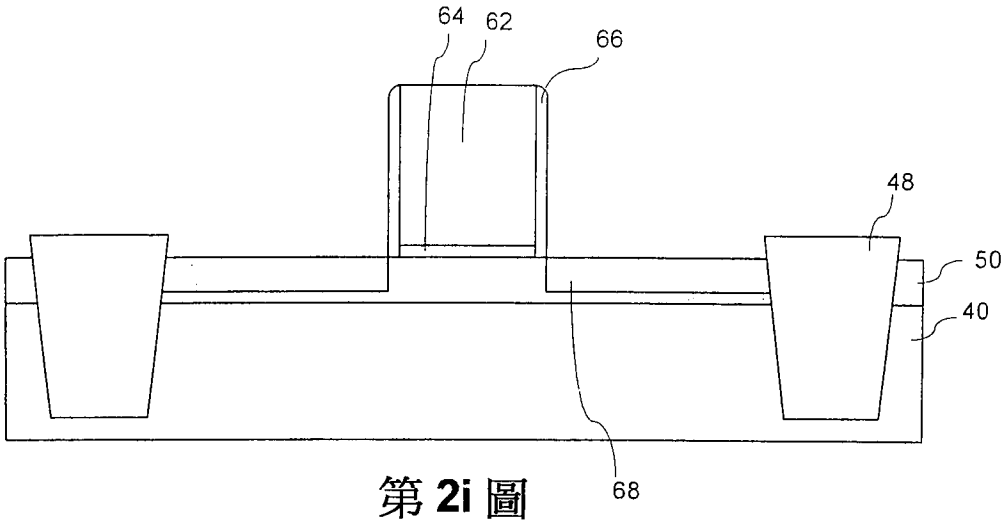
第 2f 圖



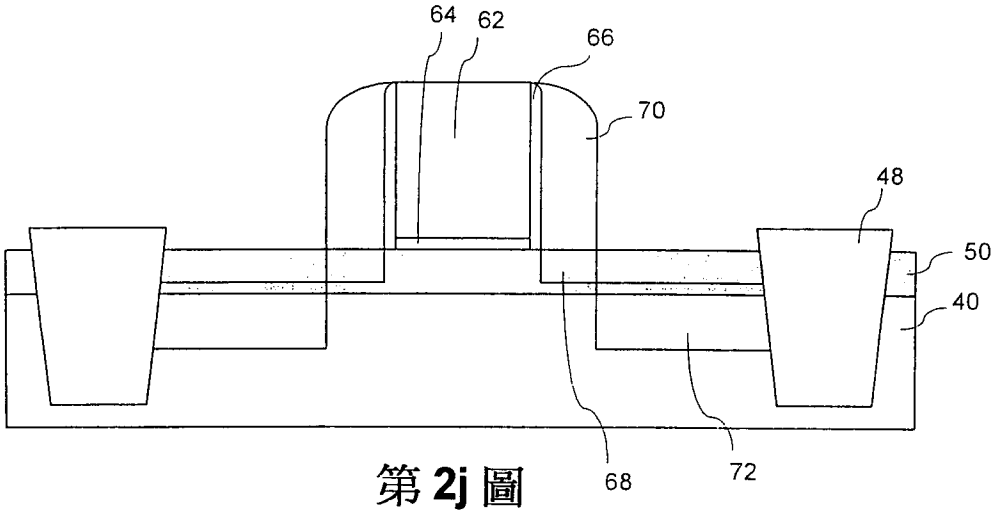
第 2g 圖



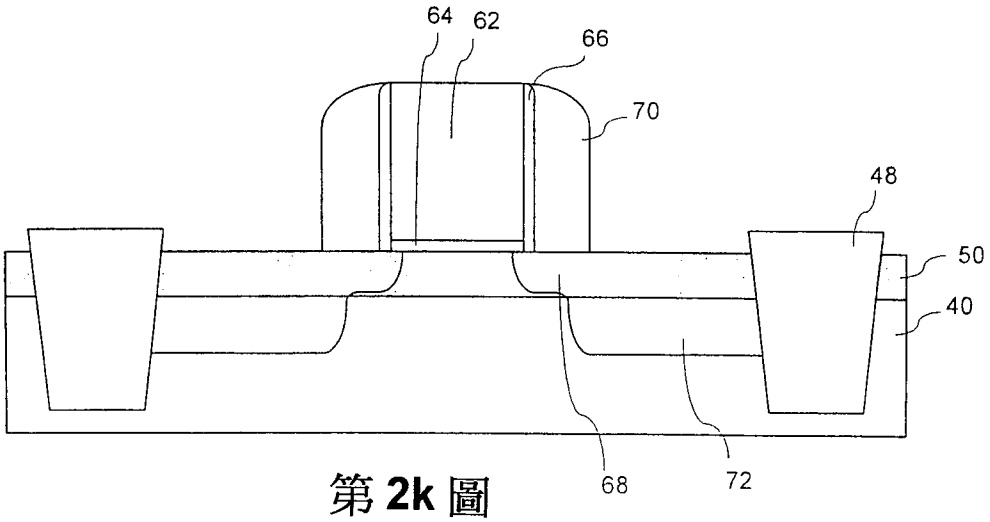
第 2h 圖



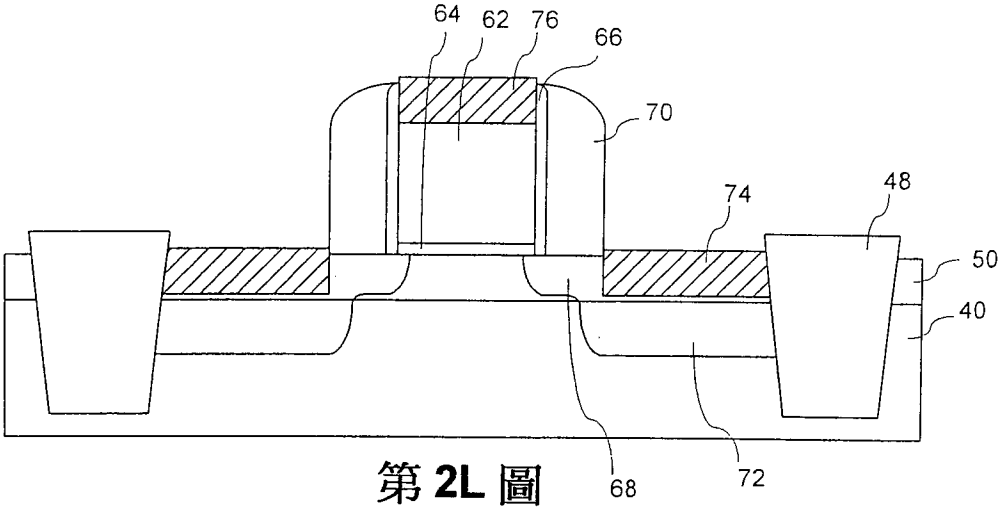
第 2i 圖



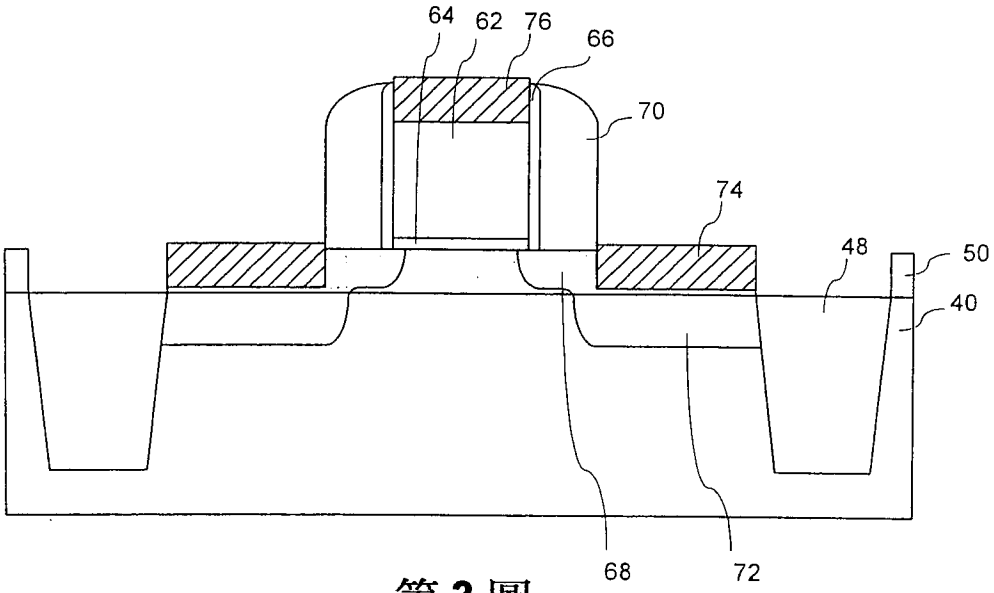
第 2j 圖



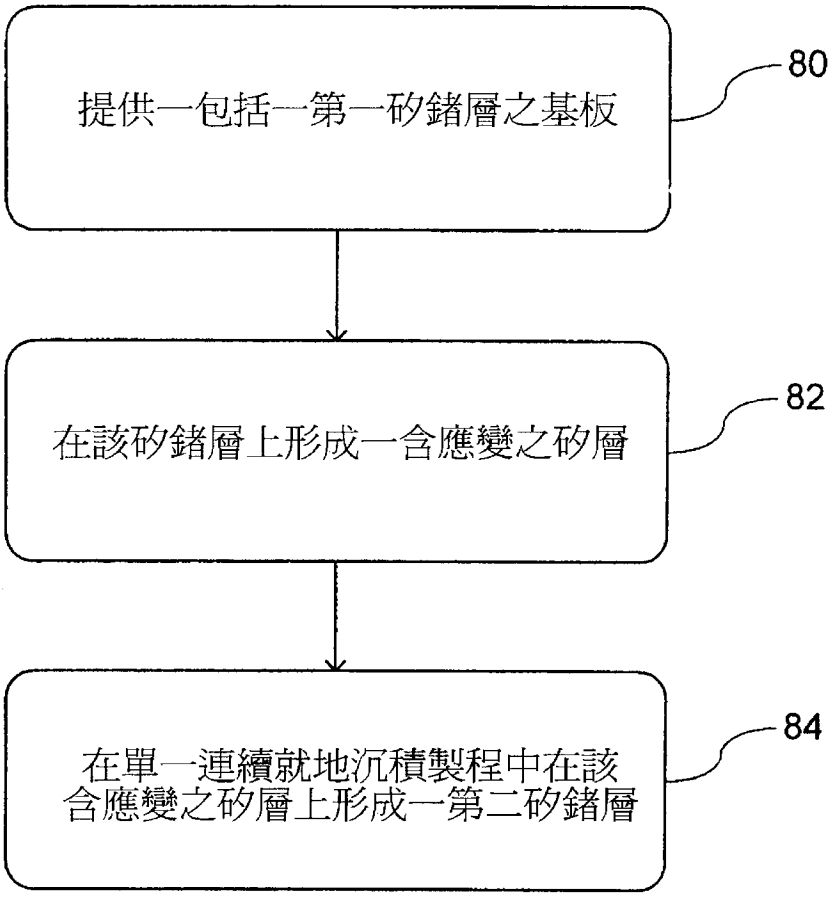
第 2k 圖



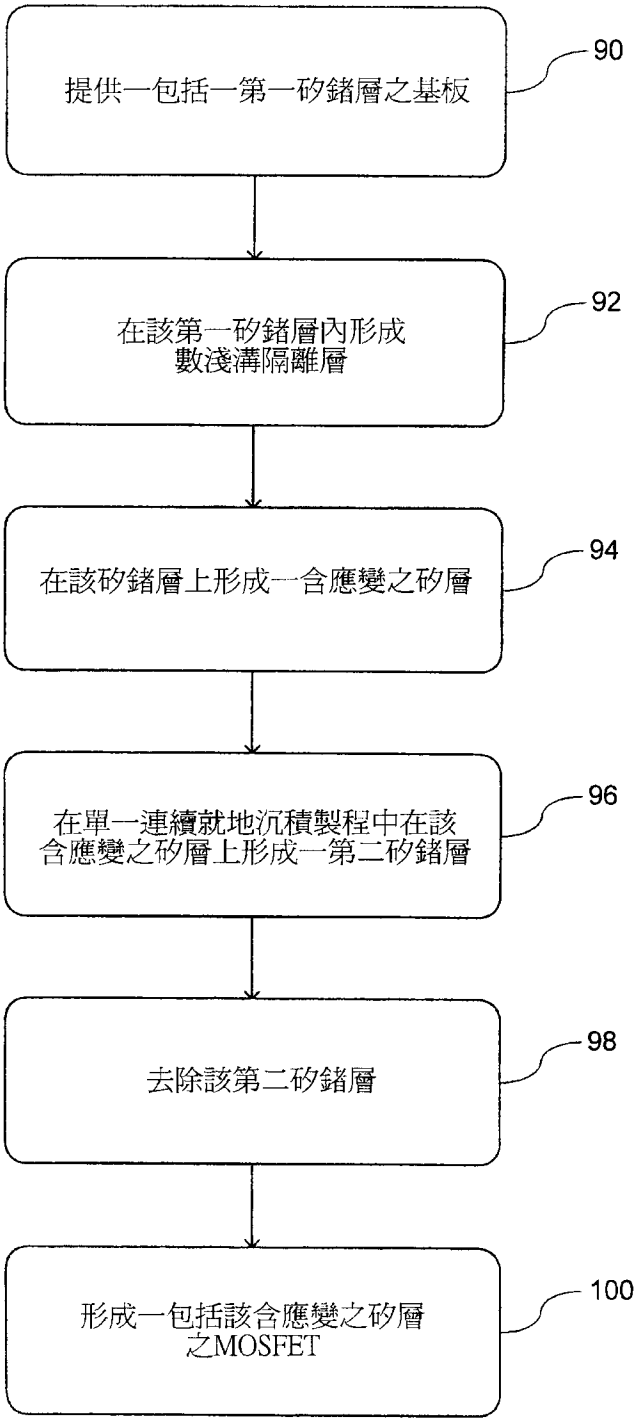
第 2L 圖



第 3 圖


提供一包括一第一矽鍺層之基板
80
在該矽鍺層上形成一含應變之矽層
82
在單一連續就地沉積製程中在該含應變之矽層上形成一第二矽鍺層
84

第4圖


提供一包括一第一矽鍺層之基板
90
在該第一矽鍺層內形成數淺溝隔離層
92
在該矽鍺層上形成一含應變之矽層
94
在單一連續就地沉積製程中在該含應變之矽層上形成一第二矽鍺層
96
去除該第二矽鍺層
98
形成一包括該含應變之矽層之MOSFET
100

第5圖

柒、指定代表圖：

(一)本案指定代表圖為：第（ 2e ）圖。

(二)本代表圖之元件代表符號簡單說明:

40、52　矽鍺層　　48　淺溝隔離層

50　含應變之矽層

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：