



Patentdirektoratet
TAASTRUP

(21) Patentansøgning nr.: 1743/84

(51) Int.Cl.5

G 06 F 12/06

(22) Indleveringsdag: 30 mar 1984

(41) Alm. tilgængelig: 01 okt 1984

(44) Fremlagt: 15 mar 1993

(86) International ansøgning nr.: -

(30) Prioritet: 31 mar 1983 US 480964

(71) Ansøger: *HONEYWELL INFORMATION SYSTEMS INC.; 200 Smith Street; Waltham, Massachusetts 02154, US

(72) Opfinder: Edward R. *Salas; US, Edwin P. *Fischer; US, Robert B. *Johnson; US, Chester M. *Nibby Jr.; US, Daniel A. *Boudreau; US

(74) Fuldmægtig: Hofman-Bang & Boutard A/S

(54) Lageridentifikationssystem

(56) Fremdragne publikationer

(57) Sammendrag:

ge adressebitkombinationer af en forudbestemt fleradressebitdel af hver lagerforespørgselsadresse. I afhængighed af de signaler, der frembringes af de installerede lagerkredsløbskort (20-1, 20-2) identifikationsdele (26-1, 26-2), aktiveres dekoderkredsløbene (12-4 - 12-8) valgbart til at dekode bitkombinationerne i adressedelene, der er specificeret således, at det er muligt for dekodningskredsløbene (12-4 - 12-8) at aktivere en fortløbende adressering af alle blokke af lagerlokationer i systemet.

1743-84

Et lagersystem omfatter i det mindste et eller flere lagermodulkredsløbskort (20-1, 20-2), der er identiske i opbygning, og et enkelt beregningsenhedskort (10), der indeholder styrekredsløb (18, 12, 14), til styring af lageroperationer. Hvert kredsløbskort (20-1, 20-2) er forbundet med stik (22-1, 22-2) til beregningsenhedskortet (10), og omfatter en lagerdel (24-1, 24-2) med et antal rækker af lagerkredsløb (240-1 til 243-22), og en identifikationsdel (26-1, 26-2), der rummer kredsløb, der er indrettet til at frembringe signaler, der er udtryk for kredsløbskortets tæthed og den type lagerkredsløb, der anvendes til opbygningen af kredsløbskortets lagerdel (24-1, 24-2). Beregningsenhedskortets 10 styrekredsløb (18, 14, 12) indeholder et antal dekodningskredsløb (12-4 - 12-8), der er forbundet til identifikationsdelen (26-1, 26-2) og til lagerdelen (24-1, 24-2) på hvert lagermodulkredsløbskort (20-1, 20-2). Dekoderkredsløbene (12-4 - 12-8) modtager forskelli-

fortsættes

1743-84

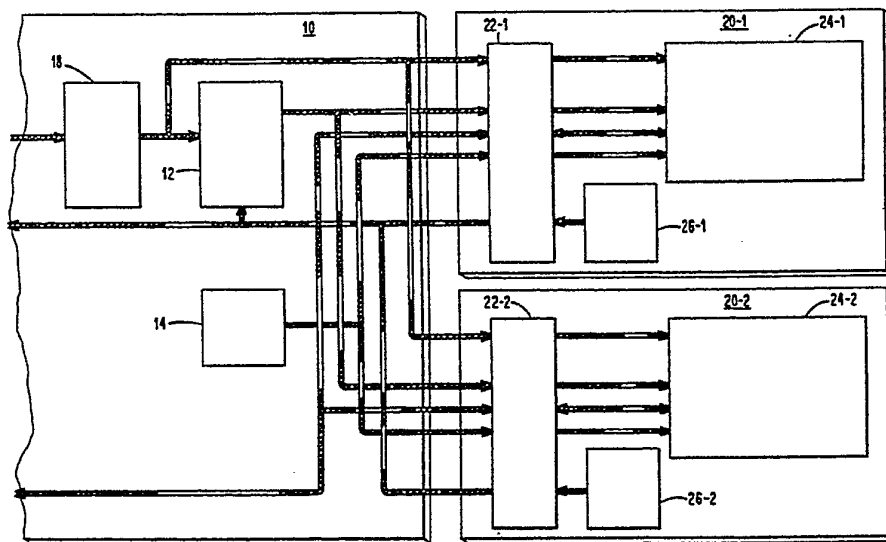


Fig. 1.

Den foreliggende opfindelse angår et lagersystem af den i krav 1's indledning angivne art.

5 Det er velkendt, at modulære lagersystemer gør det muligt nemt at udvide brugerhukommelsessystemer eller hukommelsesområder. For at gøre det muligt at foretage sådanne udvidelser har det været nødvendigt for lagersystemfabrikanter at konstruere et antal forskellige lagersystemer, der har forskellig lagerkapacitet, eller forskellige
10 størrelser af udvidelsestrin. Dette har igen gjort det nødvendigt at konstruere et antal forskellige lagerenheder.

Et kendt system, der beskrives i USA patentskrift nr.
15 4 001 790, der tilhører ansøgeren, anvender en udformning, hvor det samme lagerkredsløbskort kan anvendes i en af et antal lagermoduler, der er forbundet til en lagerstyreenhed. I denne kendte teknik indeholder en art hukommelseskredsløbskort styrelogikkredsløbene, og en anden
20 type lagerkredsløbskort (datterkort) indeholder lagermodulet. Det kræves, at lagermodulet kan indsættes i enhver af et antal forskellige positioner.

I denne type konstruktioner er det muligt at opgradere og
25 udvide lagersystemets kapacitet ved at anvende de to typer af lagerkredsløbskort, der er brug for. Lagerforøgelsen eller lagerstørrelsen svarer i dette tilfælde til datterkortets kapacitet.

30 For at reducere antallet af forskellige typer af lagerkredsløbskort anvender det kendte system, der beskrives i USA patentskrift nr. 4 296 467, et antal lagermoduler, der er identiske i konstruktion og udlægning. Hvert kredsløbskort omfatter roterende kredsløbsvælgerkredsløb,
35 der indeholder et antal kontakter og en aritmetisk enhed. Ved at variere kontakternes stilling styres den aritmetiske enhed til at frembringe en ønsket logisk rækkeadresse

for herved at aktivere de kredsløb, der fysisk er anbragt i den første rækkeposition, i afhængighed af forskellige adresseværdier.

5 Selv om denne udformning reducerer antallet af forskellige typer af lagerkredsløbskort til et minimum, kræves det af systemet, at det indeholder adressekonfigurationskredsløb. Sådanne kredsløb indeholder sædvanligvis et yderligere antal kontakter og sammenligningslogiske kredsløb, der er indrettet til at frembringe signaler, der er et udtryk for det adresserbare lagerrum eller lagerincrement, der frembringes af et bestemt kredsløbskort. Udvidelser ud over kredsløbskortets maksimale kapacitet kræver stadig anvendelse af forskellige kredsløbskorttyper.

15 USA patentskrift nr. 4 303 993, der tilhører ansøgeren, beskriver et lagerundersystem, der anvender lagermodulkredsløbskort af identisk konstruktion. Hvert kredsløbskort indeholder et antal kontakter, der er forbundet til 20 "lager til stede" kredsløbet. Ved at variere kontakternes stilling, kan "lager til stede" kredsløbene i afhængighed heraf frembringe et udgangssignal, der indikerer, at den samme forøgelse af lager eller lagermodulkredsløbskort er til stede, når et andet lagersegment adresseres.

25 Udformninger af den oven for beskrevne art kræver, at service- eller installationspersonale indstiller kontakterne på hvert lagerkredsløbskort for at definere størrelsen, delen eller lagerrummet, der tilføjes eller installeres i systemet. Dette har tendens til at komplicere 30 samlingen eller vedligeholdelsesprocedurerne, specielt når lagersystemet kan udformes således, at der optræder et antal forskellige adresseringsområder. Problemet kompliceres yderligere, når hukommelseskredsløbskort konstrueres ud fra et antal forskellige typer af lagerdele 35 og med forskellige størrelser af lagerkredsløb.

I USA patent nr. 4 281 392, som angiver et lagersubsystem med et antal lagermoduler, som hver er forbundet til lageradressegenereringskredsløb til at modtage moduladressesignaler, undgås anvendelsen af de førnævnte kontakter, og automatisk lagerrekonfiguration opnås ved tilvejebringelsen af et tilbagekoblingssignal fra hvert lagermodul, som repræsenterer det respektive moduls lagerstørrelse. Tilbagekoblingssignalerne fra alle modulerne anvendes af lageradressegenereringskredsløbenes kontrolkredsløb til at rekonfigurere adresserummet. Arrangementet begrænser imidlertid lagermodulet til én af to størrelser lagermodul og tilfredsstiller ikke anvendelsen af datterkort med variabel chipbestande.

Lagersystemet ifølge opfindelsen omfatter i lighed med det fra USA patent nr. 4 281 392 kendte en eller flere lagermoduler, som hver er identisk opbygget, og en enkelt adressesektion omfattende et antal adresseregistre, som reagerer på en første del af hver af adressekode for derved at frembringe adresser for steder i lagermodulerne og et dekoderkredsløb, som reagerer på en del af adressekoden omfattende mindst en anden del deraf i afhængighed af nævnte tilbagekoblingssignaler, også betegnet som "modulparametersignaler", for derved at frembringe adressesignaler, som er tilpasset til lagersektionens adressestruktur. Det er kendetegnet ved, at hvert hukommelsesmodul er et datterkort, som stikforbindes i et enkelt moderkort, som indeholder nævnte adressesektion. Hvert datterkort er forsynet med et antal rækker af diskrete lagerchips med forudvalgt og adresserbar lagerstørrelse og har en identifikationssektion, som indeholder kredsløb til at frembringe nævnte modulparametersignal i form af mindst to logiske signaler, som angiver kortets karakteristikker. Disse logiske signaler omfatter mindst ét, som repræsenterer chipbestandtætheden og mindst ét, som repræsenterer størrelsen af nævnte chips. De logiske signaler for alle datterkort er kombineret ved indgangen til dekoderkreds-

løbet, således at det er konditioneret af datterkortenes modulparametersignaler for derved at fortolke de dertil forbundne adressesignaler og forårsage frembringelsen af rækkevælgersignalerne i den rette sekvens i afhængighed af bestandtætheden og chipstørrelsen med hensyn til hvert datterkort.

I en udførelsesform, som er beskrevet her, indeholder moderkortet kontrolkredsløb, som omfatter et antal dekoderkredsløb, som forbindes til identifikationssektionen og til lagersektionen for hvert lagermodulkort. Dekoderkredsløbene er forbundet til at modtage andre kombinationer af adressebit af en forudbestemt multibitadressedel for hver lageranmodningsadresse, som anvendes til adgang til indholdene i et lagersted. Som svar på signaler, som frembringes med identifikationssektionerne for de installerede lagerkort, aktiveres dekoderkredsløbene selektivt for at dekode de bitkombinationer i adressedelen, som identificeres af sektionerne. Dette frembringer igen den ønskede sekvens af rækkeadressevælgersignaler, som selektivt tilføres til lagerkortene, som er installeret i systemet til at aktivere den successive adressering til alle blokkene af steder i rækkerne af lagerchips, som er indeholdt i kortenes lagersektioner.

I den foretrukne udførelsesform kan lagermodulkortene fremstilles af den ene af to typer lagerchips og har en af to tætheder. Når lagersektionen er helt udfyldt, har lagermodulkortet en høj tæthed af chips betegnet "dobbelt tæthed". Når lagersektionen er halvt udfyldt, har lagermodulkortet en mindre tæthed betegnet "normal tæthed". Ved inkluderingen af en identifikationssektion i hvert modulkort er systemet ifølge opfindelsen i stand til automatisk at frembringe den ønskede rækkefølge af rækkeadressevælgersignaler til at adressere et hvilket som helst sted inden for lagersystemet. Dette undgår behovet for at anvende yderligere indstillingstrin ved samling eller ud-

skiftning af lagermodulkort i systemet. Det forbedrer også systemets pålidelighed.

5 Endvidere bliver blokkene eller rækkerne af adresser til-
vejebragt med lagermodulkortene, som er installeret i sy-
stemet, etableret automatisk og uden at kræve yderligere
kontakter eller logiske kredsløb. Desuden kan lagermodul-
kort med normal tæthed udskiftes med lagermodulkort med
10 dobbelt tæthed og lagermodulkort konstrueret med en type
lagerdel (f.eks. 64 K RAM chips) kan erstattes med lager-
modulkort fremstillet med en anden type lagerdel (f.eks.
256 K RAM chips) uden at kræve ændringer af systemet.

Opfindelsen skal i det følgende nærmere beskrives med
15 henvisning til tegningen, hvorpå:

fig. 1 er et blokdiagram af et lagersystem, der er udfor-
met ifølge den foreliggende opfindelse,

20 fig. 2a til 2c viser forskellige udførelsesformer af de-
kodningskredsløbene fra fig. 1, i overensstemmelse med
den foreliggende opfindelse,

fig. 3 til 5 viser mere detaljeret forskellige blokke fra
25 fig. 1,

fig. 6 viser formatet af et lageradresseord, der anvendes
til tilgang af en lagerlokation,

30 fig. 7 viser de forskellige typer af lagermodulkredsløbs-
kort, der kan anvendes i systemet fra fig. 1, og fig. 8a
til 8d viser opbygningen af modulkredsløbskortene fra
fig. 1, i overensstemmelse med den foreliggende opfindel-
se.

35 Fig. 1 viser på blokdiagramform en foretrukken udførel-
sesform af et lagersystem ifølge den foreliggende opfind-

else. Som det vises, omfatter lagersystemet et hovedbe-
regningsenhed/moderkredsløbskort 10 og et par med stik
forbundne lagermoduldatterkort 20-1 og 20-2. Datterkort-
ene 20-1 og 20-2 er forbundet til kortet 10 gennem de 80-
5 benede I/O stik 22-1 og 22-2.

Kredsløbskortet 10 indeholder alle systemets lagerstyre-
logikkredsløb. Disse kredsløb omfatter adresseregister-
kredsløbene i blok 18, lagertidsstyring og styrekredsløb-
10 ene i blokken 14, og kredsløbstype og lagertæthedskreds-
løbene i blok 12. Adresseregisterkredsløbene i blok 18,
der vises mere detaljeret på fig. 4, modtager til at lag-
re adressedeler af hvert lagerønske eller ordre, der på-
trykkes gennem en systembus. Registerkredsløbet påtrykker
15 forskellige dele af disse adressesignaler til datterkort-
ene 20-1 og 20-2 og til kredsløbene i blokken 12.

Kredsløbene i blokken 14, der vises mere detaljeret i
fig. 3, frembringer den nødvendige sekvens af forskyde-
20 lige tidsstyringssignaler til udførelse af lagerlæse- el-
ler skriveoperationer. Som det vises, påtrykker disse
kredsløb tidsstyringssignaler til datterkortene 20-1 og
20-2.

Kredsløbstype og lagertæthedsdekodningskredsløbene i blok
12, der vises mere detaljeret i fig. 2a til 2c, frem-
bringer et antal rækkeadressedekodningssignaler, i afhæn-
gighed af valgte kombinationer af adressesignaler, der
modtages fra kredsløbene i blokken 18, som en funktion af
25 de signaler, der modtages fra datterkortene 20-1 og 20-2.
30 Kredsløbene i blokken 12 påtrykker forskellige valgte
dele af disse signaler til datterkortene 20-1 og 20-2.

Hvert af datterkortene 20-1 og 20-2 er identiske i kon-
35 struktion og udformning. I overensstemmelse hermed er det
kun nødvendigt at beskrive ét datterkort detaljeret. Det
enkelte lagerdatterkort ifølge den foreliggende opfindel-

se er konstrueret til at blive anvendt med forskellige typer af lagerkredsløb som det beskrives nedenfor. For at opnå dette er kredsløbskortet konstrueret (ætset) på en sådan måde, at det kan optage den største størrelse af lagerkredsløb. De arealer, der kræver forskellige udførelser og fremføring af signaler, såsom adresseringssignaler, kobles på kortet.

Som det ses af fig. 1, omfatter hvert datterkort en lagerdel (dvs. delene 24-1 og 24-2) en kredsløbstype og tæthedsidentifikationsdel (dvs. delene 26-1 og 26-2) og et indgangs/udgangsstik (dvs. stikkene 22-1 og 22-2). Lagerdelen indeholder op til fire rækker af 64K eller 256K (1K=1.024) bitdynamiske RAM kredsløb.

Hver lagerdel giver et maksimum af 256K eller 1.024K ord af lagerplads, organiseret som fire blokke af 64K eller 256K ord, hvilket indeholder 16 databits og 6 EDAC kontrolbits. 64K eller 256K bit MOS dynamisk RAM kredsløbene er af konventionel konstruktion. De kan være udformet som 65.536 ord eller 226.144 ord á 1-bit kredsløb hhv. betegnet med 2164, fremstillet af Intel Corporation og som MSM37256, der fremstilles af Oki Semiconductor Corporation.

Hvert kredsløbskortsidentifikationsdel er opkoblet eller konstrueret til at identificere den kredsløbstype og den tæthed, der kendetegner dets lagerdel. Da lagerkredsløbskortene er identiske, er udgangsterminalerne fra begge kort forbundet i parallel (dvs. wired ORed).

De forskellige dele af lagerkredsløbskortet 10, der er relevante for den foreliggende opfindelse, skal nu beskrives mere detaljeret. Disse dele er vist i fig. 2a til 4.

Figurerne 2a til 2c viser forskellige udførelsesformer af

dekodningskredsløbet ifølge den foreliggende opfindelse. Der henvises først til fig. 2a. Her er vist et antal dekodningskredsløb 12-4 til 12-8 med de tilhørende indgangskredsløb, der omfatter NAND-porten 12-2, AND-porten 12-20 og "pull up" modstandene 12-40 og 12-42, og udgangskredsløb, der omfatter NAND-portene 12-22 til 12-36. Denne opbygning af dekodningskredsløb frembringer den ønskede sekvens af rækkeadressestyringssignaler til adressering af den maksimale lagerstørrelse (dvs. 2^{20}).

10 Det ene megaord eller to megabyte af adresserbart lager svarer til fire rækker af 256K RAM kredsløb. Derfor vil der i dette tilfælde kun være installeret ét datterkredsløbskort i systemet, når datterkredsløbskortet er fuldt udbygget (alle fire rækker) med 256K RAM kredsløb.

Udover at opbygge datterkredsløbskortet med forskellige lagre og kredsløb kan kredsløbskortet være opbygget med en af to tætheder, normal/standard tæthed eller dobbelt tæthed. Et lagermodulkredsløbskort, der er udbygget med 20 det dobbelte antal kredsløb (dvs. kredsløb i fire rækker) i forhold til et kredsløbskort med normal tæthed (dvs. et kredsløb i to rækker) betegnes "dobbelt". Sagt på en anden måde henviser "standard eller normal density" til et halvvejs udnyttet lagerkredsløbskort, hvorimod "dobbelt density" henviser til et fuldt udnyttet datterkredsløbskort.

30 Dekoderkredsløbet 12-4 i fig. 2a frembringer en række dekodningsudgangssignaler til to normal tæthedsdatterkort, der er opbygget af 64K RAM lagerkredsløb. Dekoderkredsløb 12-6 frembringer en række dekodningsudgangssignaler for to dobbelttæthedsdatterkort opbygget af 64K RAM lagerkredsløb. Det sidste dekodekredsløb 12-8 i fig. 2a frembringer en række dekodningsudgangssignaler for to normale tæthedsdatterkort opbygget af 256K RAM lagerkredsløb. 35 Yderligere frembringer det samme kredsløb en række dekod-

ningsudgangssignaler for et enkelt dobbelttæthedsdatterkredsløbskort, der er opbygget af 256K RAM kredsløb.

5 Hvert af dekodningskredsløbene 12-4 til 12-8 modtager et af signalerne MDDBEN100, MDDBEN200, M256PR100 og M256PR200 fra forskellige identifikationsdele af datterkredsløbskortene 20-1 og 20-2, og forskellige kombinationer af adressesignaler MMADO3010 til MMADO6010 fra adresseregistertkredsløbene i blok 18.

10

Som det er vist i fig. 2a er signalerne MDDBEN100 og MDDBEN200 "wired ORed" sammen. Det signal, der er resultatet heraf, MDDBEN000 identificerer tætheden på begge lagermodulkredsløbskort. Det vil sige, at når signalet
15 MDDBEN000 er på stelpotentiale, svarende til et binært NUL, er dette udtryk for, at hvert af lagermoduldatterkortene, der er installeret i systemet, har dobbelt tæthed, dvs. indeholder 4 blokke/rækker af lagerenheder. Når signalet MDDBEN000 er på et +V potentiale, der er udtryk
20 for et binært ET, er dette udtryk for, at hvert af de installerede datterkredsløbskort er normaltæthed (dvs. har to blokke/rækker af lagerenheder).

På lignende måde er signalerne M256PR100 og M256PR200
25 "wired ORed" sammen. Det resulterende signal M256PR000 identificerer den type af lagerkredsløb, der er indeholdt i begge lagermodulkredsløbskort. Når signalet M256PR000 er på stelpotentiale, et binært NUL er dette et udtryk for, at hvert af de installerede datterkredsløbskort
30 indeholder 256K RAM kredsløb. Når signalet M256PR000 er på et +V potentiale, et binært ET, er dette udtryk for, at hvert af de installerede datterkredsløbskort indeholder 64K RAM kredsløb.

35 Som det ses i fig. 2a, kombinerer NAND-porten 12-2 begge identifikationssignalerne MDDBEN000 og M256PR000, hvorved der anbringes et aktiveringssignal 64K RAM000. Når NAND-

porten 12-2 bringer signalet 64K RAM000 til et binært NUL, aktiveres dekoderkredsløbet 12-4 til dekodning af en første kombination af indgangsadressesignaler MMAD06010, der påtrykkes dets indgangsterminaler. Som en funktion af disse signalers kodning er dekoderkredsløbet 12-4 indrettet til at tvinge en af sine 4 udgangsterminaler Y0 til Y3 til et binært NUL.

Hver af de 4 dekodningsudgangsterminaler på kredsløbet 12-4 er forbundet til en indgang på forskellige tilsvarende NAND-porte 12-22 til 12-28. Når dekoderkredsløbet 12-4 tvinger signalet 64KDC0000 til et binært NUL, er NAND-porten 12-22 i stand til at trække dekodesignalet DRAST0010 til et binært ET.

Et antal aktiveringsindgangsterminaler G1 til G2A på dekoderkredsløbet 12-6 er forbundet således, at de modtager identifikationssignalerne MDDBEN000 og M256PR000, som vist. Når signal MDDBEN000 er et binært NUL og signalet M256PR000 er et binært ET, aktiveres dekoderkredsløbet 12-6 til dekodning af en anden kombination af indgangsadressesignaler MMAD06010 til MMAD04010, der påtrykkes dets indgangsterminaler. Som en funktion af kodningen af disse adressesignaler, er dekoderkredsløbet 12-6 indrettet til at tvinge en af sine otte udgangsterminaler Y0 til Y7 til et binært NUL. Hver af kredsløbet 12-6's udgangsterminaler er forbundet til en indgang på en tilsvarende NAND-port af portene 12-22 til 12-36, som det er vist på figuren. Når dekoderkredsløbet 12-6 tvinger signalet D64DC0000 til et binært NUL, trækker NAND-porten 12-22 derfor afbrydningssignalet DRAST0010 til et binært ET.

Dekoderkredsløbet 12-8's aktiveringsindgang er forbundet således, at den modtager signalet M256PR000. Når dette signal er et binært NUL, aktiveres dekoderkredsløbet 12-8 til dekodning af en tredje kombination af indgangsadres-

sesignaler MMAD04010 og MMAD03010, der påtrykkes dets indgangsterminaler.

5 Hver af de fire udgangsterminaler på dekoderkredsløbet 12-8 påtrykkes en indgang på NAND portene 12-22 til 12-32. Det vil sige, at udgangsterminalen Y0 er forbundet til NAND porten 12-22, og udgangsterminalen Y1 er forbundet til NAND porten 12-24 på lignende måde, som det er beskrevet for de øvrige dekoderkredsløb. Imidlertid er 10 udgangsterminalen Y2 forbundet til begge NAND portene 12-26 og 12-30, og udgangsterminalen Y3 er forbundet til NAND portene 12-28 og 12-32. På grund af denne kobling kan dekoderen 12-8 frembringe den ønskede sekvens af rækkeadressesignaler, når der er installeret to standard 15 tæthed 256K RAM datterkredsløbskort eller et dobbelt tæthed 256K RAM datterkredsløbskort i systemet.

Derudover modtager hver af NAND portene 12-22 til 12-36 det dekodningsspærresignal OVRDEC000 fra AND porten 12-20. Når systemet initialiseres, eller når der udføres en 20 "refresh" cyklus, tvinger AND porten 12-20 signalet OVRDEC000 til et binært NUL. Dette forårsager, at alle NAND portene 12-22 til 12-36 tvinger dekoderækkeadressesignalerne til binære ET'er. Derfor udstyres AND porten 25 12-20 normalt således, at signalet OVRDEC000 holdes på binært ET.

Fig. 2b og 2c viser kredsløb, der giver et udvidet adresseringsområde. Det vil sige, at hvert af de viste kredsløb frembringer den ønskede sekvens af dekodeadressesignaler til adressering af en maksimal mængde lager, der 30 svarer til to megaord eller fire megabyte. I dette tilfælde kan der installeres to dobbelttætheds-lagermodulkredsløbskort, der indeholder 256K RAM kredsløb i systemet. For at give denne yderligere adresseringsevne udvides 35 antallet af lageradressebits med en bit.

Idet der henvises til fig. 2b, ses det, at der er blevet tilføjet et fjerde dekodekredsløb 12-10 sammen med de tilhørende indgangs NAND porte 12-12 og 12-14, i forhold til den udførelsesform, der er vist i fig. 2a. De samme henvisningstal er anvendt i fig. 2a og 2b og 2c til identifikation af de samme dele.

Dekodekredsløbet 12-10's aktiveringsindgangsterminaler G1 til G2A er forbundet således, at de modtager identifikationssignalerne M256PR000 og 256RAM000. Signalet M256-PR000 påtrykkes direkte til aktiveringsterminalerne G2A og G2B, hvorimod signalet M256PR000 kombineres med signalet M256PR000's komplement i NAND porten 12-14. Signalet 256RAM000, der er resultatet af denne kombination påtrykkes aktiveringsterminalen G1. Det samme signal anvendes yderligere som aktiveringssignal for dekodekredsløbet 12-8, som det skal beskrives nedenfor.

Når signalet M256PR000 tvinges til et binært NUL, og NAND porten 12-14 tvinger signalet 256RAM000 til et binært ET, i afhængighed af, at signalet M256PR000 er binært NUL, aktiveres dekodekredsløbet 12-10 til dekodning af en fjerde kombination af input adressesignaler MMAD04010 til MMAD02010, der påtrykkes dens indgangsterminaler. I afhængighed af kodningen af disse tre adressesignaler, tvinger dekodekredsløbet 12-10 en af sine otte udgangsterminaler Y0 til Y7 til binært NUL.

Hver af disse otte dekodekredsløbsterminaler fra kredsløbet 12-10 er forbundet som indgangssignal til en af NAND portene 12-22 til 12-36, som det er vist på figuren. Når dekodekredsløbet 12-10 tvinger signalet D256DC000 til et binært NUL, da tvinger NAND porten 12-22 rækkekodekredsløbet DRAS0010 til et binært ET.

Med den udvidede lageradresseringsevne er hver af udgangsterminalerne fra dekodekredsløbet 12-8 nu forbundet

- til forskellige af NAND portene 12-22 til 12-28. Det vil sige, at udgangsterminalerne Y2 og Y3 ikke længere er forbundet til NAND portene hhv. 12-30 og 12-32. Når signalet 256RAM000 tvinges til et binært NUL, når signalet
- 5 M256PR000 er binært NUL og signalet MDDBEN000 er binært ET, aktiveres dekoderkredsløbet 12-8 til dekodning af den samme tredje kombination af adressesignaler MMAD04010 og MMAD03010 på samme måde, som det er beskrevet ovenfor.
- 10 Figur 2c viser en anden udførelsesform til frembringelse af den udvidede adresseringsevne. Denne udførelsesform reducerer antallet af dekoderkredsløb til det halve og anvender et adresseringsmultiplexer kredsløb 12-46 for at
- 15 vælge de forskellige ønskede kombinationer af adresseringssignaler, der påtrykkes dekoderkredsløbenes indgangsterminaler, dette sker under styring af kredsløbstypeidentifikationssignalet M256PR000. Som det ses af fig. 2c, indeholder kredsløbet et almindeligt tæthedsdekoderkredsløb 12-48 og et dobbelttæthedsdekoderkredsløb 12-
- 20 610. Hver udgangsterminal, på begge dekoderkredsløbene, er forbundet til den tilsvarende NAND port af NAND portene 12-22 til 12-36, som det er vist på figuren.
- Aktiveringsindgangsterminalen på dekoderkredsløbet 12-48
- 25 er forbundet til komplementet af, eller det inverterede, signal MDDBEN000 gennem en indgangs NAND port 12-44. Dette signal NORBEN000 påtrykkes også G1 indgangsterminalen på dekoderkredsløbet 12-610. Derudover er dekoderkredsløbet 12-610's indgangsterminaler G2A og G2B forbundet
- 30 til signalet MDDBEN000. Dekoderkredsløbet 12-48's indgangsterminaler, og de to første indgangsterminaler på dekoderkredsløbet 12-610, er forbundet til signalerne MSELA1000 og MSELA2000, der fremkommer fra multiplexerkredsløbet 12-46. Dekoderkredsløbet 12-610's tredje ind-
- 35 gang er forbundet til signalet MSELA4000 fra multiplexerkredsløbet 12-46.

Multiplexerkredsløbet 12-46's vælgerindgang er forbundet til signalet M256PR000, og dets første tre par indgangsterminaler er forbundet til forskellige kombinationer af adressesignalerne MMAD02010 til MMAD06010 som vist. Da kredsløbets aktiveringsterminal er stelforbundet, er kredsløbet 12-46 altid aktiveret.

Når normal tæthedssignalet NORBEN000 er binært NUL, er dekoderkredsløbet 12-48 aktiveret til dekodning af en første eller anden kombination af adressesignaler, der vælges som funktion af kredsløbtypesignalet M256PR000's tilstand. Det vil sige, at når signalet M256PR000 er binært NUL, dekoder dekoderkredsløbet 12-48 adressesignalerne MMAD04010 og MMAD03010. Når signalet M256PR000 er binært ET, dekoder dekoderkredsløbet 12-48 adressesignalerne MMAD06010 og MMAD05010.

Når normal tæthedssignalet NORBEN000 imidlertid er binært ET, i hvilket tilfælde signalet MMBEN000 er binært NUL, aktiveres dekoderkredsløbet 12-610 til dekodning af en tredje eller fjerde kombination af adressesignaler, der vælges i afhængighed af kredsløbtypesignalet M256PR000's tilstand. Det vil sige, når signalet M256PR000 er binært NUL, dekoder dekoderkredsløbet 12-610 adressesignalerne MMAD02010 til MMAD04010. Når signalet M256PR000 er binært ET, dekoder kredsløbet 12-610 adressesignalerne MMAD04010 til MMAD06010. Det bemærkes, at selv om denne opkobling reducerer antallet af anvendte kredsløb væsentligt, er der nogen forøgelse af kredsløbsforsinkelser, idet denne forsinkelsesforøgelse sker ved valget af signalkombinationer ved hjælp af adressemultiplexerkredsløbet 12-46.

Fig. 3 viser mere detaljeret en del af lagertidsfastlæggelse og styringskredsløbene i kredsløbsblokken 14. Disse kredsløb frembringer en række adresseaktiverings- og søjleadresseaktiveringstidsstyringssignaler MRASTS010 og MCASTS010, der påtrykkes ethvert af kredsløbene i de ræk-

ker af kredsløb, der er indeholdt i lagerdelen på datterkredsløbskortene 20-1 og 20-2. Derudover frembringer disse kredsløb adresseregisterstyresignalerne MCASI0000 og MRASI000, hvilke signaler aktiverer lageradressesignalerne således, at disse ved en lagerordre påtrykkes rækken af kredsløb i datterkredsløbskortene 20-1 og 20-2.

Som det ses på fig. 3, indeholder kredsløbene i kredsløbsblokken 14 en forsinkelsesledstidsstyringsgenerator 14-2 af sædvanlig konstruktion og et antal inverterende mellemleds-kredsløb 14-4 til 14-8, der hver er forbundet således, at de modtager et af flere tidsstyringssignaler DLY020000 til DLY100000 fra generatoren 14-2.

Kredsløbene i kredsløbsblokken 14 indeholder yderligere et antal AND porte 14-10 til 14-14, et par NAND porte 14-16 og 14-18 og et inverterende kredsløb 14-20, der hver er forbundet til udgangsterminalerne af et af de inverterende mellemkredsløb 14-4 til 14-18, som det er vist på fig. 3.

Inverterings og mellemleds-kredsløbet 14-4 afgiver i afhængighed af et negativt gående tidsstyringsimpulssignal DLY020000 et signal til AND porten 14-10 således, at den afgiver en række adresseaktiveringssignaler MRASTS010. Signalet MRASTS010 er et positivt gående impulssignal, der frembringes ved begyndelsen af en lagercyklus (dvs. tid = 0) i afhængighed af et forbindelsesafbrydelses-kredsløb, der ikke er vist, men indeholdes i systemet. Sædvanligvis har impulsen en bredde fra 240 til 260 nsek.

I afhængighed af det negativt gående tidsstyringsimpulssignal DLY100000 udstyrer inverterings og mellemkredsløbet 14-6 AND porten 14-12, når der ikke optræder en lager "refresh" cyklus (dvs. når signalet RFRNT100 er binært T) til at frembringe søjleadreseaktiveringssignalet MCASTS010. Signalet MCASTS010 er en positivt gående im-

puls, der frembringes tilnærmelsesvis 65-75 nsek efter begyndelsen af en lagercyklus, eller efter begyndelsen af rækkeadresseaktiveringssignalet MRASTS010. Det har en impulsbredde fra 210 til 230 nsek.

5

Når det negativt gående tidsstyringsimpulssignal DLY060000 ikke er til stede, udstyrer mellem og inverteringskredsløbet 14-8 inverteringskredsløbet 14-20, når der ikke optræder en lager "refresh" cyklus (dvs., når signalet RFGNT100 er binært ET), for at tvinge rækkeadressetidsstyringssignalet RASTME010 til binært ET. Signalet RASTME010 udstyrer NAND porten 14-18 således, at signalet MRASI0000 tvinges til binært NUL. Dette aktiverer adresseregisterkredsløbene i kredsløbsblokken 18 således, at disse påtrykker rækkeaddressesignaler til rækkerne af RAM kredsløb på datterkortene 20-1 og 20-2. På dette tidspunkt er signalerne IOGRNT010 og RFGNT100, der frembringes af lagerforbindelsesafbrydningskredsløbene, begge binære ET'er.

20

Når kredsløbet 14-8 tvinger signalet DLY060110 til et binært ET, i afhængighed af det negativt gående tidsstyringsimpulssignal DLY060000, tvinger AND porten 14-14 søjleadressetidssignalet CASTME010 til et binært ET. På dette tidspunkt tvinges signalet RASTME010 til binært NUL. Signalet CASTME010 forårsager, at NAND porten 14-16 tvinger signalet MCASTI0000 til binært NUL. Dette aktiverer adresseregisterkredsløbene i kredsløbsblokken 18 således, at de påtrykker søjleadressesignaler til rækkerne af RAM kredsløb på datterkortene 20-1 og 20-2. På dette tidspunkt er signalet IOGRNT010 et binært ET.

25

30

35

Kredsløbene i kredsløbsblok 14 frembringer derudover signalerne IOGRNT000, RFGNT010 og MEACKR710, som er yderligere indgangssignaler til kredsløbene i kredsløbsblokken 18. Signalerne IOGRNT000 og RFGNT010 frembringes også af lagerforbindelsesafbrydningskredsløbene, hvorimod

lagerkvitteringssignalet MEACKR710 frembringes af lager-
svarkredsløbene, der ikke er vist. Med henblik på den
foreliggende opfindelse, kan signalerne IOGRNT010,
RFGNT100 og MEACKR710 antages at være binære ET'er under
5 en lagercyklus, på hvilket tidspunkt tidsstyringssignalet
MYCYCLE010 tvinges til et binært ET. Ønskes der yderlig-
ere oplysning om, hvorledes disse signaler frembringes,
kan der henvises til David A. Boudreau og Edward R. Salas
ansøgningen med titlen "Priority Resolver with Lowest
10 Priority Priority Level Having Shortest Logic Path" med
løbenummeret 449.703, der er indleveret 14. december
1982, og som er overdraget til den foreliggende ansøger.

Det sidste signal, der er vist i fig. 3 er læse/skrive-
15 signalet WTMODE100. Dette signal afledes fra den type
lagerforespørgsel, der modtages af systemet. Det vil sige
i det tilfælde, hvor en lagerforespørgsel specificerer en
lagerlæsecyklus, tvinges signalet WTMODE100 til et binært
NUL. Når forespørgslen imidlertid specificerer skrivecyk-
20 lus, tvinges signalet WTMODE100 til et binært ET. Med
henblik på den foreliggende opfindelse kan de kredsløb,
der frembringer signalet WTMODE100 betragtes som værende
af sædvanlig konstruktion.

25 Fig. 4 viser mere detaljeret en del af adresseregister-
kredsløbene i kredsløbsblokken 18. Som det er vist, om-
fatter disse kredsløb tre 8-bit D-type adresseregistre
18-2 til 18-6, et multiplexerkredsløb 18-8 og et flip-
flop kredsløb 18-9. Hvert af registrene 18-2 til 18-6
30 modtager forskellige dele af lagerforespørgseladressen
fra systembussen. Mere specifikt modtager adresseregis-
teret 18-2 adressebitene 15-22, der svarer til rækkeadr-
essedelen af lageradressen, der har det format, der er
vist i fig. 6. Adresseregisteret 18-4 modtager adresse-
35 bitene 7-14, der svarer til søjleadressedelen af lagerad-
ressen. Det tredje adresseregister 18-6 modtager lager-
adressens bit 2-6. Lageradressebiten 2 anvendes kun i det

tilfælde, hvor lagersystemet har udvidet lageradresse-ringsevne (dvs. 2 megaord).

Som det ses af fig. 4, modtager hvert af de tre registre
5 lagerkvitteringssignalet MEACKR710 som indgangstaktimpulssignal. Adresseregisteret 18-2 lagrer rækkeadresse-signalerne, der er påtrykt dets indgangsterminaler, når signaler MEARKR710 går positivt. Adresseindholdet i registeret 18-2 påtrykkes dets udgangsterminaler, når udgangsaktiveringingssignalet MRASIO000 tvinges til binært
10 NUL, af kredsløbene i kredsløbsblokken 14.

På lignende måde lagrer registeret 18-4 søjleadressesignalerne, der påtrykkes dets indgangsterminaler, når signalet MEACKR710 går positiv. Registeret 18-4 påtrykker
15 sit adresseindhold på udgangsterminalerne, når signalet MCASIO000 tvinges til binært NUL af kredsløbene i kredsløbsblokken 14. Adresseregisteret 18-6 lagrer lagerblok eller segmentadressesignalerne på signalet MEACKR710's
20 positive kant. Når signalet IOGRNT000 tvinges til binært NUL af kredsløbene 14, overfører registeret 18-6 de lagrede adressesignaler til sine udgangsterminaler.

Multiplexerkredsløbet 18-8 og flip-floppen 18-9 frembringer sammen værdien af den niende adressebit for hver
25 række og søjleadresse, der anvendes til at adressere datterkort, der indeholder rækker af 256K RAM kredsløb. Multiplexerkredsløbet 18-8 frembringer signalet MADD08010 som en funktion af tilstanden for signalerne CASTME010 og
30 RFRNT010, når den aktiveres af, at signalet M256PR000 tvinges til binært NUL. Det vil sige, at i rækkeadresseringskredsløbet, og i en "refresh" cyklus's fravær, da er begge signalerne CASTME010 og RFRNT010 binære NUL'er. Derfor vælger multiplexerkredsløbet 18-8 signalet
35 MMAD06010, der påtrykkes dataindgangsterminalen 0, som det signal, der skal påtrykkes dens udgangsterminal. Derved anvendes adressebit 6 som den niende adressebit på

en 9 bit rækkeadresse. Når der imidlertid er tale om søjleadresseringstidsrummet, uden "refresh" cyklusen, er signalerne CASTME010 og RFRNT010 henholdsvis binært ET og binært NUL. Dette forårsager, at multiplexer kredsløbet 18-8 vælger signalet MMAD05010, der påtrykkes dataindgangsterminalen 1, som udgangssignal. Derfor anvendes adressebiten 5 som den niende adressebit af en 9 bit søjleadresse.

Under en "refresh" cyklus, på rækkeadresseringstidspunktet, er signalet CASTME010 et binært NUL, mens signalet RFRNT010 er binært ET. Dette forårsager, at multiplexer kredsløbet 18-8 vælger signalet REFAD8010, der påtrykkes dataindgangsterminal 2, som udgangssignal. Signalet REFAD8010, der frembringes af flip-floppen 18-9, anvendes derfor som den niende bit i "refresh" rækkeadressesignalerne REFAD0010 til REFAD7010, der frembringes af lager "refresh" adressekredsløbene, der ikke er vist. Flip-floppen 18-9 er forbundet på en sådan måde, at den komplementerer sin tilstand, hver gang signalet REFAD0010 optræder.

I forhold til den foreliggende opfindelse kan "refresh" adressekredsløbene betragtes som værende af sædvanlig opbygning. De er indrettet til at frembringe en ønsket sekvens af adressesignaler, til "refresh" af rækkerne af RAM kredsløbet, der indeholdes på datterkortene 20-1 og 20-2. På det tidspunkt i en "refresh" cyklus, hvor der adresseres søjler, frembringes der en søjleadresse, der kun består af NULLER. På dette tidspunkt er begge signalerne CASTME010 og RFRNT010 binære NULLER. Dette forårsager, at multiplexer kredsløbet 18-8 vælger det binære NUL, der påtrykkes dataterminalen 3 som udgangssignal. Dette afslutter frembringelsen af en 9-bit søjleadresse, der kun består af NULLER.

Det bemærkes, at de forskellige dele af kredsløbskortet

10 kan opbygges af standard integrerede kredsløb. Eksempler på disse kredsløb er nævnt i de pågældende kasser på de forskellige tegninger (f.eks. fig. 2a - 74S138 - dekoderkredsløb 12-6, fig. 3 - 74S240 - kredsløbene 14-4, etc., og fig. 4 - 74S374 - register 18-2, etc.).

Figur 5 viser mere detaljeret lagermoduldatterkredsløbskort, der er opbygget ifølge den foreliggende opfindelse. Da hvert af lagermodulkredsløbskortene er identiske i opbygning, som det bemærkes ovenfor, er der kun vist et lagerkredsløbskort 20-1 i detaljer.

Som det ses i fig. 5, indeholder hvert lagermoduldatterkredsløbskort 20-1 et indgangs/udgangsstik 22-1, der kan stikkes ind i et tilsvarende stik på kredsløbskortet 10. Kun de signaler, der anvendes i forbindelse med den foreliggende opfindelse, er vist specifikt.

Som beskrevet ovenfor indeholder kredsløbskortet 20-1 også en kredsløbstype og tæthedsidentifikationsdel 26-1 og en lagerdel 24-1. Som det ses på fig. 5, indeholder identifikationsdelen 26-1 et par forbindelsesledninger A00A og A00B, der anvendes til at frembringe identifikations-signalerne MDDBEN000 og M256PR000. Disse signaler frembringes i overensstemmelse med den anbringelse af forbindelsesledningerne, der er vist i fig. 7.

Når kredsløbsdatterkortet 20-1 er fuldt udnyttet således, at det indeholder fire blokke eller rækker af lagerkredsløb (dvs. et dobbelt tæthedskredsløbskort), anbringes forbindelsesledningen A00A. Dette medfører, at signalet MDDBEN000 tvinges til stel, hvilket svarer til et binært NUL, pga. stelforbindelsen af den ene side af overføringen. Når datterkortet 20-1 imidlertid er halvt udnyttet således, at det indeholder to blokke eller rækker af lagerkredsløb (dvs. et enkelt tæthedskredsløbskort) anbringes overføringen A00A ikke. Derved er den terminal,

der frembringer signalet MDDBEN000, gjort flydende (dvs. ikke forbundet til stel). Da den anden side af stikket 22-1 er forbundet til spænding +V gennem fangmodstanden 12-40, antager signalet MDDBEN000 værdien +V, der svarer
5 til et binært ET.

Det ses også af fig. 7, at når datterkortet 20-1 er bestykket med 256K RAM kredsløb, anbringes forbindelsesledningen AOOB. På samme måde som det er beskrevet ovenfor,
10 medfører dette, at signalet M256PR000 tvinges til binært NUL. Når datterkortet 20-1 imidlertid er bestykket med 64K RAM kredsløb, udelades forbindelsesledningen AOOB. Dette medfører, at signalet M256PR000 tvinges til binært ET.

15 De resterende anvendelser af forbindelsesledninger, der er vist i fig.7, vedrører adresseringen af 64K og 256K RAM kredsløb. Mere specifikt bestemmer de tilsammen værdien af den niende adressebit, der anvendes under
20 "refresh" operationer svarende til signalet MADE08010. Det vil sige, at når datterkredsløbskortet 20-1 er opbygget med 64K RAM kredsløb, anbringes forbindelsen AOOC mens forbindelsen AOOD udelades i lagerdelen 24-1. Dette medfører, at signalet MADE08110 antager den binære værdi
25 NUL, da den ene ende af forbindelsen AOOC er stelforbundet. Dette forårsager, at inverteringskredsløbet 246 tvinger signalet MADE08100 til en høj tilstand, dvs. et binært ET. Ved at fastholde hvert kredsløbs "refresh" aktiviteringsterminal (RFE) høj, kan "refresh" operationer
30 styres eksternt af kredsløbene på kredsløbskortet 10.

Når datterkortet 20-1 imidlertid er opbygget v.hj.a. 256K RAM kredsløb, udelades forbindelsesledningen AOOC, og forbindelsesledningen AOOD monteres i stedet for. Derfor
35 kan signalet MADE08010 antage den samme tilstand som signalet MADD08010, der modtages fra adresseregisterkredsløbene i kredsløbsblokken 18.

Som det ses af fig. 5, består hoveddelen af lagerdelen 24-1 af fire rækker af lagerkredsløb, der betegnes som række 0 til række 3. Som det er nævnt tidligere, kan de
5 fire rækker opbygges af enten 64K RAM kredsløb eller 256K RAM kredsløb. Alle lagerkredsløbene i rækkerne 0 - 3 er forbundet således, at de modtager søjleadressevalgtidsstyringssignalet (CAS) MCAST0010. Dette signal er komplementet, eller det inverterede af, signalet MCASTS010, der
10 modtages gennem stikket 22-1 og NAND porten 248.

Derudover modtager kredsløbene i hver række et specifikt signal af deko­der­række­adresse­aktiveringssignalerne DRAST0010 til DRAST5010. Som det ses, bliver hvert af signalerne DRAST0010 til DRAST5010 kombineret med række­adressevalgt tidsstyringssignalet (RAS) MRAST010, i en af NAND portene 250 til 256. Hvert af de heraf resulterende signaler DRASE0100 til DRASE3100 påtrykkes RAS indgangsterminalerne på alle kredsløbene i en af rækkerne 0 - 3. Det
15 vil sige, at signalet DRASE0100 påtrykkes RAS indgangsterminalerne på kredsløbene i række 0, signalet DRASE1100 påtrykkes RAS indgangsterminalerne på alle de kredsløb, der befinder sig i række 1, signalet DRASE2100 påtrykkes RAS indgangsterminalerne på alle kredsløbene i række 2 og
20 signalet DRASE3100 påtrykkes RAS indgangsterminalerne på alle kredsløbene i række 3.

Alle fire rækker lagerkredsløb er forbundet til skrive­styresignalet WTMODE100 fra kredsløbsblokken 14. Dette
30 signal svarer til signalet MREAD0010 og påtrykkes WE indgangsterminalerne på alle de viste lagerkredsløb. Adresseindgangsterminalerne 0 - 7/8 på hvert RAM kredsløb er forbundet således, at de modtager 8 eller 9 bit række og søjleadressedele af hver lageradresse gennem indgang/udgangs­stikket 22-1 fra kredsløbene i kredsløbsblokken 18. Signalerne MADD00010 til MADD08010 inverteres i et tilsvarende antal inverterende kredsløb i kredsløbsdelene
35

246 og 247 og påtrykkes som signalerne MADE00000 - MADE08000 til kredsløbenes indgangsadresseterminaler.

5 Derudover påtrykkes de 16 databits og de 6 EDAC kontrolbits, der svarer til hvert dataord, der skal skrives i lagerenheden 24-1, under hver lagerskrivecyklus, gennem indgangs/udgangsdelen 22-1 til dataindgangsterminalerne (DI) på lagerkredsløbene i hver række. De 16 databits og de 6 EDAC kontrolbits, der er indeholdt i hvert dataord, 10 der skal læses fra lagerenheden 24-1, under hver lagerlæsecyklus, påtrykkes hver rækkes lagerkredsløbsudgangsterminaler (DO), og derfra til indgangs/udgangsstikket 22-1, hvorfra de overføres til systemets bus.

15 Datterkortet 20-1 har den samme opbygning, når det er bestykket til normal tæthed, i stedet for den dobbelte tæthed, der er vist i fig. 5. Den eneste forskel er, at lagerdelen 24-1 ikke indeholder kredsløb i rækkerne 2 og 3. Derfor påvirker signalerne DRAST4010 og DRAST5010 ikke 20 lageroperationerne.

Det ovenfor nævnte er korrekt for kredsløbskortet 20-2. Det vil også bemærkes på fig. 5, at når det er installeret, er datterkortet 20-2 forbundet således, at det modtager 25 signalerne DRAST2010 til DRAST7010, der påtrykkes på NAND portene 250 til 256, der er anbragt på kredsløbskortet. Derfor reagerer de identisk opbyggede kredsløbskort til forskellige valgte grupper af dekoderækkeaktiveringssignaler. Når datterkredsløbskortet 20-2 er beskyttet 30 til normal tæthed, vil lagerdelen 24-2 ikke indeholde kredsløb i rækkerne 2 og 3. Derfor vil signalerne DRAST6010 og DRAST7010 ikke påvirke lageroperationerne.

35 Af fuldstændighedshensyn, er lager tilstede signalerne ONEDTRO00 og TWODTRO00 vist. Hvert af disse signaler er låst til stel, der repræsenterer en binær NUL, når det tilhørende datterkredsløbskort er anbragt i systemet.

Begge signaler videreføres til kredsløbene på kredsløbskortet 10, hvor de anvendes sammen med de øvrige identifikationssignaler, til at sikre, at en gyldig lagerlokation i lagersystemet adresseres. Ønskes der yderligere information om anvendelsen af lager tilstede signalerne, kan der henvises til den hermed relaterede patentansøgning tilhørende Daniel A. Boudreau and Edward R. Salas, til hvilken der er henvist i denne ansøgnings indledning.

10

Med henvisning til fig. 1-7 og diagrammerne på fig. 8a - 8d skal virkemåden af den foretrukne udførelsesform for den foreliggende opfindelse nu beskrives.

15

Fig. 8a viser opbygningen af lagermodulkredsløbskortene 20-1 og 20-2 med normal tæthed, hvor der anvendes 64K RAM lagerkredsløb. Som vist indeholder hvert kredsløbskort 64K RAM kredsløb anbragt i rækkerne 0 og 1. Begge kredsløbskortene giver en lageradresseringsevne på 256K ord. I denne opkobling er kredsløbene i rækkerne 0 og 1, når kortet 20-1 er installeret, forbundet således, at de henholdsvis modtager dekode-rækkeaktiveringssignalerne DRAST0010 og DRAST1010. Når kredsløbskortene 20-2 er installeret, er kredsløbene i rækker 0 og 1 forbundet til dekode-rækkeaktiveringssignalerne DRAST2010 og DRAST3010. Identifikationsdelene 26-1 og 26-2 er opkoblet således, at forbindelserne A00A og A00B ikke er monteret, som det er beskrevet i fig. 7. Derfor forårsager identifikationsdelene 26-1 og 26-2, at begge signalerne MDDBEN000 og M256PR000 antager den binære værdi ET.

30

Forbindelsen A00C er monteret, hvorimod forbindelsen A00D udelades fra lagerdelene 26-1 og 26-2, på kredsløbskortene. Denne tillader udvendig styring af "refresh" operationen.

35

Som eksempel antages det, at en serie på 4 lagerfore-

spørgsler påtrykkes lageret af systembussen, hvorved der forventes udlæsning af ord fra på hinanden følgende segmenter eller blokke af lager. Adresserne, der indeholdes i forespørgslerne, har det format, der er vist i fig. 6, og svarer til gyldige lagerlokationer (dvs. der er tilstede i systemet).

Den første af en sådan lagerforespørgsel antages at have en lageradresse, der kun indeholder NULLER. Forskellige dele af lageradressen overføres til adresseregistrene 18-2 til 18-6 i fig. 4, ved begyndelsen af lagercykclusen, der markeres ved, at signalet MEACKR710 går positivt, i afhængighed af, at lagersystemet har modtaget gyldig forespørgsel.

Da signalet M256PR000 er binært ET, er multiplexer kredsløbet 18-8 deaktiveret. Derfor bliver signaler MADD08010, der svarer til den niende adressebit, udeladt.

Det kan antages, at signalet IOGRNT000 er binær NUL ved lagercykclusens begyndelse. Derfor påtrykker adresseregistreret 18-6 lageradressebits 2-6 til dekoder kredsløbene i kredsløbsblokken 12, signalerne MMADO2010 til MMADO6010. Der henvises nu til fig. 2a. Det ses, at da begge signaler MddbEN000 og M256PR000 er binære ET'ER, der tvinger NAND porten 12-2 signalet 64KRAM000 til binær NUL.

Efter at dekoder kredsløbet 12-4 er aktiveret af signalet 64KRAM000, dekoder adressesignalerne MMADO6010 og MMADO5010. Da begge disse signaler er binære NULLER, tvinges dekoder kredsløbet 12-4 udgangssignalet 64KDC0000 til binær NUL. Derved tvinger NAND porten 12-22 rækkekode-signalet DRAST0010 til binær ET. Som det ses fra fig. 2a og 5, påtrykkes dette signal gennem indgang/udgangsstikket 22-1 lagerdelen 24-1 som et indgangssignal.

Ved begyndelsen af lagercykclusen, tvinger kredsløbene i

kredsløbsblokken 14 lagerrækker adressesignalet MRASI0000 til binært NUL. Det vil sige, idet der henvises til fig. 3, at signalet DLY060000 først er højt, og går lavt så længe lagercyklusen pågår. Derfor er signalet DLY060110
5 binært NUL, hvilket medfører, at inverteringskredsløbet 14-20 bringer signalet RASTME010 til binær ET. Da begge signalerne IOGRNT010 og RFGNT100 er binært ET, da styrer signalet RASTME010 NAND porten 14-18 således, at signalet MRASI0000 tvinges til binær NUL.

10 Ved begyndelsen af lagercyklusen, forårsager signalet MRASI000, at adresseregisteret 18-2 på fig. 4 påtrykker sine udgangsterminaler rækkeadressebittene 15-22 af lageradressen, der udelukkende består af NULLER, som sig-
15 nalerne MADD00010 til MADD07010. Disse rækkeadressesignaler overføres gennem indgangs/udgangsstikkene 22-1 og 22-2 til adresseindgangsterminaler på hvert af kredsløbene i rækkerne 0 og 1 på begge kredsløbskort 20-1 og 20-2.

20 Når dekoderkredsløbene i kredsløbsblokken 12 tvinger signalet DRAST0010 til binær NUL, udstyrer dette delvis NAND porten 250 på fig. 5. NAND porten 250 udstyres fuldstændigt, når kredsløbene i kredsløbsblokken 14 tvinger rækkeadresseaktiveringstidsstyringssignalet MRASTS010 til
25 binær ET. Som det ses fra fig. 3, sker dette, når generatoren 14-2, frembringer det negativ gående pulssignal DLY020000.

Når NAND porten 250 er fuldt udstyret, tvinger den signalet DRASE0100 til et binært NUL. Dette forårsager, at alle kredsløbene i rækken 0 på kredsløbskortet 20-1 lagrer rækkeadressesignalerne MADE07010-0010, der udelukkende består af NULLER, svarende ti lageradressebittene 15-22 i rækkeadresselemmelagerkredsløbene, der er indeholdt i
30 kredsløbene. Dette afslutter den første halvdel af en tilgangscyklus.

35

Hver 64K lagerkredsløb indeholder et antal lagersamlinger, der organiseret i en matrice med rækker og søjler af lagerceller (f.eks. 256 x 256, 128 x 512, ect.). I denne udførelsesform antages det, at 64K kredsløbets matrix er organiseret med 256 rækker og 256 søjler. Tilgang til en af de 65.536 (64K) med lagerlokationer i et kredsløbs sker i to trin. I det første trin, eller under første halvdel af en tilgangscyklus, overføres indholdet i 256 lagerlokationer i en komplet række til 256 søjler aftastningsforstærkerkredsløb, der forefindes i kredsløbet. I det andet trin, eller i den anden halvdel af cyklusen udlæses en af de 256 søjler af aftastningsforstærkerkredsløb til kredsløbets dataudgangsterminal Do. Ønskes der yderligere information omkring den indvendige virkemåde for 64K kredsløb, kan der henvises til publikationen "The MOS Memory Data Book" af Texas Instruments Incorporated, Copyright 1980.

Frembringelsen af rækkeadresseaktiveringssignalet MRASTS010 følges 65-75 nanosekunder senere af frembringelsen af søjleadresseaktiveringstidsstyringssignalet MCASTS010. Som det fremgår af fig. 3, driver generatoren 14-2 signalet DLY100000 lavt, hvilket forårsager AND porten 14-12 til at tvinge signalet MCASTS010 til binært ET.

Før dette sker, bringer generatoren 14-2 imidlertid signalet DLY060000 til lav tilstand. Dette forårsager, at AND porten 14-4 bringer søjleadresseaktiveringstidsstyringssignalet til binær ET, samtidig med at invertéringskredsløbet 14-20 bringer adressetidsstyringssignalet MRASI0000 til binært NUL. Dette medfører, at NAND porten 14-16 bringer lagersøjleadresseaktiveringssignalet MCASI0000 til binært NUL samtidig med, at NAND slusen 14-18 bringer lagerrækkeaddressesignalet MRASI0000 til binært ET.

Som det fremgår af fig. 4, forårsager signalet MCASI0000

i NUL tilstand, at søjleadresseregistreret 18-4 påtrykker søjleadressebittene 7-14, der udelukkende er NULLER, til sin udgangsterminaler, som signalerne MADD0010 til MADD07010. Da signalet M256PR000 er binært ET, forbliver
5 multiplekserkredsløbet 18-8 deaktiveret. Således bliver 8-bitrækkeadressen efter 75 nanosekunder erstattet af 8-bitsøjleadressen. Når søjleadressesaktiveringstidstyringssignalet MCASTS010 tvinges til binært ET, forårsager NAND porten 248, fra fig. 5, på hvert af kredsløbskortene
10 20-1 og 20-2, at signalet MCAST0010 antager værdien binært NUL. På dette tidspunkt er 8-bit søjleadressen, der udelukkende består af NULLER, lagret i søjlemellemlagerkredsløbene, der er indeholdt i alle kredsløbene i rækkerne 0-4 på kredsløbskortene 20-1 og 20-2. Dette af-
15 slutter den anden del af tilgangsporten.

Herved opnås det, at under læsecykclusen, (dvs. når signalet er MREAD0010 er binært ET), udlæses bitlokation 0 af de 64K bitlokationer for hvert kredsløb, til dataudterminalen på hvert af kredsløbene i række 0 på kredsløbskort
20 20-1. Det heraf resulterende 22-bitord, der består af 16 data og 6 EDAC kontrolbit, overføres til systembussen gennem indgangs/udgangsstikket 22-1.

Med undtagelse af kredsløbene i kredsløbsblokken 12 kan virkemåden på kredsløbene i fig. 1 for størstedelen betragtes som værende den samme til behandling af de resterende lagerforespørgsler. Derfor vil beskrivelsen af disse blive udeladt her. Det antages, at de resterende lagerforespørgsler i denne serie af forespørgsler er kodet til
30 at have adresser, der udelukkende består af NULLER, idet bittene 5 og 6 muligvis er undtaget. I den næste lagerforespørgsel antages det, at adressebittene 5 og 6 har værdien "01".

35

Som det ses i fig. 2a, bringer dekoderkredsløbet 12-4, i afhængighed af, at signalerne MMAD06010 og MMAD05010 har

værdien "01", signalet 64KDC1000 til binært NUL. Dette forårsager at NAND porten 12-24 bringer dekoderækkeadresseaktiveringssignalet DRAST1010 til binært NUL.

5 Som det fremgår af fig. 5 udstyres NAND porten 252, efter at kredsløbene i kredsløbsblokken 14 har frembragt lagerækkeadresseaktiveringstidsstyringssignalet MRASTS010, med signalet DRAST1010 til at bringe signalet DRASE1100 til binært NUL. Dette forårsager, at alle kredsløbene i
10 kredsløbskortet 20-1's 1 række lagrer adressesignalerne MADE07010-0010 i rækkeadressemellemlagerkredsløb, der er indeholdt i kredsløbene. Som følge heraf bliver bitlokation 0 i hvert af kredsløbene i rækken 1 ved afslutning af tilgangscyklusen, udlæst og overført til systembussen
15 gennem indgangs/udgangsstikket 22-1.

Når der modtages yderligere lagerforespørgsel, i hvilken adressebitten 5 og 6 har værdien "10", tvinger dekoderkredsløbet 12-14 signalet 64KDC2000 til binært NUL. Dette
20 medfører at NAND porten 12-26 bringer dekoderækkeadresseaktiveringssignalet DRAST2010 til binært ET.

Som det ligeledes fremgår af fig. 5 bringer NAND porten 250 i lagerdelen 24-2 på kredsløbskortet 20-2 dekoderækkeaktiveringssignalet DRASE0100 til binært 0, når kredsløbene i kredsløbsblokken 14 bringer tidsstyringssignalet MRASTS010 til binært ET. Dette forårsager, at alle kredsløbene i kredsløbskortet 20-2 række 0 lagrer adressesignalerne MADE07010-0010 i interne rækkeadressemellemlagerkredsløb. I overensstemmelse hermed vil indholdet af bitlokation 0 i hver af kredsløbene i række 0, ved afslutningen af adressecyklusen, blive udlæst og overført til systemets bus.
25
30

35 Når der modtages en sidste lagerforespørgsel, i hvilken adressebittene 5 og 6 har værdien "11", bringer dekoderkredsløbet 12-4 signalet 64KDC3000 til binært NUL. Dette

medfører, at NAND porten 12-28 bringer dekoderrækkeadresseaktiveringssignalet DRAST3010 til binært ET.

5 I afhængighed af at, signalet MRASTS010 skifter til binær ET, bringer NAND porten 252, i lagersektionen 24-2, dekoderrækkeadresseaktiveringssignalet DRASE1100 til binær NUL. Dette medfører, at alle kredsløb i kredsløbekortet 20-2's række 1 lagrer rækkeaddressesignalerne MADE07010-0010 i interne rækkeadressemellemlagerkredsløb. I over-
10 ensstemmelse hermed bliver indholdet af bit 1 i lokation 0 i hver af kredsløbene i række 1, ved afslutningen af tilgangscyklusen, udlæst og overført til systemets bus.

Det ovenfor beskrevne viser, hvorledes et første deko-
15 kredsløb ifølge fig. 2a adresserer successive rækker af chips på normal tæthedskredsløbskortet 20-1 og 20-2 som en funktion af identifikationssignalerne M256PR000 og MDDBEN000, hvilke signaler frembringes af identifikationsdelene 26-1 og 26-2, i afhængighed af mulige forskel-
20 lige værdier af en første kombination af lageradressebits. Adresseringen skrider automatisk frem gennem de forskellige lagersegmenter, som det er vist med tallene 1-4 i fig. 8a, og kræver ikke yderligere kredsløb og omskrifterne til bestemmelse af det lagersegment eller den
25 lagerblok, der adresseres.

Fig. 8b viser opbygningen af lagermodulkredsløbskortene 20-1 og 20-2 med dobbelt tæthed ved anvendelse af 64K RAM kredsløb. Som det er vist omfatter hvert kredsløbskort
30 64K RAM kredsløb i rækker 0-3. Begge lagerkredsløbskort giver en lageradresseringskapacitet på 512K ord. Når kredsløbskortet 20-1 installeres, forbindes kredsløbene i rækkerne 0-3 til dekoderrækkeaktiveringssignalerne DRAST-0010 til DRAST5010. Når kredsløbskortet 20-2 installeres,
35 forbindes kredsløbene i rækkerne 0-3 til dekoderrækkesignalerne DRAST2010 til DRAST7010. Da kredsløbskortene er dobbelttæthedskort med 64K RAM kredsløb, konfigureres beg-

ge identifikationsdelene 26-1 og 26-2, således at de omfatter forbindelserne AOOA og ikke omfatter forbindelsen AOOB i overensstemmelse med fig. 7. Hver af identifikationsdelene 26-1 og 26-2 tvinger signaler MDDBEN000 til
5 binært NUL og signalet M256PR000 til binært ET. De resterende forbindelser AOOC og AOOD er forbundet på samme måde som på kredsløbskortene fra fig. 8a.

Igen antages det, at en serie på 8 lagerforespørgsler påtrykkes lageret, idet der ønskes udlæsning af ord fra på
10 hinanden følgende blokke eller rækker af lagre. Hver lagerforespørgsel har en adresse, der kun omfatter NULLER, med den mulige undtagelse, at adressebittene 4-6 antager andre værdier. I det tilfælde, hvor der er tale om
15 den første lagerforespørgsel, antages at bittene 4-6 har værdien "000".

De forskellige dele af lagerforespørgselsadressen lagres i registrene 18-2 til 18-6 (se fig. 4), og påtrykkes de-
20 koderkredsløbene fra fig. 2a og kredsløbskortene 20-1 og 20-2 som forklaret ovenfor. Der henvises til fig. 2a. Det ses, eftersom signalet MDDBEN000 er binært NUL og signalet M256PR000 er binær ET, at dekodekredsløbet 12-6 er aktiveret til dekodning af adressesignalerne MMADO6010
25 til MMADO4010. Da disse signaler er binære NULLER, bringer dekodekredsløbet 12-6 udgangssignalet D64DC0000 til binær NUL. Dette forårsager, at NAND porten 12-22 bringer dekoderrækkeadresseaktiveringssignalet DRAST0010 til binær ET.

30 På samme måde som tidligere beskrevet bringer NAND porten 250 på kredsløbskortet 20-1 (se fig. 5) signalet DRASE-0100 til binært NUL. Dette aktiverer alle kredsløbene i rækken 0. Således, at rækkeadressesignalerne MADE7010-
35 0010, der alle er NUL, lagres i de interne rækkeadresse-mellemlagerkredsløb. Søjleadressesignalerne lagres på en lignende måde. Slutresultatet er, at læsecyklusen forår-

sager, at bitlokationen i de 64K bitlokationer i hvert kredsløb i rækken 0 på det første datterkredsløbskort læses ud, og det resulterende 22-bitord overføres til systembussen.

5

Bittene 4-6 i den anden lagerforespørgsel antages at have værdien af "001". Dette medfører, at dekoderkredsløbet 12-6 bringer udgangssignalet D64DC1000 til binær NUL. Derved bringer NAND porten 12-24 dekoderrækkeadresseaktiveringssignalet DRAST1010 til binært ET.

10

Som det er beskrevet ovenfor bringer NAND porten 252 på kredsløbskortet 20-1 (se fig. 5) signalet DRASE1100 til binært NUL. Dette aktiverer alle kredsløbene i række 1 således, at rækkeadressesignalerne MADE07000-0000, der alle er NUL, lagres i de interne rækkeadressemellemlagerkredsløb. Derved forårsager læsecyklen, at bitlokationen 0 af de 64K bitlokationer i hvert kredsløb i rækken 1, på det første datterkort, udlæses, og det resulterende 22-bitord overføres til systembussen.

15

20

Bittene 4-6 i den tredje og fjerde lagerforespørgsel antages at antage værdierne henholdsvis "010" og "011". Derved bringer dekoderkredsløbet 12-6 i rækkefølge udgangssignalerne D64DC2000 og D64DC3000 til binært NUL. Derved bringer NAND portene 12-30 og 12-32 i samme rækkefølge dekodningssignalerne DRAST4010 og DRAST5010 til binær ET.

25

30

Som det fremgår af fig. 5, udstyres signalerne DRAST4010 og DRAST5010 efter hinanden NAND portene 254 og 256, på det første kredsløbskort 20-1, til at bringe signalerne DRASE2100 og DRASE3100 til binært NUL. Derved aktiveres alle kredsløbene i række 2 og derefter i række 3 til at lagre alle 8 rækkeadressesignaler MADE07000-0000, der alle er NUL, i deres interne rækkeadressemellemlagerkredsløb. Ved disse på hinanden følgende udlæsningscyklu-

35

ser udlæses der ord fra lokation 0 i kredsløbene i række 2 og 3, på det første kredsløbskort 20-1.

5 Bittene 4-6 i den femte og sjette lagerforespørgsel antages at have værdierne "100" og "101". Derved bringer dekoderkredsløbene 12-6 udgangssignalerne D64DC4000 og D64DC5000 til binært NUL, efter hinanden. Derved bringer NAND portene 12-26 og 12-28, i rækkefølge række-dekoder-signalerne DRAST2010 og DRAST3010 til binært ET.

10

Som det fremgår af fig. 5, påvirker signalerne DRAST2010 og DRAST3010 efter hinanden NAND portene 250 og 252 på det andet kredsløbskort 20-2 til at bringe signalerne DRASE0100 og DRASE1100 til binær NUL. Derfor aktiveres 15 alle kredsløbene i række 0 og derefter i række 1 til at lagre rækkeaddressesignalerne MADE07000-0000, der alle er NUL i deres interne adresse-mellemlagerkredsløb. Derved bliver resultatet af de på hinanden følgende læsecykler, at der udlæses ord fra lokation 0 fra kredsløbene 1 20 række 0 og 1 på det andet kredsløbskort 20-2.

Bittene 4-6 i den syvende og ottende lagerforespørgsel antages at have værdierne "110" og "111". Derved bringer dekoderkredsløbet 12-6 i rækkefølge udgangssignalerne 25 D64DC6000 og D64DC7000 til binært NUL. Derved driver NAND portene 12-34 og 12-36 i rækkefølge række-dekodersignalerne DRAST6010 og DRAST7010 til binært ET.

Som det fremgår af fig. 5, udstyrer signalerne DRAST6010 og DRAST7010 i rækkefølge NAND portene 254 og 256, på det 30 andet kredsløbskort 20-2, til at bringe signalerne DRASE2100 og DRASE3100 til binær NUL. Derfor aktiveres alle kredsløbene i det andet datterkort 20-2's række 2 og derefter i række 3 til at lagre addressesignalerne MADE- 35 07000-0000, der alle er NUL, i deres interne mellemlager-kredsløb. Resultatet heraf er, at der i de på hinanden følgende læsecykler udlæses ord fra lokation 0 i kreds-

løbene i række 2 og 3, på kredsløbskortet 20-2.

Den ovenfor beskrevne sekvens af forskellige kodelager-forespørgsler viser, hvorledes det andet dekoderkredsløb i fig. 2a adresserer på hindanden følgende rækker af kredsløb på dobbelttæthedskredsløbskortene 20-1 og 20-2 som en funktion af identifikationssignalerne M256PR000 og MDDBEN000. Rækkerne vælges i afhængighed af de mulige forskellige værdier af en anden bestemt kombination af lageradressebits. Som beskrevet skrider adressering automatisk frem gennem de forskellige lagersegmenter eller rækker, som det er vist ved tallene 1-8 i fig. 8b.

Figur 8c viser opbygningen af et normalt tæthedslag og modulkredsløb/20-1 og 20-2 med 256K RAM kredsløb. Hvert kredsløb er opbygget med en matrice af interne rækker og søjler (f.eks. 512 x 512). Hvert kredsløbskort indeholder 256K RAM kredsløb, der er monteret i rækkerne 0 og 1. Begge lagerkredsløbskortene giver lageradresseringsevne på et megaord (1024K ord). Som det er tilfældet i figur 8a, bliver kredsløbet i rækkerne 0 og 1, når kredsløbskortet 20-1 installeres, forbundet til de respektive dekoderrækkeaktiveringssignaler DRAST0010 og DRAST1010. Når kredsløbskortet 20-2 installeres, bliver kredsløbene i rækkerne 0 og 1 forbundet til de respektive dekoderrækkeaktiveringssignaler DRAST2010 og DRAST3010.

Da kredsløbskortene har normal tæthed ved 256K RAM kredsløb, udformes begge identifikationsdelene 26-1 således, at de ikke omfatter forbindelsesledningen A00A og omfatter forbindelsesledningen A00B i overensstemmelse med fig. 7. Hermed bringer hver identifikationsdel 26-1 og 26-2 signalet MDDBEN000 til binær ET og signal M256PR000 til binær NUL. Derudover forbindes forbindelsesledningerne A00C og A00D i overensstemmelse med fig. 7. Det vil sige, at forbindelsesledningen A00C udelades, hvorimod forbindelsesledningen A00D monteres. Det vil sige, at

signalet MADD08010 påtrykkes som den niende adressebit til adresseindgangsterminalerne på hvert af kredsløbene i rækkerne 0 og 1 på kredsløbskortene 20-1 og 20-2.

- 5 Som det er tilfældet på fig. 8a, antages det, at der påtrykkes en serie på fire lagerforespørgsler til lageret, hvilke lagerforespørgsler specificerer udlæsning af ord fra på hinanden følgende blokke eller rækker af lagre. Hver lagerforespørgsel omfatter en adresse, der udelukkende består af NULLER, med den mulige undtagelse af adressebittene 3 og 4. Det antages, at bittene 3 og 4 ved den første lagerforespørgsel antager værdien "00".
- 10

- Som det er forklaret tidligere, lagres forskellige dele af lagerforespørgselsadressen i registrene 18-2 til 18-6 i fig. 4, og påtrykkes dekoderkredsløbene, ifølge fig. 2a, og kredsløbskortene 20-1 og 20-2. Række- og søjleadresserne påtrykkes sekventielt til kredsløbskortene 20-1 og 20-2, som det er forklaret ovenfor. Den niende bit i hver adresse frembringes af multiplexerkredsløbet 18-8. Det vil sige, da signalet M256PR000 er binært NUL, frembringer multiplexerkredsløbet 18-8 et udgangssignal, der er det indgnagssignal, der vælges af signalerne CASTME010 og RFGRNT010's tilstand. I den første halvdel af tilgangscyklussen (RAS-tidspunktet), anvendes signalet MMAD-06010 som den niende rækkeadresse, da begge signaler er binært NUL. Under den anden halvdel af tilgangscyklussen (CAS-tidspunktet) er signalerne "01". Derfor anvendes signal MMAD05010 som den niende søjleadressebit i søjleadressen.
- 15
- 20
- 25
- 30

- Af fig. 2a fremgår det, at da M256PR000 er binært NUL, aktiveres dekoderkredsløbet 12-6 til dekodning af adresse-signalerne MMAD04010 og MMAD03010. Da begge signaler er binært NUL, bringer dekoderkredsløbet 12-28 udgangssignalet 256DC0000 til binært NUL. Dette medfører, at NAND porten 12-22 bringer dekoderrækkeadressesignalet
- 35

DRAST0010 til en binær ET-tilstand.

Som det fremgår af fig. 5, bringer dette NAND porten 250 på det første datterkort 20-1 til at tvinge signalet
5 DRASE0010 til binært NUL. Dette aktiverer alle kredsløb-
ene i række 0 til at lagre alle ni adressesignaler MADE-
08000-0000, der alle er NUL, i det interne rækkeadresse-
mellemlagerkredsløb. Dette medfører, at læsecykklussen
10 kredsløb i række 0 til udlæsning, og deraf resulterende
22-bit ord overbringes til systemets bus.

Bittene 3 og 4 i den lagerforespørgsel antages at have
værdien "01". Derved bringer dekoderkredsløbet 12-8 ud-
15 gangssignalet 256DC1000 til binært NUL. Derved bringer
NAND porten 12-24 dekoderrækkeaktiveringssignalet DRAST-
1010 til binær ET-tilstand.

På den ovenfor beskrevne måde bringer NAND porten 252 på
20 kredsløbskortet 20-1 (se fig. 5) signalet DRASE1100 til
binært NUL. Dette aktiverer alle kredsløbene i række 1
således, at rækkeadressesignalerne MADE08000-0000, der
alle antager værdien NUL, lagres i de interne rækkeadres-
semellemlagerkredsløb. Derved bringer læsecykklussen 0 i
25 de 256K bitlokationer i hvert kredsløb i rækken 1 til ud-
læsning og overførsel.

Bittene 3 og 4 i den tredje og fjerde lagerforespørgsel
antages at have værdien "10" og "11". Derved bringer
30 dekoderkredsløbet 12-8 i rækkefølge udgangssignalerne
256DC2000 og 256DC3000 til binært NUL. Derved bringer NA-
ND portene 12-26 og 12-28 i rækkefølge dekodningsrække-
adresseaktiveringssignalerne DRAST2010 og DRAST3010 til
binært ET.

35 Som det fremgår af fig. 5 påvirker signalerne DRAST2010
og DRAST3010 i rækkefølge NAND portene 250 og 252 på det

andet datterkort 20-2, til at bringe signalerne DRASE100 og DRASE1100 til binært NUL. Derved påvirkes alle kredsløbene i rækkerne 0 og 1 til at lagre de ni rækkeadresse-signaler MADE08000-0000, der alle er NUL, i de interne
5 rækkeadressesemellemlagerkredsløb. Derved udlæses der ord fra lokationerne 0 i kredsløbene i række 0 og 1 på det andet kredsløbskort 20-2.

Det ovenfor beskrevne beskriver, hvorledes et tredje de-
10 koderkredsløb, der er vist på fig. 2a, adresserer på hinanden følgende rækker af kredsløb på et normalt tætheds-kredsløbskort 20-1 og 20-2, der er opbygget med 256K RAM kredsløb som en funktion af identifikationssignalet M256PR000 i afhængighed af mulige forskellige værdier af
15 en tredje kombination af lageradressebits. Adresseringen skrider automatisk frem gennem de forskellige lagersegmenter eller rækker, som det er vist med numrene 1 til 4 i fig. 8c.

20 Den nederste del af fig. 8d viser opbygningen af dobbelt-tæthedslagermodulkredsløbskort 20-1 med 256K RAM lagerkredsløb. Som det er vist, omfatter kredsløbskortet 20-1 256K-RAM kredsløb, der er monteret i rækkerne 0 til 3. Lagerkredsløbskortet giver en lageradresseringsevne på et
25 megaord, der er den samme som i fig. 8b. Når kredsløbskortet 20-1 installeres, forbindes kredsløbene i rækkerne 0 til 3 til dekoderrækkeaktiveringssignalerne DRAST0010 til DRAST5010 som vist i fig. 5.

30 Da kredsløbskortet 20-1 er dobbelt tæthed med 256K RAM kredsløb, udformes identifikationsdelen 26-1 således, at den omfatter forbindelsesledningerne A00A og A00B i overensstemmeles med fig. 8. Identifikationsdelen 26-1 bringer derfor signalerne MDDBEN000 og M256PR000 til binær
35 NUL. De resterende forbindelsesledninger A00C og A00D forbindes på samme måde som på kredsløbskortene på fig. 8c.

Det antages nu, at den samme serie på fire lagerfore-spørgsler påtrykkes lageret. Derved bringer dekoderkredsløbet 12-8 i rækkefølge signalerne 256DC0000 til 256DC-3000 til binært NUL.

5

Dette bringer NAND portene 12-22 til 12-28 til i rækkefølge at bringe dekoderrækkeadresseaktiveringssignalerne DRAST0010 til DRAST3010 til binært ET. Da det andet kredsløbskort 20-2 ikke er installeret, påvirker dekoder-rækkeadresseaktiveringssignalerne DRAST2010 og DRAST3010 ikke lagerfunktionen. Da signalerne 256DC2000 og 256DC-3000 også påtrykkes NAND portene 12-30 og 12-32, bringes dekoderrækkeadresseaktiveringssignalerne DRAST4010 og DRAST5010 også i rækkefølge til binært ET.

15

Idet der nu henvises til fig. 5 ses det, at NAND portene 250 til 256 på kredsløbskortet 20-1 i rækkefølge bringes signaler DRASE0100 til DRASE3100 til binært NUL. Dette aktiverer alle kredsløbene i rækkerne 0 til 3 således, at de ni rækkeadressesignaler MADE08000-0000 lagres i de interne rækkeadresse mellem lagre kredsløb. Derfor bliver de på hinanden følgende læsecykler, indholdet af bitlokation 0 i de 256K bitlokationer i hver kredsløb i rækkerne 0 til 3 udlæst, og de resulterende 22-bit ord overføres til systemets bus.

25

Det ovenstående viser, hvorledes tredje dekoderkredsløb i fig. 2a adresserer på hinanden følgende rækker af kredsløb i et enkelt dobbelt tætheds kredsløbskort 20-1, i afhængighed af identifikationssignalet M256PR000. Rækkerne vælges i afhængighed af de forskellige mulige værdier af den tredje kombination af lageradressebits. Som det er beskrevet, sker adresseringen automatisk gennem de forskellige lagersegmenter eller rækker, som det er vist med tallene 1 til 4 i den nederste del af fig. 8d.

35

Begge dele af fig. 8d viser opbygningen af dobbelt tæt-

hedslagerkredsløbskortet 20-1 og 20-2 med 256K RAM kredsløb til et lagersystem med en udvidet adresseringsevne. Som det er vist, indeholder hvert kredsløbskort 256K RAM kredsløb, der er anbragt i rækkerne 0-3. Begge lagerkredsløbskort giver en lageradresseringsevne på 2 megaord (2048 ord).

Når kredsløbskortet 20-1 installeres, forbindes kredsløbene i rækkerne 0 til 3 til dekoderrækkeaktiverings-signalerne DRAST0010 til DRAST5010. Når kredsløbskortet 20-2 installeres, forbindes kredsløbene i rækkerne 0 til 3 til dekoderrækkeaktiveringssignaler DRAST2010 til DRAST7010. Begge identifikationsdelene 26-1 og 26-2 er opkoblet på samme måde som på det enkelte kredsløbskort 20-1. Det vil sige, at hver af identifikationsdelene 26-1 og 26-2 bringer signalerne MDDBEN000 og M256PR000 til binært NUL. De resterende forbindelsesledninger AOOC og AOOD er forbundet på den samme måde som beskrevet ovenfor.

Det antages igen, at serier på otte lagerforespørgsler påtrykkes lageret med henblik på at udlæse ord fra på hinanden følgende blokke eller rækker af lageret. Hver lagerforespørgsel omfatter en adresse, der udelukkende består af NULLER med undtagelse af adressebitene 2 til 4. Adressebitten 2 er, som det er beskrevet ovenfor, nødvendig for den udvidede adresseringsevne.

Dekoderkredsløb fra fig. 2b eller 2c kan anvendes til at frembringe den udvidede adresseringsevne. Der henvises nu til fig. 2b.

Identifikationssignalerne MDDBEN000 og M256PR000, bringer når de er NUL, NAND portene 12-12 og 12-14 til at bringe signalet 256KRAM10 til et binært ET. Dette aktiverer dekodekredsløbet 12-10, og det aktiverer på samme tid dekodekredsløbet 12-8. Når dekodekredsløbet 12-10 er

aktiveret, dekode adressesignalerne MMD04010 til MMAD-02010.

5 Det antages at adressesignalerne MMAD04010 til MMAD02010 antager værdierne "000" til "111". Derfor bringer dekodekredsløbet 12-10, i afhængighed af serien på otte lagerforespørgsler, i rækkefølge signalerne D256DC000 til D256DC7000 til binært NUL. Dette medfører, at NAND portene 12-22 til 12-36 bringer række-dekodere-signalerne DRAST-10 0010 til DRAST7010 til binært ET.

Som det fremgår af fig. 5, bringes NAND portene 250 til 256 på kredsløbskortet 20-1 og NAND portene 250 til 256 på kredsløbskortet 20-2 til at bringe signalerne DRASE-15 0100 til DRASE3100 på kredsløbskort 20-1, og signalerne DRASE0100 til DRASE3100 på kredsløbskortet 20-2 til binært NUL. Dette medfører, at alle kredsløbene i rækkerne 0 til 3 på begge kredsløbskort lagrer ni af bitrækkeadressesignalerne MADE08000-0000 i deres interne rækkeadressemellemlagerkredsløb. I overensstemmelse hermed vil bitlokationen for hver af kredsløbene i rækkerne 0 til 3 for hvert kredsløbskort ved afslutningen af cyklerne blive udlåst og overført til systemets bus. Følgen af rækkeadresseringen sker som det er vist med tallene 1a til 8a i 25 fig. 8d.

Man opnår det samme resultat, når den samme serie af otte lagerforespørgsler dekodes af dekodekredsløbene i fig. 2c. Da signalet M256PR000 er binært NUL, påtrykkes adressebit ved 2-4 til dekodekredsløbet 12-610. Dekodekredsløbet 12-610 aktiveres af signalet MDDBEN000, der er 30 binært NUL. Dekodekredsløbet 12-610 bringer i rækkefølge signalerne DDENS0000 til DDENS7000 til binært NUL. Dette medfører, at NAND portene 12-22 til 12-36 bringer række-dekodere-signalerne DRAST0010 til DRAST7010 til binært ET. 35 I overensstemmelse hermed bliver følgen af række- eller segmentadressering som vist med tallene 1a til 8a i fig.

8d.

Det ovenstående beskriver, hvorledes dekoderkredsløbene fra figurerne 2b og 2c adresserer på hinanden følgende rækker af kredsløb mod dobbelt tætheds 256K RAM kredsløbskortene 20-1 og 20-2, i afhængighed af identifikations-signalerne M256PR000 og MDDBEN000, som reaktion på de forskellige værdier af valgte kombinationer af lageradressebit.

10

Af det ovenstående fremgår, hvorledes apparatet og fremgangsmåden ifølge den foreliggende opfindelse automatisk kan frembringe den ønskede sekvens af række-dekoderaktiveringssignaler, til adressering af lokationer, som en funktion af identifikationssignaler, der frembringes af identifikationsdele, der er indeholdt på lagermodulkredsløbskortene, der er installeret i systemet. Rækkerne vælges i en sekvens, der bestemmes af adressebitkombinationen af en forudbestemt adressedel af hver lagerforespørgselsadresse.

20

Dette aktiverer lagermodulkredsløbskortene med forskellig tæthed, der er opbygget med forskellige typer af lagerkredsløb, således at de kan installeres i det samme lagersystem, uden at der kræves nogen ændringer af systemet. Det vil sige, at den adresserbare lagerstørrelse eller lageradresserummet ikke skal bestemmes. Der kræves heller ikke nogen ændringer af de kredsløb, der styrer lagerfunktionerne (f.eks. tidsstyringskredsløb, adressekredsløb, ect.).

30

Det vil af fagmanden bemærkes, at den foreliggende opfindelse kan anvendes med andre lagerdele (f.eks. programmerbare læselagre, (PROM) læselagre ect.). Opfindelsen kan også anvendes med forskellige typer af lagerkredsløb (f.eks. 16K RAM kredsløb, 1024K RAM, ect.) og med andre kredsløbskortstætheder.

35

Der kan foretages andre ændringer ved den foretrukne udførelsesform, såsom typen af de anvendt dekoderkredsløb, antallet af adressebit, antallet af identifikationssignaler- og lagermodulkredsløbskort, der anvendes i lager-
5 systemet. Identifikationsdelen kan også være opbygget på anden måde, som f.eks. kan de ønskede forbindelser ætzes i de enkelte lagermodulkredsløbskort.

10

15

20

25

30

35

P a t e n t k r a v :

- 5 1. Lagersystem, der omfatter en lagersektion med et antal
lagermoduler og en adressesektion, hvortil der tilføres
multibitadressesekodedele af lagerforespørgsler, og som kan
udformes til at passe til en anden lagersektionadresse-
10 seregistre, som reagerer på en første del af hver adres-
sekode for derved at frembringe adresser på steder i la-
germodulerne, og et dekoderkredsløb, som reagerer på en
del af adressekoden omfattende mindst én anden del deraf
i afhængighed af et modulparametersignal for derved at
15 frembringe adressesignaler, som er tilpasset lagersektio-
nens adressestruktur, k e n d e t e g n e t ved, at adr-
essesektionen er indeholdt på et moderkort, og at lager-
modulerne (24-1, 24-2) er datterkort, som hver har rækker
forsynet med diskrete lagerchips, (240-1, 240-22), idet
20 hver chip er af forudvalgt adresserbar lagerstørrelse og
hvert datterkort har et identifikationskredsløb (26-1),
som danner nævnte modulparametersignal, og at modulpara-
metersignalet i forhold til hvert datterkort består af
mindst to logiske signaler, som omfatter et første logisk
25 signal (MDDBEN000), som er udtryk for populationstæthed-
en, d.v.s. antallet af chip forsynede rækker, af respek-
tive datterkort og et andet logisk signal (M256PRO00),
som er udtryk for størrelsen af chipsene, som er anbragt
på det respektive datterkort, hvilke logiske signaler på
30 datterkortene er kombineret ved indgangen til et dekoder-
kredsløb, således at dekoderkredsløbet (fig. 2a, 2b eller
2c) bliver konditioneret af modulparametersignaler fra
alle datterkortene for derved at fortolke de dertil for-
bundne adressesignaler og derved frembringe rækkefølge-
35 signaler (DRAST0010 til DRAST7010) i den rette sekvens i
afhængighed populationstætheden og chipsstørrelsen i for-
hold til hvert datterkort.

2. System ifølge krav 1, k e n d e t e g n e t ved, at multibitadresssekodedelen for lagerforespørgslen svarer til antallet af mest signifikante adressebit kodet til at angive et maksimalt antal rækker af lagerchips, som kan
5 være anbragt på datterkort, som kan indbygges i et lager-system, og datterkortene er indbyrdes identiske.

3. System ifølge krav 1, k e n d e t e g n e t ved, at dekoderkredsløbet (12) omfatter et antal diskrete dekode-
10 erkredsløb (12-10 til 12-8), idet hver af dekoderkredsløbene har et aktiveringsindgangskredsløb og et indgangsvælgerkredsløb, hvor aktiveringsindgangskredsløbet for hver af dekoderkredsløbene er koblet til at modtage en anden logisk kombination af modulparametersignalerne
15 (MDDBN 100-M 256 PR 200), og hvor indgangsvælgerkredsløbet for hver af dekoderkredsløbene er koblet til at modtage mindst én af et antal forskellige kombinationer af bit af nævnte multibitadressedel, idet hvert dekoderkredsløb, når det er aktiveret af et logisk signal udledt
20 fra nævnte parametersignaler, er i stand til at frembringe dekodeselektionssignaler til tilførsel til datterkortene (20-1, 20-2) i den førnævnte sekvens som angivet ved kodning af de forskellige kombinationer af adressebits tilført til dekoderkredsløbenes indgangsvælgerkredsløb.

4. System ifølge krav 1, k e n d e t e g n e t ved, at datterpladerne (20-1, 20-2) er opbygget til at have en af et antal populationstætheder og en af et antal størrelser af lagerchips (240-1 til 243-22), og de respektive iden-
30 tifikationskredsløb (26-1, 26-2) indeholder et antal stikforbindelser (A00A-A00D), som selektivt er forbundet til de andre udgangsterminaler for at frembringe modulparametersignalerne.

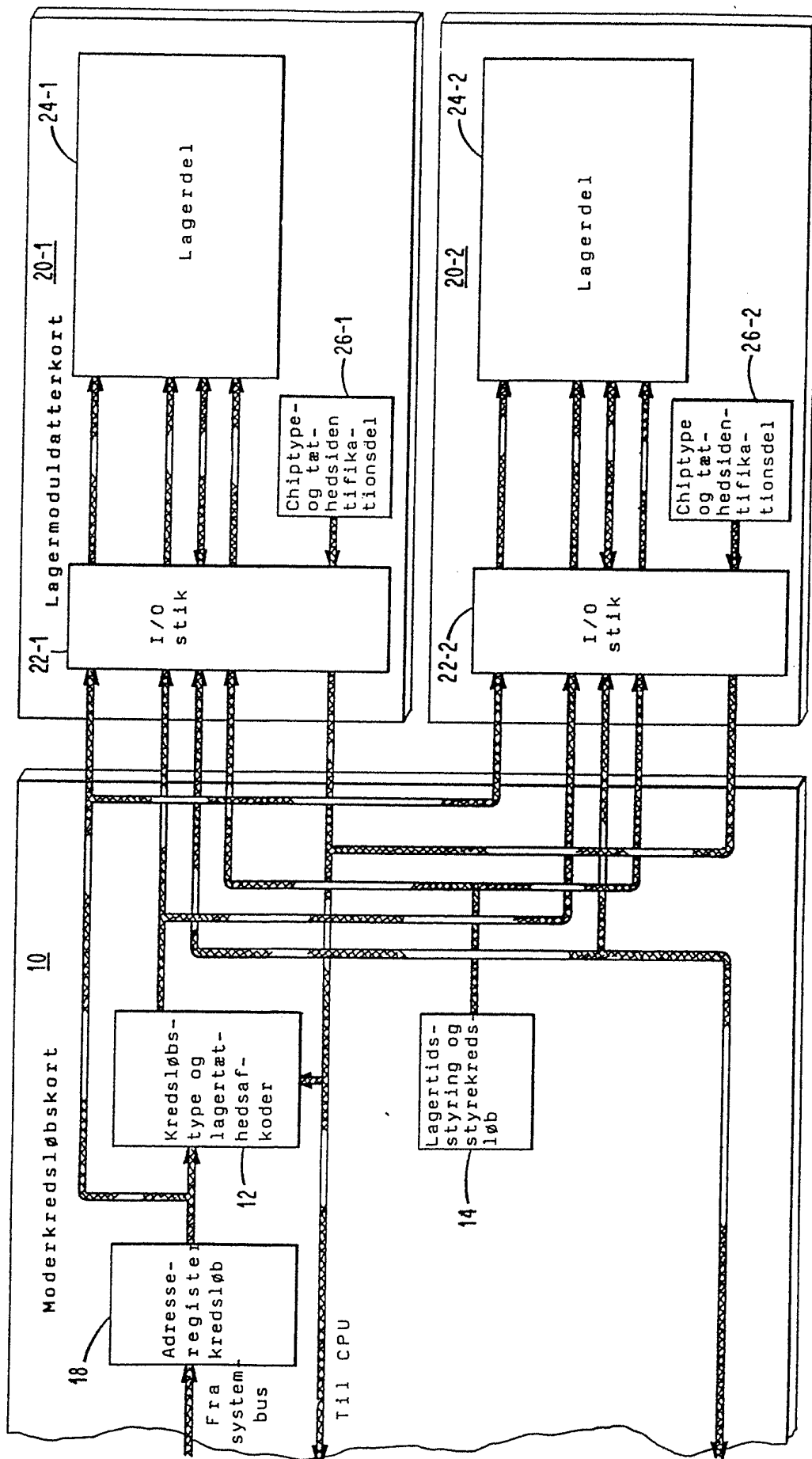
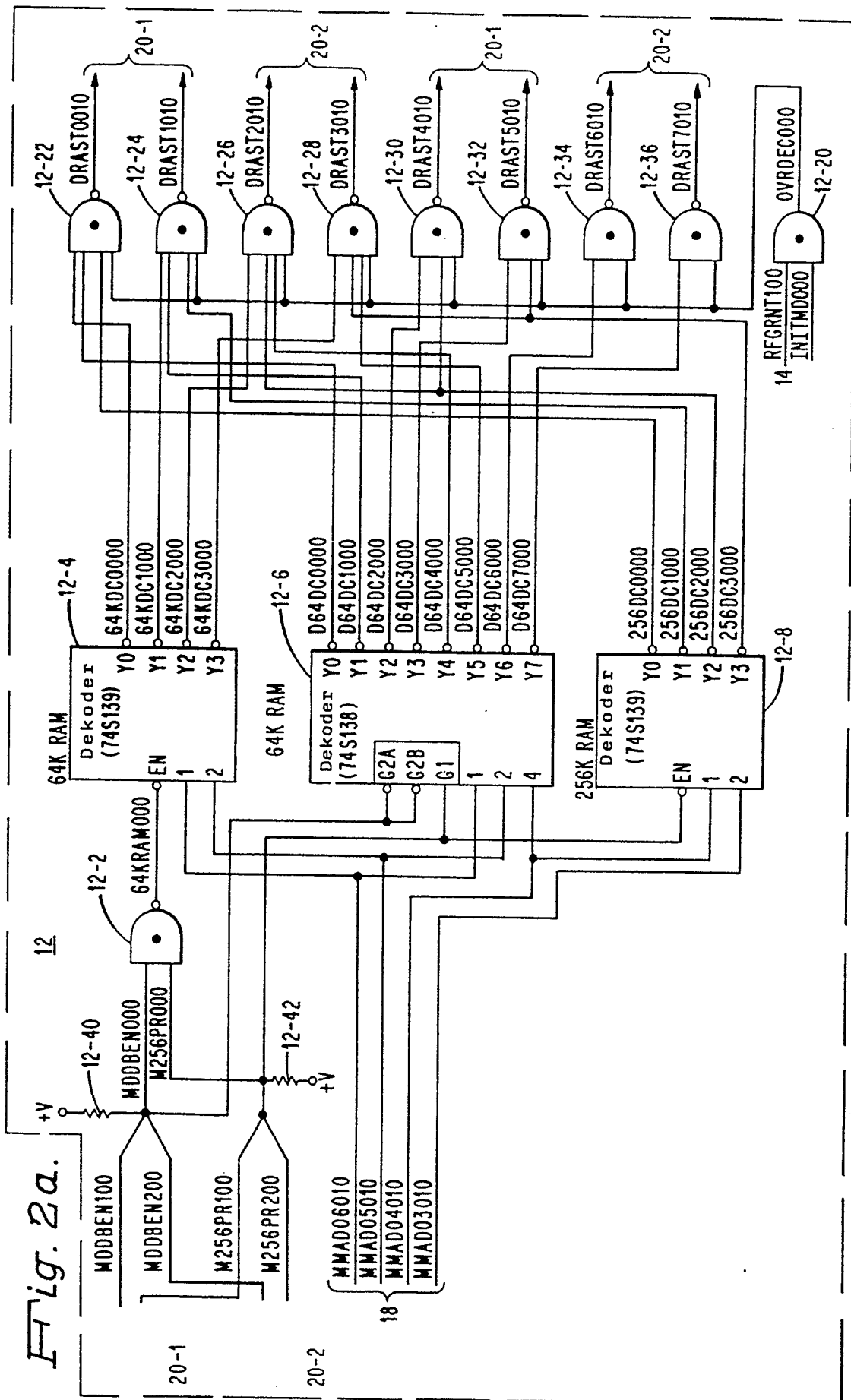


Fig. 1.

Fig. 2a.



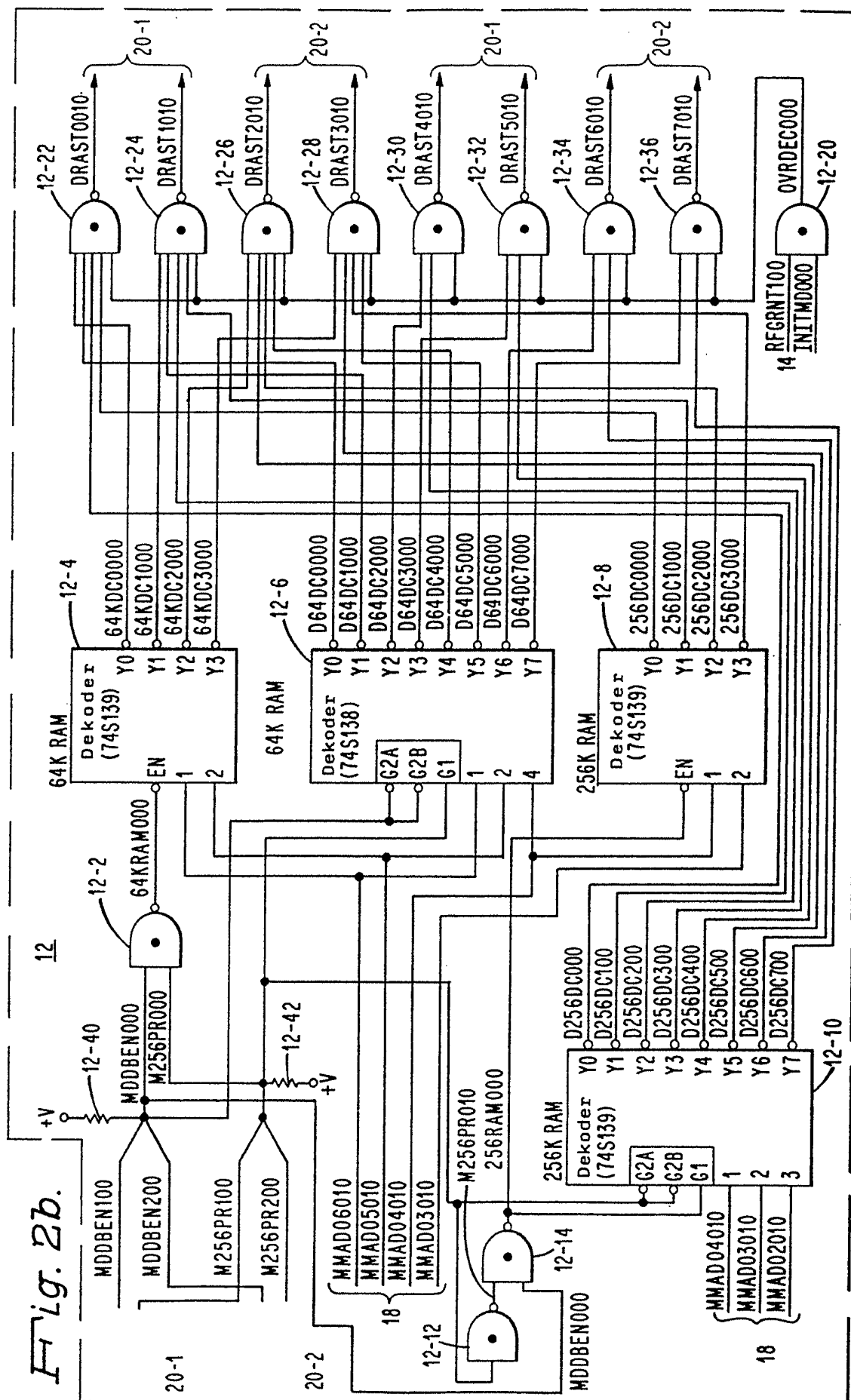


Fig. 2c.

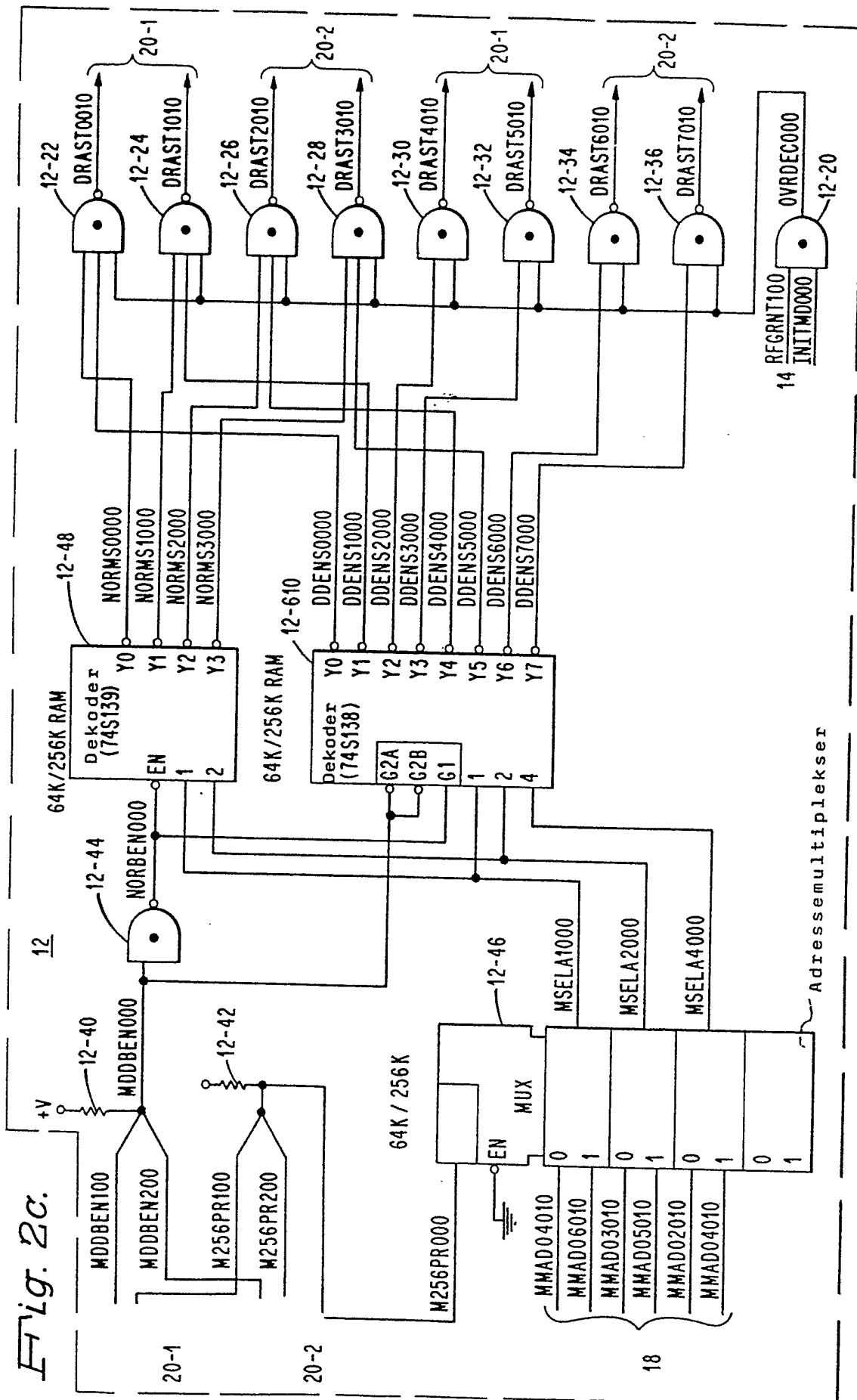
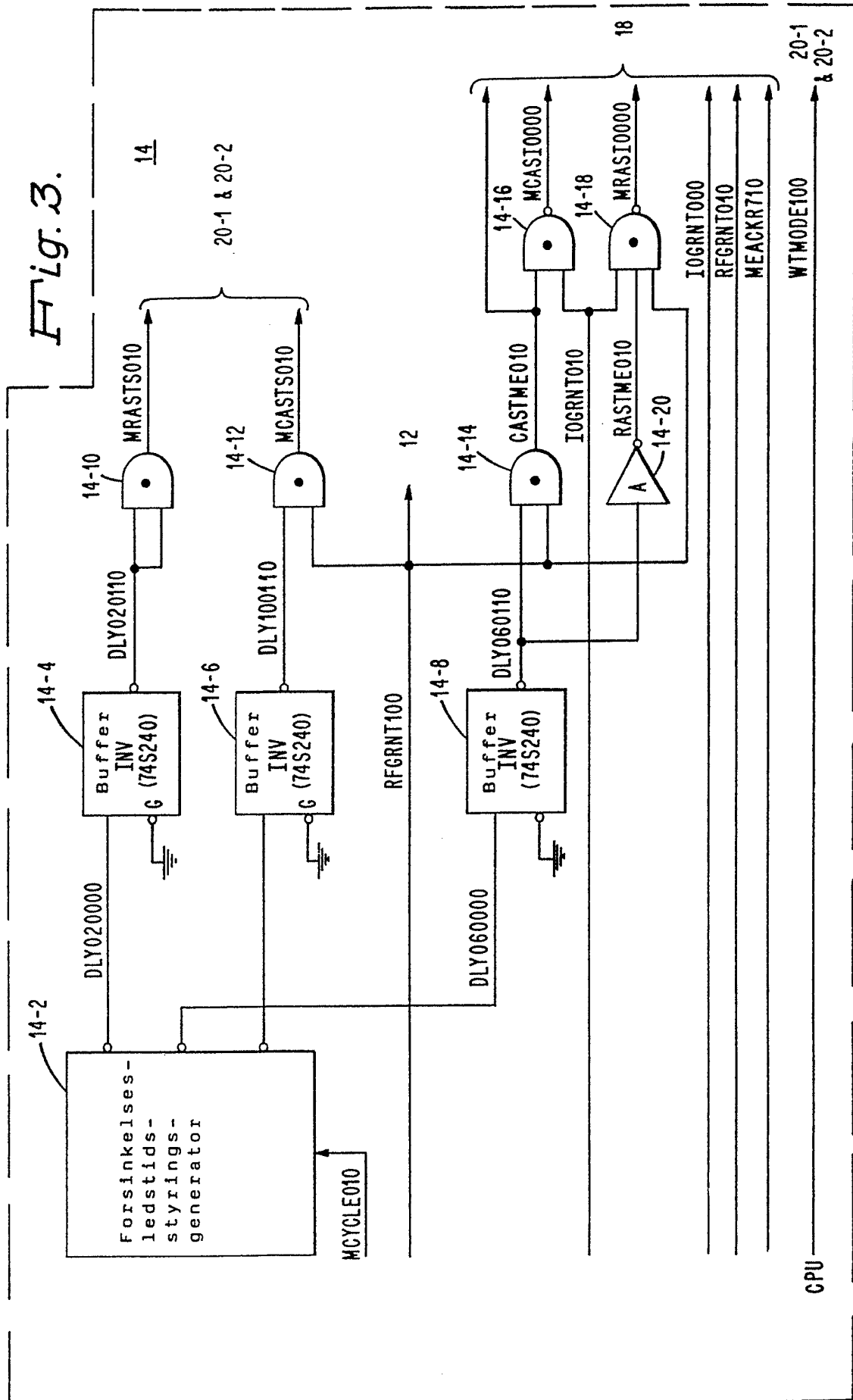


Fig. 3.



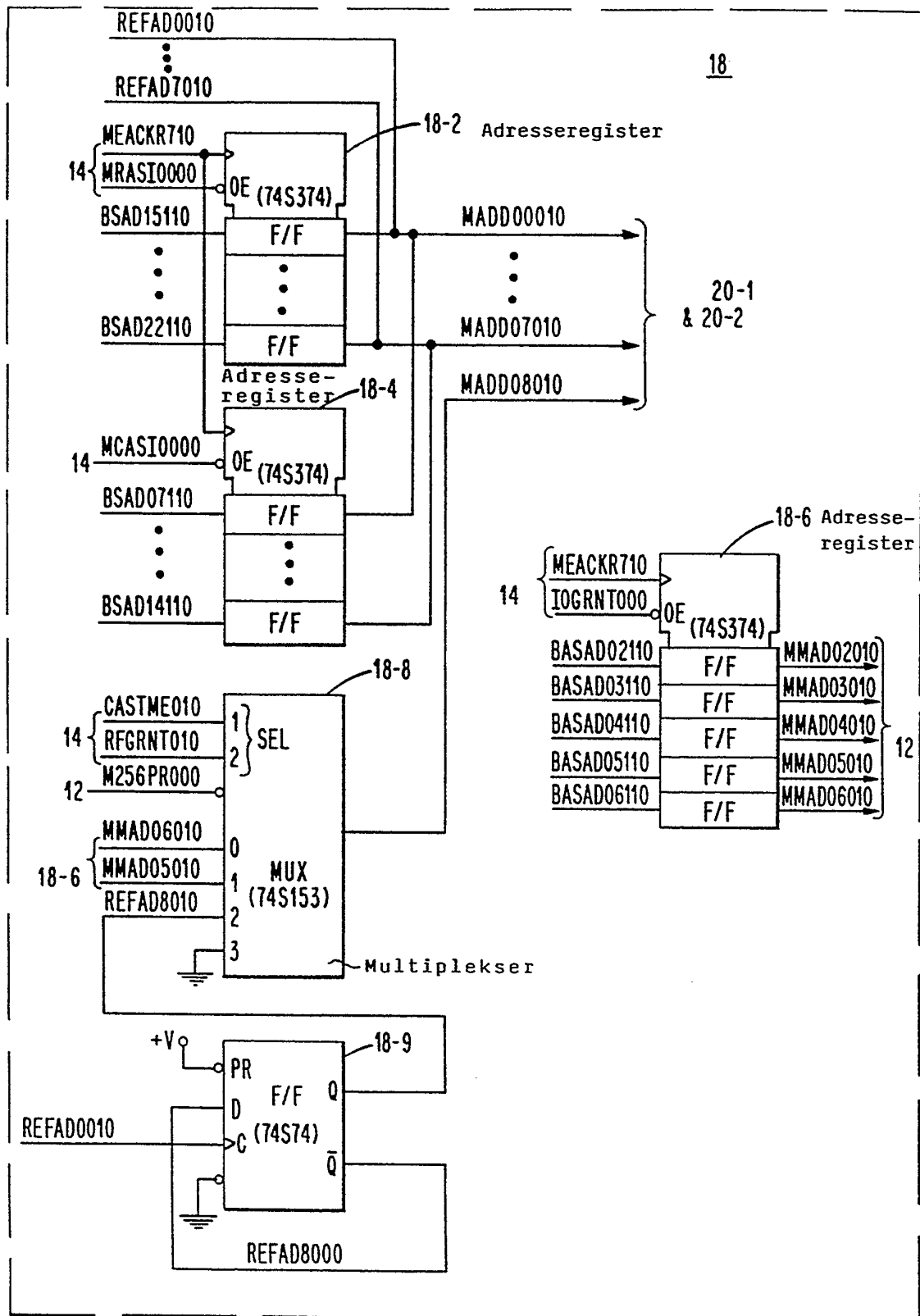
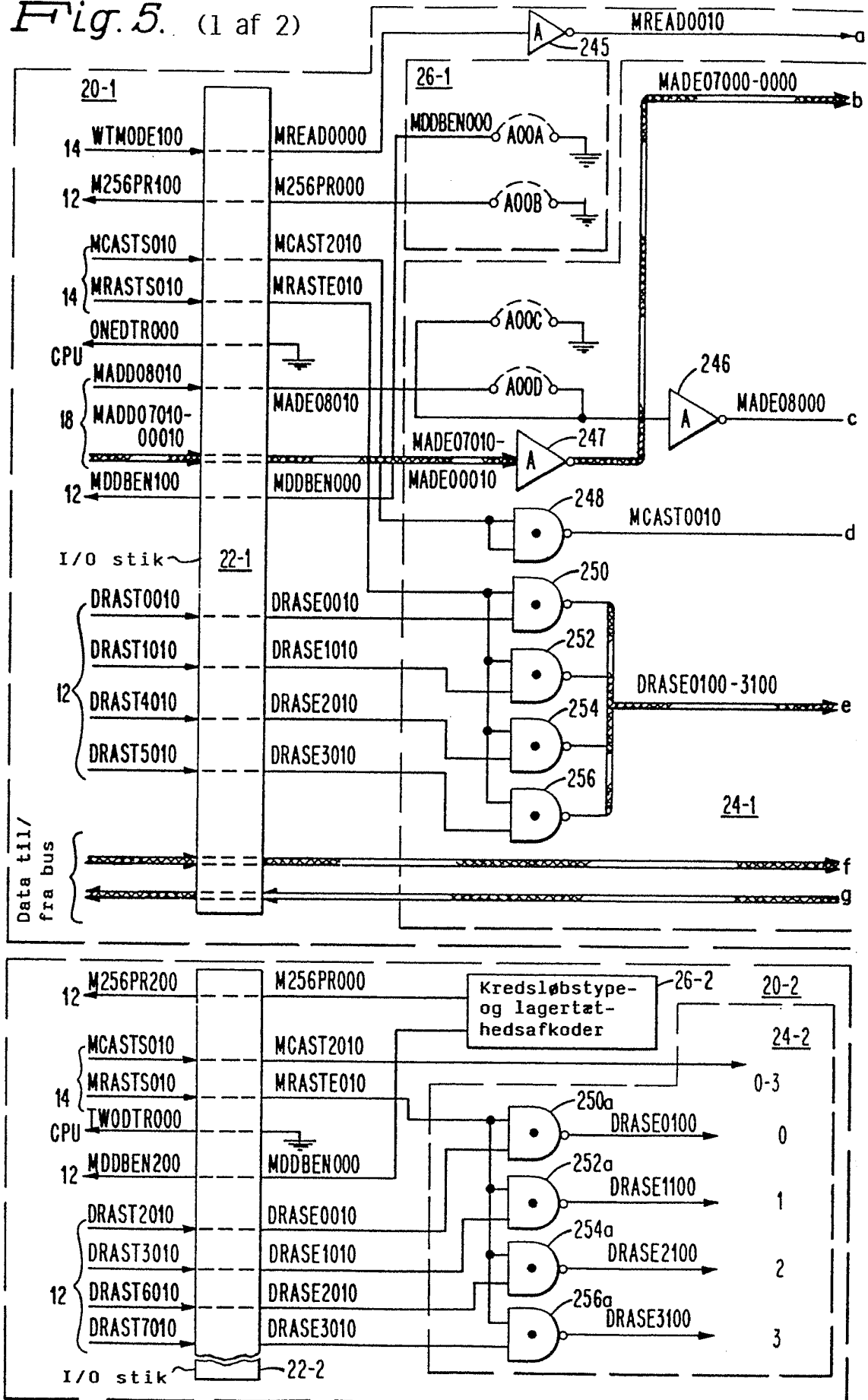


Fig. 4.

Fig. 5. (1 af 2)



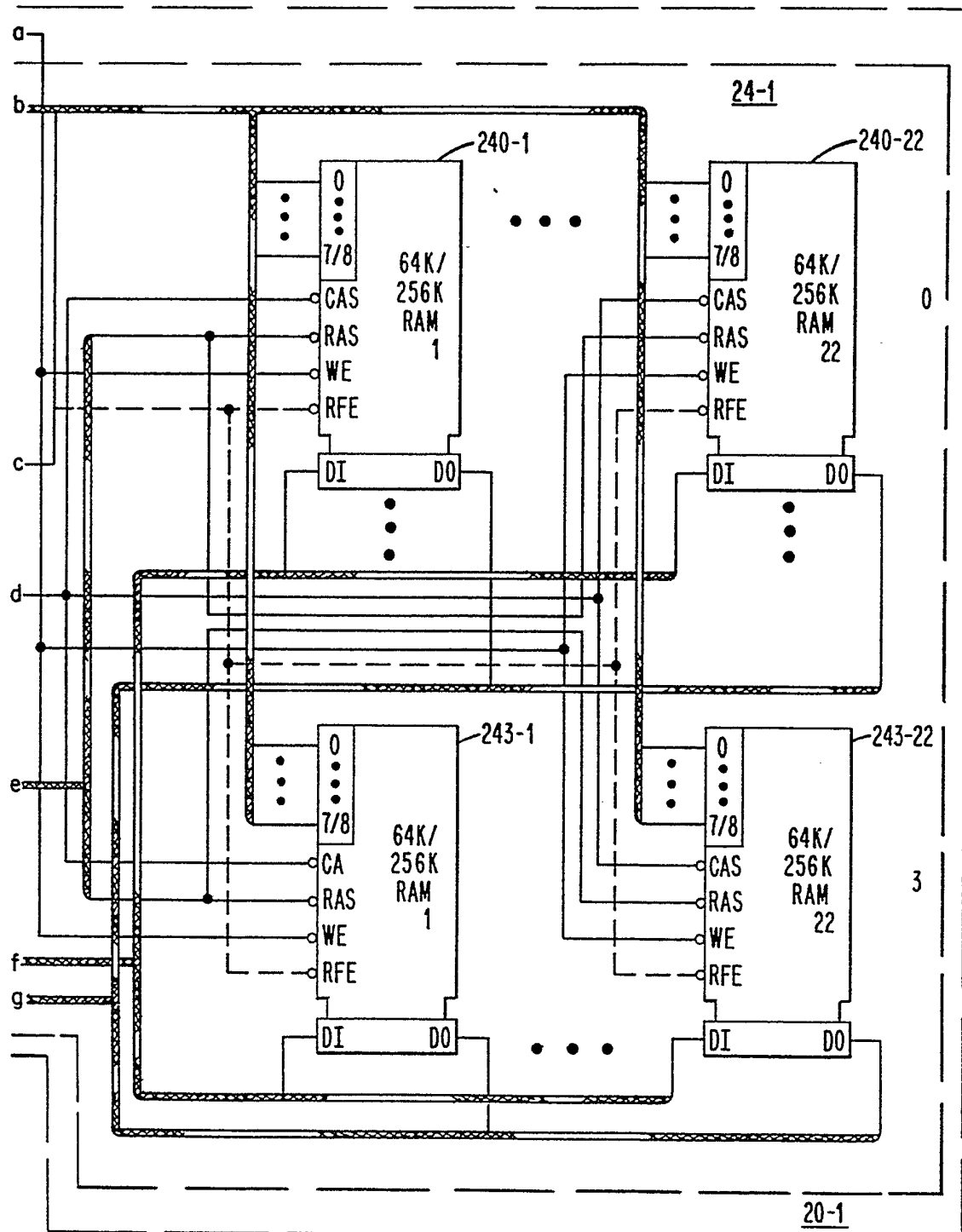


Fig. 5. (2 af 2)

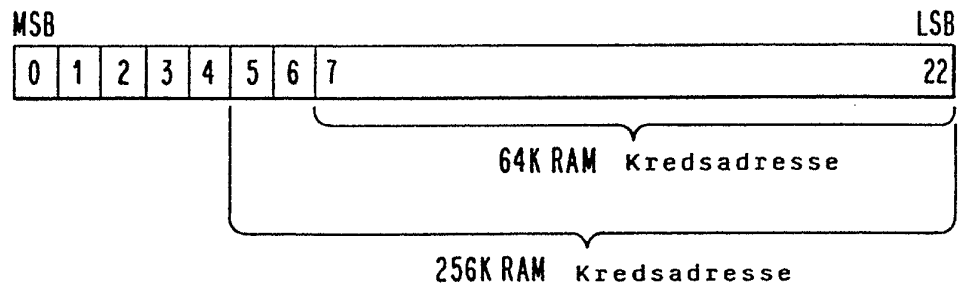


Fig. 6.

Forbindelse	Ind	Ud	Datterkort Konfiguration
A00A	*		Dobbelt tathed
A00A		*	Normal tathed
A00B	*		256K RAM
A00B		*	64K RAM
A00C	*		64K RAM
A00C		*	256K RAM
A00D	*		256K RAM
A00D		*	64K RAM

Fig. 7.

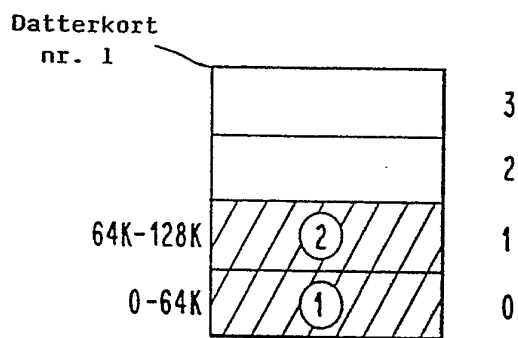
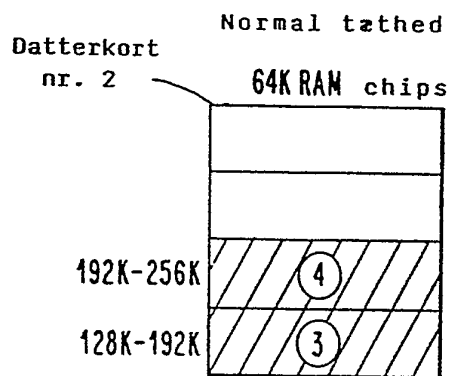


Fig. 8a.

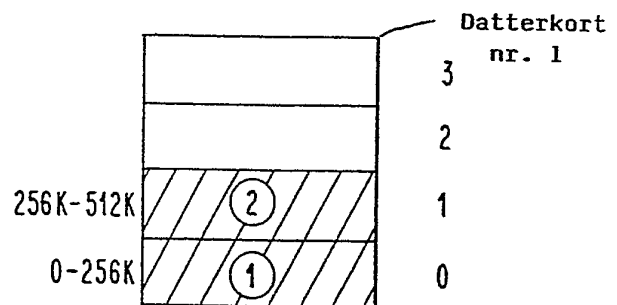
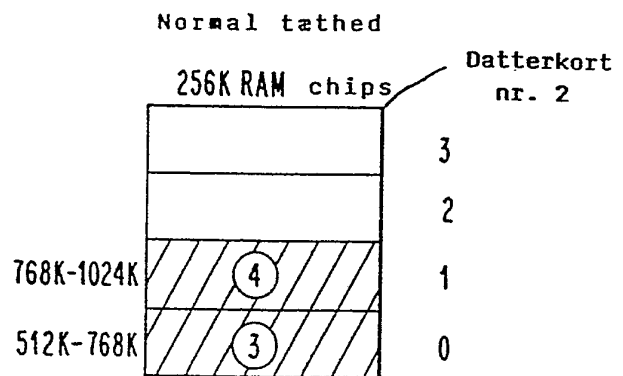


Fig. 8c.

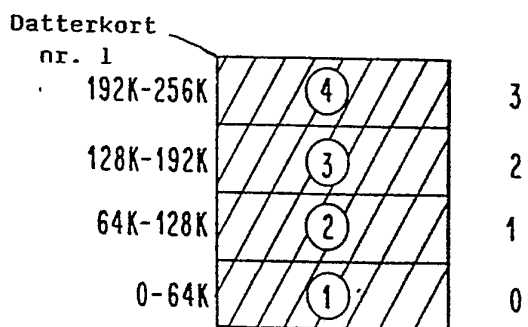
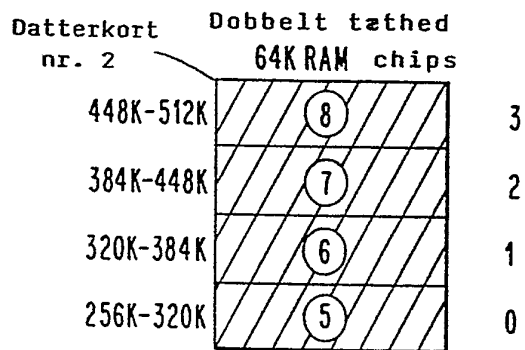


Fig. 8b.

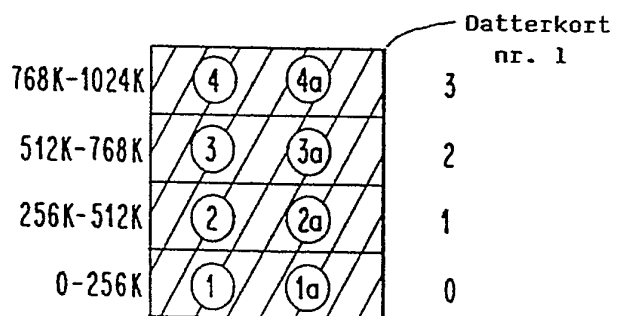
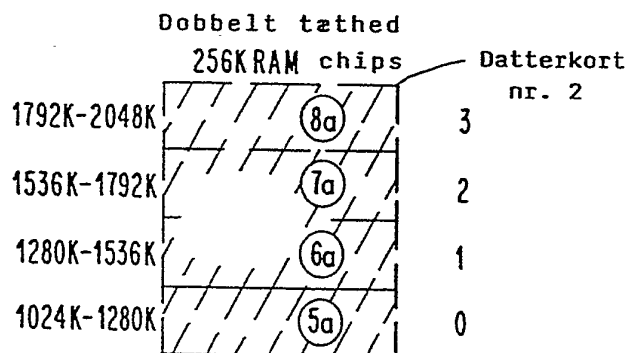


Fig. 8d.