

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03143823.7

H01L 21/027 (2006.01)

H01L 21/30 (2006.01)

H01L 21/76 (2006.01)

H01L 21/28 (2006.01)

[45] 授权公告日 2008年1月16日

[11] 授权公告号 CN 100362627C

[22] 申请日 2003.7.25 [21] 申请号 03143823.7

[30] 优先权

[32] 2002.7.26 [33] KR [31] 44223/2002

[73] 专利权人 三星电子株式会社

地址 韩国京畿道水原市

[72] 发明人 金志永 朴济民

[56] 参考文献

CN1264158A 2000.8.23

US6069047A 2001.5.8

US5789792A 1998.8.4

US6228716B1 2001.5.8

审查员 郭强

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 谢丽娜 谷惠敏

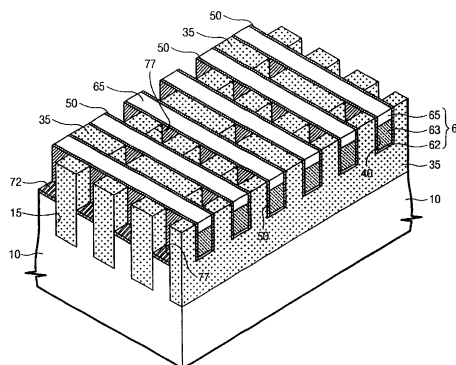
权利要求书6页 说明书14页 附图25页

[54] 发明名称

具有自对准节接触孔的半导体器件及其制造方法

[57] 摘要

多个用于定义有源区的沟槽形成在半导体衬底上，用多个沟槽掩模。间隙填充绝缘层形成在最终结构上以便填充沟槽和沟槽掩模定义的间隙区。接下来，沟槽掩模和间隙填充绝缘层被构图来形成用于定义狭缝开口的沟槽掩模图形和间隙填充绝缘图形，它延伸跨过并且露出有源区。栅图形形成在狭缝开口中，并且沟槽掩模图形被除去以形成露出有源区的接触开口。接下来，接触栓塞被形成以填充接触开口。这里，接触开口是自对准地采用在沟槽掩模和间隙填充绝缘层之间的蚀刻选择性形成的。最终的接触开口是长方体形状的空口。



1. 一种制造半导体器件的方法，包括
在半导体衬底上形成多个沟槽掩模；
通过将沟槽掩模作为蚀刻掩模来蚀刻半导体衬底，以形成用于定义有源区的沟槽，沟槽和沟槽掩模定义了间隙区；
用间隙填充绝缘层来填充间隙区；
构图沟槽掩模和间隙填充绝缘层，直到露出有源区的顶表面，以形成沟槽掩模图形和间隙填充绝缘图形，沟槽掩模图形和间隙填充绝缘图形定义了延伸跨过有源区的狭缝开口；
在狭缝开口中形成栅图形，其中栅图形包括顺序层叠的栅绝缘层、栅导电图形和封盖绝缘图形，并且栅导电图形的顶表面低于沟槽掩模图形和间隙填充绝缘图形的顶表面；
除去沟槽掩模图形，以形成露出有源区的接触开口；以及
形成接触栓塞来填充接触开口。
2. 根据权利要求1所述的方法，其中，沟槽掩模是用具有相对于间隙填充绝缘层的蚀刻选择性的材料形成的。
3. 根据权利要求1所述的方法，其中，沟槽掩模是用硅氮化物层形成的。
4. 根据权利要求1所述的方法，其中，用于形成沟槽的蚀刻工艺是采用各向异性的蚀刻工艺进行的。
5. 根据权利要求1所述的方法，在形成间隙填充绝缘层之前，还包括：
形成沟槽氧化物层来覆盖沟槽的内壁；以及
形成在包括沟槽氧化物层的半导体衬底的表面上的衬里层。

6. 根据权利要求 5 所述的方法，其中，沟槽氧化物层是采用热硅氧化物层形成的。

7. 根据权利要求 5 所述的方法，其中，衬里层是硅氮化物层形成的。

8. 根据权利要求 1 所述的方法，其中，形成间隙填充绝缘层包括：形成用于填充由沟槽和沟槽掩模限定的间隙区的，在形成沟槽的半导体衬底表面上的绝缘层，并且平面化绝缘层，直到露出沟槽掩模。

9. 根据权利要求 8 所述的方法，其中，绝缘层是通过多个叠层和蚀刻工艺形成的多层。

10. 根据权利要求 1 所述的方法，其中，间隙填充绝缘层包括采用化学气相淀积或者旋涂形成的硅氧化物层。

11. 根据权利要求 1 所述的方法，其中，形成狭缝开口包括采用各向异性蚀刻工艺来蚀刻间隙填充绝缘层和沟槽掩模，直到露出有源区的顶表面。

12. 根据权利要求 1 所述的方法，其中形成狭缝开口，以便形成在沟槽中的间隙填充绝缘图形的顶表面具有与有源区的顶表面相同的高度。

13. 根据权利要求 1 所述的方法，在形成狭缝开口之前，进一步进行离子注入工艺，用来形成在半导体衬底中的阱。

14. 根据权利要求 1 所述的方法，在形成接触栓塞之前，进一步地进行离子注入工艺，用来形成在有源区中的经过接触开口露出的源/

漏。

15. 根据权利要求 1 所述的方法，在形成栅图形之前，进一步地在狭缝开口的侧壁上形成栅间隔层。

16. 根据权利要求 15 所述的方法，其中，栅间隔层是用具有相对于沟槽掩模图形的蚀刻选择性的材料形成的。

17. 根据权利要求 1 所述的方法，在形成接触栓塞之前，在接触开口的侧壁上形成开口间隔层。

18. 根据权利要求 17 所述的方法，在形成开口间隔层之前，进一步地进行各向同性蚀刻工艺，以增加接触开口的宽度。

19. 根据权利要求 1 所述的方法，其中，接触栓塞是由包含硅原子的导电材料层，通过采用外延生长形成的。

20. 根据权利要求 1 所述的方法，其中形成接触栓塞包括：
形成接触栓塞导电层来填充接触开口，以及
平面化接触栓塞导电层，直到露出间隙填充绝缘图形的顶表面。

21. 根据权利要求 1 所述的方法，其中，形成栅图形包括：
在通过狭缝开口露出的有源区上形成栅绝缘层；
形成栅导电图形，以填充狭缝开口的底区，在那里形成了栅绝缘层；以及
形成封盖绝缘图形来填充形成栅导电图形的狭缝开口的顶区。

22. 根据权利要求 21 所述的方法，其中栅绝缘层是采用热氧化形成的硅氧化物层。

23. 根据权利要求 21 所述的方法，其中，栅导电图形是用从多晶硅和金属组成的组中选择的至少一个形成的。

24. 根据权利要求 21 所述的方法，其中，封盖绝缘图形是用具有相对于沟槽掩模图形的蚀刻选择性的材料形成的。

25. 根据权利要求 21 所述的方法，在形成封盖绝缘图形之前，还包括：

形成栅层间绝缘层，以保形地覆盖狭缝开口的内壁，在那里形成了栅导电图形；

在包括栅层间绝缘层的半导体衬底的表面上形成栅上部导电层，以填充狭缝开口；并且

深度蚀刻栅上部导电层，以形成栅上部导电图形，其顶表面比沟槽掩模图形和间隙填充绝缘图形的顶表面低。

26. 根据权利要求 25 所述的方法，其中，栅层间绝缘层是氧化物-氮化物-氧化物层。

27. 根据权利要求 25 所述的方法，其中，栅上部导电层使用顺序叠层的多晶硅层和硅化物层形成的。

28. 根据权利要求 21 所述的方法，其中，形成栅导电图形包括：
在包括栅绝缘层的半导体衬底的表面上形成栅导电层，以填充狭缝开口；并且

深度蚀刻栅导电层，直到栅导电层的顶表面比狭缝开口的顶部低。

29. 根据权利要求 1 所述的方法，其中，栅图形被具有相对于沟槽掩模图形的蚀刻选择性的材料覆盖。

30. 根据权利要求 1 所述的方法，进一步包括在沟槽的底部形成

外延硅层或者 SOG 层。

31. 一种半导体器件，包括：

半导体衬底，在那里形成了用于定义有源区的沟槽；

间隙填充绝缘图形，填充在沟槽中，并且具有露出有源区的接触开口；以及

接触栓塞，形成在接触开口中，并且连接到有源区；以及

栅图形，设置在由间隙填充绝缘图形和接触栓塞所限制的狭缝开口中，其中栅图形包括顺序层叠的栅绝缘层、栅导电图形和封盖图形，其中接触开口是长方体空口。

32. 根据权利要求 31 所述的器件，其中，间隙填充绝缘图形包括硅氧化物层。

33. 根据权利要求 31 所述的器件，其中，栅图形的顶表面与间隙填充绝缘图形的顶等高。

34. 根据权利要求 31 所述的器件，其中，封盖图形具有与间隙填充绝缘图形相同的化学成分。

35. 根据权利要求 31 所述的器件，进一步包括位于栅图形的侧壁上的栅间隔层，以将栅图形与接触栓塞和间隙填充绝缘图形隔开。

36. 根据权利要求 31 所述的器件，进一步包括顺序叠层的在栅导电图形和封盖图形之间的栅层间绝缘层和栅上部导电图形。

37. 根据权利要求 36 所述的器件，其中，栅层间绝缘层是氧化物-氮化物-氧化物层。

38. 根据权利要求 36 所述的器件，其中，栅层间绝缘层进一步具

有用于覆盖栅上部导电图形的侧壁的侧壁延伸部分。

39. 根据权利要求 31 所述的器件, 其中, 栅导电图形是用多晶硅和金属中的至少一种形成的。

40. 根据权利要求 31 所述的器件, 其中, 接触栓塞是外延硅层和多晶硅层中的一种。

41. 根据权利要求 31 所述的器件, 进一步包括在接触开口的侧壁上形成的开口间隔层。

42. 根据权利要求 31 所述的器件, 进一步包括在沟槽的底部的外延硅层或者 SOG 层。

具有自对准节接触孔的半导体器件及其制造方法

相关申请的交叉引用

本申请要求于 2002 年 7 月 6 日提交的第 2002-44223 号韩国专利申请，在此对其进行交叉引用。

技术领域

本发明涉及半导体器件，及其制造方法。更具体地，本发明是关于具有自对准节接触孔的半导体器件及其制造方法。

背景技术

随着半导体器件的集成密度的增加，半导体器件逐渐地变得细小了。细小的半导体器件是通过重复地淀积和构图材料层形成的。通常，构图工艺包括光刻工艺和蚀刻工艺，它们是顺序进行的。蚀刻工艺采用光致抗蚀剂图，图形是在光刻工艺期间形成为蚀刻掩模的。这里，为了加强半导体器件的集成密度，光致抗蚀剂图形应该细微地形成并且覆盖的准确度应该提高。特别地，用于电连接半导体器件的源/漏的节接触孔对单位元件（unit cell）的大小具有影响。因此，为了获得高集成度的半导体器件，需要在构图节接触孔的步骤中增加覆盖的准确性。

通常，形成节接触孔包括在半导体衬底上形成用于定义有源区的器件隔离层，以及在有源区上形成栅图形来横跨过器件隔离层。接下来，形成层间电介质（ILD）来覆盖住包括栅图形的半导体衬底的整个表面。该 ILD 被构图为形成露出在栅图形侧上的有源区的节接触孔。如上所述。用于形成节接触孔的构图工艺包括形成光致抗蚀剂层并且将光致抗蚀剂层作为蚀刻掩模。这里，光致抗蚀剂层应该用高覆盖准确性来对准有源区和栅图形。如果在形成节接触孔的同时，节接触孔

偏离了预定的位置，则栅图形或者器件隔离层会受到蚀刻损坏影响。

该蚀刻损坏可以通过采用将节接触孔和栅图形或者器件隔离层充分地隔开的技术来避免。但是，由于该技术导致了单位元件占据了即使是不必要的区域，因此它们在半导体的高集成度方面也不是优选的。即，为了获得最小化材料图形所需的高集成度，光刻工艺应该具有尽可能的改进的覆盖准确度。但是，经管可以最小化在光刻工艺中引起的错位，但是不可能用传统的方法来完全地解决。

发明内容

本发明提供了一种包括形成自对准的节接触孔的制造半导体器件的方法。

本发明还提供了一种具有自对准的节接触孔的半导体器件。

根据本发明的实施例，提供了一种制造半导体器件的方法，它能够通过采用在不同的材料层之间的蚀刻选择性来形成自对准接触孔。该方法包括：在半导体衬底上形成多个沟槽掩模；并且通过将沟槽掩模作为蚀刻掩模来蚀刻半导体衬底，以形成用于定义有源区的沟槽。接下来，形成间隙填充绝缘层来填充间隙区，它是通过沟槽和沟槽掩模形成的。这里，间隙填充绝缘层露出了沟槽掩模的顶表面，接下来，沟槽掩模和间隙填充绝缘层被构图，直到露出有源区的顶表面，从而形成了沟槽掩模图形和间隙填充绝缘图形。沟槽掩模图形和间隙填充绝缘图形定义了切口形式的延伸跨过有源区的开口。栅图形形成在狭缝开口中，并且随后沟槽掩模图形被除去，以形成露出有源区的接触开口。接下来，形成接触栓塞来填充接触孔。

根据本发明的实施例，接触开口通过采用沟槽掩模和间隙填充绝缘层之间的蚀刻选择性而形成自对准形式的。为此，沟槽掩模是用具有相对于间隙填充绝缘层的蚀刻选择性的材料形成的，优选地采用

硅氮化物层。此外，用于形成沟槽的蚀刻工艺优选地是各向异性的蚀刻工艺。

同时，在形成间隙填充绝缘层之前，该方法还可以包括形成沟槽氧化物层来覆盖沟槽的侧壁，并且随后形成在最终结构的整个表面上的衬里层。这里，沟槽氧化物层优选地是通过热氧化形成的硅氧化物层，并且衬里层优选地是硅氮化物层。

优选地，形成间隙填充绝缘层包括形成用于填充沟槽和沟槽掩模形成的位于半导体衬底的形成沟槽位置的整个表面上的间隙区的绝缘层，并且随后平面化绝缘层，直到露出沟槽掩模。此外，间隙填充绝缘层优选地至少是采用化学气相淀积（CVD）或者旋涂形成的硅氧化物层、以及采用 CVD 或者各向异性生长形成的硅层中的一个。

狭缝开口是通过各向异性蚀刻工艺形成的。这里，形成狭缝开口，以便形成在沟槽上的间隙填充绝缘图形的顶表面具有与露出的有源区相同的高度。同时，在形成狭缝开口之前，该方法还可以包括离子注入工艺，用来形成在半导体衬底中的阱。此外，在形成接触栓塞之前，该方法还可以包括离子注入工艺，用来形成在有源区中的经过接触开口露出的源/漏。

优选地，在形成栅图形之前，栅间隔层该形成在狭缝开口的侧壁上。这里，栅间隔层是用具有相对于沟槽掩模图形的蚀刻选择性的材料形成的。此外，在形成接触栓塞之前，开口间隔层可以还形成在接触开口的侧壁上。此外，在形成开口间隔层之前，各向同性蚀刻工艺可以进一步地进行，以增加接触开口的宽度。

同时，接触栓塞优选地是由包含硅原子的导电层通过采用各向异性生长形成的。此外，形成接触栓塞优选地包括形成接触栓塞导电层来填充接触开口，并且随后平面化接触栓塞导电层直到露出间隙填充

绝缘图形的顶表面。

形成栅图形包括在通过狭缝开口露出的有源区上顺序叠层栅绝缘层、栅导电图形以及封盖绝缘图形。这里，栅导电图形填充狭缝开口的底区，在那里形成了栅绝缘层，并且具有低于沟槽掩模图形和间隙填充绝缘图形的顶表面的顶表面。此外，封盖绝缘图形填充细长开口的顶区，在那里形成了栅导电图形。在此，封盖绝缘图形是用具有相对于沟槽掩模图形的蚀刻选择性的材料形成的。

同时，在形成封盖绝缘图形之前，栅层间绝缘层可以进一步地形成，以一致地覆盖狭缝开口的侧壁，在那里形成的栅导电层。此外，该方法可以进一步地包括在包括栅层间绝缘层的半导体衬底的整个表面上形成栅上部导电层，以填充狭缝开口，并且随后深度蚀刻栅上部导电层，以形成栅上部导电图形，其顶表面比沟槽掩模图形和间隙填充绝缘图形的顶表面低。最终的栅图形通常用作非易失存储器的栅极。因此，栅层间绝缘层优选地是氧化物-氮化物-氧化物（ONO）层。

栅导电图形优选地是采用深度蚀刻工艺形成的。即，为了形成栅导电图形，栅导电层被形成来填充狭缝开口，并且随后采用深度蚀刻工艺时刻，直到栅导电层的顶表面变得比狭缝开口的顶表面低。这里，栅图形优选地用具有相对于沟槽掩模图形的蚀刻选择性的材料覆盖。

根据本发明的另一个方面，提供了一种半导体器件，其中的节接触孔具有长方体形状。该器件包括：半导体衬底，在那里形成了用于定义有源区的沟槽，间隙填充绝缘图形，用于填充沟槽，并且具有露出有源区的接触开口，以及接触栓塞，经接触开口连接到有源区。这里，间隙填充绝缘图形具有比有源区的表面高的表面，并且填充沟槽。此外，接触开口是空的具有长方体形状的。

栅图形可以进一步地在跨过有源区和沟槽的狭缝开口中露出。这

里，细长形沟槽是通过间隙填充绝缘图形和接触栓塞的侧壁定义的。此外，栅图形的顶表面是与间隙填充绝缘图形的顶表面等高的。间隙填充绝缘图形优选地是从硅氧化物层、SGS层和硅层组成的组中选出的至少一个。此外，接触栓塞可以是外延硅层或者多晶硅层。此外，开口间隔层可以进一步地露出在接触开口和接触栓塞之间。

优选地，栅图形是用顺序叠层的栅绝缘层、栅导电图形和封盖图形形成的。这里，封盖图形优选地具有与间隙填充绝缘图形相同的化学成分。此外，栅间隔层可以进一步地位于栅图形的侧壁上，以将栅图形与接触栓塞和间隙填充绝缘图形隔离。

此外，顺序叠层的栅层间绝缘层和栅上部导电图形可以进一步地露出在栅导电图形和封盖图形之间。栅图形通常用于非易失存储器的栅极。为此，栅层间绝缘层优选地是氧化物-氮化物-氧化物（ONO）层，并且可以包括用于覆盖栅上部导电图形的侧壁延伸部分。

附图说明

图 1A 到图 8A 示出了根据本发明的优选实施例的制造半导体器件的方法的顶视平面图；

图 1B 到图 8B 示出了根据本发明的优选实施例的制造半导体器件的方法的横截面图；

图 1C 到图 8C 示出了示出了根据本发明的优选实施例的制造半导体器件的方法的透视图；

图 9 示出了根据本发明的实施例的半导体器件的透视图。

具体实施方式

现在将参照附图详细地说明本发明，其中示出了本发明的优选实施例。但是，该发明可以采用不同的形式来实现，并且不应该局限于这里阐述的实施例。此外，这些提供的实施例使得该公开能够透彻并且完整，并且将完全地向本领域中的普通技术人员转达本发明的范

围。在图中，层和区的厚度被放大了，以便清楚。而且可以理解，当层被指出在另一层或者衬底“上”的时候，它可以直接在另一层或者衬底上，或者在他们之间也可以出现中间层。相同的部分采用相同的编号。

图 1A 到图 8A 示出了根据本发明的优选实施例的制造半导体器件的方法的顶视平面图。图 1B 到图 8B 示出了沿着图 1A 到 8A 的 I-I' 线的横截面图，示出了根据本发明的优选实施例的半导体器件的制造方法。并且图 1C 到图 8C 示出了示出了根据本发明的优选实施例的制造半导体器件的方法的透视图。

参考图 1A、1B 和 1C，沟槽掩模层形成在半导体衬底 10 上，并且被构图形成多个沟槽掩模 20，它露出了半导体衬底 10 的预定的区。接下来，露出的衬底 10 采用沟槽掩模 20 作为蚀刻掩模进行蚀刻，从而形成定义源区 10a 的沟槽 15。这里，沟槽 15 形成在半导体衬底 10 中，并且被沟槽掩模 20 包围的间隙区形成在沟槽 15 之上（见图 1C）。

沟槽掩模 20 优选地用焊盘氧化物层和掩模牺牲层形成，它们是顺序叠层的。这里，焊盘氧化物层是用钨氧化物层形成的，并且掩模牺牲层是用硅氮化物层形成的。

用于形成沟槽 15 的蚀刻工艺优选地是各向异性蚀刻工艺。同时，沟槽掩模 20 将被用作将在后面形成的栅图形的模子。因此，沟槽掩模 20 的高度决定了后来的栅图形的高度。因此，沟槽掩模 20 的高度是在考虑了将在后面的工艺中形成的栅图形的高度而形成的。

参照图 2A、2B 和 2C，间隙填充绝缘层 30 被形成为填充由于沟槽掩模 20 和沟槽 15 形成的间隙区。形成间隙填充绝缘层 30 包括形成绝缘层以填充在包含沟槽 15 的半导体衬底上的间隙区和沟槽 15，并且随后平面化绝缘层，直到露出沟槽掩模 20 的顶表面。形成间隙

填充绝缘层 30 的平面化工艺优选地是化学机械抛光 (CMP) 工艺。因此, 间隙填充绝缘层 30 填充间隙区和沟槽 15, 并且具有与沟槽掩模 20 等高的顶表面。

同时, 采用的用于形成沟槽 15 的蚀刻工艺通常是采用等离子体的各向异性蚀刻工艺。因此, 沟槽 15 的内壁可以受到等离子体引起的时刻损坏的影响。由于这种时刻损坏可能降低半导体器件的特性, 所以优选地在进行热处理工艺。该热处理工艺优选地是沟槽热处理工艺, 通过它, 在形成间隙填充绝缘层 30 之前, 在沟槽 15 的内壁上形成了热氧化物层 (图 2B 中的 6)。

此外, 在形成间隙填充绝缘层 30 之前, 衬里层优选地形成, 以便保形地覆盖半导体衬底的整个表面, 在那里形成了沟槽热氧化物层 6。衬里层与绝缘层在平面化工艺中一起被蚀刻, 从而形成了环绕间隙填充绝缘层 30 的衬里 (图 B 中的 7)。该衬里是材料层, 用于避免在下面的工艺中使用的氧气或者其他杂质通过沟槽 15 的内壁渗透到半导体衬底 10 中。因此, 衬底 7 优选地用硅氮化物层形成, 它具有优良的扩散阻挡特性。

间隙填充绝缘层 30 是用具有相对于沟槽掩模 20 的蚀刻选择性的材料形成的。该间隙填充绝缘层 30 优选地用硅氧化物层形成, 并且还包括硅层。该硅氧化物层可以采用化学气相淀积 (CVD) 或者旋涂形成, 并且硅层可以通过 CVD 或者外延生长形成。具体地, 为了获得半导体器件的高集成性, 沟槽 15 和间隙区可能需要纵横比 (aspect ratio), 它在单一的用于填充绝缘层的工艺中是非常难完成的。此时, 为了填充沟槽 15 和间隙区而不留空, 叠层和蚀刻工艺优选地被进行若干遍。结果, 间隙填充绝缘层 30 具有了多层结构。在优选实施例中, SOG 层或者硅外延层首先形成在沟槽 15 的底区上, 以便降低间隙区的纵横比。之后, 用通过传统的方法获得的硅氧化物层填充剩下的间隙区。这里, 间隙填充绝缘层 30 位于沟槽 15 和其上的间隙区上

的，并且沟槽掩模 20 位于有源区 10a 上。此外，形成硅外延层可以包括露出在沟槽 15 之下的硅形成的半导体衬底的表面。

参照图 3A、3B 和 3C，沟槽掩模 20 和间隙填充绝缘层 30 被构图，以便形成沟槽掩模图形 25，该图形定义了横跨有源区 10a 的细长开口 40，以及间隙填充绝缘图形 35。因此，沟槽掩模图形 25 具有长方体形状并且位于有源区 10a 上。

细长开口 40 是采用各向异性蚀刻工艺，通过蚀刻沟槽掩模 20 和间隙填充绝缘层 30 直到露出有源区的顶表面形成的。这里，蚀刻工艺优选地采用没有相对于沟槽掩模 20 和间隙填充绝缘层 30 的蚀刻选择性的蚀刻配方，以便以相同的时刻速率来蚀刻这两层。因此，在沟槽 15 的顶上的狭缝开口 40 的底是与有源区 10a 的顶表面大约等高的。但是，当蚀刻配方具有相对于该两个层 20 和 30 的蚀刻选择性的时候，优选地对蚀刻工艺的各种条件进行调整，以便平面化狭缝开口 40 的整个底。

如上所述，狭缝开口 40 被形成为横跨有源区 10a 和沟槽 15 等之上的。因此，间隙填充绝缘图形 35 同时具有高表面和低表面。即，间隙填充绝缘图形 35 具有不规则的表面。下表面 35a 对应于形成在沟槽 15 之上的细长开口 40 的底。

同时，在形成细长开口 40 之前，可以进行离子注入工艺来形成在半导体衬底 10 中的杂质阱（未示出）。考虑到晶格缺陷和及其修复方法，该用于形成杂质阱的离子注入工艺能够在工艺顺序上引起各种的改变。

参照图 4A、4B 和 4C，栅间隔层 50 形成在狭缝开口 40 的侧壁上。

为了形成栅间隔层 50，首先，栅间隔层是一致地位于半导体衬底上的形成狭缝开口 40 的位置上的。接下来，栅间隔层采用具有相对于半导体衬底 10 的蚀刻选择性的蚀刻配方来进行各向异性蚀刻。

这里，栅间隔层是用具有相对于沟槽掩模图形 25 的蚀刻选择性的材料层形成的，优选地，是硅氧化物层。而且，栅间隔层是采用各向异性蚀刻工艺形成的，以便避免间隙填充绝缘图形 36 的蚀刻损坏。

参照图 5A、5B 和 5C，栅图形 60 被形成以便填充形成栅间隔层 50 的狭缝开口 40。该栅图形 60 优选地用顺序叠层的栅绝缘层 62、栅导电图形 63 和封盖图形 65 形成。

栅绝缘层 62 优选地是通过热氧化通过狭缝开口 40 露出的有源区 10a 得到的硅氧化物层。形成栅导电图形 63 包括叠层栅导电层，填充形成栅绝缘层 62 的半导体衬底上的整个表面上的狭缝开口 40，并且随后深度蚀刻栅导电层。这里，深度蚀刻工艺的进行使得栅导电图形 63 的顶表面变得比栅间隔层 50 低。此外，深度蚀刻工艺是采用具有相对于沟槽掩模图形 25、间隙填充绝缘图形 35 和栅间隔层 50 的蚀刻选择性的蚀刻配方进行的。而且，深度蚀刻工艺可以采用各向同性蚀刻工艺或者各向异性蚀刻工艺来进行。此外，在进行深度蚀刻工艺之前，用于平面化栅导电层的顶表面的工艺可以进行。该栅导电图形 63 优选地是顺序叠层的多晶硅层和钨层。在此，多晶硅层和钨层都优选地是通过顺序进行前述的叠层和蚀刻工艺形成的。

封盖图形 65 是用具有相对于沟槽掩模图形 25 的蚀刻选择性的材料形成的。因此，封盖图形 65 优选地是用与栅间隔层 50 相同的硅氧化物层形成的。形成封盖图形 65 包括在包含栅导电图形 63 的半导体衬底的整个表面上形成封盖层，并且随后平面化封盖层直到沟槽掩模图形 25 露出来。因此，封盖图形 65 形成在比栅间隔层 50 低预定的深度的栅导电图形 63 的顶表面上，如上所述。该平面化工艺可以采

用 CMP。

当栅图形用于闪存器件的时候，栅层间绝缘层和栅上部导电图形可以进一步地形成在栅导电图形 63 和封盖图形 65 之间。这里，栅层间绝缘层优选地是用 ONO 层形成的。而且，栅上部导电图形优选地是用顺序叠层的多晶硅和硅化物层形成的。此时，栅导电图形 63 优选地用多晶硅形成。

形成栅层间绝缘层和栅上部导电图形包括保形地在包含栅导电图形 63 的整个半导体衬底的表面上形成栅层间绝缘层。接下来，形成栅上部导电层来填充形成栅层间绝缘层的狭缝开口 40。随后，采用深度蚀刻工艺来蚀刻栅上部导电层，从而形成具有低于沟槽掩模图形 25 的顶表面的栅上部导电图形。因此，栅层间绝缘层具有侧壁延伸部分，该部分盖住了栅上部导电图形和封盖图形 65 的侧壁。随后，通过上述的方法形成封盖图形 65。

参照图 6A、6B 和 6C，沟槽掩模图形 25 被除去，以通过露出在栅图形 60 的两侧上的有源区 10a 来形成接触开口 77。沟槽掩模图形采用具有相对于间隙填充绝缘图形 35、栅间隔层 50 和半导体衬底 10 的蚀刻选择性的蚀刻配方去除。除去的工艺优选地采用包含有磷酸的蚀刻剂进行，但是也可以使用干蚀刻工艺。同时，栅导电图形 63 被封盖图形 65 和栅间隔层 50 包围，它是用具有相对于用于蚀刻沟槽掩模图形 25 的蚀刻配方的蚀刻选择性的材料形成的。因此，栅导电图形 63 可以避免具有在蚀刻工艺中的蚀刻损坏。

在形成接触开口 77 之后，采用栅图形 60 和栅间隔层 50 作为掩模来进行离子注入工艺，从而形成在露出的有源区的轻掺杂的区 72。

如上所述，沟槽掩模图形 25 具有长方体形状，并且通过除去沟槽掩模图形 25 获得的接触开口 77 也具有长方体形状。因此，清掺杂

区 72 具有矩形形状（见图 6A）。此外，当沟槽掩模图形 25 是用顺序叠层的硅氧化物层和硅氮化物层形成的时候，硅氧化物层在用于形成接触开口 77 的蚀刻工艺过程中是不能除去的。此时，不能除去的硅氧化物层在用于形成轻掺杂的区 72 的离子注入工艺中可以用作缓冲层。

参照图 7A、7B 和 7C，开口间隔层 70 形成在接触开口 77 的侧壁上。高浓度的离子注入工艺是采用开口间隔层 77 和栅图形 60 作为掩模进行的，从而形成了在有源区 10a 中的重掺杂区 74。该重掺杂区 74 构成了与轻掺杂区 72 在一起的轻掺杂漏（LDD）节区。

开口间隔层 70 优选地用从硅氮化物层、硅氧化物层和硅氧氮化物层组成的组中选择一个形成的。这里，如上所述，如果保留了包含在沟槽掩模图形 25 中的硅氧化物层，则在形成开口间隔层 70 的各向异性蚀刻工艺中用硅氧化物层作为蚀刻停止层。当形成开口间隔层 70 之后，保留的硅氧化物层被除去以便露出有源区 10a。

此外，在形成开口间隔层 70 之前，可以进一步地进行湿蚀刻工艺来扩展接触开口 77 的宽度。该湿蚀刻工艺是优选地采用除去沟槽掩模图形 25 的工艺或者能够在形成接触开口 77 之后进行的通常的清洁工艺进行的。接触开口 77 的宽度的扩展使得能够稳定地进行下面的形成接触栓塞的工艺。

参照图 8A、8B 和 8C，形成了接触栓塞 80 以填充形成开口间隔层 70 的接触开口 77。

该接触栓塞 80 是用从诸如硅、钨、钛、钛氮化物、铝和铜的导电材料组成的组中选出的至少一个形成的。此外，接触栓塞 80 可以采用 CVD 或者物理气相淀积（PVD）形成的。具体地，通过采用前述的技术，用于填充接触开口 77 的接触栓塞导电层形成在形成开口

间隔层 70 的半导体衬底的整个表面上。接下来，接触栓塞导电层被采用深度蚀刻工艺蚀刻，以露出间隙填充绝缘图形 35。这里，深度蚀刻工艺优选地用 CMP 进行。

同时，当接触栓塞 80 用硅形成的时候，除了前述的方法外，还可以采用外延生长。这里，将形成接触栓塞 80 的有源区是通过接触开口 77 定义的。因此，间隙填充绝缘图形 35 和开口间隔层 70 分开了彼此毗邻的接触栓塞。因此，当接触栓塞采用外延生长用硅形成的时候，在毗邻的接触栓塞 80 之间不会引起短路。

根据本发明，接触开口 77 是用在不同材料之间的蚀刻选择性形成的。该蚀刻选择性使得接触开口 77 与栅图形 60 自对准。因此，在传统的采用光刻工艺的方法中发生的错位可以被最小化。而且，因为接触开口 77 可以具有长方体形状，所以由于光刻工艺引起的圆化现象（rounding phenomenon）可以被实质上地消除，并且开口的宽度可以适当地保持。

图 9 示出了根据本发明的实施例的半导体器件的透视图。

参照图 9，用于定义有源区的沟槽 15 位于半导体衬底 15 的预定区上。顺序叠层的沟槽热氧化物层 6 和衬里 7 盖住了沟槽 15 的内壁。沟槽热氧化物层 6 和衬里 7 分别是硅氧化物层和硅氮化物层。

其中用间隙填充绝缘图形 35 填充了衬里 7 的沟槽 15 被用作器件隔离层。因此，间隙填充绝缘图形 35 优选地是硅氧化物层。但是，当沟槽 15 具有使得很难用单一的硅氧化物层填充沟槽纵横比的时候，可以进一步地在沟槽 15 的底区放置 SOG 层或者硅外延层。如果硅外延层被放置了，则将沟槽热氧化物层 6 和衬里 7 的底除去以露出沟槽 15 的底。

在间隙填充绝缘图形 35 上放置有栅图形 60 以跨过有源区和沟槽。这里，栅图形 60 的底与有源区的顶表面等高。即，栅图形 60 与有源区的顶表面接触。而且，栅图形 60 优选地具有平面底。栅图形 60 包括顺序叠层的栅绝缘层 62、栅导电图形 63 和封盖图形 65。栅绝缘层 62 优选地是形成在有源区上的硅氧化物层。栅导电图形 63 是用从多晶硅、和诸如钨 (W)、钴(Co)和铜(Cu)组成的组中选出的的一种形成的。封盖图形 65 优选地是用与间隙填充绝缘图形 35 相同的化学成分形成的。这里，间隙填充绝缘图形 35 的顶部优选地与栅图形 60 的顶部等高。因此，间隙填充绝缘图形 35 用作层间电介质，它将彼此毗邻的栅图形 60 绝缘。

因为间隙填充绝缘图形 35 形成在沟槽 15 上，它不覆盖有源区。因此，接触开口 77 被形成以露出在栅图形 60 和间隙填充绝缘图形 35 之间的有源区。即，接触开口 77 与栅图形 60 自对准。因此，接触开口 77 是长方体形状的空口，而不是通过光刻或者蚀刻工艺形成的传统的开口的圆形。因为接触开口 77 具有长方体形状，所以在包括光刻工艺的构图工艺中的圆化现象可以被最小化。该圆化现象使得开口的边缘被圆化得不象设计的形状了，从而减小了开口的宽度。

接触开口 77 用接触栓塞 80 填充。开口间隔层 70 位于接触开口 77 的侧壁上，以电绝缘接触栓塞 80 和栅图形 60。接触栓塞 80 使用从硅 (Si)、钨 (W)、钛 (Ti)、钛氮化物 (TiN)、和铝 (Al) 组成的组中选出的至少一个形成的。这里，硅层优选地是包含杂质或者多晶硅层的外延硅层。此外，开口间隔层 70 包括从硅氮化物层、硅氧化物层和硅层组成的组中选出的至少一个。

包括轻掺杂区 72 和重掺杂区 74 的 LDD 结构的节区形成在接触开口 77 之下的有源区中。此外，栅间隔层 50 位于栅图形 60 的侧壁上。栅间隔层 50 是用与间隙填充绝缘图形 35 相同的化学成分形成的，优选地，硅氧化物层。此外，栅间隔层 50 优选地具有与用各向异性

蚀刻工艺形成的通常的间隔层相同的形状。因此，接触栅图形 60 的侧壁具有弯曲形状。此时，栅图形 60 具有比顶区宽的底区。

栅图形 60 可以是用于闪存器件的栅图形。此时，顺序叠层的栅层间绝缘层和栅上部导电图形可以进一步地放置在栅导电图形 63 和封盖图形 65 之间。栅层间绝缘层可以是 ONO 层。这里，栅层间绝缘层具有覆盖栅上部导电图形和封盖图形 65 的侧壁的侧壁延伸部分。此外，栅上部导电图形优选地是顺序叠层的多晶硅层和硅化物层。

根据本发明，接触开口是通过采用在不同的材料之间的蚀刻选择性形成的。当采用蚀刻选择性的时候，接触开口是与栅图形自对准的。因此，当接触开口通过光刻工艺形成的时候发生的错位可以被最小化。结果，半导体器件可以高度集成。

此外，根据本发明，接触开口是与栅图形自对准的，并且具有长方体形状。因此，圆化现象可以被最小化，并且因此可以适当地保持开口的宽度。结果，半导体器件可以高度地集成。

尽管参照附图说明了本发明的优选实施例，但是本领域中的普通技术人员可以理解，在不脱离所附的权利要求书所限定的本发明的精神和范围内可以作出形式上或者细节上的修改。

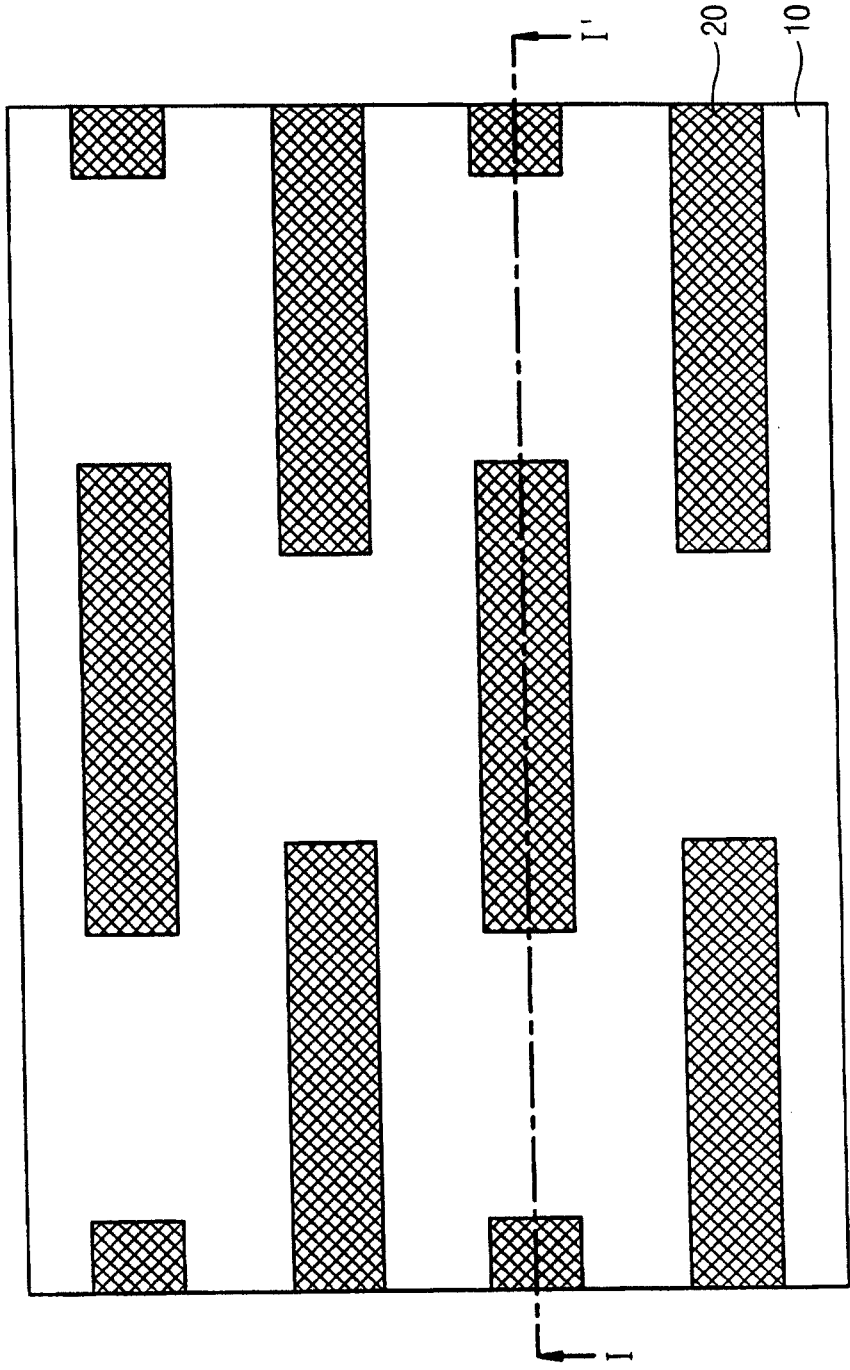


图 1A

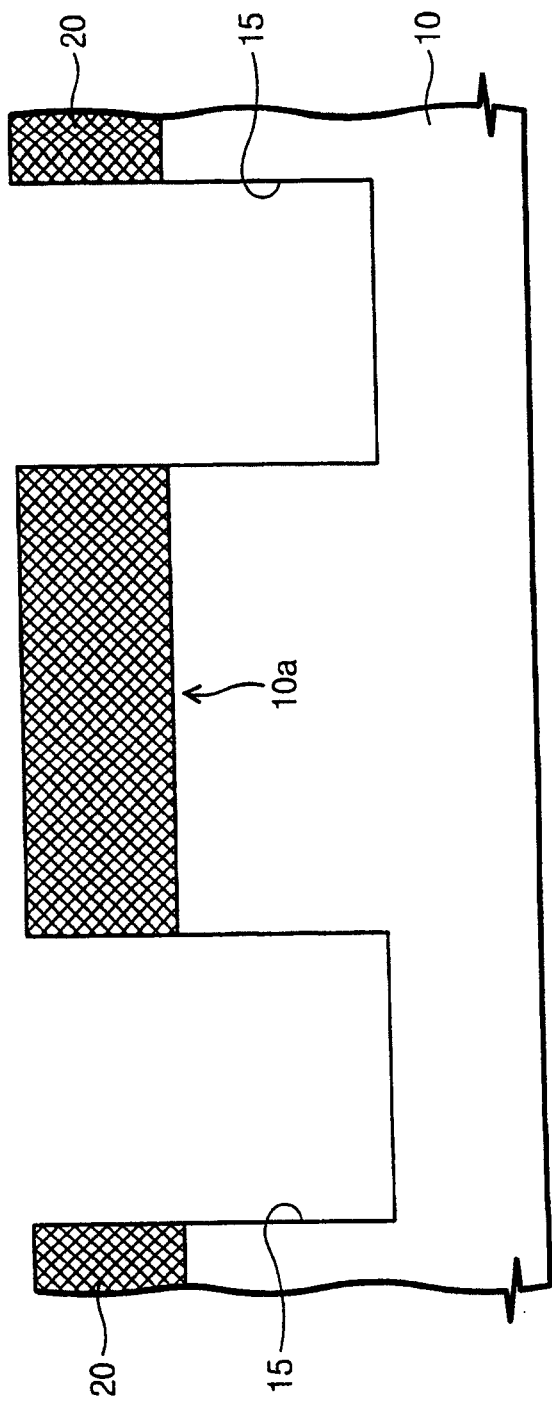


图 1B

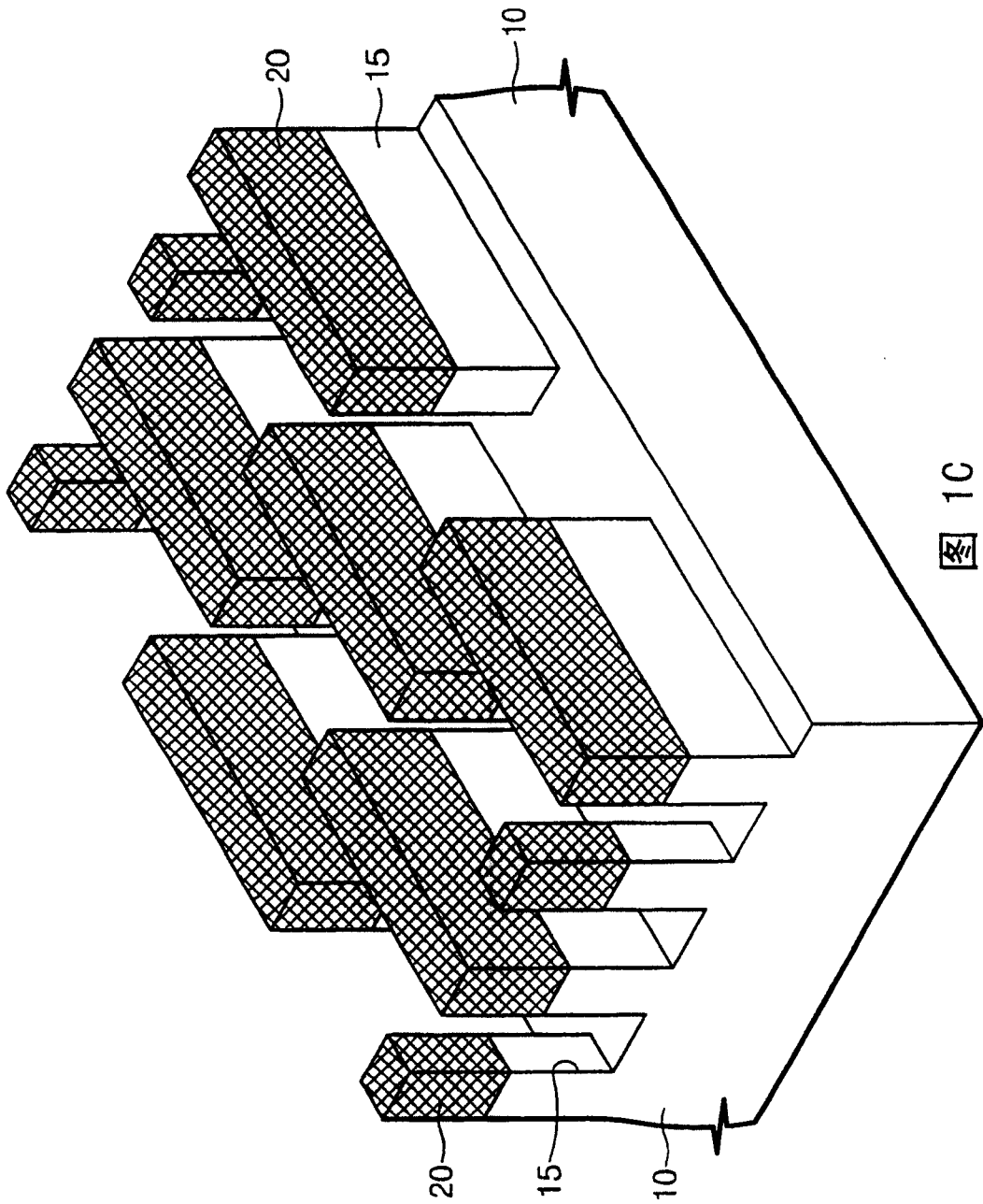


图 1C

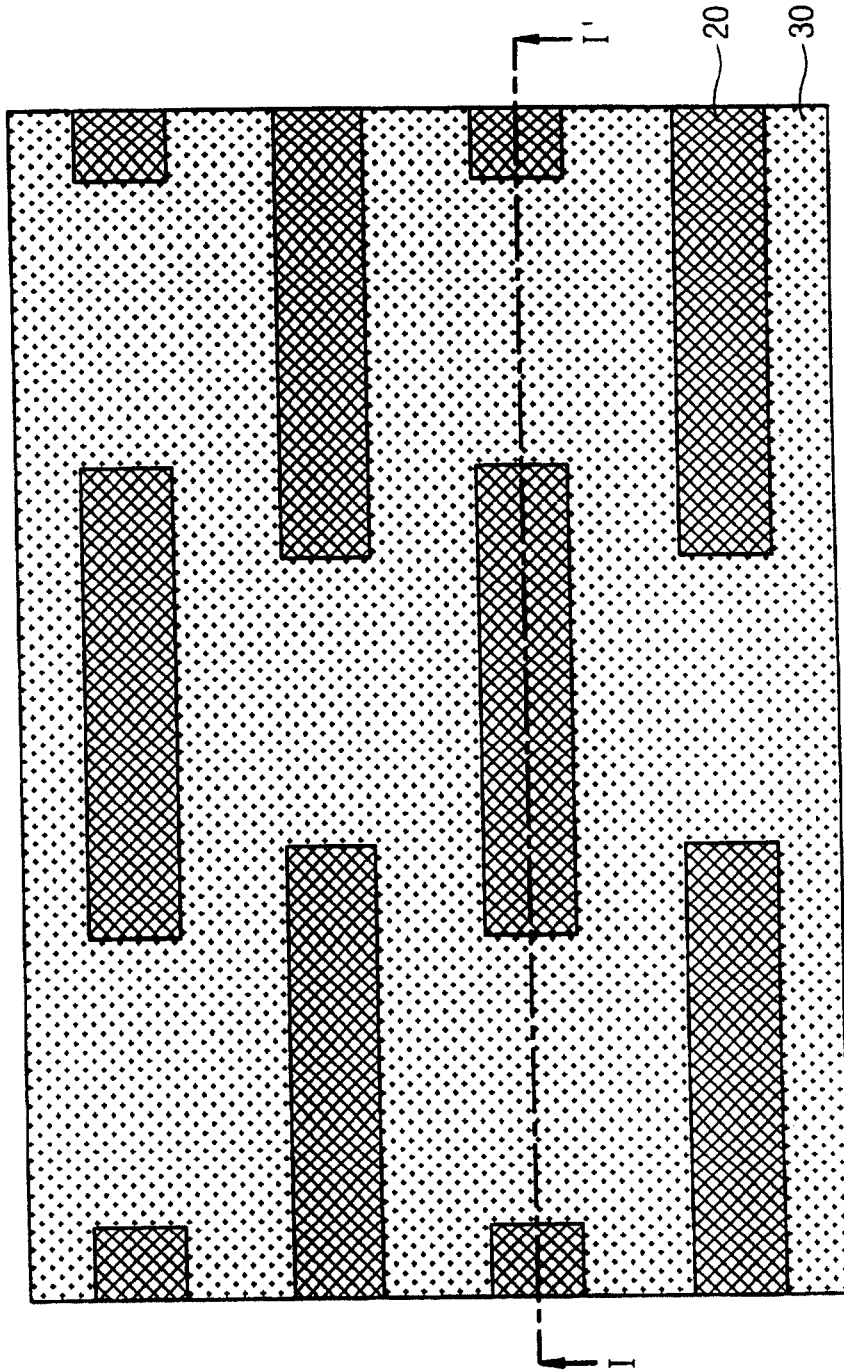


图 2A

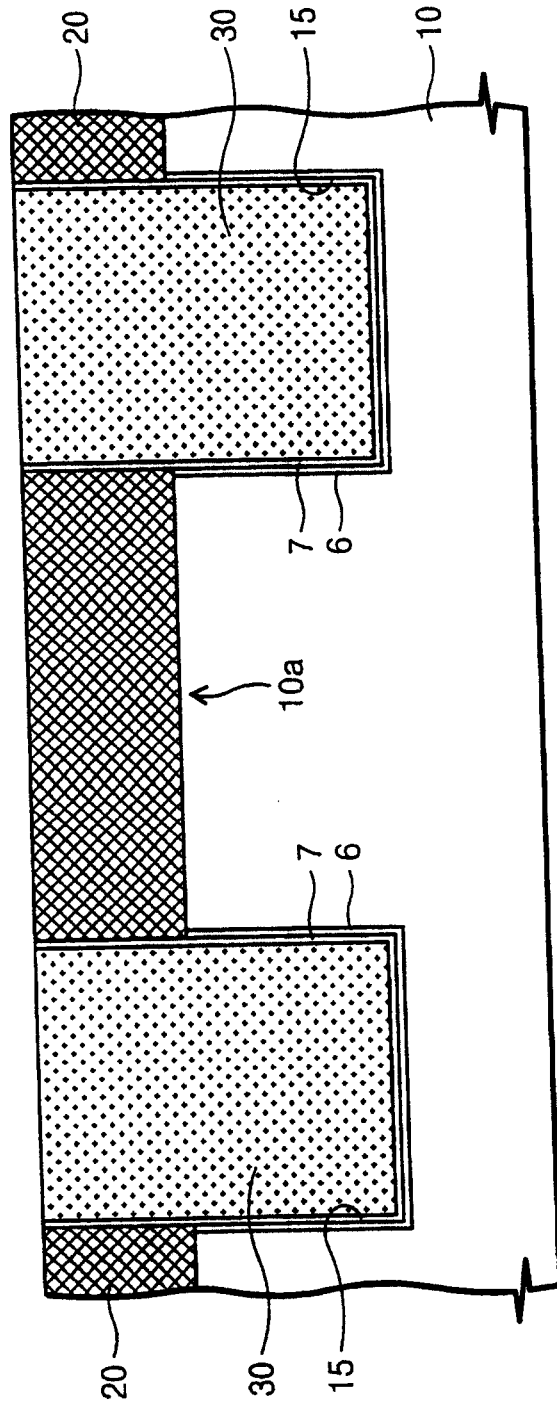


图 2B

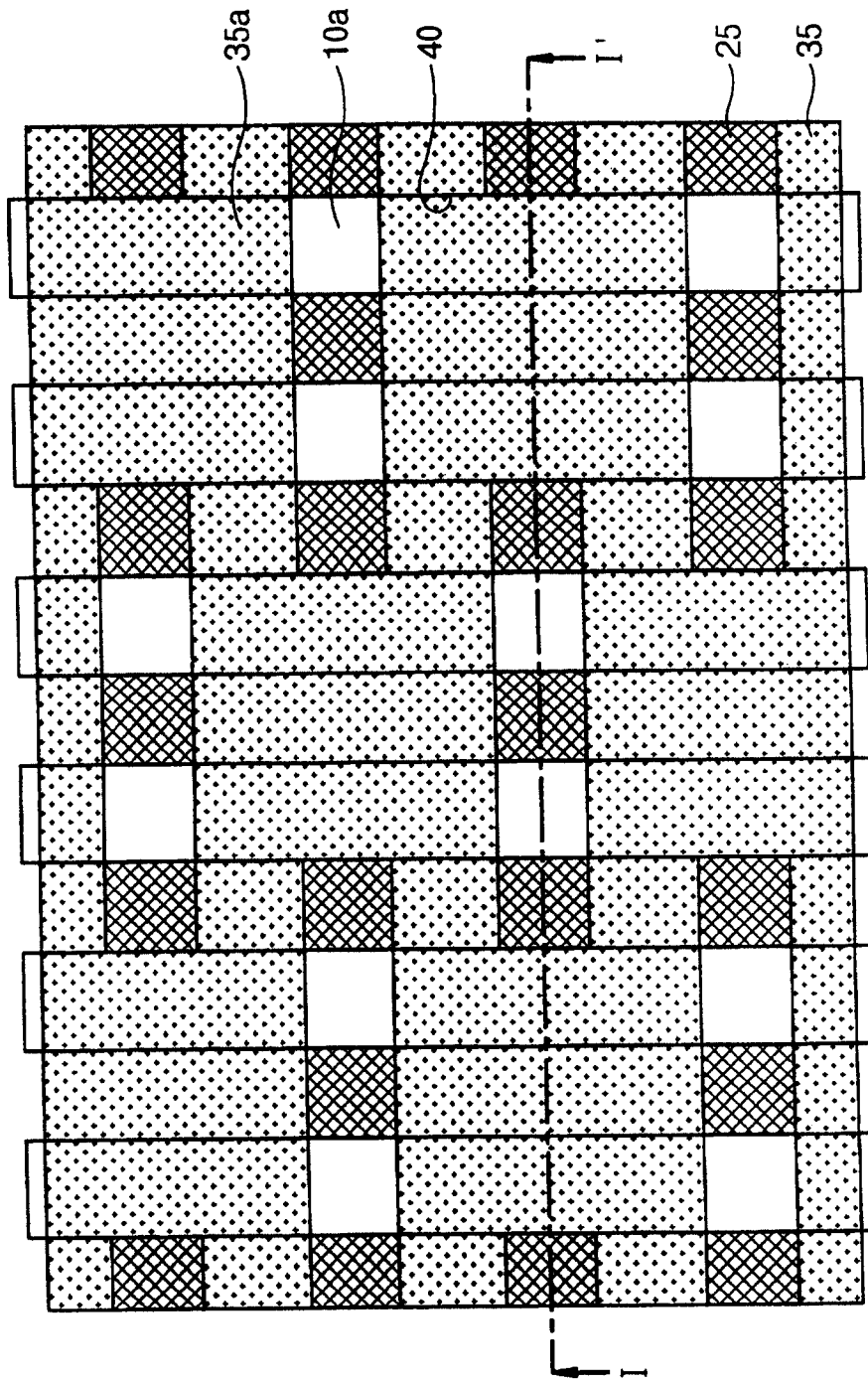


图 3A

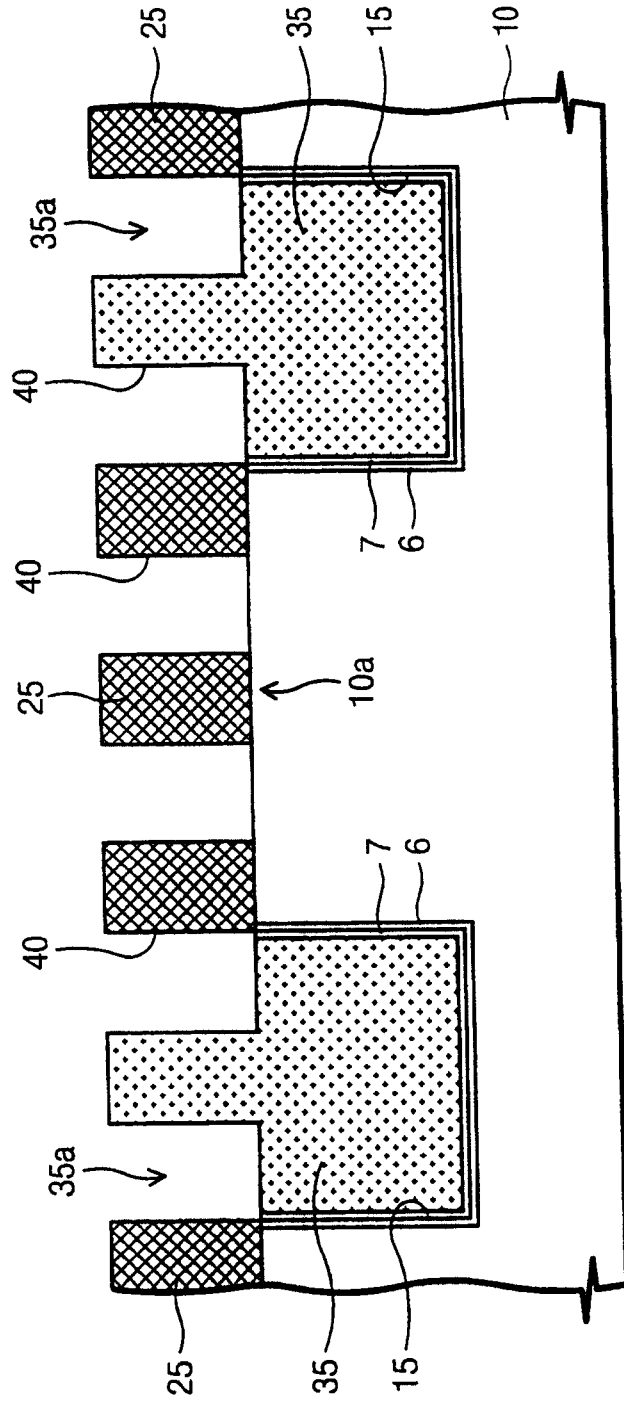


图 3B

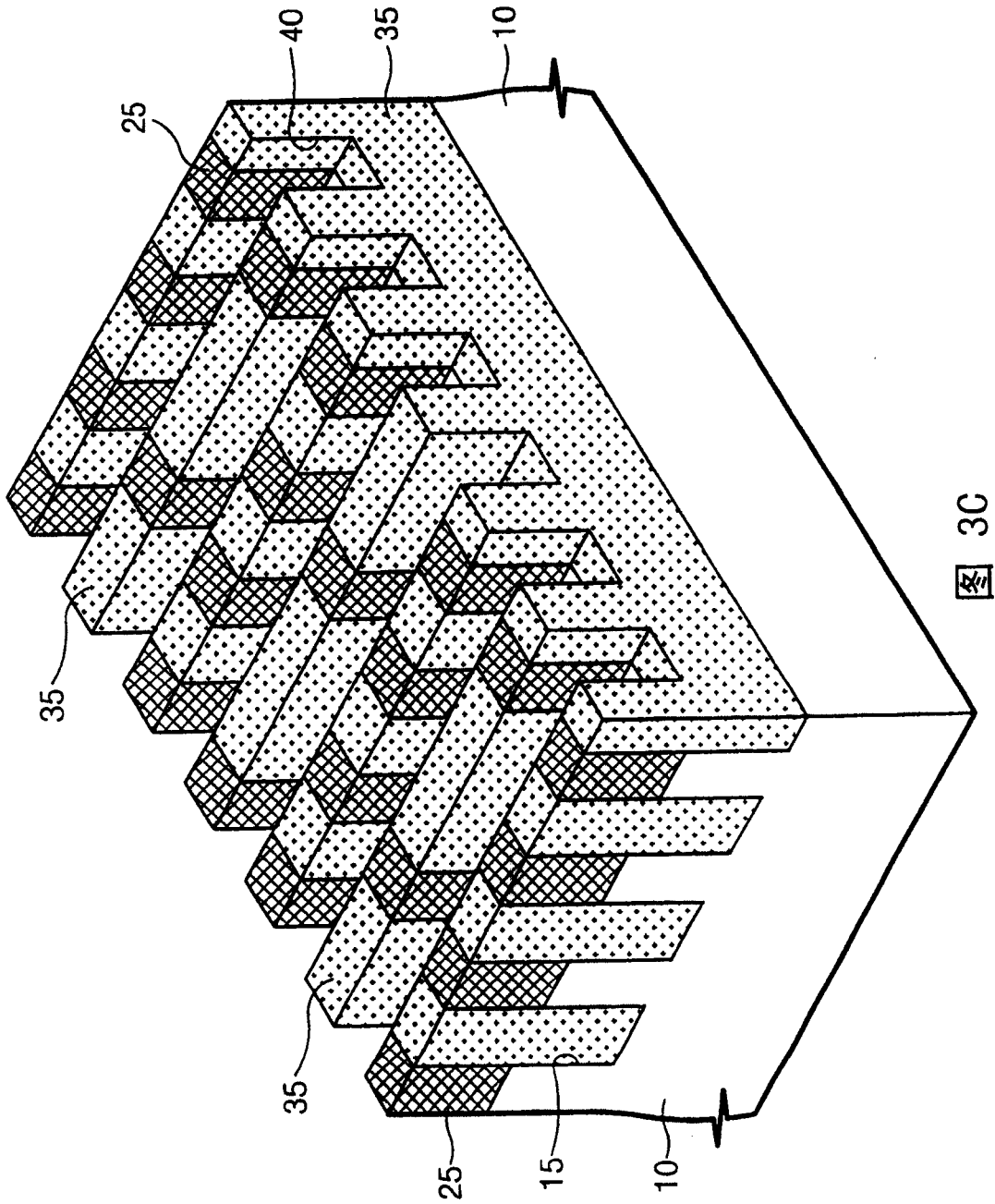


图 3C

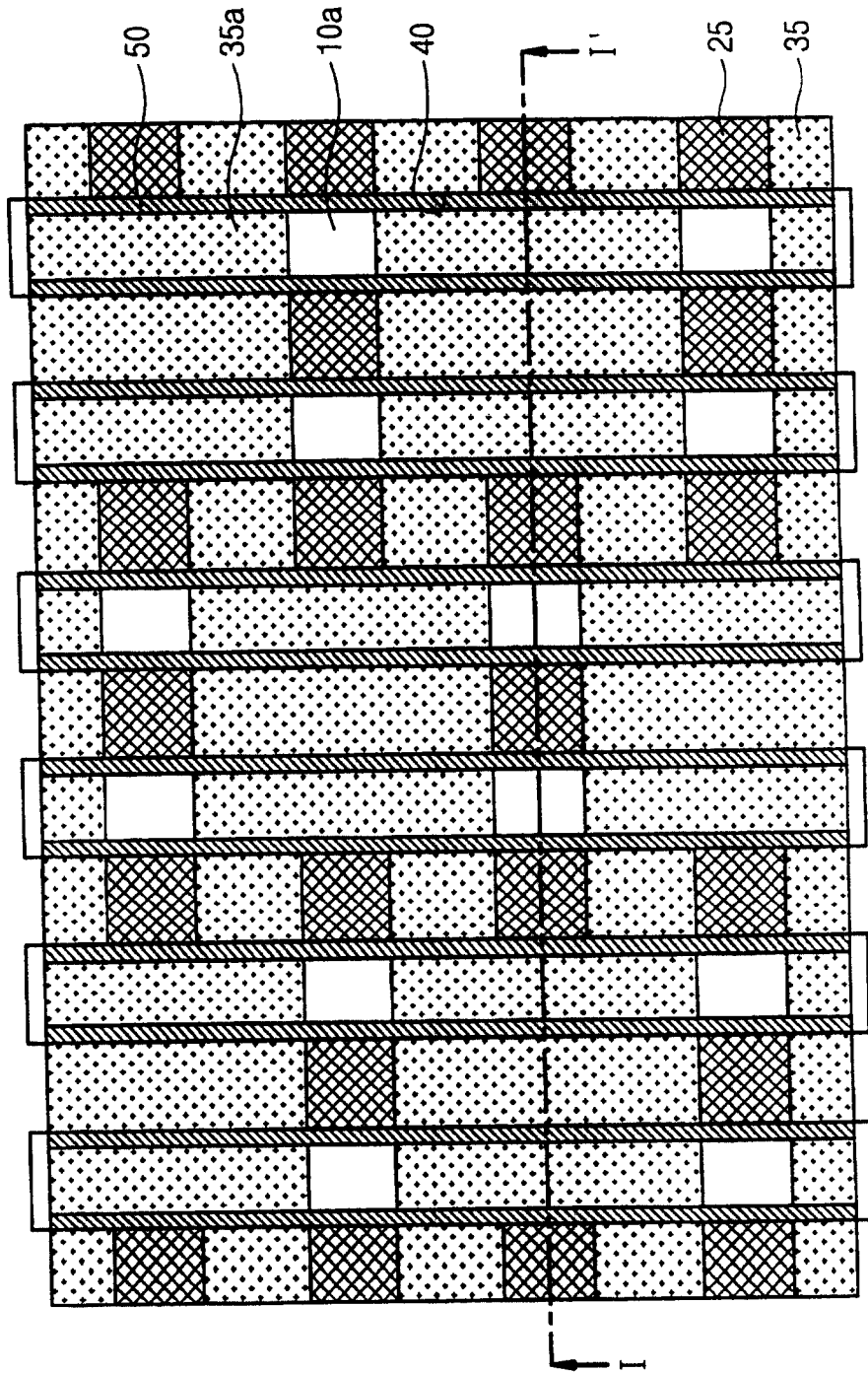


图 4A

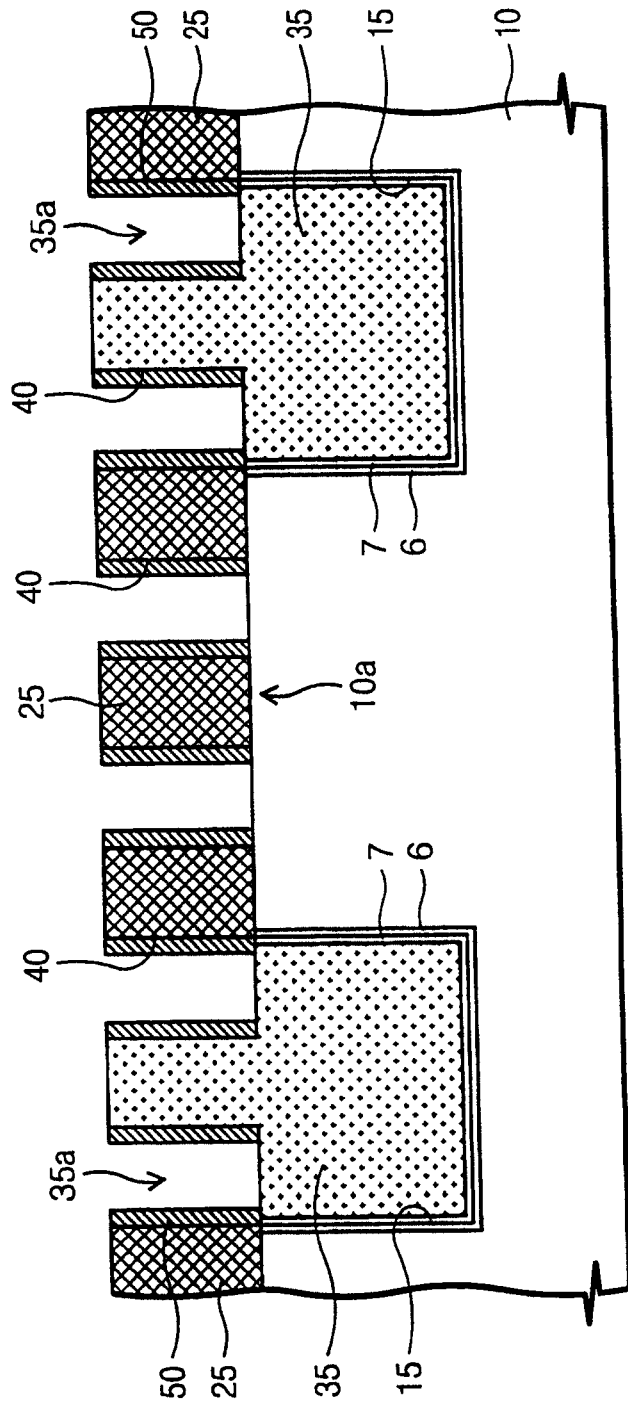


图 4B

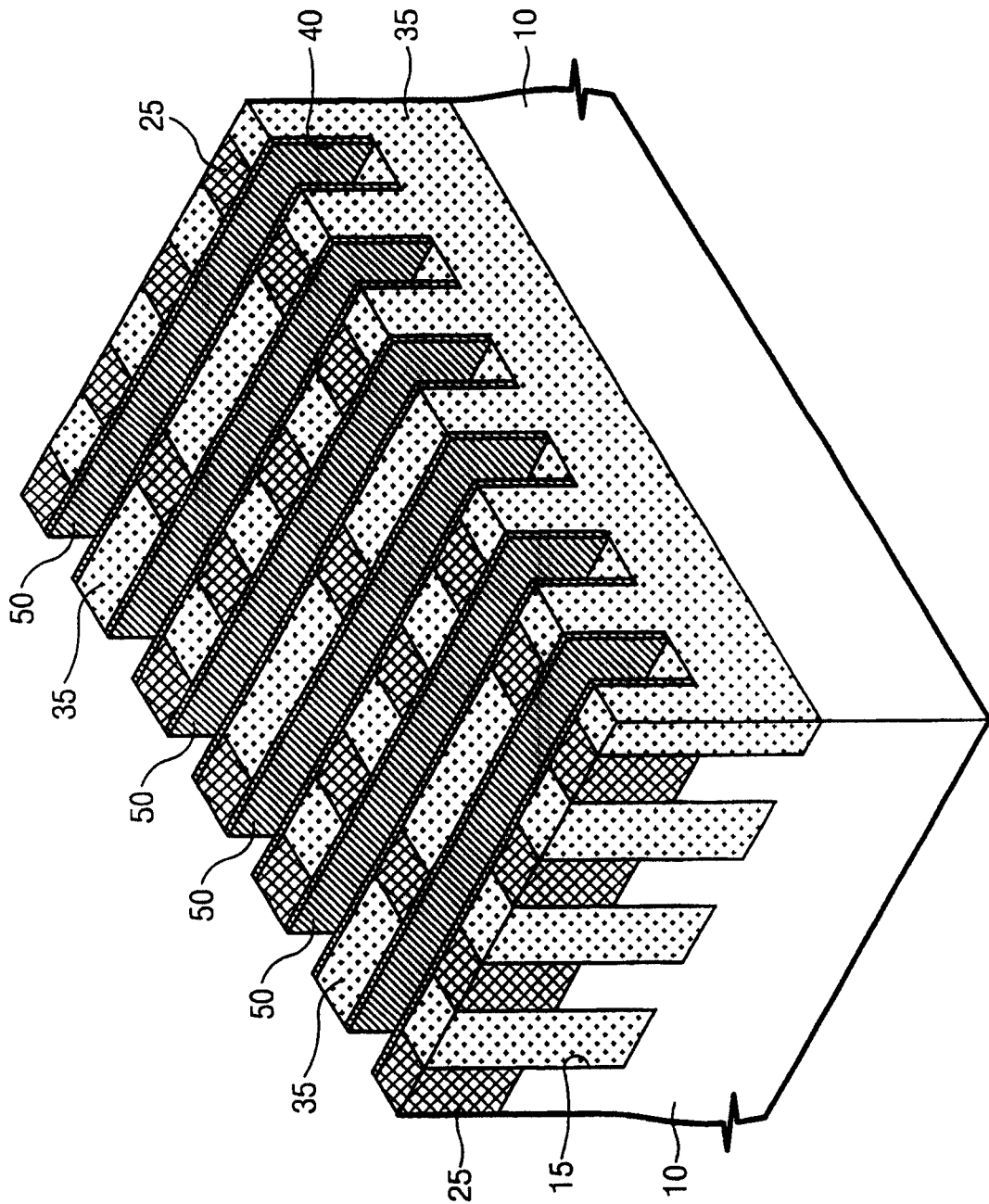


图 4C

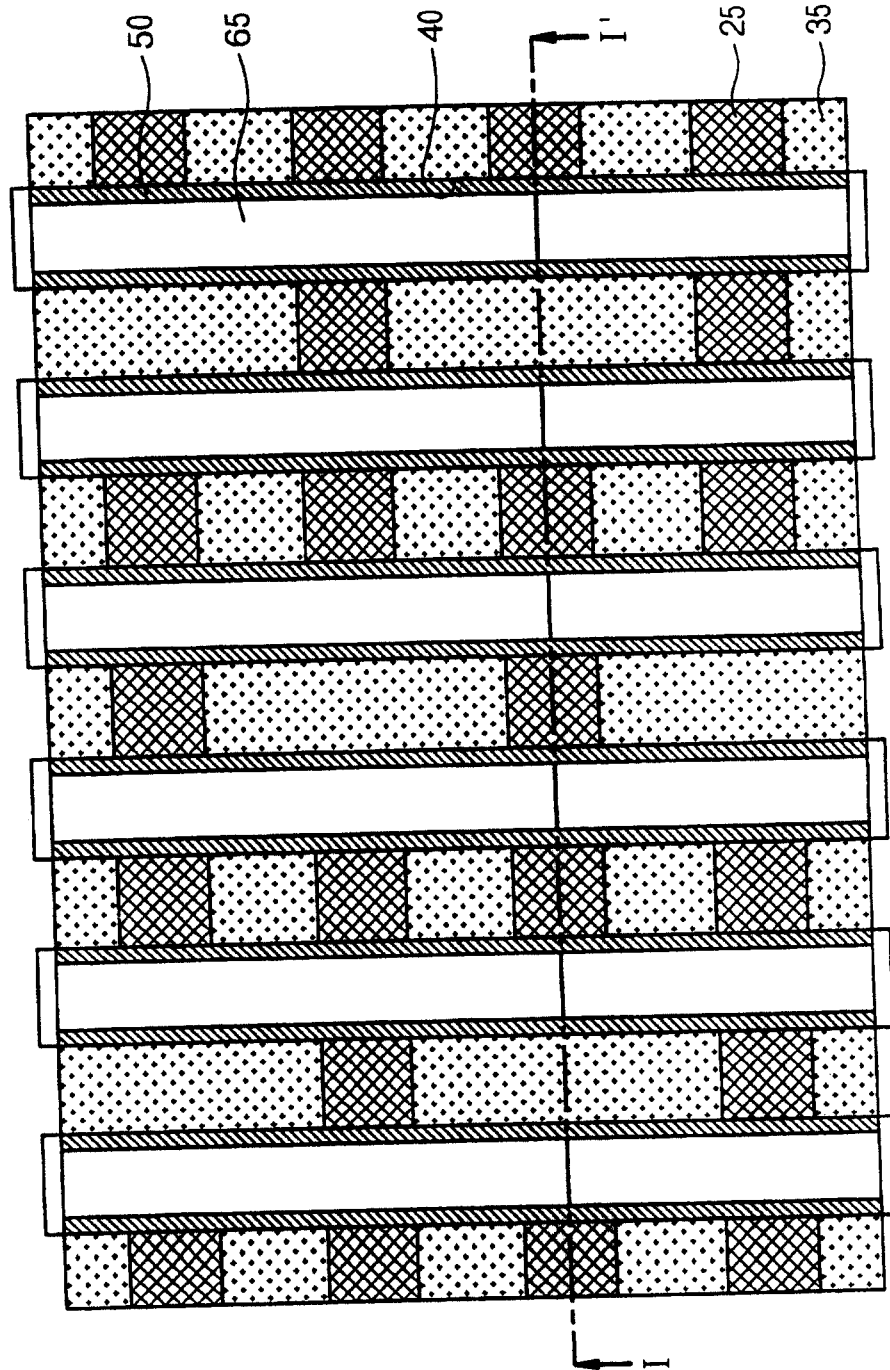


图 5A

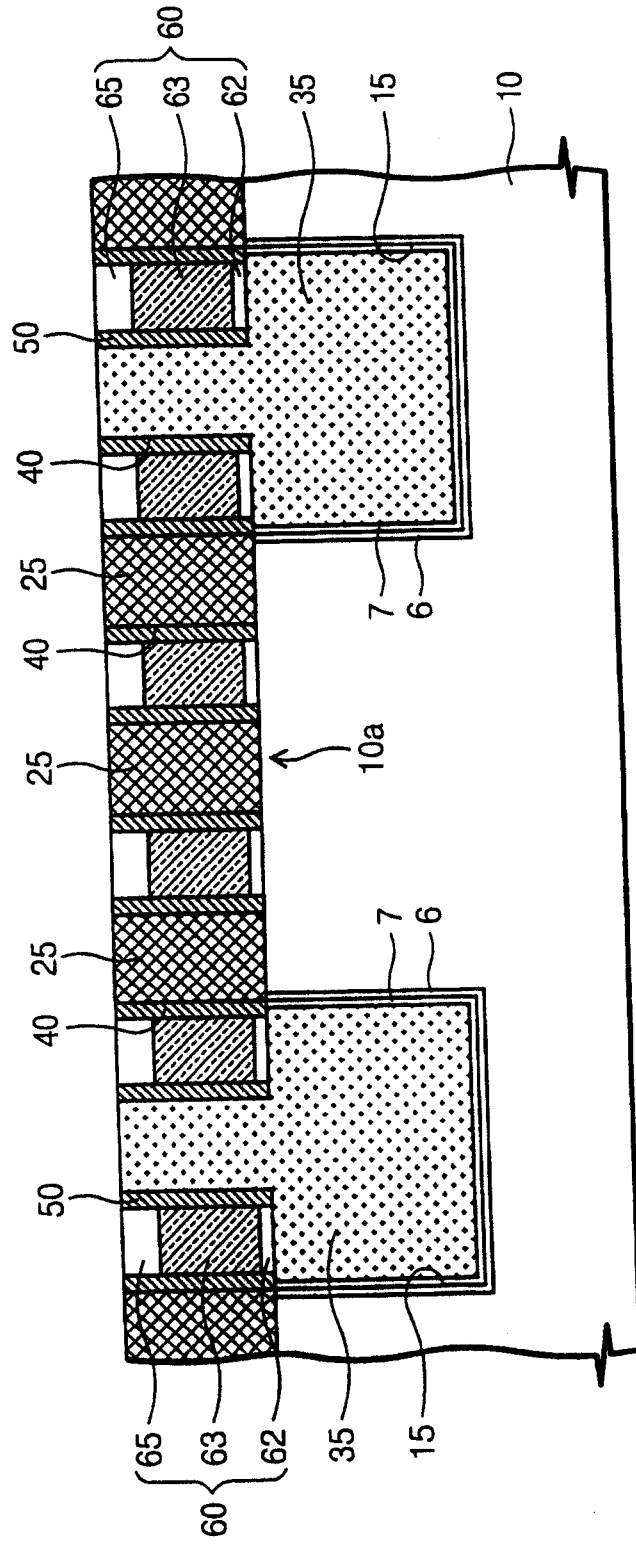
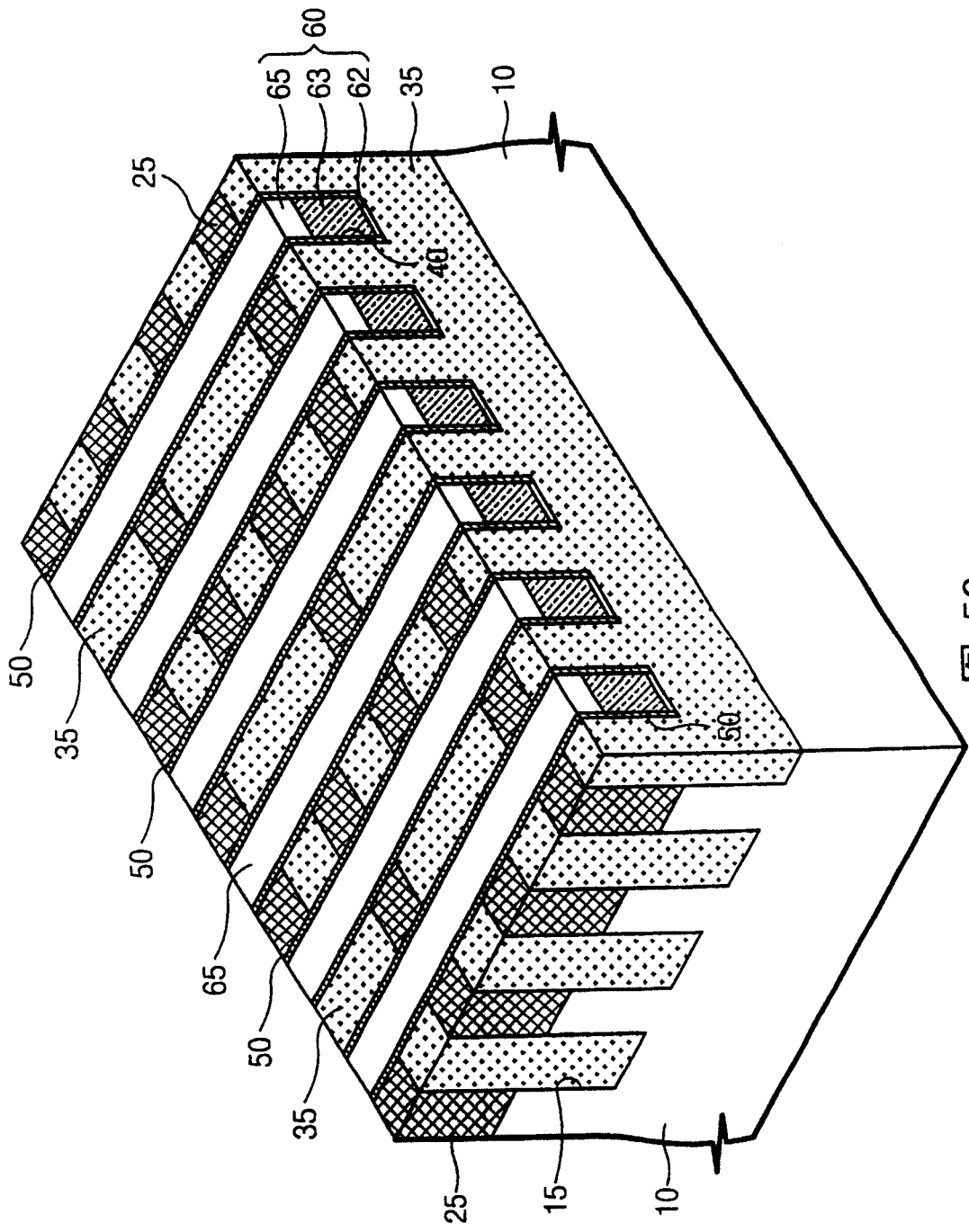


图 5B



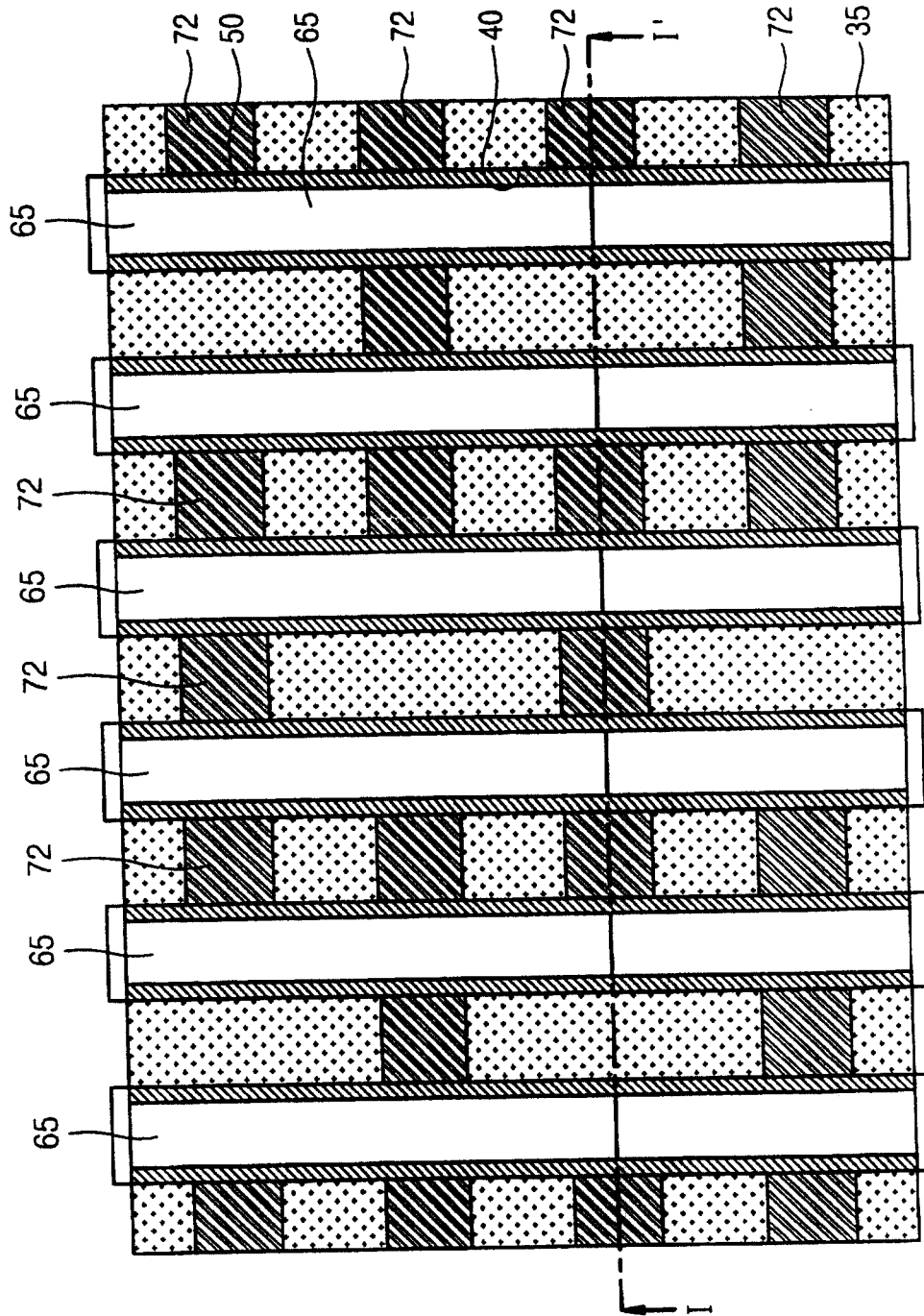


图 6A

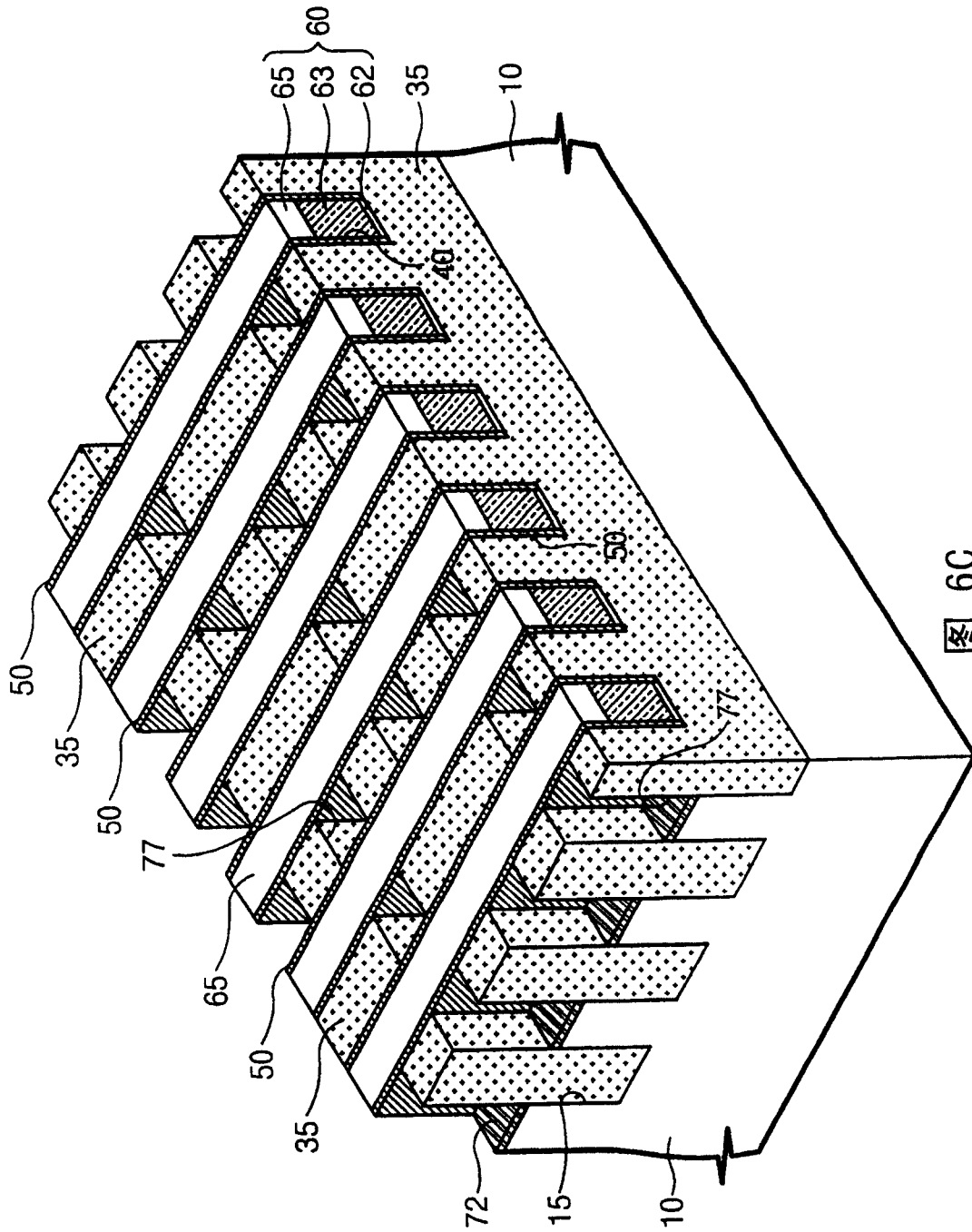


图 6C

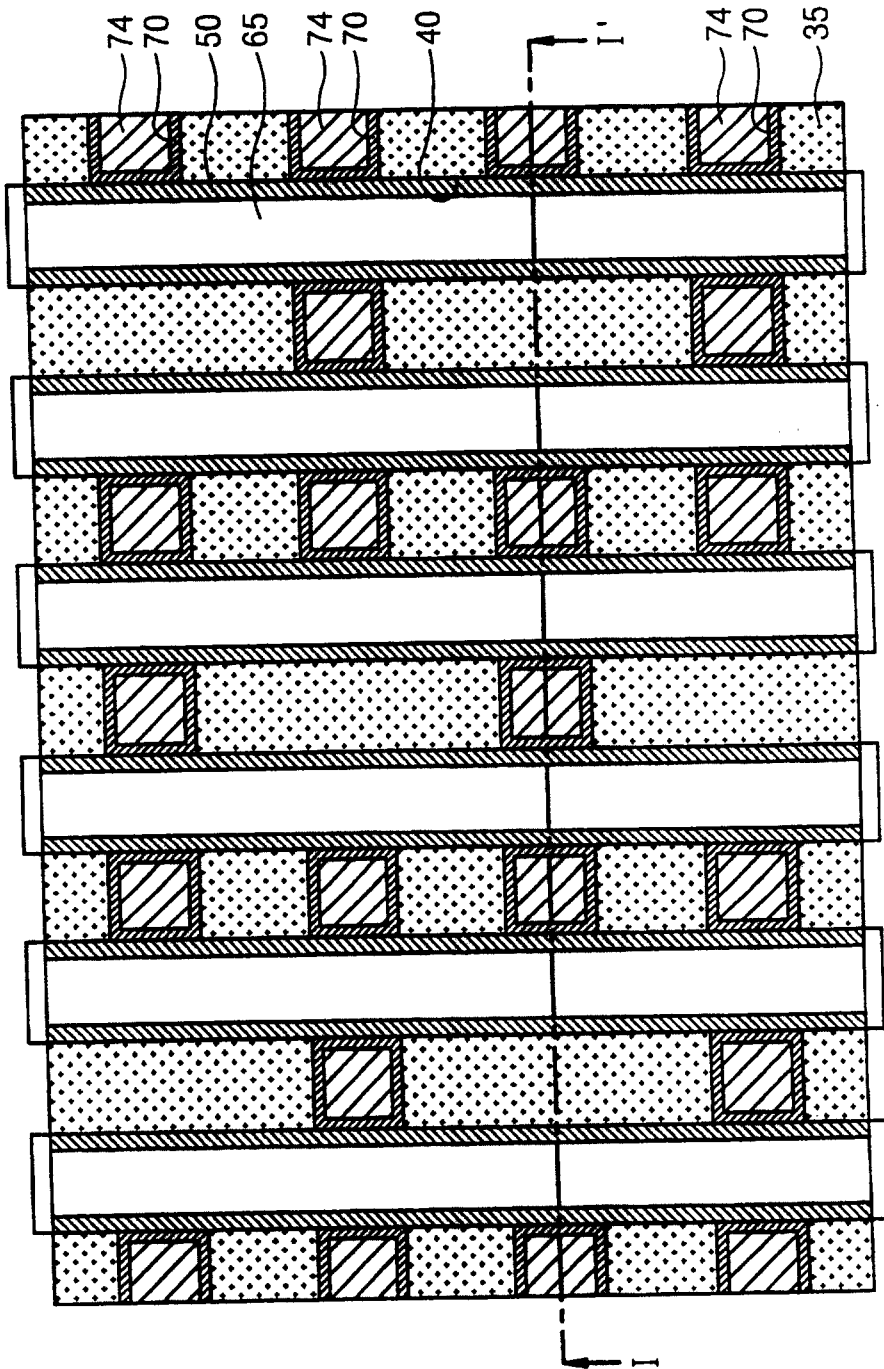


图 7A

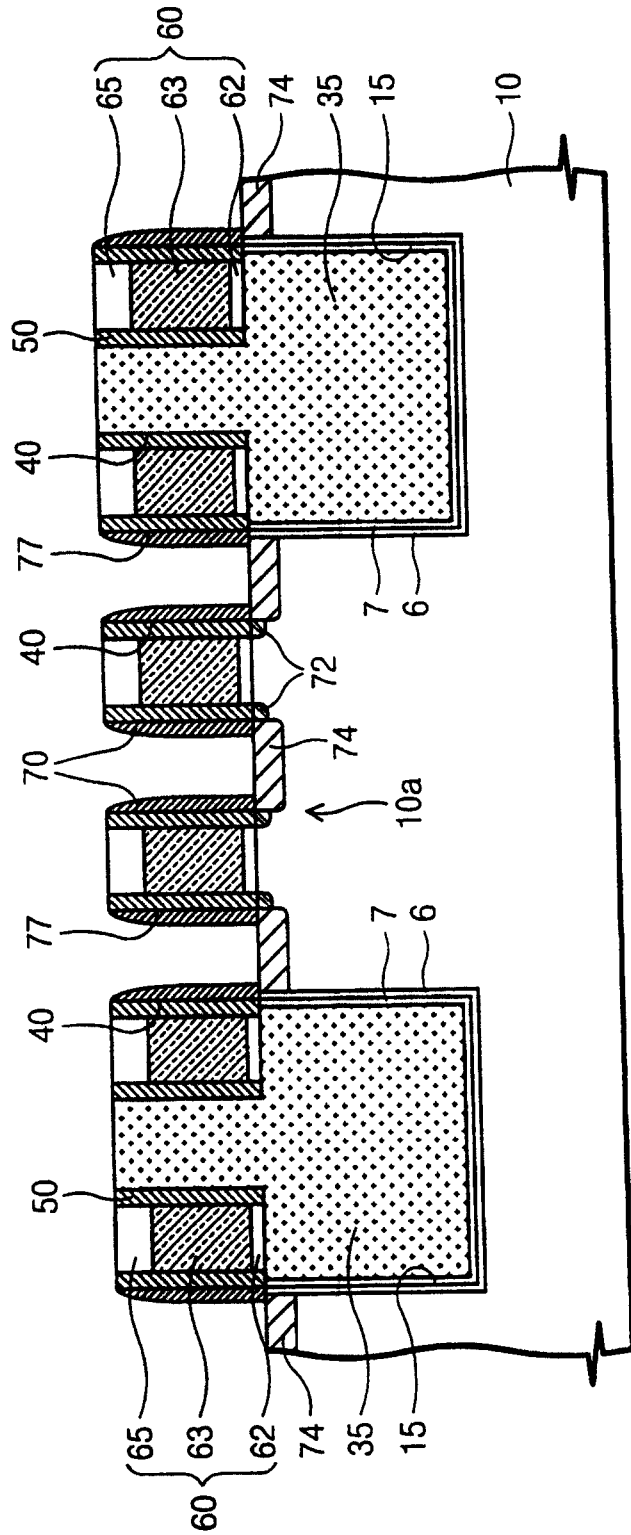


图 7B

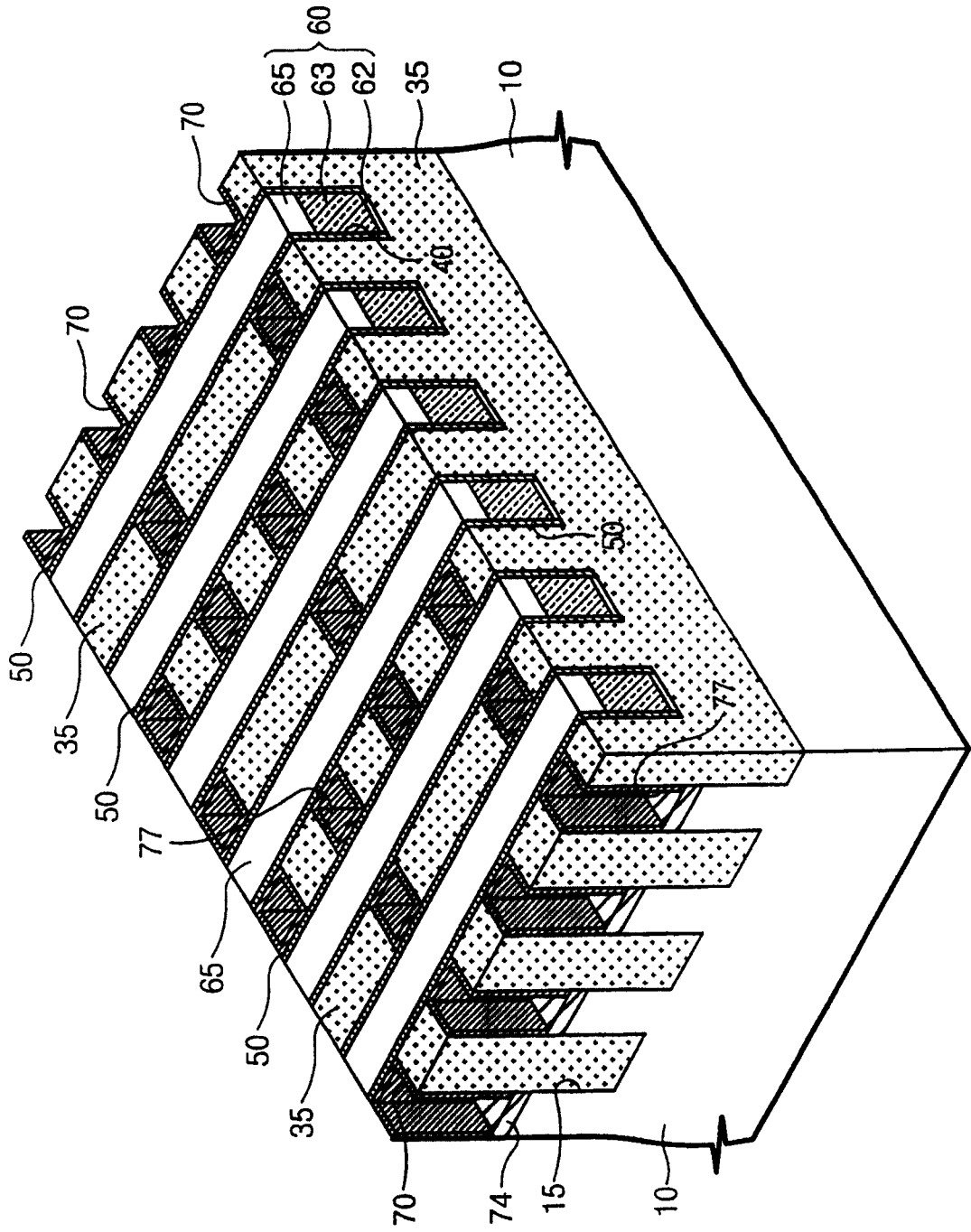


图 7C

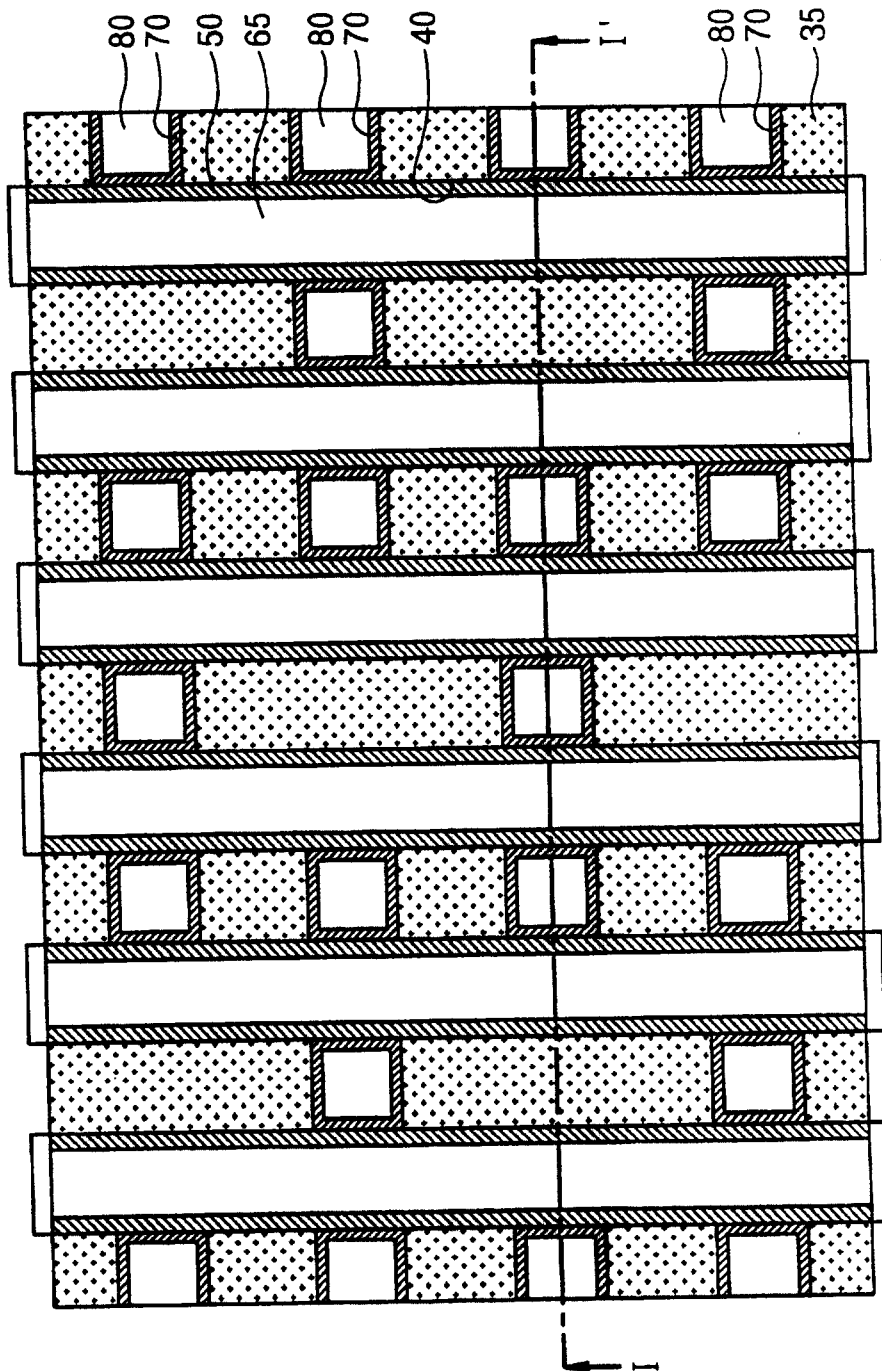


图 8A

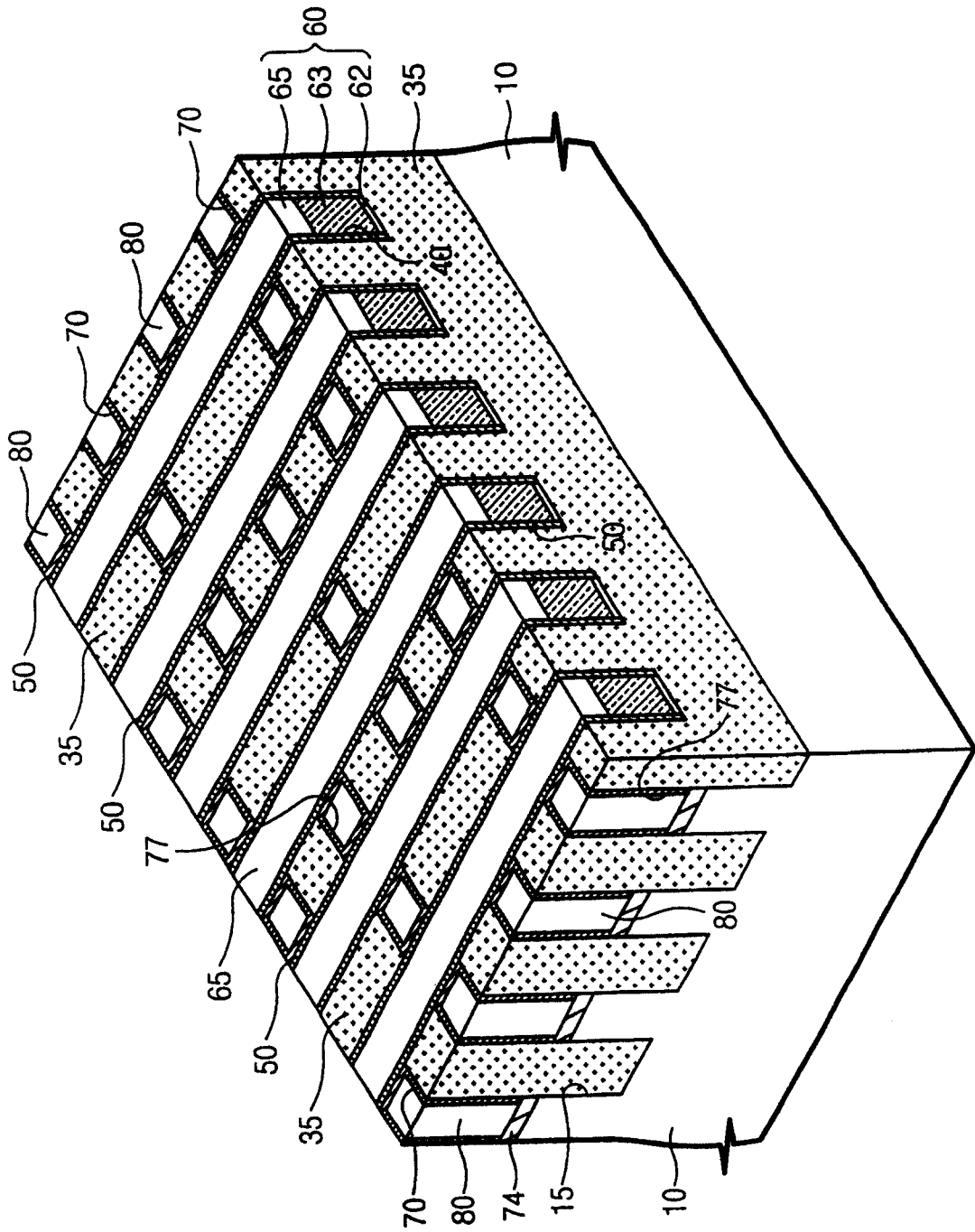


图 8C

