

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-219849

(P2016-219849A)

(43) 公開日 平成28年12月22日(2016.12.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 E	4 M 1 1 8
HO 4 N 5/357 (2011.01)	HO 4 N 5/335 5 7 0	5 C 0 2 4
HO 4 N 5/359 (2011.01)	HO 4 N 5/335 5 9 0	
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 0	

審査請求 有 請求項の数 5 O L (全 26 頁)

(21) 出願番号	特願2016-180030 (P2016-180030)	(71) 出願人	314012076 パナソニックIPマネジメント株式会社 大阪府大阪市中央区城見2丁目1番61号
(22) 出願日	平成28年9月14日 (2016.9.14)	(74) 代理人	100109210 弁理士 新居 広守
(62) 分割の表示	特願2013-527868 (P2013-527868) の分割	(74) 代理人	100137235 弁理士 寺谷 英作
原出願日	平成24年7月30日 (2012.7.30)	(74) 代理人	100131417 弁理士 道坂 伸一
(31) 優先権主張番号	特願2011-172635 (P2011-172635)	(72) 発明者	森 三佳 大阪府門真市大字門真1006番地 パナ ソニック株式会社内
(32) 優先日	平成23年8月8日 (2011.8.8)	(72) 発明者	坂田 祐輔 大阪府門真市大字門真1006番地 パナ ソニック株式会社内
(33) 優先権主張国	日本国 (JP)		
(31) 優先権主張番号	特願2011-183136 (P2011-183136)		
(32) 優先日	平成23年8月24日 (2011.8.24)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

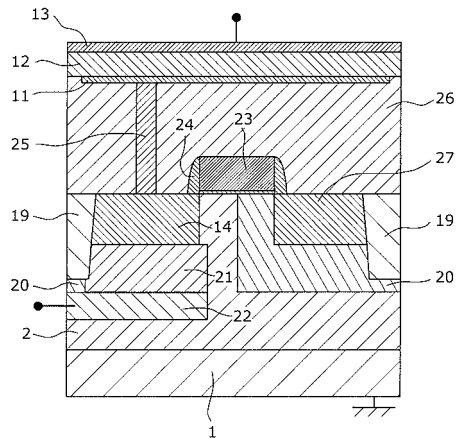
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】高輝度被写体の撮像後においても、リセットトランジスタ及び増幅トランジスタの特性劣化を抑制することが可能な固体撮像装置を提供する。

【解決手段】エピ層2と、複数の画素電極11と、複数の画素電極11の上に形成され、入射した光を電気信号に変換する光電変換膜12と、光電変換膜12の上に形成された透明電極13と、複数の画素電極11のそれぞれに対応してエピ層2内に形成され、対応する画素電極11と電気的に接続され、光電変換により光電変換膜12で生成された信号電荷を蓄積するn型の電荷蓄積領域14と、電荷蓄積領域14のそれぞれの底部に接するようにエピ層2内に形成されたp型の電荷障壁領域21と、電荷障壁領域21のそれぞれの底部に接するようにエピ層2内に形成されたn型の電荷排出領域22とを備える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

半導体基板と、
 前記半導体基板の上方にアレイ状に配置され、各々が異なる単位画素を構成する複数の第一の電極と、
 前記複数の第一の電極の上に形成され、光を電気信号に変換する光電変換膜と、
 前記光電変換膜の上に形成された第二の電極と、
 前記複数の第一の電極のそれぞれに対応して前記半導体基板内に形成され、対応する前記第一の電極と電気的に接続され、光電変換により前記光電変換膜で生成された電荷を蓄積する第一導電型の電荷蓄積領域と、
 前記第一の電極と前記電荷蓄積領域とを電気的に接続するコンタクト配線と、
 前記電荷蓄積領域のそれぞれの底部に接するように前記半導体基板内に形成された前記第一導電型と反対の第二導電型の電荷障壁領域と、
 前記電荷障壁領域のそれぞれの底部に接するように前記半導体基板内に形成された前記第一導電型の電荷排出領域とを備え、
 前記半導体基板の表面に対して垂直な断面において、
 前記コンタクト配線の真下に、前記電荷蓄積領域、前記電荷障壁領域、および前記電荷排出領域が位置する
 固体撮像装置。

10

【請求項 2】

前記電荷障壁領域の不純物濃度は、前記電荷排出領域の不純物濃度より低い
 請求項 1 に記載の固体撮像装置。

20

【請求項 3】

さらに、前記電荷蓄積領域の電位を初期化する MOS 型トランジスタを備え、
 前記電荷蓄積領域は、前記 MOS 型トランジスタのドレイン領域及びソース領域のいずれか一方に兼用され、
 前記 MOS 型トランジスタのドレイン領域及びソース領域のいずれか他方は、前記第一導電型であり、
 前記半導体基板において、前記電荷蓄積領域の前記半導体基板の表面からの深さは、前記ドレイン領域及びソース領域のいずれか他方の前記半導体基板の表面からの深さより深い
 請求項 1 または 2 に記載の固体撮像装置。

30

【請求項 4】

前記電荷排出領域は、前記第二導電型の前記半導体基板と接している
 請求項 1 から 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

前記電荷排出領域の電位は、変動する
 請求項 1 から 4 のいずれか 1 項に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、単位画素がアレイ状に配列された積層型の固体撮像装置に関する。

【背景技術】

【0002】

CMOS (Complementary Metal Oxide Semiconductor) 及び MOS (Metal Oxide Semiconductor) エリアイメーセンサ (以下、両者とも MOS センサと称する)、並びに電荷結合素子 (Charge Coupled Devices) エリアイメーセンサ (以下、CCD センサと称する) は、入射光量に応じて発生した電荷量により画像信号を生成する。これらのイメージセンサ (固体撮像装置) は、機能素子として、デジタルスチルカメラ、デジタル

50

ビデオカメラ、ネットワークカメラ、及び携帯電話用カメラ等、多岐にわたる撮像機器に搭載されている。

【0003】

従来のイメージセンサは、半導体基板の表面付近に、光電変換部（フォトダイオード）と読み出し回路部とを有する画素部（単位画素）が二次元のアレイ状に配置された構成を有し、光電変換部の開口面積は、読み出し回路部の面積に応じて削減される。このため、従来のイメージセンサは、特に画素部のサイズが小さくなるに従い、光電変換部の開口率が低下するという課題があった。

【0004】

これに対し、半導体基板の表面付近に、読み出し回路部を配置し、光電変換可能な材料を光電変換膜として半導体基板上方に積層した積層型イメージセンサが、特許文献1に報告されている。

10

【0005】

特許文献1に記載の積層型イメージセンサの光電変換部は、光電変換膜を電極で挟んで形成されており、光信号により光電変換膜で発生する電荷は、電極を通して読み出し回路に転送されている。図15に、特許文献1の画素部の構成を示す。図15の画素部では、光電変換膜101内で発生した電荷は、画素電極102を通して、基板に形成されたPN接合の電荷蓄積部103に蓄積される。この電荷蓄積部103は、増幅トランジスタ104のゲートに結線されており、電荷蓄積部103の蓄積電荷量の変動に伴う電圧変化が画素部から出力される。電荷蓄積部103には、さらに、電荷が読み出された後に、電荷蓄積部103の電荷をリセットするために、リセットトランジスタ106のドレインが接続されている。リセットトランジスタ106がON状態となったとき、初期状態電圧に電荷蓄積部103の電圧が設定される。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特許第4444371号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1のような画素部構成と読み出し方式を用いた積層型イメージセンサは、特に高輝度撮像時に信号出力が低下し、その後の撮像時も同様の出力低下が起こるとい課題が本願発明者らの研究によって明らかになった。

30

【0008】

そこで、本発明は、上記課題に鑑みてなされたものであって、高輝度の被写体撮像後においても、リセットトランジスタ及び増幅トランジスタの特性劣化を抑制することが可能な高信頼性の積層型の固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本開示に係る固体撮像装置は、半導体基板と、前記半導体基板の上方にアレイ状に配置され、各々が異なる単位画素を構成する複数の第一の電極と、前記複数の第一の電極の上に形成され、光を電気信号に変換する光電変換膜と、前記光電変換膜の上に形成された第二の電極と、前記複数の第一の電極のそれぞれに対応して前記半導体基板内に形成され、対応する前記第一の電極と電気的に接続され、光電変換により前記光電変換膜で生成された電荷を蓄積する第一導電型の電荷蓄積領域と、前記第一の電極と前記電荷蓄積領域とを電気的に接続するコンタクト配線と、前記電荷蓄積領域のそれぞれの底部に接するように前記半導体基板内に形成された前記第一導電型と反対の第二導電型の電荷障壁領域と、前記電荷障壁領域のそれぞれの底部に接するように前記半導体基板内に形成された前記第一導電型の電荷排出領域とを備え、前記半導体基板の表面に対して垂直な断面において、前記コンタクト配線の真下に、前記電荷蓄積領域、前記電荷障

40

50

壁領域、および前記電荷排出領域が位置することを特徴とする。

【発明の効果】

【0010】

本発明によれば、高輝度被写体の撮像時にも単位画素の読み出し回路のトランジスタが損傷せず、高い信頼性の積層型固体撮像装置を実現することができる。

【図面の簡単な説明】

【0011】

【図1】図1は、本発明の実施の形態1に係る固体撮像装置の概略構成の一例を示す図である。

【図2】図2は、本発明の実施の形態1に係る単位画素の構成の一例を示す回路図である。

【図3】図3は、本発明の実施の形態1に係る固体撮像装置の構成の一例を示す断面図である。

【図4】図4は、本発明の実施の形態1に係る固体撮像装置の製造方法の一例を示す工程断面図である。

【図5】図5は、本発明の実施の形態1の変形例に係る固体撮像装置の構成の一例を示す断面図である。

【図6】図6は、本発明の実施の形態1の変形例に係る固体撮像装置の製造方法の一例を示す工程断面図である。

【図7】図7は、比較例に係る積層型固体撮像装置の画素部の構成を示すブロック図である。

【図8】図8は、比較例に係る積層型固体撮像装置の駆動方法を示すタイミングチャートである。

【図9】図9は、本発明の実施の形態2に係る固体撮像装置の構成を示すブロック図である。

【図10】図10は、本発明の実施の形態2に係る、画素部および信号読み出し部回路図である。

【図11】図11は、本発明の実施の形態2に係る3画素分のデバイス断面図である。

【図12】図12は、本発明の実施の形態2に係る固体撮像装置の駆動方法を示すタイミングチャートである。

【図13】図13は、本発明の実施の形態3に係る固体撮像装置の駆動方法を示すタイミングチャートである。

【図14】図14は、本発明の実施の形態4に係る固体撮像装置の駆動方法を示すタイミングチャートである。

【図15】図15は、従来画素部の構成を示した断面図である。

【発明を実施するための形態】

【0012】

(本発明の基礎となった知見)

本発明者は、背景技術の欄において記載した固体撮像装置に関し、以下の問題が生じることを見出した。

【0013】

図15に示す積層型イメージセンサにおいて、電荷蓄積部103と増幅トランジスタ104のゲート電極とは、電気的に接続されている。この増幅トランジスタ104のゲート酸化膜は一般に、数nm～数十nmの薄い膜で形成され、ゲート酸化膜を損傷せずに印加可能なゲート電圧は限界が存在する。しかし、高輝度被写体撮像時、電荷蓄積部103の電位が、光電変換膜101の上にある対向電極への印加電圧まで増加する。この際、増幅トランジスタ104のゲート酸化膜に耐圧を越える高電界が印加される。よって、増幅トランジスタ104のゲート酸化膜が損傷し、サブスレッショルド特性が著しく劣化し、画素部からの信号出力が低下する。

【0014】

10

20

30

40

50

また、高輝度の被写体撮像時には、電荷蓄積部103すなわちリセットトランジスタ106のソースも高電圧になるため、リセット動作時のリセットトランジスタ106がON/OFF動作をする際、リセットトランジスタ106のチャンネルに電荷が注入され、その電荷がドレイン-ソース間の電圧差によってチャンネル内で加速されてホットキャリアとなる。そして、このホットキャリアによりインパクトイオン化現象が起こり、大量の電子正孔対が発生する。このインパクトイオン化によってリセットトランジスタ106のゲート酸化膜内に大量の電子が注入され、リセットトランジスタ106のスイッチング特性が劣化する。この特性劣化が不可逆な状態まで進行し、画素部からの出力信号が低下する。

【0015】

上記の課題を解決するために、本開示に係る固体撮像装置は、半導体基板と、前記半導体基板の上方にアレイ状に配置され、各々が異なる単位画素を構成する複数の第一の電極と、前記複数の第一の電極の上に形成され、光を電気信号に変換する光電変換膜と、前記光電変換膜の上に形成された第二の電極と、前記複数の第一の電極のそれぞれに対応して前記半導体基板内に形成され、対応する前記第一の電極と電気的に接続され、光電変換により前記光電変換膜で生成された電荷を蓄積する第一導電型の電荷蓄積領域と、前記第一の電極と前記電荷蓄積領域とを電気的に接続するコンタクト配線と、前記電荷蓄積領域のそれぞれの底部に接するように前記半導体基板内に形成された前記第一導電型と反対の第二導電型の電荷障壁領域と、前記電荷障壁領域のそれぞれの底部に接するように前記半導体基板内に形成された前記第一導電型の電荷排出領域とを備え、前記半導体基板の表面に対して垂直な断面において、前記コンタクト配線の真下に、前記電荷蓄積領域、前記電荷障壁領域、および前記電荷排出領域が位置することを特徴とする。

10

20

【0016】

これにより、光電変換膜からの電荷により電荷蓄積部の電位が高くなり、ある一定電位以上になると、電荷蓄積部の電荷が電荷排出領域へ漏れこみ、ある一定電位以上に電荷蓄積部の電位が高くない。よって、増幅トランジスタ及びリセットトランジスタの損傷を抑えることができ、高輝度の被写体の撮像を行っても、単位画素からの出力信号の低下が抑制される。

【0017】

ここで、前記電荷障壁領域の不純物濃度は、前記電荷排出領域の不純物濃度より低くてもよい。

30

【0018】

これにより、電荷が蓄積されて電荷蓄積領域の電位が増加すると、電荷排出領域に電荷の漏れこみが起こりやすくなり、電荷蓄積領域の高電位までの増加を妨げることができる。

【0019】

また、前記固体撮像装置は、さらに、前記電荷蓄積領域の電位を初期化するMOS型トランジスタを備え、前記電荷蓄積領域は、前記MOS型トランジスタのドレイン領域及びソース領域のいずれか一方に兼用され、前記MOS型トランジスタのドレイン領域及びソース領域のいずれか他方は、前記第一導電型であり、前記半導体基板において、前記電荷蓄積領域の前記半導体基板の表面からの深さは、前記ドレイン領域及びソース領域のいずれか他方の前記半導体基板の表面からの深さより深くてもよい。

40

【0020】

これにより、単位画素内の電荷に対応する信号を出力する読み出し回路のウェル領域を半導体基板内に確保しながら、電荷蓄積領域の電位が増加する際に、電荷排出領域に電荷の漏れこみを起こりやすくし、電荷蓄積領域の高電位までの増加を妨げることができる。

【0021】

また、前記電荷排出領域は、前記第二導電型の前記半導体基板と接していてもよい。

【0022】

これにより、電荷排出領域に妨げられることなく、半導体基板を介しての分離領域の電位固定が可能となり、分離領域で分離された領域内にある読み出し回路の動作が安定する

50

。

【0023】

また、前記電荷排出領域の電位は、変動してもよい。

【0024】

これにより、電荷蓄積領域の電位に応じて電荷排出領域の電位を調整可能となり、輝度に応じて電荷排出領域の電位を可変するため、低消費電力化ができる。

【0025】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、本発明は、以下の実施の形態に限定されるものではない。また、本発明の効果を奏する範囲を逸脱しない範囲で、適宜変更は可能である。つまり、以下の実施の形態として開示される構成要素、構成要素の配置位置及び接続形態、タイミング、タイミングの順序などは、一例であり、本発明を限定する主旨ではない。本発明は、請求の範囲だけによって限定される。よって、以下の実施の形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、本発明の課題を達成するのに必ずしも必要ではない、任意の構成要素として説明される。また、図面において、実質的に同一の構成、動作、及び効果を表す要素については、同一の符号を付す。

10

【0026】

(実施の形態1)

図1は、実施の形態1に係る積層型の固体撮像装置の概略構成の一例を示す図であり、図2は図1の単位画素100の構成の一例を示す回路図である。なお、図1において、単位画素100は「2行2列」分だけを記載しているが、行数及び列数は任意に設定してよい。

20

【0027】

この固体撮像装置は、シリコンからなる半導体基板(図外)と、半導体基板に行列状(2次元状)に配置された複数の単位画素100と、単位画素100に種々のタイミング信号を供給する垂直走査部(行走査部とも呼ぶ)113と、単位画素100の信号を順次水平出力端子142へ読み出す水平走査部(列走査部又は水平信号読み出し部とも呼ぶ)115と、単位画素100の列毎に形成された列信号線(垂直信号線)141と、列信号線141に出力された信号を処理する列信号処理部151とを備えている。

【0028】

各単位画素100は、図2に示すように、入射光を光電変換することで信号電荷を生成する光電変換部111と、ゲートが光電変換部111と接続された増幅トランジスタ15と、ドレインが光電変換部111と接続されたリセットトランジスタ16と、増幅トランジスタ15と直列に接続された選択トランジスタ17と、光電変換部111と接続された蓄積ダイオードであり、光電変換部111からの信号電荷を蓄積する電荷蓄積領域(フローティングディフュージョン)14とを有している。

30

【0029】

光電変換部111は、半導体基板上方に画素電極11と透明電極13とに挟まれて形成され、入射光を光電変換するアモルファスシリコン、有機材料等からなる光電変換膜12と、光電変換膜12の下方つまり半導体基板側の下面に形成された下部電極としての画素電極(第一の電極)11と、光電変換膜12の上方つまり画素電極11と反対側の上面に、複数の画素電極11に跨って形成された上部電極としての透明電極(第二の電極)13とを有する。画素電極11は、金属電極で構成されており、透明電極13は、光電変換膜12への光入射を可能とするためITO又はZnO等の透明材料で構成されている。

40

【0030】

光電変換部111の信号電荷に対応する信号電圧を列信号線141に出力する読み出し回路を構成する増幅トランジスタ15、リセットトランジスタ16、選択トランジスタ17は、MOSトランジスタにより構成され、半導体基板内に形成されている。

【0031】

光電変換部111は、増幅トランジスタ15のゲート及びリセットトランジスタ16の

50

ドレインと、光電変換部制御線 131 との間に挿入されている。増幅トランジスタ 15 は、画素電極 11 に接続されたゲートを有し、画素電極 11 の電位に応じた信号電圧を、選択トランジスタ 17 を介して列信号線 141 に出力する。リセットトランジスタ 16 のドレインは画素電極 11 に接続され、リセットトランジスタ 16 のソースはリセット電位に接続されており、リセットトランジスタ 16 は電荷蓄積領域 14 の電位を初期化する。選択トランジスタ 17 のゲートは、アドレス制御線 121 を介して垂直走査部 113 と接続されている。リセットトランジスタ 16 のゲートは、リセット制御線 123 を介して垂直走査部 113 と接続されている。アドレス制御線 121 及びリセット制御線 123 は単位画素 100 の行ごとに設けられている。増幅トランジスタ 15 のドレインは、電源線 125 に接続され、ソースは選択トランジスタ 17 を介して列信号線 141 と接続されている。選択トランジスタ 17 及びリセットトランジスタ 16 のオンオフ動作は、行リセット信号 R E S E T 及び行選択信号 S E L を介して垂直走査部 113 により制御される。

10

【0032】

なお、実施の形態 1 では、リセットトランジスタ 16 が n 型 MOS トランジスタであり、そのゲートに入力されるリセット信号に含まれるリセットパルスが正パルス（上向きのパルス）であり、リセットパルスの後縁が立ち下がりエッジであるとする。

【0033】

光電変換部制御線 131 は、全単位画素 100 に共通となっている。列信号線 141 は、単位画素 100 の列ごとに設けられ、列信号処理部 151 を介して水平信号読み出し部 115 と接続されている。列信号処理部 151 は、相関 2 重サンプリングに代表される雑音抑圧信号処理及びアナログ/デジタル変換等を行う。

20

【0034】

上記構成を有する単位画素 100 において、光電変換部 111 によって生成された信号電荷は、電荷蓄積領域 14 に画素電極 11 を介して転送される。実施の形態 1 では、信号電荷を転送するために、透明電極 13 に光電変換部制御線 131 を介して正バイアスが印加されている。電荷蓄積領域 14 に転送された信号電荷は、増幅トランジスタ 15 によって増幅され、選択トランジスタ 17 を ON 状態にすることで列信号線 141 へ出力される。

【0035】

続いて、実施の形態 1 に係る固体撮像装置が備える単位画素 100 の電荷蓄積領域 14 の断面構成の一例について、図 3 を用いて説明する。図 3 は、実施の形態 1 に係る固体撮像装置の構成の一例を示す断面図（単位画素 100 の構成の一例を示す断面図）である。

30

【0036】

固体撮像装置は、高濃度の p 型不純物を含む半導体基板 1 と、低濃度の p 型不純物を含むエピ層（エピタキシャル層）2 と、エピ層 2 の上面にアレイ状に配置され、各々が異なる単位画素 100 を構成する複数の画素電極 11 と、複数の画素電極 11 の上に形成され、入射した光を電気信号に変換（光電変換）することにより信号電荷を生成する光電変換膜 12 と、光電変換膜 12 の上に形成された透明電極 13 と、複数の画素電極 11 のそれぞれに対応してエピ層 2 内に形成され、対応する画素電極 11 と電氣的に接続され、光電変換により光電変換膜 12 で生成された信号電荷を蓄積する n 型（第一導電型）の電荷蓄積領域 14 と、電荷蓄積領域 14 のそれぞれの底部に接するようにエピ層 2 内に形成された n 型と反対の p 型（第二導電型）の電荷障壁領域 21 と、電荷障壁領域 21 のそれぞれの底部に接するようにエピ層 2 内に形成された n 型の電荷排出領域 22 とを備える。

40

【0037】

電荷障壁領域 21 の不純物濃度は、電荷排出領域 22 の不純物濃度より低い。そして、電荷排出領域 22 は、p 型のエピ層 2 と接している。なお、固体撮像装置は、分離領域 20 と別に、隣接する電荷蓄積領域 14 を電氣的に分離する S T I (s h a l l o w t r e n c h i s o l a t i o n) 19 を備えている。

【0038】

固体撮像装置は、電荷蓄積領域 14 の電位を初期化するリセットトランジスタ 16 を備

50

え、電荷蓄積領域 14 は、リセットトランジスタ 16 のドレイン領域に兼用され、リセットトランジスタ 16 のソース領域 27 は、n 型である。

【0039】

単位画素 100 は、半導体基板 1、エピ層 2、画素電極 11、光電変換膜 12、透明電極 13、電荷蓄積領域 14、分離領域 20、電荷障壁領域 21、電荷排出領域 22、ゲート電極 23、サイドウォール 24、コンタクト配線 25、絶縁層 26 及びソース領域 27 を有する。ゲート電極 23 及びその側壁としてのサイドウォール 24 はエピ層 2 内に形成され、エピ層 2 内に形成された電荷蓄積領域 14 及びソース領域 27 と共にリセットトランジスタ 16 を構成する。コンタクト配線 25 は、絶縁層 26 内に形成され、画素電極 11 と電荷蓄積領域 14 とを電氣的に接続している。

10

【0040】

単位画素 100 では、光電変換膜 12 で発生する信号電荷（ホール）は、透明電極 13 に正電圧を印加することにより、画素電極 11 を介して電荷蓄積領域 14 に転送され、電荷蓄積領域 14 に蓄積される。電荷蓄積領域 14 はリセットトランジスタ 16 のドレイン領域も兼用しており、リセットトランジスタ 16 を ON 状態にすることで電荷蓄積領域 14 の電位が初期化（リセット）される。電荷蓄積領域 14 は、分離領域 20 を用いて他の単位画素 100 と電氣的に分離されている。ウェル領域を形成する分離領域 20 のシート抵抗を減らすために、電荷排出領域 22 は、格子状又はストライプ状に撮像領域（単位画素 100 がアレイ状に配置されたエピ層 2 の領域）に形成され、エピ層 2 と接し、撮像領域及びエピ層 2 の両者を接続している。電荷排出領域 22 には、電荷蓄積領域 14 の電位に応じた適切な電圧が印加され、電荷排出領域 22 の電位は電荷蓄積領域 14 の電位に応じて変動する。

20

【0041】

半導体基板 1 において、電荷障壁領域 21 は電荷蓄積領域 14 より深い位置に形成され、電荷排出領域 22 は電荷障壁領域 21 より深い位置に形成されている。また、分離領域 20 は、電荷蓄積領域 14 より深く、電荷排出領域 22 より浅い位置に形成されている。

【0042】

単位画素 100 では、電荷蓄積領域 14 に光が入射することによって発生した電荷が電荷蓄積領域 14 に蓄積されるにつれて電荷蓄積領域 14 の電位が増加するが、電荷蓄積領域 14 はリセットトランジスタ 16 のドレイン領域も兼用しているため、電荷蓄積領域 14 の電位が耐圧（約 10 V）まで到達するとリセットトランジスタ 16 が損傷する。このときには、電荷蓄積領域 14 に電氣的に接続された増幅トランジスタ（図示せず）のゲートにも高電圧が印加することになり、電荷蓄積領域 14 の電位が増幅トランジスタのゲート酸化膜の耐圧（2 ~ 10 V）まで到達すると増幅トランジスタが損傷する。しかし、電荷蓄積領域 14 の下には電荷排出領域 22 よりも低不純物濃度の電荷障壁領域 21 が形成され、この電荷障壁領域 21 の下には電荷排出領域 22 が形成されている。電荷排出領域 22 には、ある電圧（3 V 以下）が印加されているため、電荷蓄積領域 14 の電位が増加すると、蓄積されるホールが電荷排出領域 22 に漏れ込む。これにより、電荷蓄積領域 14 の電位増加が抑制され、電荷蓄積領域 14 の電位についてリセットトランジスタ 16 及び増幅トランジスタのゲート酸化膜の耐圧を超えない制御ができる。

30

40

【0043】

次に、実施の形態 1 に係る固体撮像装置の製造方法について、図 4 を用いて説明する。図 4 は、実施の形態 1 に係る固体撮像装置の製造方法の一例を示す工程断面図である。

【0044】

まず、図 4 (a) に示すように、高濃度（例えば $10^{18} \sim 10^{20} \text{ cm}^{-3}$ ）の p 型の半導体基板 1 の上方の低濃度（例えば $10^{16} \sim 10^{17} \text{ cm}^{-3}$ ）のエピ層 2 内に一般的な固体撮像装置の製造方法で、複数のトランジスタを単位画素 100 毎に電氣的に分離する STI 19 を形成する。

【0045】

続いて、図 4 (b) に示すように、所望の領域を開口するように、リソグラフィ法によ

50

リエピ層 2 上にパターンを形成し、このパターンを用いたイオン注入法で、電荷排出領域 2 2 と電荷障壁領域 2 1 とを形成する。また、各トランジスタのソース領域及びドレイン領域を単位画素 1 0 0 毎に電氣的に分離するための分離領域 2 0 も同様な方法で形成する。その後、一般的な固体撮像装置の製造方法で、単位画素 1 0 0 内の各トランジスタのゲート酸化膜及びゲート電極 2 3 をエピ層 2 内に形成する。

【 0 0 4 6 】

ここで、電荷排出領域 2 2 は、n 型層を形成する n 型不純物としての P 原子を注入する、又は As 原子を注入すること等で形成される。電荷排出領域 2 2 の注入濃度は、例えば $1 0^{16} \sim 1 0^{18} \text{ cm}^{-3}$ とされ、エピ層 2 の表面からの底面の深さは例えば $0.3 \sim 1.5 \mu\text{m}$ 程度とされる。また、電荷排出領域 2 2 は、撮像領域の端まで格子状又はストライプ状に拡張して連続的に設けられている。従って、電荷排出領域 2 2 には電圧を撮像領域の外側から印加することが可能であり、電圧印加の領域を単位画素 1 0 0 内に設ける必要が無く、単位画素 1 0 0 のサイズの微細化が容易にできる。

10

【 0 0 4 7 】

また、単位画素 1 0 0 内のトランジスタのウェル領域を区画する分離領域 2 0 の電位固定を、半導体基板 1 を介して行うことが可能になるため、ウェル領域のシート抵抗が $1/3$ 以下となり、高速に単位画素 1 0 0 内のトランジスタを動作させることが可能となる。

【 0 0 4 8 】

また、分離領域 2 0 は、注入濃度を例えば $1 0^{16} \sim 1 0^{19} \text{ cm}^{-3}$ 、エピ層 2 の表面からの底面の深さを例えば $1.5 \mu\text{m}$ 程度にして形成されている。

20

【 0 0 4 9 】

また、電荷障壁領域 2 1 は、電荷排出領域 2 2 と電荷蓄積領域 1 4 との間に配置され、電荷蓄積領域 1 4 の電位が約 $0 \sim 3 \text{ V}$ と低い場合、電荷排出領域 2 2 と電荷蓄積領域 1 4 とを電氣的に分離し、電荷蓄積領域 1 4 の電位が約 3 V 以上の場合、電荷蓄積領域 1 4 の電荷を電荷排出領域 2 2 に漏れこませる。実施の形態 1 では、 3 V 程度まで耐圧があるリセットトランジスタ 1 6 及び増幅トランジスタを用いているが、トランジスタの耐圧限界は、電荷排出領域 2 2 の印加電圧及び電荷障壁領域 2 1 の不純物濃度により調整できる。電荷障壁領域 2 1 は、注入濃度を例えば $1 0^{15} \sim 1 0^{18} \text{ cm}^{-3}$ 、エピ層 2 の表面からの底面の深さを例えば $0.1 \sim 1.3 \mu\text{m}$ 程度にして形成されている。

30

【 0 0 5 0 】

続いて、図 4 (c) に示すように、サイドウォール 2 4 及び電荷蓄積領域 1 4 を形成する。電荷障壁領域 2 1 は、その端部 (半導体基板 1 を上方からみたときのゲート電極 2 3 側の端部) をゲート電極 2 3 の側壁に形成されたサイドウォール 2 4 と略一致させる形でサイドウォール 2 4 の前後に形成する。電荷蓄積領域 1 4 は、リセットトランジスタ 1 6 のドレイン領域も兼用しているため、電位の初期化が可能ないようにゲート電極 2 3 の下方の不純プロファイル及び電荷蓄積領域 1 4 の位置が設計されている。

【 0 0 5 1 】

電荷蓄積領域 1 4 は、所望の領域を開口するように、リソグラフィ法によりエピ層 2 上にパターンを形成し、このパターンを用いたイオン注入法で形成される。電荷蓄積領域 1 4 は、注入濃度を例えば $1 0^{16} \sim 1 0^{20} \text{ cm}^{-3}$ 、エピ層 2 の表面からの底面の深さを例えば $0.3 \mu\text{m}$ 程度にして形成されている。なお、電荷蓄積領域 1 4 は、リセットトランジスタ 1 6 のソース領域 2 7 と同等の深さ及び不純物濃度で形成されている。これにより、電荷蓄積領域 1 4 とソース領域 2 7 とを同時に形成することが可能となり短 T A T (Turn Around Time) を実現できる。

40

【 0 0 5 2 】

続いて、図 4 (d) に示すように、電荷蓄積領域 1 4 に光電変換膜 1 2 からの信号電荷を転送するため、一般的な固体撮像装置の製造方法で、絶縁層 2 6 及びコンタクト配線 2 5 を形成する。さらに、スパッタリング法又は C V D 法にて金属膜をエピ層 2 上に成膜し、リソグラフィ法及びドライエッチング法により金属膜をパターン形成して画素電極 1 1 を形成する。その後、光電変換膜 1 2 を蒸着法又は塗布法を用いて画素電極 1 1 上に形成

50

し、さらに入射光を光電変換膜 12 へ到達させる透明電極 13 をスパッタリング法にて形成する。

【0053】

以上の工程を経ることで、図 3 に示す固体撮像装置を製造することができる。

【0054】

以上のように、実施の形態 1 に係る固体撮像装置は、電荷蓄積領域 14 の下に電荷障壁領域 21、電荷障壁領域 21 の下に電荷排出領域 22 を備え、ホールが n 型の電荷蓄積領域 14 に蓄積されて電位が増加しても、所定の電位を境にして電荷排出領域 22 に漏れ出す。従って、電荷蓄積領域 14 がそのドレイン領域も兼ねたりセットトランジスタ 16 の損傷、及び電荷蓄積領域 14 が電氣的に接続している増幅トランジスタの損傷を抑制できる。

10

【0055】

(変形例)

図 5 は、実施の形態 1 の変形例に係る固体撮像装置の構成の一例を示す断面図(単位画素 100 の構成の一例を示す断面図)である。

【0056】

この固体撮像装置は、半導体基板 1 における電荷蓄積領域 14 の底面のエピ層 2 の表面からの深さは、リセットトランジスタ 16 のソース領域 27 の底面のエピ層 2 の表面からの深さより深く形成されている点で実施の形態 1 の固体撮像装置と異なる。この場合、電荷蓄積領域 14 のエピ層 2 との接合面積が増加し、電荷の蓄積数が増加する。また、電荷蓄積領域 14 を深くまで形成可能となるため、電荷排出領域 22 も深く形成できる。従って、ウェル領域を形成する分離領域 20 のシート抵抗を、分離領域 20 とエピ層 2 との接続を不要にしても、低減できる。

20

【0057】

次に、本変形例に係る固体撮像装置の製造方法について、図 6 を用いて説明する。図 6 は、本変形例に係る固体撮像装置の製造方法の一例を示す工程断面図である。

【0058】

まず、図 6 (a) に示す分離領域 20 を形成する工程は、図 3 (a) に示した工程と同じであり、高濃度(例えば $10^{18} \sim 10^{20} \text{ cm}^{-3}$)の半導体基板 1 の上方の低濃度(例えば $10^{16} \sim 10^{17} \text{ cm}^{-3}$)のエピ層 2 内に、一般的な固体撮像装置の製造方法で、複数のトランジスタを単位画素 100 毎に電氣的に分離する STI 19 を形成する。

30

【0059】

続いて、図 6 (b) に示すように、ゲート電極 23 を形成する前に、所望の領域を開口するようにリソグラフィ法によりエピ層 2 内にパターンを形成し、このパターンを用いたイオン注入法で電荷蓄積領域 14 を形成する。また、各トランジスタのソース領域及びドレイン領域を単位画素 100 毎に電氣的に分離するための分離領域 20 と、電荷障壁領域 21 も同様な方法で形成する。その後、一般的な固体撮像装置の製造方法で、単位画素 100 内の各トランジスタのゲート酸化膜及びゲート電極 23 を形成する。

40

【0060】

ここで、電荷蓄積領域 14 は、注入濃度を例えば $10^{15} \sim 10^{18} \text{ cm}^{-3}$ 、エピ層 2 の表面からの底面の深さを例えば $2.0 \mu\text{m}$ 程度にして形成されている。これにより、ゲート電極 23 の厚みに影響されず、各単位画素 100 で同様の形状の電荷蓄積領域 14 を形成できる。

【0061】

また、分離領域 20 は、注入濃度を例えば $10^{16} \sim 10^{19} \text{ cm}^{-3}$ 、エピ層 2 の表面からの底面の深さを例えば $2.0 \mu\text{m}$ 程度にして形成されている。

【0062】

また、電荷障壁領域 21 は、電荷排出領域 22 と電荷蓄積領域 14 との間に配置され、電荷蓄積領域 14 の電位が約 $0 \sim 3 \text{ V}$ と低い場合、電荷排出領域 22 と電荷蓄積領域 14

50

とを電氣的に分離し、電荷蓄積領域 1 4 の電位が約 3 V 以上の場合、電荷排出領域 2 2 の電荷を電荷排出領域 2 2 に漏れこませる。実施の形態 1 では、3 V 程度まで耐圧があるリセットトランジスタ 1 6 及び増幅トランジスタを用いているが、トランジスタの耐圧限界は、電荷排出領域 2 2 の印加電圧及び電荷障壁領域 2 1 の不純物濃度により調整できる。電荷障壁領域 2 1 は、注入濃度を例えば $10^{15} \sim 10^{18} \text{ cm}^{-3}$ 、エピ層 2 の表面からの底面の深さを例えば $0.4 \sim 2.5 \mu\text{m}$ 程度にして形成されている。これにより、電荷排出領域 2 2 が大面積で形成されても、分離領域 2 0 のシート抵抗は確保される。例えば、電荷排出領域 2 2 が撮像領域の全面に配置されても、図 3 の分離領域 2 0 のシート抵抗に比べて半減の分離領域 2 0 を確保可能となる。

【0063】

続いて、図 6 (c) に示すコンタクト配線 2 5 及び光電変換部 1 1 1 等の形成工程は、図 3 (d) の工程と同じである。

【0064】

以上のように本変形例の固体撮像装置によれば、電荷蓄積領域 1 4 がソース領域 2 7 より深いため、分離領域 2 0 のシート抵抗を低くしながら、トランジスタの損傷を抑制できる。

【0065】

以上、本発明に係る固体撮像装置の一例について、実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を当該実施の形態に施したもののや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の範囲内に含まれる。

【0066】

例えば、上記実施形態において、第 1 導電型は n 型であり、第 2 導電型は p 型であるとした。例えば、半導体基板の導電型は p 型であり、画素回路の各トランジスタは n - チャネル型であるとしたが、半導体基板の導電型は n 型であり、画素回路の各トランジスタは p - チャネル型でもかまわない。この場合は電圧電位の符号が逆になり、光電変換膜から読み出す信号電荷も正孔から電子に変わる。従って、リセットトランジスタのソース領域及びドレイン領域も逆になる。

【0067】

また、上記実施形態において、単位画素 1 0 0 の読み出し回路を構成する各トランジスタは MOS トランジスタであるとしたが、電界効果トランジスタ (FET) であればこれに限られない。

【0068】

また、上記実施形態において、半導体基板 1 とエピ層 2 とは別のものであるとしたが、半導体基板 1 とエピ層 2 とがまとめられたもの、つまりエピ層 2 が表面に形成された半導体基板 1 が本発明の半導体基板に相当する。

【0069】

(実施の形態 2)

以下、本発明に係る固体撮像装置の実施の形態 2 について、図面を参照しながら説明する。なお、本発明について、以下の実施の形態に従って説明を行うが、これは例示を目的としており、本発明がこれらの開示に限定されることを意図しない。

【0070】

(比較例)

本発明の実施の形態を説明する前に、比較例として、従来の積層型イメージセンサに、一般的な CMOS イメージセンサの駆動方法を適用した場合に生じる課題について詳細に述べる。

【0071】

特許文献 1 に記載の積層センサでは、各画素の光電変換部は、画素電極と、その上方 (光入射口側) に積層された有機材料を有する光電変換膜と、その上面に形成された対向電極とを含む。さらに、当該積層センサは、入射光によって発生した電荷群を電流信号とし

10

20

30

40

50

て画素電極を介して光電変換部外に取り出す。通常、信号電荷の符号を選択するために、信号電荷を伝導し、その反対符号の電荷をブロックする電荷ブロッキング層を備える。当該電荷ブロッキング層は、画素電極に対向するか、又は画素電極に直接接している。

【0072】

図7は、特許文献1に記載されている有機膜を光電変換部とする従来の積層型イメージセンサの画素部の回路を模式的に示したものである。なお、図7に示される回路は、図15の回路と等価であるが、説明の便宜上、図中の回路要素の配置が適宜変更されている。

【0073】

光電変換部101から画素電極102を通して出力された信号電荷は、基板上に形成された空乏層容量よりなる電荷蓄積部103に蓄積される。電荷蓄積部103は配線を介して増幅トランジスタ104の入力ゲートに接続され、蓄積電荷量の変動に伴う電圧変化が検出され、当該画素の読み出しタイミングを選択する選択トランジスタ105を介して読み出し信号として出力される。さらに信号電荷が読み出された後に電荷蓄積部103の残留電荷を排出するリセット動作を行うためにリセットトランジスタ106のドレイン部が接続され、リセット動作によって電荷蓄積部103の電圧が初期状態電圧に設定される。

【0074】

図8は、図7のような画素部の構成を有する従来の積層型イメージセンサを、一般的なCMOSイメージセンサの信号読み出しおよびリセットシーケンスで駆動する場合の典型的なタイミングチャートである。図8には、図7に示した主要なノードの電圧 V_{RST} 、 V_{SELECT} 、 V_{RSTG} 、 V_{SIG} の時間変化の一例が示される。以下の説明では、電圧のハイ/ローを、電荷蓄積部103が正孔を蓄積する場合について例示している。

【0075】

時刻 T_1 において選択トランジスタ105のゲートにハイレベルの選択信号 V_{SELECT} が印加され、選択トランジスタ105のゲートがオン状態となる。このとき、電荷蓄積部103には、受光量に応じた量の信号電荷が蓄積されている。増幅トランジスタ104は、光電変換によって生成され、電荷蓄積部103に蓄積されている信号電荷の量に応じた大きさの電気信号である蓄積電荷信号を生成し、生成された蓄積電荷信号は選択トランジスタ105から読み出し信号 V_{SIG} として出力される。

【0076】

その後、時刻 T_2 において、リセットトランジスタ106のゲートにハイレベルのゲート電圧 V_{RSTG} （ターンオン電圧）を印加することによって、リセットトランジスタ106のゲートをオン状態とし、ローレベルのリセット電圧 V_{RST} を電荷蓄積部103に印加することによって、電荷蓄積部103をリセットする。すなわち、電荷蓄積部103の残留電荷が、リセットトランジスタ106から供給される電荷と中和されることによって、排出される。

【0077】

蓄積電荷信号の読み出し動作は、選択トランジスタのゲートがオン状態となり画素が選択される時刻 T_1 から、当該画素の電荷蓄積部103がリセットされる時刻 T_2 までの間に、選択トランジスタ105からの読み出し信号 V_{SIG} をサンプリングすることによって行われる。

【0078】

蓄積電荷信号の読み出し動作終了後の時刻 T_3 において、リセットトランジスタ106のゲートをオフ状態とし、時刻 T_4 において選択トランジスタ105のゲートをオフ状態とする。

【0079】

リセットトランジスタ106のゲートがオフ状態となる時刻 T_3 から、選択トランジスタ105のゲートがオフ状態となる時刻 T_4 までの間に、読み出し信号 V_{SIG} をサンプリングすることによって、初期状態信号（ゼロレベルの基準値）が読み出される。

【0080】

このシーケンスで読み出された蓄積電荷信号と初期状態信号との差分が、画像信号の正

10

20

30

40

50

味の成分量として出力される。差分の演算方式としては相関二重サンプリング方式が最も一般的である。

【0081】

このような駆動方法には、前述したように、高輝度被写体撮像時に出力レベル変動や黒沈み、さらにはこれらの現象が永久に定着するという画質低下に至る実用上大きな課題がある。

【0082】

高輝度被写体撮像時においては、図7において、大量の信号電荷が電荷蓄積部103に流入することによって、電荷蓄積部103すなわちリセットトランジスタ106のドレインは極めて高い電圧（例えば正の電源電圧）に上昇する。

10

【0083】

電荷蓄積動作時においては、リセットトランジスタ106のゲートはオフ状態にあるが、リセット動作時にリセットトランジスタ106のゲートがオン状態となると、リセットトランジスタ106のチャンネルに電荷が注入され、注入された電荷は、前記高いドレイン・ソース電圧差によってチャンネル内で加速され、ホットキャリアとなり、インパクトイオン化により、大量の電子・正孔対を発生する。

【0084】

その結果、リセットトランジスタ106の周辺の基板部に大量の正孔が余剰電荷として注入され、基板部は正電圧に変動する。すなわち、リセットトランジスタ106がリセット動作を終了した時刻T3の直後において、読み出し信号V_{SIG}は正しいリセットレベルよりも前記正孔余剰電荷による正電圧変動分高い電圧であり、この電圧をサンプリングして初期状態信号（ゼロレベル）として用いると、差分後の演算によって出力される信号レベルは正しい信号レベルよりも低くなり、画像が黒側に沈み込んでしまうという現象が発生する。

20

【0085】

一方、リセットトランジスタ106のゲート酸化膜内にはインパクトイオン化によって発生した大量の電子が注入され、そのスイッチング特性が劣化する。この特性劣化が不可逆なレベルまで進行すると、電荷蓄積部103は十分に低い電圧にリセットされず、常に信号電荷が残った状態、すなわち、出力レベルが正しいリセット出力レベルよりも正電圧側にシフトした状態となり、上述と同じように黒沈み現象が発生する。さらに、リセットトランジスタ106が不可逆な特性劣化に至った場合には、常に当該画素が黒沈み状態にあるように撮像されるという、黒焼き付き現象となる。

30

【0086】

本願発明者らは、上述したような考察を経て、図7のような画素部構成を有する積層センサにおいて、高輝度被写体撮像を行う際に発生する上記出力変動や黒焼き付き現象は、積層センサに特有の現象であることを発見した。従って、積層型イメージセンサの実用化のためには本課題の解決が不可欠である。

【0087】

以下では、実施の形態2として、上記課題を解決するための具体的技術を詳述する。

【0088】

本発明の実施の形態2に係る固体撮像装置について図9から図12を用いて説明する。

40

【0089】

まず、本発明の実施の形態2に係る固体撮像装置の全体構成を説明する。

【0090】

図9は、本発明の実施の形態2に係る固体撮像装置301の構成を示すブロック図である。この固体撮像装置301は、画素アレイ302と、行信号駆動回路303a及び303bと、増幅及びフィードバック機能を有する回路が列毎に配置された列フィードバックアンプ回路304と、各列に配置された列アンプとノイズキャンセラを含むノイズキャンセラ回路305と、水平駆動回路306と、出力段アンプ307とを備える。

【0091】

50

画素アレイ 302 は、行列状に配置された複数の画素 310 と、図 9 には示されていないが、列毎に設けられた複数の列信号線と、行毎に設けられた複数の行選択線とを含む。

【0092】

列フィードバックアンプ回路 304 は、画素アレイ 302 からの出力信号を受け取り、かつ、受け取った出力信号に応じた制御信号を画素アレイ 302 にフィードバックする。よって、信号の流れの方向は図 9 の矢印 309 に示すように画素アレイ 302 に対して双方向となる。

【0093】

図 10 は、固体撮像装置 301 に含まれる、ある 1 つの画素 310 の信号読み出し回路 420 とその周辺回路とを示す回路図である。

10

【0094】

列信号線 404 は、画素 310 と同じ列に配置されている、図示されていない他の複数の画素と接続されている。そして、図 10 に示される構成が、各列に設けられている。

【0095】

図 10 に示すように、画素 310 は、光電変換部 401 と、リセットトランジスタ 406 と、FD 部（フローティングディフュージョン部）415 と、信号読み出し回路 420 とを備える。また、固体撮像装置 301 は、列信号線 404 と、比較器 405 と、比較器 405 からの出力に応じたリセットトランジスタ 406 へ制御信号を供給する制御回路 407 と、列選択トランジスタ 410 と、列増幅回路 411 と、バイアストラジスタ 412 と、容量 413 及び 414 とを備える。ここで、列信号線 404 と、比較器 405 と、制御回路 407 と、列選択トランジスタ 410 と、列増幅回路 411 と、バイアストラジスタ 412 と、容量 413 及び 414 とは、列毎に設けられている。

20

【0096】

比較器 405 と、制御回路 407 とは、列フィードバックアンプ回路 304 を構成している。列選択トランジスタ 410 と、列増幅回路 411 と、バイアストラジスタ 412 と、容量 413 及び 414 とは、ノイズキャンセラ回路 305 を構成している。

【0097】

光電変換部 401 は、入射光を光電変換することにより、入射光量に応じた信号電荷を生成する。

【0098】

信号読み出し回路 420 は、光電変換部 401 で生成された信号電荷に応じた読み出し信号 V_{SIG} を出力する。信号読み出し回路 420 は、増幅トランジスタ 402 と、選択トランジスタ 403 とを含む。

30

【0099】

増幅トランジスタ 402 は、光電変換部 401 で生成され、FD 部 415 に蓄積された信号電荷の量に応じた大きさの読み出し信号 V_{SIG} を生成する。ここで FD 部 415 は、電荷蓄積部の一例である。

【0100】

選択トランジスタ 403 は、増幅トランジスタ 402 で生成された読み出し信号 V_{SIG} を列信号線 404 へ伝達するか否かを制御する。

40

【0101】

リセットトランジスタ 406 は、光電変換部 401 及び FD 部 415 をリセットするための電圧を FD 部 415 に印加する。

【0102】

制御回路 407 は、比較器 405 からの出力に応じたリセットトランジスタ 406 のゲートのオン/オフ状態を制御するゲート電圧 V_{RSTG} を、信号線 408 を介してリセットトランジスタ 406 のゲートに印加すると共に、例えば接地電位 (GND) と GND よりも高い電位 (V_{HIGH}) との間で変動可能なリセット電圧 V_{RST} を、信号線 409 を介してリセットトランジスタ 406 のソースに供給する。

【0103】

50

列選択トランジスタ410は、読み出し信号 V_{SIG} を列増幅回路411の入力端子に伝達するか否かを制御する。

【0104】

バイアストランジスタ412、容量413及び414は直列に接続されている。バイアストランジスタ412は、バイアス電圧 V_{NCB} を容量413に印加するか否かを制御する。

【0105】

列増幅回路411で増幅された信号は、バイアストランジスタ412、容量413及び414で構成される差分回路に入力される。当該差分回路は、画像信号の正味の成分量に対応する電圧を容量413及び414間の電荷の再分配に基づく差分動作によって検出する。

10

【0106】

図11は、固体撮像装置301の3画素分の領域の構造の一例を示す断面図である。なお、実際には、画素アレイ302に、例えば1000万個の画素310が配列されている。

【0107】

図11に示すように、固体撮像装置301は、マイクロレンズ501と、青色カラーフィルタ502と、緑色カラーフィルタ503と、赤色カラーフィルタ504と、保護膜505と、平坦化膜506と、上部電極507（第2電極）と、光電変換膜508と、電子ブロッキング層509と、電極間絶縁膜510と、下部電極511（第1電極）と、絶縁膜512と、給電層513と、ビア514と、基板518と、ウェル519と、STI領域（シャロウトレンチ分離領域）520と、層間絶縁層521とを備える。

20

【0108】

上部電極507（第2電極）と、光電変換膜508と、電子ブロッキング層509と、電極間絶縁膜510と、下部電極511（第1電極）とは、光電変換部401を構成している。また、図11に示す断面には、基板518に形成された拡散領域を用いて構成された、FD部415、増幅トランジスタ402、及びリセットトランジスタ406が見られる。

【0109】

基板518は、半導体基板であり、例えばシリコン基板である。

30

【0110】

マイクロレンズ501は、入射光を効率よく集光するために、固体撮像装置301の最表面に、画素310ごとに形成されている。

【0111】

青色カラーフィルタ502、緑色カラーフィルタ503及び赤色カラーフィルタ504は、カラー画像を撮像するために形成されている。また、青色カラーフィルタ502、緑色カラーフィルタ503及び赤色カラーフィルタ504は、各マイクロレンズ501の直下、かつ保護膜505内に形成されている。

【0112】

1000万画素分にわたって集光ムラ及び色ムラのないマイクロレンズ501及びカラーフィルタ群を形成するために、これらの光学素子は平坦化膜506上に形成されている。平坦化膜506は、例えば、SiNで構成される。

40

【0113】

上部電極507は、平坦化膜506下に画素アレイ302の全面にわたって形成されている。この上部電極507は可視光を透過する。例えば、上部電極507はITO（Indium Tin Oxide）で構成される。

【0114】

光電変換膜508は光を信号電荷に変換する。具体的には、光電変換膜508は、上部電極507の下に形成されており、高い光吸収能を有する有機分子で構成されている。光電変換膜508の厚さは、例えば500nmである。光電変換膜508は、真空蒸着法を

50

用いて形成される。上記有機分子は波長 400 nm から 700 nm の可視光全域にわたって高い光吸収能を有する。

【0115】

電子ブロッキング層 509 は、光電変換膜 508 の下に形成されており、入射光の光電変換によって発生した正孔を伝導するとともに、下部電極 511 からの電子注入を阻止する。この電子ブロッキング層 509 は、高い平坦度を有する電極間絶縁膜 510 と下部電極 511 上に形成されている。

【0116】

複数の下部電極 511 は、基板 518 の上方に、行列状に配置されている。また、複数の下部電極 511 は、各々が電氣的に分離して形成されている。具体的には、下部電極 511 は、電極間絶縁膜 510 間に形成されており、光電変換膜 508 で発生した正孔を収集する。この下部電極 511 は、例えば TiN で構成される。また、下部電極 511 は、平坦化された厚さ 100 nm の絶縁膜 512 上に形成されている。

10

【0117】

また、隣接する下部電極 511 は 0.2 μm の間隙を設けて形成されている。そして、この間隙にも電極間絶縁膜 510 が埋め込まれている。

【0118】

さらに、この間隙の下方、かつ絶縁膜 512 下に給電層 513 が配されている。この給電層 513 は、例えば Cu で構成される。具体的には、給電層 513 は、隣接する下部電極 511 の間の領域であり、かつ下部電極 511 と基板 518 との間に形成されている。また、給電層 513 には、下部電極 511 とは独立した電位を供給可能である。

20

【0119】

具体的には、光電変換部 401 が光電変換を行う露光動作時、及び信号読み出し回路 420 が読み出し信号を生成する読み出し動作時に、給電層 513 に、信号電荷を排斥するための電位が供給される。例えば、信号電荷が正孔の場合には正電圧が印加される。これにより、各画素に、隣接画素から正孔が混入することを防止できる。なお、このような電圧印加の制御は、例えば、固体撮像装置 301 が備える制御部（図示せず）により行なわれる。

【0120】

給電層 513 にはビア 514 が接続されている。また、ビア 514 は、FD 部 415 及び増幅トランジスタ 402 のゲート端子に接続されている。さらに FD 部 415 は、リセットトランジスタ 406 のソース端子に電氣的に接続されている。また、リセットトランジスタ 406 のソース端子と FD 部 415 とは拡散領域を共有している。FD 部 415 と増幅トランジスタ 402 とリセットトランジスタ 406 と、図示されてはいないが同一画素内に形成されている選択トランジスタとは全て同一の p 型のウェル 519 内に形成されている。ウェル 519 は、基板 518 に形成されている。

30

【0121】

また、各トランジスタは、SiO₂ で構成される STI 領域 520 によって電氣的に分離されている。

【0122】

このような構造から理解されるように、図 10 に示す信号読み出し回路 420 は、基板 518 上に形成されており、光電変換部 401 で生成された信号電荷を下部電極 511 及びビア 514 を介して FD 部 415 に蓄積し、増幅トランジスタ 402 により、FD 部 415 に蓄積された信号電荷の量に応じた大きさの読み出し信号 V_{SIG} を生成する。

40

【0123】

以下、固体撮像装置 301 の駆動方法を説明する。なお、以下に示す制御信号の生成は、例えば、固体撮像装置 301 が備える制御部（図示せず）により行われる。

【0124】

図 12 は、図 10 に示した主要なノードの信号 V_{RST}、V_{SELECT}、V_{RSTG}、V_{SIG} の時間変化の一例を示すタイミングチャートである。

50

【0125】

時刻 T 1 において、選択トランジスタ 4 0 3 のゲートにハイレベルの選択信号 V_{SELECT} が印加され、選択トランジスタ 4 0 3 のゲートがオン状態となることによって、増幅トランジスタ 4 0 2 で生成された読み出し信号 V_{SIG} が列信号線 4 0 4 に出力される。比較器 4 0 5 は、読み出し信号 V_{SIG} の大きさを所定の参照レベル電圧 V_{REF} と比較し、その比較結果を示す信号を制御回路 4 0 7 へ供給する。

【0126】

時刻 T 2 において、制御回路 4 0 7 はリセットトランジスタ 4 0 6 のソースに正極性のリセット電圧 V_{RST} (例えば、正の電源電圧) を印加する。従って、この時、高輝度被写体の撮像によって光電変換部 4 0 1 で生成された大量の信号電荷が FD 部 4 1 5 に蓄積され、その結果、リセットトランジスタ 4 0 6 のドレインの電圧が正の高い値に上昇していたとしても、リセットトランジスタ 4 0 6 のソース - ドレイン間電圧は正のリセット電圧 V_{RST} の大きさだけ低減される。ここで、正極性のリセット電圧 V_{RST} は、FD 部 4 1 5 が蓄積している電荷 (正孔) を排斥する第 1 電圧の一例である。

10

【0127】

その後、時刻 T 3 において、制御回路 4 0 7 は、リセットトランジスタ 4 0 6 のソースにハイレベルのリセット電圧 V_{RST} を印加しながら、リセットトランジスタ 4 0 6 のゲートにハイレベルのゲート電圧 V_{RSTG} (ターンオン電圧) を印加することによって、リセットトランジスタ 4 0 6 のゲートをオン状態とする。

【0128】

本駆動方法では、あらかじめ時刻 T 2 において、正極性のリセット電圧 V_{RST} の印加によってリセットトランジスタ 4 0 6 のソース - ドレイン間電圧を低く抑えているので、ゲート電圧 V_{RSTG} のローレベルからハイレベルへの遷移時に発生するインパクトイオン化は抑制される。従って、インパクトイオン化に伴う余剰電荷の発生も抑止され、リセットトランジスタ 4 0 6 の損傷、基板電位の変動も発生しない。また、リセットトランジスタ 4 0 6 のゲートがオン状態となった瞬間も、そのソース - ドレイン間電圧は低いいため、読み出し信号 V_{SIG} はほとんど変動しない。

20

【0129】

その後、時刻 T 4 において、制御回路 4 0 7 は、リセットトランジスタ 4 0 6 のゲートにハイレベルのゲート電圧 V_{RSTG} を印加しながら、リセット電圧 V_{RST} を前記第 1 電圧よりも低い正極性の電圧、接地電圧、又は負極性の電圧 (例えば、負の電源電圧) に下げることによって、FD 部 4 1 5 をリセットする。ここで、前記第 1 電圧よりも低い正極性の電圧、接地電圧または負極性の電圧は、FD 部 4 1 5 が蓄積している電荷 (正孔) を引き込む第 2 電圧の一例である。

30

【0130】

光電変換によって生成された蓄積電荷信号の読み出し動作は、選択トランジスタ 4 0 3 のゲートがオン状態となり画素 3 1 0 が選択される時刻 T 1 から、画素 3 1 0 の FD 部 4 1 5 がリセットされる時刻 T 3 までの間に、読み出し信号 V_{SIG} をサンプリングすることによって行われる。蓄積電荷信号の読み出し動作終了後の時刻 T 5 において、リセットトランジスタ 4 0 6 のゲートをオフ状態とし、時刻 T 6 において選択トランジスタ 4 0 3 のゲートをオフ状態とする。

40

【0131】

リセットトランジスタ 4 0 6 のゲートがオフ状態となる時刻 T 5 から、選択トランジスタ 4 0 3 のゲートがオフ状態となる時刻 T 6 までの間に読み出し信号 V_{SIG} をサンプリングすることによって、初期状態信号が読み出される。

【0132】

ノイズキャンセラ回路 3 0 5 は、このようなシーケンスで読み出された蓄積電荷信号と初期状態信号との差分を算出し、算出された差分を画像信号の正味の成分量として出力する。

【0133】

50

このような駆動方法によって、高輝度被写体撮像においてリセット時に黒沈みや黒焼き付き発生の原因となるインパクトイオン化が発生しないリセット動作が可能となる。

【0134】

その結果、高輝度被写体撮像時においても、リセット時にリセットトランジスタでインパクトイオン化による余剰電荷発生を抑止し、出力レベル変動や、リセットトランジスタの特性劣化を防止し、黒沈み現象や黒焼き付き現象の発生しない高画質撮像が可能な固体撮像装置とその駆動方法が実現できる。

【0135】

なお、上記説明したシーケンスにおいて、参照レベル電圧 V_{REF} に、例えば、リセットトランジスタ 406 においてインパクトイオン化が懸念されるレベルを判定するためのしきい値を用い、比較器 405 にて、読み出し信号 V_{SIG} の大きさがそのような参照レベル電圧 V_{REF} 以下であると判定された場合は、制御回路 407 は、時刻 T_2 および T_4 におけるリセット電圧 V_{RST} の変更を抑止し、リセット電圧 V_{RST} をローレベルに固定したまま、リセットトランジスタ 406 のゲートのオン/オフ状態を制御してもよい。そうすれば、高輝度被写体からの光の強度が比較的弱く、前述したインパクトイオン化の懸念がない場合に、リセット電圧 V_{RST} のレベル変更によって消費される電力が削減できるので、固体撮像装置 301 の低消費電力化に役立つ。

【0136】

さらに、制御回路 407 は、読み出し信号 V_{SIG} の大きさから FD 部 415 の電圧 V_{FD} を算出し、算出された電圧 V_{FD} と等しいリセット電圧 V_{RST} をリセットトランジスタ 406 のソースに印加してもよい。そうすれば、インパクトイオン化を防止できる最小限の振幅でリセット電圧 V_{RST} を変化させることができるので、固体撮像装置 301 の低消費電力化に役立つ。

【0137】

なお、上記では、制御回路 407 は、リセットトランジスタ 406 のソースに第 1 電圧である正の電圧を印加しながらリセットトランジスタ 406 のゲートをオン状態とし、リセットトランジスタ 406 のゲートをオン状態としながらリセットトランジスタ 406 のソースに印加する電圧を前記第 1 電圧よりも低い前記第 2 電圧に下げた。

【0138】

このような駆動方法によって、FD 部 415 が正孔を蓄積する場合に、リセットトランジスタ 406 におけるインパクトイオン化を防止する効果が得られる。

【0139】

なお、FD 部 415 が電子を蓄積する場合、制御回路 407 は、リセットトランジスタ 406 のソースに第 1 電圧である負の電圧を印加しながらリセットトランジスタ 406 のゲートをオン状態とし、リセットトランジスタ 406 のゲートをオン状態としながらリセットトランジスタ 406 のソースに印加する電圧を前記第 1 電圧よりも高い第 2 電圧（例えば前記第 1 電圧よりも高い負電圧、接地電圧、または正電圧）に上げることが望ましい。

【0140】

このような駆動方法によって、FD 部 415 が電子を蓄積する場合に、リセットトランジスタ 406 におけるインパクトイオン化を防止する同様の効果が得られる。

【0141】

（実施の形態 3）

本発明の実施の形態 3 に係る駆動方法について図 13 を用いて説明する。

【0142】

実施の形態 3 では、図 9 および図 10 に示した固体撮像装置 301 によって実行される別の駆動方法が説明される。以下では、実施の形態 2 と同一の事項については適宜説明を省略し、異なる点を主に説明する。

【0143】

図 13 は、図 10 に示した主要なノードの信号 V_{RST} 、 V_{SELECT} 、 V_{RSTG}

10

20

30

40

50

、 V_{SIG} の時間変化の一例を示すタイミングチャートである。

【0144】

実施の形態3の駆動方法では、時刻T1から時刻T3までの間、実施の形態1と同じシーケンスが実行される。その結果、実施の形態1と同じ、次のような効果が得られる。すなわち、あらかじめ時刻T2において、リセットトランジスタ406のソース-ドレイン間電圧が低く抑えられているので、ゲート電圧 V_{RSTG} のローからハイレベルへの遷移時に発生するインパクトイオン化は抑制される。従って、インパクトイオン化に伴う、余剰電荷の発生も抑止され、リセットトランジスタ406の損傷、基板電位の変動も発生しない。また、リセットトランジスタ406がオンとなった瞬間も、そのソース-ドレイン間電圧は低いため、 V_{SIG} はほとんど変動しない。

10

【0145】

実施の形態3の駆動方法では、実施の形態2の駆動方法とは異なり、時刻T3の後、リセットトランジスタ406のゲートがオン状態に確定した後、時刻T4までの間に、リセット電圧 V_{RST} をローレベルに徐々に低減する。時刻T4において、リセット電圧 V_{RST} が完全にローレベルとなり、FD部415は完全にリセットされる。時刻T4において、読み出し信号 V_{SIG} は、初期状態信号に対応するレベルまで低下する。

【0146】

このような駆動方法によれば、リセット電圧 V_{RST} を徐々に低減するため、リセットトランジスタ406のソース-ドレイン間電圧を低い値に保ったまま、FD部415を残留電荷が排出された初期状態に設定することが可能となる。

20

【0147】

その後、時刻T4から時刻T6までの間、実施の形態2と同じシーケンスが実行される。蓄積電荷信号および初期状態信号の読み出し動作、並びに、ノイズキャンセラ回路305にて、蓄積電荷信号と初期状態信号との差分を画像信号の正味の成分量として出力する動作については、実施の形態2と同様のため、説明を省略する。

【0148】

このように、本実施の形態の駆動方法によって、高輝度被写体撮像においてリセット時に黒沈みや黒焼き付き発生の原因となるインパクトイオン化が発生しないリセット動作が可能となる。

【0149】

(実施の形態4)

本発明の実施の形態4に係る駆動方法について図14を用いて説明する。

30

【0150】

実施の形態4では、図9および図10に示した固体撮像装置301によって実行される、さらに別の駆動方法が説明される。以下では、実施の形態2および3と同一の事項については適宜説明を省略し、異なる点を主に説明する。

【0151】

図14は、図10に示した主要なノードの電圧 V_{RST} 、 V_{SELECT} 、 V_{RSTG} 、 V_{SIG} の時間変化の一例を示すタイミングチャートである。実施の形態4の駆動方法は、被写体の輝度があまりにも高く、前述の駆動方法で撮像を続けると黒焼き付きの発生が懸念される場合への対策が追加される。

40

【0152】

実施の形態2および3では、リセットトランジスタ406においてインパクトイオン化が懸念されるレベルを判定するための参照レベル電圧 V_{REF} を用いたが、実施の形態4では、撮像を続けた場合に黒焼き付きの発生が懸念されるレベルを判定するための参照レベル電圧 V_{REF} を用いる。すなわち、実施の形態4では、実施の形態2および3で用いる参照レベル電圧 V_{REF} よりも高い参照レベル電圧 V_{REF} を用いる。

【0153】

実施の形態4の駆動方法においては、実施の形態2および3の駆動方法(図12、図13)とは異なり、比較器405にて、読み出し信号 V_{SIG} の大きさが、撮像を続けた場

50

合に黒焼き付きの発生が懸念されるレベルを示す参照レベル電圧 V_{REF} よりも大きいと判定された場合、リセット動作を終了した時刻 T_5 の後も、リセットトランジスタのゲートにハイレベルのゲート電圧 V_{RSTG} (ターンオン電圧) を持続的に印加することによりリセットトランジスタ 406 のゲートをオン状態に維持し、リセットトランジスタ 406 のソースを GND へ短絡する (リセット電圧 V_{RST} をローレベルで固定)。これにより、後続の撮像動作を停止するので、さらなる蓄積電荷信号および初期状態信号の読み出し動作は行われない。

【0154】

このように、本実施例の駆動方法によって、高輝度被写体撮像においてリセット時に黒沈みや焼き付き発生の原因となるインパクトイオン化が発生しないリセット動作が可能になり、かつ被写体の輝度があまりにも高く、撮像を続けると黒焼き付きの発生が回避できないと想定される場合にも適切な対策がなされる。

10

【0155】

なお、比較器 405 にて、画素 310 から読み出された読み出し信号 V_{SIG} の大きさが、黒焼き付きの発生が懸念されるレベルよりも大きいと判定された場合、制御回路 407 は、他の画素に対してもリセット動作を持続的に行うことが望ましい。

【0156】

すなわち、制御回路 407 は、同じ列に含まれる他の画素のリセットトランジスタのゲートにもターンオン電圧を持続的に印加し、当該リセットトランジスタに供給するリセット電圧をローレベルで固定してもよい。制御回路 407 はさらに、他の列に設けられた制御回路を制御することによって、他の列の画素に含まれるリセットトランジスタのゲートにターンオン電圧を持続的に印加し、当該リセットトランジスタに供給するリセット電圧をローレベルで固定してもよい。

20

【0157】

このような構成とすることによって、被写体の輝度があまりにも高く、撮像を続けると他の画素でも黒焼き付きの発生が懸念される場合、他の画素のリセットトランジスタを、いち早く保護することができる。

【0158】

以上、本発明の実施の形態に係る固体撮像装置について説明したが、本発明は、この実施の形態に限定されるものではない。例えば、制御回路 407 はさらにチップ外部からの制御信号によって、より高い自由度で制御することも可能である。

30

【0159】

また、上記実施の形態に係る固体撮像装置に含まれる各処理部は典型的には集積回路である LSI として実現される。これらは個別に 1 チップ化されてもよいし、一部又は全てを含むように 1 チップ化されてもよい。

【0160】

また、集積回路化は LSI に限るものではなく、専用回路又は汎用プロセッサで実現してもよい。LSI 製造後にプログラムすることが可能な FPGA (Field Programmable Gate Array)、又は LSI 内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

40

【0161】

また、上記の断面図において、各構成要素の角部及び辺を直線的に記載しているが、製造上の理由により、角部及び辺が丸みをおびたものも本発明に含まれる。

【0162】

また、上記実施の形態に係る、固体撮像装置、及びそれらの変形例の機能のうち少なくとも一部を組み合わせてもよい。

【0163】

また、上記で用いた数字は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された数字に制限されない。さらに、ハイ/ローにより表される電圧レベル又はオン/オフにより表されるスイッチング状態は、本発明を具体的に説明するために

50

例示するものであり、例示された論理レベル又はスイッチング状態の異なる組み合わせにより、同等な結果を得ることも可能である。また、基板の拡散領域の導電型（n型及びp型）は、本発明を具体的に説明するために例示するものであり、これらを反転させることで、同等の結果を得ることも可能である。

【0164】

また、上記で示した各構成要素の材料は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された材料に制限されない。また、構成要素間の接続関係は、本発明を具体的に説明するために例示するものであり、本発明の機能を実現する接続関係はこれに限定されない。

【0165】

また、上記説明では、MOSトランジスタを用いた例を示したが、他のトランジスタを用いてもよい。

【0166】

更に、本発明の主旨を逸脱しない限り、本実施の形態に対して当業者が思いつく範囲内の変更を施した各種変形例も本発明に含まれる。

【産業上の利用可能性】

【0167】

本発明は、固体撮像装置に適用でき、特に高輝度入射光に対して高い信頼性が要求される固体撮像装置に適用される。本発明は、例えば、監視カメラ、ネットワークカメラ、車載カメラ、デジタルカメラ、及び携帯電話などに適用できる。

【符号の説明】

【0168】

- 1 半導体基板
- 2 エピ層
- 11、102 画素電極
- 12、101、111、401 光電変換膜（光電変換部）
- 13 透明電極
- 14、103 電荷蓄積領域（電荷蓄積領域）
- 15、104、402 増幅トランジスタ
- 16、106、406 リセットトランジスタ
- 17、105、403 選択トランジスタ
- 19 STI
- 20 分離領域
- 21 電荷障壁領域
- 22 電荷排出領域
- 23 ゲート電極
- 24 サイドウォール
- 25 コンタクト配線
- 26 絶縁層
- 27 ソース領域
- 100 単位画素
- 103 電荷蓄積部
- 113 垂直走査部
- 115 水平走査部
- 121 アドレス制御線
- 123 リセット制御線
- 125 電源線
- 131 光電変換部制御線
- 141 列信号線
- 142 水平出力端子

10

20

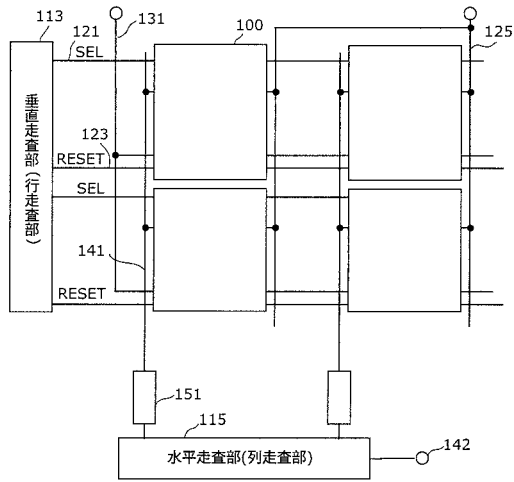
30

40

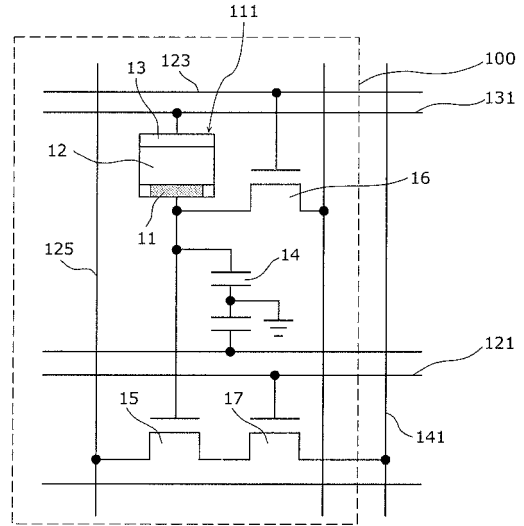
50

1 5 1	列信号処理部	
3 0 1	固体撮像装置	
3 0 2	画素アレイ	
3 0 3 a、3 0 3 b	行信号駆動回路	
3 0 4	列フィードバックアンプ回路	
3 0 5	ノイズキャンセラ回路	
3 0 6	水平駆動回路	
3 0 7	出力段アンプ	
3 0 9	矢印	
3 1 0	画素	10
4 0 4	列信号線	
4 0 5	比較器	
4 0 7	制御回路	
4 0 8、4 0 9	信号線	
4 1 0	列選択トランジスタ	
4 1 1	列増幅回路	
4 1 2	バイアストランジスタ	
4 1 3	容量	
4 1 5	F D 部	
4 2 0	読み出し回路	20
5 0 1	マイクロレンズ	
5 0 2	青色カラーフィルタ	
5 0 3	緑色カラーフィルタ	
5 0 4	赤色カラーフィルタ	
5 0 5	保護膜	
5 0 6	平坦化膜	
5 0 7	上部電極	
5 0 8	光電変換膜	
5 0 9	電子ブロッキング層	
5 1 0	電極間絶縁膜	30
5 1 1	下部電極	
5 1 2	絶縁膜	
5 1 3	給電層	
5 1 4	ビア	
5 1 8	基板	
5 1 9	ウェル	
5 2 0	S T I 領域	
5 2 1	層間絶縁層	

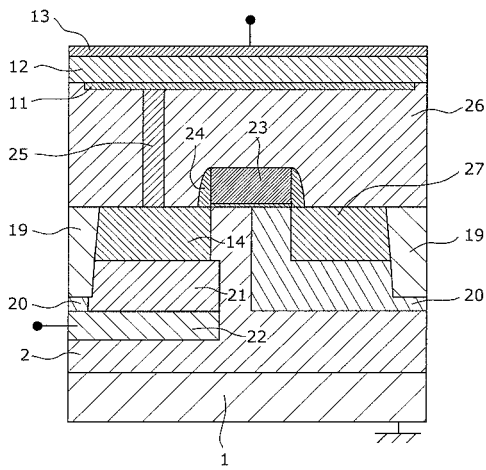
【 図 1 】



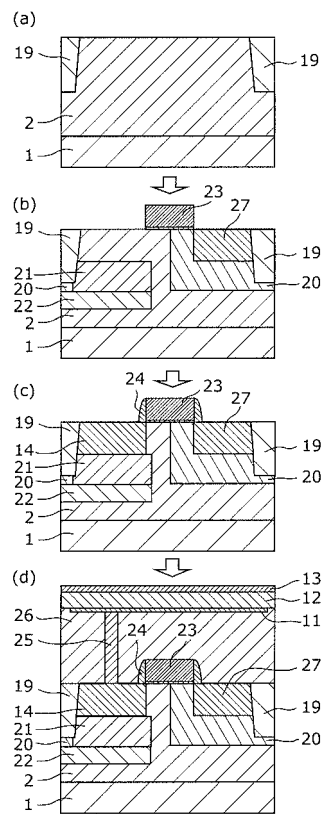
【 図 2 】



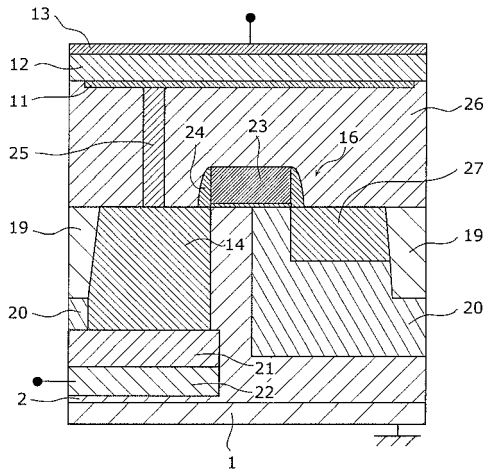
【 図 3 】



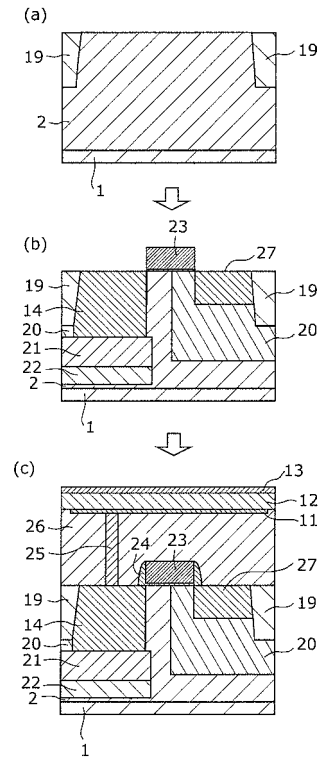
【 図 4 】



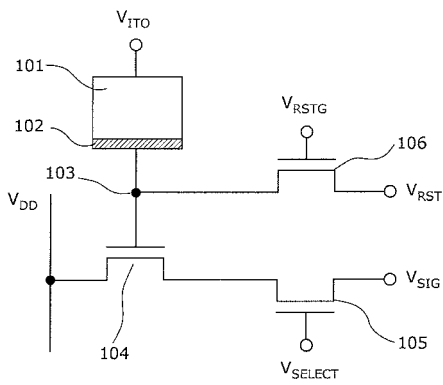
【図5】



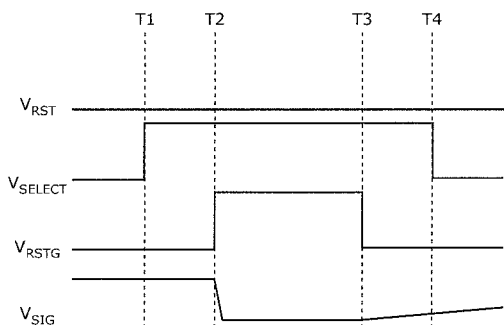
【図6】



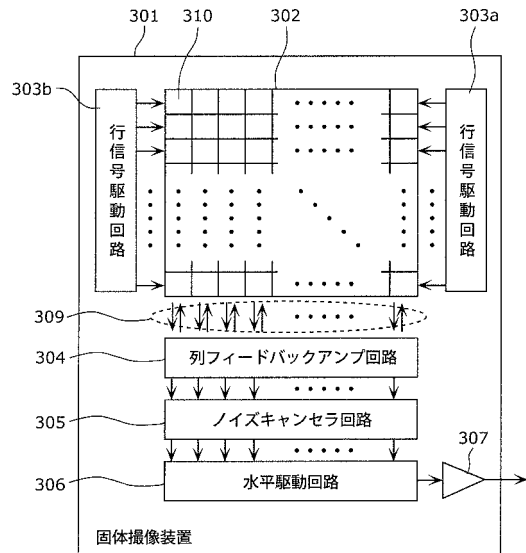
【図7】



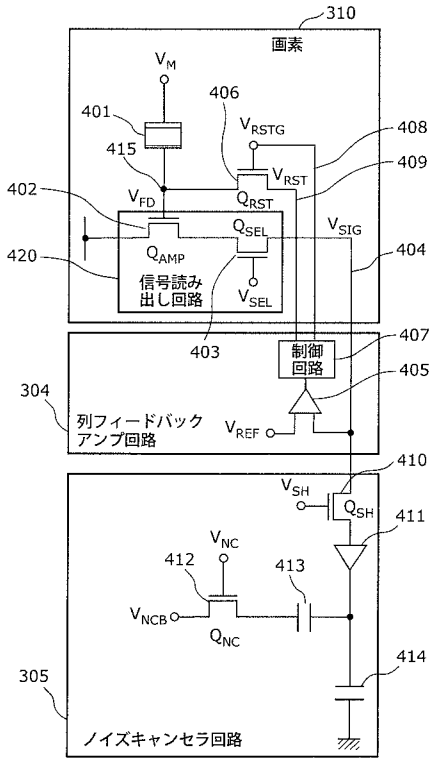
【図8】



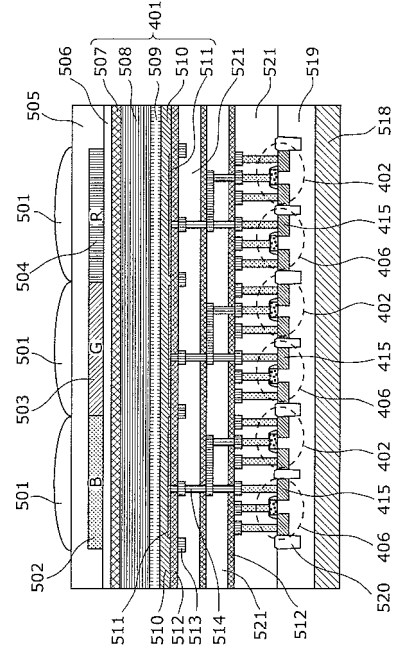
【図9】



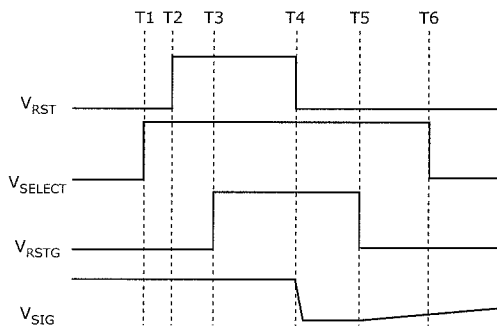
【図 1 0】



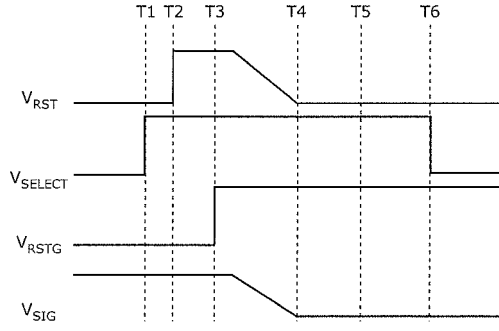
【図 1 1】



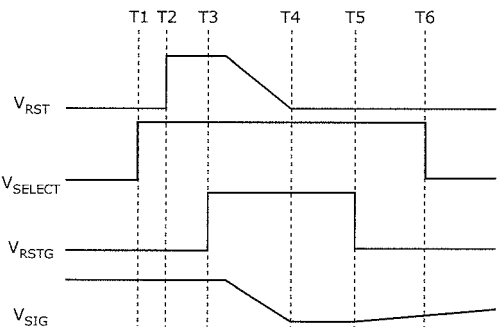
【図 1 2】



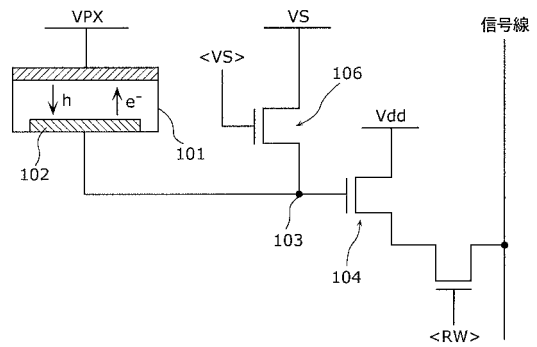
【図 1 4】



【図 1 3】



【図 1 5】



フロントページの続き

- (72)発明者 廣瀬 裕
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 宮川 良平
富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内
- (72)発明者 土井 博之
富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内
- (72)発明者 筒井 将史
富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内
- Fターム(参考) 4M118 AA08 AB01 BA07 BA19 CA14 CB06 CB14 CB20 DB09 DD04
EA14 FA06 FA28 FB23 GC08 GD04 HA22
5C024 AX01 CX03 CY16 GX07 GX16 GX18 GY31 HX29