

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/02

H03K 17/28



[12] 发 明 专 利 说 明 书

专利号 ZL 99106255.8

[45] 授权公告日 2005 年 12 月 14 日

[11] 授权公告号 CN 1231947C

[22] 申请日 1999.3.12 [21] 申请号 99106255.8

[30] 优先权

[32] 1998.3.12 [33] JP [31] 61303/98

[71] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川县川崎市

[72] 发明人 境敏亲 藤井贵晴 矢柴康雄

审查员 樊晓东

[74] 专利代理机构 中国专利代理(香港)有限公司

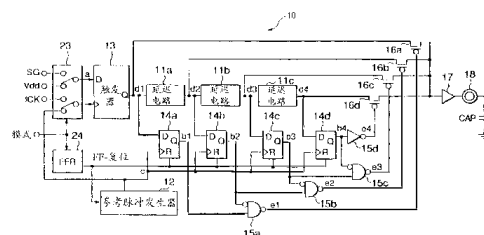
代理人 李亚非

权利要求书 3 页 说明书 28 页 附图 8 页

[54] 发明名称 半导体器件

[57] 摘要

在一能够获得一最佳延迟时间的半导体器件中，通过在二个相邻的延迟电路之间的连接点多个延迟电路被相互串接以产生从该延迟电路所得到的多个参考延迟信号。该参考延迟信号中的一个信号被确定为相对于一实际条件的最佳延迟时间。因此，在该半导体器件中该延迟时间可以变化。



1. 一种半导体器件, 包括:

5 一模式转换开关 (23), 它选择性地操作于一正常操作模式或一置位操作模式;

延迟装置, 它具有多个以串联方式相互连接的延迟电路 (11a, 11b, 11c), 用于对一延迟输入信号 (d1) 进行延迟以产生一输出信号 (d1) 和延迟的信号 (d2 至 d4);

10 参考脉冲产生装置 (12), 操作于由所述模式转换开关指示的所述置位操作模式, 用于产生一参考脉冲信号 (c), 该信号定义一由第一定时和从该第一定时延迟的第二定时两者所确定的参考延迟时间;

15 延迟比较装置 (14a, 14b, 14c, 14d, 15b 至 15d), 连接至所述延迟装置和所述参考脉冲产生装置, 用于参照所述参考脉冲信号 (c) 的所述第一定时和第二定时、通过将所述输出信号 (d1) 和所述延迟的信号 (d2 至 d4) 与所述第二定时相比较来选择所述输出信号 (d1) 和所述延迟的信号 (d2 至 d4), 以产生一表示一判断结果的结果信号;

20 延迟置位装置 (16a 至 16d), 连接至所述延迟装置和所述延迟比较装置, 它在所述正常操作模式中操作于所述输入延迟信号 (d1) 和所述延迟的信号 (d2 至 d4), 用于根据所述结果信号来选择所述输入延迟信号 (d1) 和所述延迟的信号 (d2 至 d4) 的其中一个, 以产生作为需要的延迟信号的、所述输入延迟信号 (d1) 和所述延迟的信号 (d2 至 d4) 的其中一个所选择的信号。

2. 如权利要求 1 的半导体器件, 其中, 所述参考脉冲产生装置包括:

25 一产生时钟信号的振荡器;

一对该时钟信号计数的计数器;

一比较器, 用来检测该计数器的一值是否变为预置值, 当检测到该值和预置值之间相一致时产生一检测信号。

3. 如权利要求 2 的半导体器件, 其中, 所述参考脉冲产生装置包括一置位-复位触发器, 该触发器当延迟置位操作开始时提供所置位信号的

第一定时和响应于自比较器所传送的检测信号提供被复位信号的第二定时。

4. 如权利要求1的半导体器件, 其中, 所述参考脉冲产生装置包括:

一计数器, 由用于启始一延迟置位操作的信号复位;

5 一第一比较器, 检测该计数器的一值是否变得等于第一值, 和当该值与第一值之间相一致时在第一定时处产生一致信号; 和

一第二比较器, 检测该计数器的一值是否变得等于第二值, 和当该值与第二值之间相一致时在第二定时处产生一致信号。

5. 如权利要求1的半导体器件, 其中, 所述延迟比较装置包括:

10 多个数据保持装置, 每一个数据保持装置被提供参考延迟信号, 在第二定时处接收和保持该参考延迟信号。

6. 如权利要求5的半导体器件, 其中, 所述数据保持装置包括一触发器。

7. 如权利要求1的半导体器件, 其中, 所述延迟置位装置包括:

15 延迟检测装置, 用来检测一最接近于预置延迟时间的参考延迟信号; 和

置位开关, 用来根据该延迟检测装置的一输出设置多个参考延迟信号中的一个信号。

8. 如权利要求7的半导体器件, 其中, 所述延迟检测装置选择其最接近于预置延迟时间而不超过该预置延迟时间的参考延迟信号。

9. 如权利要求8的半导体器件, 其中, 所述延迟检测装置包括:

第一置位装置, 响应于参考延迟信号, 用来产生信号的第一逻辑电平;

25 第二置位装置, 响应于参考延迟信号, 用来产生信号的第二逻辑电平; 和

一“与”电路, 用来执行在第一置位装置的一输出和第二置位装置的一输出的反相之间的“与”操作。

10. 如权利要求7的半导体器件, 其中, 所述延迟检测装置选择一其为最接近于预置延迟时间而超过该预置延迟时间的参考延迟信号。

11. 如权利要求 10 的半导体器件, 其中, 所述延迟检测装置包括:

第一置位装置, 响应于该参考延迟信号, 用来产生信号的第一逻辑电平;

5 第二置位装置, 响应于该参考延迟信号, 用来产生信号的第二逻辑电平;

一“与”电路, 用来在第一置位装置的一输出的反相和第二置位装置的一输出之间执行“与”操作。

12. 一种半导体器件, 用于通过选择多个参考延迟信号的其中之一来改变一延迟时间, 该多个参考延迟信号由以串联方式相互连接的延迟电路的各连接点提供, 该器件包括:

10

参考脉冲产生装置, 用于产生参考信号, 该信号由第一定时和第二定时确定, 所述第一定时和第二定时之间留有一预定的延迟;

延迟比较装置, 连接至所述参考脉冲产生装置和所述延迟电路的连接点, 用于将各参考延迟信号和由所述参考信号限定的第二定时进行比较, 以产生一比较结果; 和

15

延迟设置装置, 连接至所述延迟比较装置和所述延迟电路的连接点, 用于根据所述延迟比较装置获得的比较结果来选择通过所述延迟电路的所述多个参考延迟信号的其中一个。

半导体器件

5 技术领域

本发明涉及一种半导体器件，更详细地说，本发明涉及一种能够调整输出信号定时的半导体器件。

背景技术

10 最近的趋势是 MPU (微处理单元) 或与其相连的逻辑电路的时钟速率在逐年增长。近年要求电路工作在 100 至 300MHZ。在这种情况下，必须产生具有 3 至 10ns 时钟周期的时钟并且 MPU 在这种时钟基础上产生每一信号。此外，还期待将来该时钟速率将变得更高。

15 当一信号通过一逻辑门时，该信号的传送速率，即延迟时间是取决于各种变量的。在相关的晶体管制造过程中出现的这些变量包括在逻辑门(即，确定该晶体管性能的阈值电压 V_t 或门长度的变量)，驱动能力，连接到负载的寄生电容，工作温度或工作电压。总之，该延迟时间的变化不总是落在一预置的范围内。当该延迟时间波动时，半导体器件不能正确地工作，这是因为数据不能正确地被锁存或逻辑操作的结果变得不正确的缘故。

20 另一方面，需要来自一半导体器件信号的定时必须落入与连接到该半导体器件的一外围装置所确定的预置范围内。也就是，为了保证半导体器件(在一块板上的器件)之间的工作，从一半导体器件传送到另一半导体器件的信号能够持续一个时间间隔，在该间隔期间，所述信号能够被所述其它半导体器件集中接收。另外，在基准信号方面，应当满足最小延迟时间和最大延迟时间。

25 如果该信号不满足有关上述延迟时间的条件并且从该半导体器件输出的信号的变化早于该基准信号，则必须接收该信号的另一半导体器件就不能取出该信号，其结果是接收了序列中随后的下一个信号而不是上述信

号。另一方面，如果从该半导体器件输出的信号变化迟于该基准信号，另外的半导体器件则不能取出或接收该信号但可能错误地接收序列中超前于上述信号的在前信号。

5 在这种情况下，在由制造商进行货物装运之前应对每个半导体作关于输出信号的定时是否落入到预定时间间隔之内的验证。由于将导致半导体的高成本，所以不希望出现大量的有缺陷的产品。特别是，因为近来时钟速率的增长要快于在制造过程中变化的减小速率，因而很难确立预置的最小和最大输出延迟时间。

10 鉴于以上的考虑，即使在制造过程中发生任何起伏，重要的是设计一半导体器件使得该半导体器件的延迟时间可落入预置的范围内。例如，一半导体器件是由10MHZ的时钟来操作时，即使在该时钟中出出现10ns的波动也不会发生问题。这是因为该时钟周期等于100ns的缘故。

15 另一方面，当100MHZ的时钟用于该半导体器件时，10ns的延迟时间的波动会引起不希望的操作，这是因为该延迟时间等于10ns的时钟周期的缘故。

为了解决这个问题，例如日本待审专利申请 H9 - 181580(即，181580/1997)披露了一种通过改进一电路的构造来控制延迟时间的半导体器件。在这种情况下，在一个半导体器件中插入了一个具有多个串接延迟门的延迟电路，在每一延迟门的前面，有一根据控制信号转换的“与”门。20 利用这种构成，通过测量该延迟电路被插入所述系统时所需要的延迟值将一所选择的延迟门提供给一外部电路，而当一未使用的延迟门被查寻和被检测时，该“与”门被闭合以阻止一脉冲的通过。

但是，因为该延迟值必须通过将该测试仪连接到该半导体器件的外部而进行测量，所以为了测量该延迟值该延迟电路必须要有一昂贵的测量25 仪。另外，在该半导体器件中必须设置寄存器以便根据该测量来调整延迟时间。特别是，当必须对以高速工作的半导体器件的延迟时间进行测量时，则使用更为昂贵的测量仪。

但是，在装运之前进行检验时，由于附加了这种检验过程而使装运过程变得复杂，其结果使得工作时间变长。结果使得该商品的成本增加。

由于在实际使用中的实际温度和电源电压与在检验环境中的温度和电源电压通常是不同的，所以在一检验环境中所得到的检验结果不总是和在实际使用中所得到的结果相同。

5 在通常的检验过程中，为了缩短检验时间，该检验仅是通过在正常温度下改变电源电压来执行的。当该检验是通过将温度从一温度改变到另一温度来进行时，因为这些产品必须拿进和进出一恒温箱或这些产品必须放进该恒温箱中直至它们达到一预置的稳定温度，所以不可能对所有的产品进行检验。

10 即使一延迟时间是在高温和高压环境下被测量和确定的，也不能保证这些产品不经受低温和低压或高温和高压。因此，该延迟时间必须在一窄的范围内被确定，这将使得该产品的产量下降。

相反地，如果降低该产品的变化基准从而改善其产量，例如，通过将所用温度范围和所用电源电压范围变窄或通过将一个接收延迟时间变窄，则限制了上述应用和该半导体器件的可用环境的要求。

15 另外，假定的一常规方式将该半导体器件装配到一器件之后通过测量延迟时间而改变半导体器件的设定值，测量仪的探针可不与半导体器件的某部位相连或不会出现由于该探针的寄生电容所引起的延迟时间的误差。

发明内容

20 因此，本发明的一个目的是提供一种半导体器件，这种半导体器件可考虑到实际的环境设置一最佳延迟值而无须使用一昂贵的测量仪测量该延迟值。

25 为了实现上述目的，根据本发明的一种半导体器件，包括：一模式转换开关，它选择性地操作于一正常操作模式或一置位操作模式；延迟装置，它具有多个以串联方式相互连接的延迟电路，用于对一延迟输入信号进行延迟以产生一输出信号和延迟的信号；参考脉冲产生装置，操作于由所述模式转换开关指示的所述置位操作模式，用于产生一参考脉冲信号，该信号定义一由第一定时和从该第一定时延迟的第二定时两者所确定的参考延迟时间；延迟比较装置，连接至所述延迟装置和所述参考脉冲产生装置，

用于参照所述参考脉冲信号的所述第一定时和第二定时、通过将所述输出信号和所述延迟的信号与所述第二定时相比较来选择所述输出信号和所述延迟的信号，以产生一表示一判断结果的结果信号；延迟置位装置，连接至所述延迟装置和所述延迟比较装置，它在所述正常操作模式中操作于所述输入延迟信号和所述延迟的信号，用于根据所述结果信号来选择所述输入延迟信号和所述延迟的信号的其中一个，以产生作为需要的延迟信号的、所述输入延迟信号和所述延迟的信号的其中一个所选择的信号。

另外，根据本发明的一种半导体器件，用于通过选择多个参考延迟信号的其中之一来改变一延迟时间，该多个参考延迟信号由以串联方式相互连接的延迟电路的各连接点提供，该器件包括：参考脉冲产生装置，用于产生参考信号，该信号由第一定时和第二定时确定，所述第一定时和第二定时之间留有一预定的延迟；延迟比较装置，连接至所述参考脉冲产生装置和所述延迟电路的连接点，用于将各参考延迟信号和由所述参考信号限定的第二定时进行比较，以产生一比较结果；和，延迟设置装置，连接至所述延迟比较装置和所述延迟电路的连接点，用于根据所述延迟比较装置获得的比较结果来选择通过所述延迟电路的所述多个参考延迟信号的其中一个。

附图说明

图 1 示出了根据本发明的第一实施例的一半导体器件的延迟产生电路的框图；

图 2 示出了图 1 中所示的该延迟产生电路的时序图；

图 3 示出了图 1 中所示的参考脉冲发生器的框图；

图 4 示出了图 3 中所示的参考脉冲发生器的时序图；

图 5 示出了根据本发明第二实施例的半导体器件的延迟产生电路的框图；

图 6 示出了在图 5 中所示的参考脉冲发生器的框图；

图 7 示出了在图 5 中所示的延迟产生电路的时序图；

图 8 示出了根据本发明的第三实施例的半导体器件的延迟产生电路的

框图;

图9示出了在图8中所示的延迟产生电路的时序图。

具体实施方式

5 [本发明的第一实施例]

此后,将参考附图来说明有关本发明的第一实施例。

图1示出了根据本发明第一实施例的半导体器件的一延迟产生电路的框图。在该实施例中,对来自内部电路的一信号进行控制以便使它与一标准信号相比落入一预置延迟时间(此后称之为规范延迟时间T)之内。

10 如图1所示,提供给该半导体器件的延迟产生电路10包括三个预先包含在内的延迟电路11a,11b和11c;一参考脉冲发生器12;一触发器13;四个寄存器14a,14b,14c和14d;四个选择器15a,15b,15c和15d;四个置位开关16a,16b,16c和16d;一个模式转换开关23;和一个触发器复位发生器(FFR)24。

15 在本实施例中的该延迟产生电路10可工作在两种模式,即正常工作模式和设置(setup)工作模式。在该设置工作模式中,延迟电路11被设置并且当MPU被复位或MPU输出一设置命令时给出一预置延迟时间。在正常工作模式中,来自一内部电路的信号作为一输出信号通过在完成MPU的复位时间间隔和置位工作时间间隔之后而被设置和给出了一所希望的延迟时间的延迟电路11而被提供。

20 该延迟产生电路10具有一提供具有第一和第二逻辑电平中的任一电平的模式信号MODE的输入端。该模式信号MODE被提供给模式转换开关23和FF复位发生器24。这里,该延迟产生电路10当该模式信号MODE具有第二逻辑电平(此后,由值“0”来表示)时执行置位操作,而当该模式信号MODE具有第一逻辑电平(此后,由值“1”表示)时执行正常操作。

25 当该模式信号MODE具有“0”的第二逻辑值时的触发器复位发生器24产

生一具有予置时间间隔的“0”的触发器复位信号 FFRESEF。这里,应注意的是在维持几十 ms 的“0”时间间隔之后该模式信号 MODE 变为“1”同时在维持几十 ms 的“0”时间间隔之后该触发器复位信号 FFRESET 变为“1”。

三个延迟电路 11a,11b 和 11c 相互串联连接在一起。每一延迟时间由延迟电路 11a,11b 和 11c 逐次地被相加。在该置位操作中,从参考脉冲发生器 12 所提供的参考脉冲被加到延迟电路 11a 的一输入端并且检验从延迟电路 11a、11b 和 11c 的每一个发送的脉冲的定时。在该正常操作中,来自一内部电路(未示出)的信号被加到延迟电路 11a 的输入端。或者上述信号中的一个信号或者延迟电路 11a、11b 和 11c 中的每一输出信号被有选择地加到一外部电路。

10 该参考脉冲发生器 12 产生一例如具有复位时间间隔的参考脉冲信号 c。该参考脉冲信号 c 相应地在该延迟电路 11 中被延迟的最大延迟时间。

四个寄存器 14a、14b、14c 和 14d 的每一个都由一触发器构成。四个寄存器 14a、14b、14c 和 14d 可与该参考脉冲信号 c 的下降沿相同步地工作以存贮参考延迟信号 d1 至 d4。这里,参考延迟信号 d1 出现在延迟电路 11a 的前面同时参考延迟信号 d2 至 d4 分别在延迟电路 11a,11b 和 11c 之后被产生。被分别提供给寄存器 14a,14b,14c 和 14d 的参考延迟信号 d1,d2,d3 和 d4 与该参考脉冲信号 C 的上升沿相比较分别由延迟时间 Ta,Tb,Tc 和 Td 所延迟。寄存器 14a 到 14d 的每一个将参考脉冲信号 C 的上升沿与延迟信号 d1 至 d4 的每一个相比较以判断相应的延迟时间 Ta 至 Td 是否落入予置值之内并且产生检测信号 b1 至 b4。

20 在四个选择器 15a 至 15d 之中,三个选择器 15a,15b 和 15c 中的每一个由一“与非”门所构成而选择器 15d 由一反相器所构成。使用分别在寄存器 14a、14b、14c 和 14d 中存贮的检测信号 b1、b2、b3 和 b4,选择器 15a 至 15d 或者选择通过延迟电路 11a 之前出现的信号,或者选择通过延迟电路 11a、11b 或 11c 之前出现的信号。响应于所选择的信号,四个置位开关 16a、16b、16c 和 16d 中的一个被接通,同时其它的开关被断开。该置位开关 16a 至 16d 包括 P-MOS 晶体管并响应于第一逻辑电平“1”而断开和响应于第二逻辑电平“0”被接通。

25 选择器 15a、15b、15c 和 15d 可检测参考延迟信号并适用于选择满足一规范的参考延迟信号中的一信号并且通过检测从“1”至“0”的检测 b1 至 b4 的跃迁的定时该信号是最接近于所述规范的信号。其结果,满足该规范的延迟时间可通过根据该检测结果接通该置位开关的一个开关而被设置。

该模式转换开关 23 适用于在正常工作模式或设置工作模式中有选择地将信号提供给触发器 13。所说明的模式转换开关 23 具有两组转换开关。当与正常模式时第一转换开关将触发器 13 的一数据输入端连接到一内部电路(未示出)的输入端 SG,而在设置工作模式时将其连接到电源电压 Vdd。这里,电源电压 Vdd 保持在第一逻辑电平“1”。当在正常工作模式时第二转换开关将一时钟输入端连接到一内部电路(未示出)的输出端 ICK,并且当在设置工作模式时将其连接到参考脉冲发生器 12 的输出端 C。

与在该时钟端上所提供的一内部时钟 ICK 的上升沿同步的触发器 13,在正常工作模式中保持内部电路(未示出)的输出信号 SG。另一方面,在设置工作模式中,与参考脉冲信号 C 的上升沿同步的触发器 13 保持该电源电压 Vdd 的电平并且输出具有延迟时间 Ta 和是由该触发器 13 的输出端所提供的参考延迟信号 d1。这个参考延迟信号 d1 随后提供给延迟电路 11a,寄存器 14a 和置位开关 16a。该延迟电路 11a 进一步将所接收的参考延迟信号 d1 延迟延迟时间 Tb,并且输出具有延迟时间(Ta+Tb)的参考延迟信号 d2。这个参考延迟信号 d2 被传送到延迟电路 11b、寄存器 14b 和置位开关 16b。

类似地,参考延迟信号 d3 具有延迟时间(Ta+Tb+Tc)并且从延迟电路 11b 提供给延迟电路 11c、寄存器 14c 和置位开关 16c。另外,参考延迟信号 d4 具有延迟时间(Ta+Tb+Tc+Td)并且从延迟电路 11c 提供给延迟电路 11d、寄存器 14d 和置位开关 16d。

寄存器 14a 由于一复位信号(FFRESET)而进入初始状态,以在该参考脉冲信号 C 的下降沿保持延迟信号 d1 并且输出检测信号 b1。类似地,寄存器 14b 由于复位信号(FFRESET)而被初始化以在参考脉冲信号 C 的下降沿保持延迟信号 d2 并输出检测信号 b2。寄存器 14c 由复位信号(FFRESET)初始化并在该参考脉冲信号 c 的下降沿处保持延迟信号 b3。寄存器 14d 由复位信号(FFRESET)初始化并在该参考脉冲信号 c 的下降沿处保持延迟信号 b4。

选择器 15a 在检测信号 b1 和检测信号 b2 的一反相信号之间执行“与非”操作以输出一选择信号 e1。类似地,选择器 15b 在检测信号 b2 和一反相的检测信号 b3 之间执行“与非”操作以输出选择信号 e2。另外,选择器 15c 在检测信号 b3 和一反相的检测信号 b4 之间执行“与非”操作以输出选择信号 e3。选择器 15d 反相该检测信号 b4 以输出选择信号 e4。

置位开关 16a 具有一提供选择信号 e1 和控制该参考延迟信号 d1 是否产生的栅极。类似地,置位开关 16b 具有一给出选择信号 e2 和控制该参考延迟信号 d2 是否产生的栅极。同样,置位开关 16c 根据给予栅极的选择信号 e3 而控制参考延迟信号 d3 的产生。置位开关 16d 还根据给予栅极的参考延迟信号 d4 而控制选择信号 e4 的产生。

在设置工作模式中,置位开关 16a、16b、16c 和 16d 中的一个根据选择信号 e1 至 e4 而被选择,并且参考延迟信号 d1-d4 之一被提供到反相器 17。在正常工作模式中,内部电路的信号 SG 通过置位开关 16a、16b、16c 和 16d 中的一个被提供给反相器 17,并且向外通过输出端 18 作为输出延时信号而提供该开关的输出。

图 2 示出了在图 1 中所示的延迟发生电路的时序图,说明将按在一延迟电路中一延迟时间希望限制在一规范延迟时间 T 的上述情况来进行。

被提供给寄存器 14a、14b、14c 和 14d 的每一个的参考脉冲信号 c 的下降沿是与被提供给触发器 13 的参考脉冲信号 c 的上升沿相同步的并使它的脉冲宽度等于规范延迟时间 T。因为参考脉冲信号 C 是由参考脉冲发生器 12 产生的,所以该参考脉冲信号 C 可具有与诸如晶体管的阈值、栅极长度、电源电压和工作温度等条件无关的一所期望的规范延迟时间 T。

当模式信号 MODE 变为“0”时,例如当 MPU 被复位或 MPU 输出一设置命令时,延迟产生电路 10 可通过下面的操作调整输出延迟信号的延迟时间。

当 MPU 输出复位信号并且在时间 t_0 瞬间该模式信号 MODE 变为“0” (图 2(a))时,模式转换开关 23 转换触发器 13 的输入。也就是,第一模式转换开关将触发器 13 的一输入端连接到电源 Vdd,并且第二模式转换开关将触发器 13 的时钟端连接到参考脉冲发生器 12 的输出端。

另外,当模式信号 MODE 降到“0”时,触发器复位发生器 24 使该触发复位信号 FFRESET 置为“0” (图 2(b))。

当触发器复位信号 FFRESET 降为“0”时,寄存器 14a、14b、14c 和 14d 被初始化,并将检测信号 b1 至 b4 置为“0” (图 2(h)至(k))。其结果,选择信号 e1 至 e4 分别从选择器 15a 至 15d 输出并具有值“1” (图 2 的(l)至(m))。因此,置位开关 16a 至 16d 被断开。

当经过几毫微秒后该信号降为“0”时,该触发器复位信号 FFRESET 再次置为“1” (图 2(b))。

当在时间 t_1 处该参考脉冲发生器 12 检测到触发器信号 FFRESET 变为“1”时,“1”作为参考脉冲信号 C 而产生(图 2(c))。

当该参考脉冲信号 c 变为“1”时,因为触发器 13 输入端被连接到 Vdd,所以触发器 13 与参考脉冲信号 c 的上升沿同步地输出“1”(图 2(d))。该输出是由从该
5 参考脉冲信号 c 的一上升的延迟时间所延迟的定时处上升的参考延迟信号 d1。该参考延迟信号 d1 是通过延迟电路 11a、11b 和 11c 传送的。

假定通过延迟电路 11b 的持续时间要短于该参考脉冲信号 c 的脉冲宽度并且通过延迟电路 11c 的持续时间要长于参考脉冲信号 c 的脉冲宽度。也就是,参考延迟信号 d1 的延迟时间 T_a 和参考延迟信号 d2 的延迟时间(T_a+T_b)每一个均比一所
10 期望的延迟时间 T 要短,并且参考延迟信号 d3 的延迟时间($T_a+T_b+T_c$)和参考延迟信号 d4 的延迟时间($T_a+T_b+T_c+T_d$)每一个均比所期望的时间 T 要长。考虑到上述情况下面将对上述情况的一个例子作一说明。

当被提供给延迟电路 11a 的参考延迟信号 d1 经过延迟时间 T_b 之后,延迟电路 11a 输出“1”作为参考延迟信号 d2。这里,参考延迟信号 d2 的上升与参考脉冲信
15 号 c 的上升相比较被延迟了一延迟时间(T_a+T_b)。

当该参考脉冲信号 C 变为“1”之后在时间 t_2 处经过了所期望的延迟时间,即规范延迟时间 T 时,参考脉冲信号 C 变为 0(图 2(c))。

在参考脉冲信号 c 的下降沿,寄存器 14a、14b、14c 和 14d 的每一个分别存贮参考延迟信号 d1、d2、d3 和 d4。在时间 t_2 ,因为参考延迟信号 d1 和 d2 具有值“1”
20 和参考延迟信号 d3 和 d4 具有值“0”(图 2(d)至(g)),所以寄存器 14a、14b、14c 和 14d 的每一个分别存贮“1”、“1”、“0”和“0”。其结果,寄存器 14a、14b、14c 和 14d 的每一个分别输出作为检测信号 b1、b2、b3、和 b4 的值“1”,“1”,“0”和“0”(图 2(h)至(k))。

在检测信号 b1 至 b4 被确定时,该检测信号 b1 至 b4 分别被提供给选择器 15a
25 至 15d。

因为选择器 15a 接收检测信号 b1(=“1”)和一检测信号 b2(=“1”)的一反相值(=“0”),并且在它们之间执行“与非”操作,所以选择器 15a 输出作为选择信号 e1 的值“1”(图 2(m))。

因为选择器 15b 接收检测信号 b2(=“1”)和检测信号 b3(=“0”)的反相值(=“1”),并且在它们之间执行“与非”操作,所以选择器 15b 输出作为选择信号 e2
30 “1”。

的值“0”(图2(L))。

因为选择器15c接收检测信号b3(=“0”)和检测信号b4(=“0”)的反相值(=“1”),并且在它们之间执行“与非”操作,所以选择器15c输出作为选择信号e3的值“1”(图2(m))。

- 5 因为选择器15d接收检测信号b4(=“0”)并且该值被反相,所以选择器15d输出作为选择信号e4的值“1”(图2(m))。

因为置位开关16a、16b、16c和16d分别接收选择信号e1(=“1”),e2(=“0”),e3(=“1”)和e4(=“1”),所以置位开关16b被接通和16a、16c及16d被断开。其结果,该置位开关16b被设置以选择通过延迟电路11a的参考延迟信号d2。

- 10 另一方面,当在时间t2之后经过一短的时间,即在参考延迟信号d2被提供给延迟电路11b之后经过延迟时间Tc时,该延迟电路11b输出作为参考延迟信号d3的“1”(图2(f))。这里,相对于参考脉冲信号c的上升沿,参考延迟信号d3的上升沿被延迟了延迟时间(Ta+Tb+Tc)。另外,延迟时间(Ta+Tb+Tc)要长于规范延迟时间T。

- 15 类似地,当被加到延迟电路11c的参考延迟信号d3之后经过一延迟时间Td时,延迟电路11c输出作为参考延迟信号d4的“1”(图2(g))。这里,相对于参考脉冲信号c的上升沿,参考延迟信号d4的上升沿被延迟了一延迟时间(Ta+Tb+Tc+Td)。另外,该延迟时间(Ta+Tb+Tc+Td)长于该规范延迟时间T。

- 因此,可以看出具有延迟时间短于规范延迟时间T和最接近于规范延迟时间T
20 的信号是参考延迟信号d2。

当在时间t3处该模式信号MODE变为“1”时(图2(a)),模式转换开关23被转换为正常工作模式。也就是,第一模式转换开关将触发器13的数据输入端连接到该半导体器件的内部电路(未示出)的输出端SG。第二模式转换开关将触发器13的时钟输入端连接到该半导体器件的内部时钟发生电路(未示出)的输出端ICK。

- 25 当该内部电路的输出端SG被提供给触发器13并且内部时钟ICK上升时,触发器13保持内部电路的输出SG。在延迟电路11a中输出SG由延迟时间(Ta+Tb)所延迟,并且作为通过被接通的置位开关16b和反相器17的一输出延迟信号被提供给输出端18。其结果,与参考脉冲信号c的脉冲宽度(规范延迟时间T)相比它可能缩短了被提供到输出端18的一输出延迟信号的延迟时间。

- 30 如上所述,通过检测在从参考脉冲信号C产生参考延迟信号之前由延迟产生

电路 10 通过延迟电路所测量的延迟时间和在参考延迟信号通过该延迟电路所测量的延迟时间,以及通过根据所确定的结果输出在该参考延迟信号通过该延迟电路之前或参考延迟信号通过该延迟电路之后所呈现的一信号来将一延迟时间设置为所期望值。

- 5 图 3 的框图更详细地示出了图 1 中的参考脉冲发生器 12。图 3 中该参考脉冲发生器 12 包括一振荡器 101、一延迟电路 102、一计数器 103、一比较器 104、一寄存器 105 和 SR 触发器 106。

振荡器 101 产生一具有比规范延迟时间 T 要短的时钟周期的时钟 g 。该时钟 g 作为一输出信号被提供给计数器 103。

- 10 延迟电路 102 延迟该触发器复位信号 $FERESET$ 并输出一延迟的复位信号 f 。被延迟的复位信号 f 使 SR 触发器 106 进入一置位状态和复位计数器 103。

计数器 103 根据该被延迟的复位信号 f 复位它自己的计数,并且随后计数来自该振荡器 101 的时钟 g 。该计数值被提供给比较器 104。

- 比较器 104 将该计数器的计数值与在寄存器 105 中存贮的一值进行比较。当
15 这二个值相互一致时,比较器输出一相符信号 i 并将它提供给 SR 触发器 106 的一复位端。

一值被设置到寄存器 105 中。通过将规范延迟时间 T 除以来自振荡器 101 的一时钟的周期时间而计算出该值。反之,该规范延迟时间可通过置换加到寄存器 105 的值而改变。

- 20 SR 触发器 106 由延迟电路 102 的一输出设置并输出值“1”,以及由比较器 104 的一复位设置并输出值“0”。SR 触发器 106 的输出被用作为参考脉冲信号 c 。输出为值“1”的周期相应于规范延迟时间 T 。

图 4 示出了在图 3 中所示的参考脉冲发生器的时序图。参考图 4 来说明该参考脉冲发生器的有关操作。这里,假定值“6”被存贮在存贮器 105 中。

- 25 当在时间 t_0 处触发器复位信号 $FFRESET$ 变为“0”(图 4(a)),则该信号在该延迟电路 102 中被延迟并且该延迟电路 102 输出一延迟复位信号 f (图 4(b))。

当在时间 t_1 处该延迟复位信号 f 上升到“1”时(图 4(b)),SR 触发器 106 被置位并且该参考脉冲信号 c 为值“1”(图 4(f))。

- 另外,当在时间 t_1 处该延迟复位信号 f 上升到“1”时(图 4(b)),计数器 103 被
30 初始化以将一计数值设置为“0”并且开始计算振荡器 101 的时钟 g (图 4(d))。在

每一时钟 g 的时间计数器 103 被递增值“1”,其结果,该计数值诸如“0”到“1”,“1”到“2”之类的一个接一个地增加。

当在时间 t_2 处计数器 103 的计数值 h 为值“6”时,比较器 104 检测与寄存器 105 的一值(“6”)相一致的计数值,并且输出一致信号 i (图 4(e))。当该一致信号为
5 值“1”时,SR 触发器 106 被复位,并且是该 SR 触发器 106 的一输出的参考脉冲信号 c 被变为“0”(图 4(f))。

如上所述,通过连续计算由振荡器 101 所产生的并与温度或电源的变化无关的时钟 g ,可能产生具有规范延迟时间 c 的参考脉冲信号 c 。

[本发明的第二实施例]

10 下面,将说明根据本发明的有关延迟产生电路。

图 5 示出了根据本发明第二实施例的半导体器件的延迟产生电路的框图。在该实施例中,来自一内部电路的信号被控制从而与一参考信号相比较它具有大
于所希望的延迟时间(后面,称之为规范延迟时间 T)的延迟时间。与第一实施例相同的框由与第一实施例相同的标号来表示,并且省略对相同框的说明。

15 如图 5 所示,提供给该半导体器件的延迟产生电路 20 包括有被预先插入的三个延迟电路 11a、11b 和 11c,一参考脉冲发生器 12,一触发器 13,四个寄存器 14e、14f、14g 和 14h,四个选择器 15e、15f、15g 和 15h,四个置位开关 16a、16b、16c 和 16d,一模式转换开关 23 和一触发器复位发生器 24。

该参考脉冲发生器 12 例如对于一复位时间间隔输出二个参考脉冲信号 j 。在
20 二个参考脉冲信号之间的一脉冲时间间隔相应于在延迟电路 11 中被延迟的最小延迟时间(规范延迟时间 T)。

本发明的第二实施例的参考脉冲发生器 12 包括 M 乘法器 111,一计数器 112,比较器 113 和 115,寄存器 114 和 116,以及一“或”门 117。

通过使用例如一 PLL 将内部时钟 ICK 乘以 M (M 是一正整数),该 M 乘法器 111
25 产生一具有一其频率等于由 MPU 振荡所产生的内部时钟 ICK 的频率的 M 倍的时钟 g 。这里,该时钟 g 具有一要比该规范延迟时间 T 短的多的时钟周期。 M 乘法器 111 的输出 g 被提供给该计数器 112。

计数器 112 响应于该触发复位信号 $FFRESET$ 而复位它本身的计数值,并随后对来自 M 乘法器 111 的时钟 g 计数。计数值 h 被提供给比较器 113 和 115。

30 比较器 113 将计数器 112 的计数值与存贮在寄存器 114 中的一值进行比较。

当该二个值相互符合时,比较器 113 输出——一致信号 1 并将它提供给“或”门 117。根据该一致信号 1 该“或”门 117 输出一第一参考脉冲信号 j。

类似地,比较器 115 将计数器 112 的计数据与在寄存器 116 中存贮的一值进行比较。当这二个值相一致时,比较器 115 输出——一致信号 m 并且将其提供给“或”
5 门 117。“或”门 117 根据该一致信号 m 输出第二参考脉冲信号 j。

寄存器 114 可操作地将来自计数器 112 的复位定时的时间间隔设置成第一参考脉冲信号 j 的输出定时。

寄存器 116 可操作地将来自第一参考脉冲信号 j 输出定时的时间间隔设置为第二参考脉冲信号 j 的输出定时。在第一参考脉冲信号 j 和第二参考脉冲信号 j 之间的
10 一时间间隔相应于该规范延迟时间 T。该规范延迟时间 T 可通过改变提供给寄存器 114 和 116 的值来改变。

图 6 示出了图 5 中所示的参考脉冲发生器的时序。有关图 5 中所示的参考脉冲发生器的操作的说明可在图 6 中作为参考。这里,假定值“6”被存贮在寄存器 114 中和值“11”被存贮在寄存器 116 中。

15 当在时间 t_0 处触发器复位信号 FFRESET 变为“0”时(图 6(a)),计数器 112 被初始化为“0”的计数值并且被对该 M 乘法器 111 的时钟 g 计数(图 6(b)(c))。在每一时间处该计数器 112 使该时钟 g 递增值“1”,其结果,计数值 h 以诸如“0”至“1”,“1”至“2”等的方式被递增。

20 当在 t_1 处计数器 112 的计数值具有值“6”时,比较器 113 检测该计数值与寄存器 114 的一值“6”一致,并且输出——一致信号((图 6(d))。相应于一致信号 1,“或”门 117 输出第一参考脉冲信号 j(图 6(f))。

当在 t_2 处该计数器 112 的计数值具有值“11”时,比较器 115 检测计数值与该寄存器 116 的一所设值(“11”)相一致,并且输出——一致信号 m(图 6(e))。然后,该一致信号 m 被提供给“或”门 117 以从该“或”门 117 产生作为第二参考脉冲
25 信号 j 的信号。

如上所述,通过在 M 乘法器 111 中将内部时钟 ICK 乘以 M 和通过计数器对来自 M 乘法器 111 的输出时钟 g 计数可以产生具有等于第一和第二参考脉冲信号 j 之间的时间间隔的规范延迟时间 T 的参考脉冲信号 j。这里,应注意的是该内部时钟 ICK 与温度或电源的变化无关。

30 另外,该计数器 112 可在该触发器复位信号的上升沿处被初始化以产生第一

参考脉冲信号替代使用的比较器 113 和寄存器 114。

返回到图 5,四个寄存器 14e,14f,14g 和 14h 的每一个包括有一触发器。四个寄存器 14e,14f,14g 和 14h 可与第一和第二参考脉冲信号 j 相同步地存贮参考延迟信号 d1 至 d4。这里,在延迟电路 11a 之前出现参考延迟信号 d1 同时在分别在延迟电路 11a,11b 和 11c 之后产生参考延迟信号 d2 至 d4。

分别被提供给寄存器 14e,14f,14g 和 14h 的参考延迟信号 d1,d2,d3 和 d4 与第一参考脉冲信号 j 相比分别包括有延迟时间 T_a , T_a+T_b , $T_a+T_b+T_c$ 和 $T_a+T_b+T_c+T_d$ 。寄存器 14e 至 14h 的每一个寄存器将参考延迟信号 d1 至 d4 与第二参考脉冲信号 j 的上升沿相比较并且判断在 T_a , T_a+T_b , $T_a+T_b+T_c$, 和 $T_a+T_b+T_c+T_d$ 之间的相应的延迟时间是否落入一予置值内以产生该检测信号 b1 至 b4。

四个选择器 15e,15f,15g 和 15h 中的每一个由一“与非”门所构成。通过使用其中的每一个均存贮在寄存器 14e,14f,14g 和 14h 中的确定信号 b1,b2,b3 和 b4,选择器 15e,15f,15g 和 15h 的每一个选择在通过延迟电路 11a 之前或通过延迟电路 11a,11b 或 11c 之后所得到的信号中的一个信号以将四个置位开关 16a,16b,16c 和 16d 中的一个置为接通状态并将其它的开关置为断开状态。置位开关 16a 至 16d 中的每一个包括有响应于第一逻辑电平“1”而导通和响应于第二逻辑电平“0”而截止的 P-MOS 晶体管。

在正常操作模式或置位操作模式中该模式转换开关 23 用来有选择地将一信号提供给触发器 13。所述的模式转换开关 23 具有二种转换开关设置。当正常操作模式时第一转换开关将该触发器 13 的一数据输入端连接到一内部电路(未示出)的输出端 SG,并且当为置位操作时连接到电源电压 Vdd。这里,该电源电压 Vdd 是保持在第一逻辑电平“1”。当正常操作模式时第二转换开关将一时钟输入端连接到一内部时钟产生电路(未示出)的输出端 ICK,并且当置位操作模式时连接到该参考脉冲发生器 12 的输出端 j。

在正常操作模式时,与被提供到一时钟端的一内部时钟 ICK 的上升沿相同步的该触发器 13 维持一内部电路(未示出)的输出信号 SG。另一方面,在置位操作模式中,与第一和第二参考脉冲信号 j 的上升沿相同步的触发器 13 保持电源 Vdd 的一电平并输出一具有延迟时间 T_a 和从触发器 13 的输出端 Q 所提供的一参考延迟信号 d1。这个参考延迟信号 d1 随后被提供给延迟电路 11a、寄存器 14e 和置位开

关 16a。这里,延迟时间 T_a 根据第一参考脉冲信号 j 的上升的一定时而被提供。

延迟电路 11a 进一步将所接收的参考延迟信号 d_1 延迟一延迟时间 T_b ,并且输出具有一延迟时间(T_a+T_b)的参考延迟信号 d_2 。这个参考延迟信号 d_2 被提供给延迟电路 11b、寄存器 14f 和置位开关 16b。

- 5 类似地,具有延迟时间($T_a+T_b+T_c$)并从延迟电路 11b 所提供的参考延迟信号 d_3 被提供给延迟电路 11c、寄存器 14g 和置位开关 16c。另外,具有延迟时间($T_a+T_b+T_c+T_d$)并从延迟电路 11c 所提供的参考延迟信号 d_3 被提供给延迟电路 11d,寄存器 14h 和置位开关 16d。

- 寄存器 14e 由一复位信号(FFRESET)初始化以在参考脉冲信号 j 的一下降沿
10 保持该延迟信号并输出该检测信号 b_1 。类似地,寄存器 14f 由复位信号(FFRESET)初始化以在参考脉冲信号 j 的下降沿保持延迟信号 d_2 并输出该检测信号 b_2 。寄存器 14g 由复位信号(FFRESET)初始化以在参考脉冲信号 j 的下降沿保持延迟信号 d_3 并输出该检测信号 b_3 。寄存器 14h 由复位信号(FFRESET)初始化以在参考脉冲信号 j 的下降沿保持延迟信号 d_4 并输出该检测信号 b_4 。

- 15 选择器 15e 在检测信号 b_1 和检测信号 b_2 的反相信号之间执行“与非”操作并输出一选择信号 K_1 。类似地,选择器 15f 在检测信号 b_2 和检测信号 b_3 的反相信号之间执行“与非”操作并输出一选择信号 K_2 。另外,选择器 15g 在检测信号 b_3 和检测信号 b_4 的反相信号之间执行“与非”操作并输出一选择信号 k_3 。选择器 15h 在模式信号 MODE 和被反相的检测信号 b_1 之间执行一“与非”操作以输出
20 选择信号 K_4 。另外,在置位操作中一输出端 18 的一值被允许变化的情况中,选择器 15h 可被消去并且寄存器 14e 的一输出可直接地连接到在该置位开关 16a 中的一栅极。

- 该置位开关 16a 具有一被提供有选择信号 k_4 并控制该参考延迟信号 d_1 的产生的一栅极。类似地,置位开关 16b 具有一被提供有选择信号 k_1 并控制该参考延
25 迟信号 d_2 的产生的一栅极。另外,置位开关 16c 具有一被提供有选择信号 k_2 并控制该参考延迟信号 d_3 的产生的一栅极。置位开关 16d 具有一被给定选择信号 K_3 并控制该参考延迟信号 d_4 的产生的一栅极。

- 在该置位操作模式中,根据选择信号 k_1 到 k_4 选择置位开关 16a、16b、16c 和 16d 中的一个以将参考延迟信号 d_1, d_2, d_3 和 d_4 中的一个提供给反相器 17。在该正
30 常操作模式中,内部电路的信号 SG 通过置位开关 16a, 16b, 16c 和 16d 中的一个被提

供给反相器 17,并且该开关的一输出通过输出端 18 作为一输出延迟信号而被向外提供。

图 7 示出了在图 5 中所示的延迟产生电路的时序。如图 7 所示,其说明是以被提供给输出端 18 的一延迟电路的延迟时间大于一规范延迟时间 T 的上述情况来进
5 行的。

被提供给寄存器 14e,14f,14g 和 14h 的每一个的一参考脉冲信号 j 的上升沿与被提供给触发器 13 的参考脉冲信号 j 的上升沿相同步并且使得第一和第二参考脉冲信号 j 之间的一脉冲时间间隔等于规范延迟时间 T。第一和第二参考脉冲信号 j 之间的脉冲时间间隔有可能等于所希望的规范延迟时间 T,这是因为第一和第二参考脉冲信号的产生与诸如晶体管的阈值、栅极长度、电源电压和工作温度之
10 类的条件是无关系的。这是因为第一和第二参考脉冲信号 j 是由参考脉冲发生器 12 所产生的。

该延迟产生电路 20 当例如模式信号 MODE 变为“0”,同时 MPU 被复位,或 MPU 输出一置位命令时可通过如下的操作来调整输出延迟信号的一延迟时间。

15 当 MPU 输出一复位信号并且在时间 t_0 处该模式信号 MODE 变为“0”时(图 7(a)),该模式转换开关 23 转换触发器 13 的一输入。也就是,第一模式转换开关将触发器 13 的一输入端口连接到电源 Vdd,并且第二模式转换开关将第一触发器 13 的一时钟输入端 C 连接到参考脉冲发生器 12 的一输出端。

另外,当该模式信号 MODE 被变为“0”时,触发器复位发生器 24 将触发器
20 复位信号 FFRESET 置为“0”(图 7(b))。

寄存器 14e,14f,14g 和 14h 被初始化并且当触发器复位信号 FFRESET 降为“0”时将检测信号 b1 到 b4 置为“0”(图 7(h)至(k))。其结果,分别从选择器 15e 至 15h 输出的选择信号 K1 至 K4 具有值“1”(图 7(l)至(m)),同时将开关 16a 至 16d 置为断开。

25 当该信号降为“0”之后经过几毫微秒该触发器复位信号 FFRESET 被再次置为“1”(图 7(b))。

在时间 t_1 处当该参考脉冲发生器 12 检测出该触发器信号 FFRESET 变为“1”时,输出“1”作为参考脉冲信号 j(图 7(c))。在本实施例中,参考脉冲信号 j 的一脉冲宽度要比该规范延迟时间 T 短,并且它具有足够的用于触发器 13 或寄
30 存器 14 保持操作所需的脉冲宽度。

当该参考脉冲信号j 返回到“1”时, 因为触发器 13 的输入端 D 被连接到 Vdd, 所以触发器 13 接收一 Vdd 值并且与第一参考脉冲信号j 的一上升沿相同步地输出“1” (图 7 (d))。作为参考延迟信号 d1 而产生的输出在由来自第一参考脉冲信号j 的上升沿的一延迟时间 Ta 所延迟的定时处上升。该参考延迟信号 d1 通过
5 延迟电路 11a、11b 和 11c 而被传送。

假定通过该延迟电路 11b 的持续时间比第一和第二参考脉冲信号j 的脉冲时间间隔要短并且通过延迟电路 11c 的一持续时间比第一和第二参考脉冲信号j 的脉冲时间间隔要长。也就是, 参考延迟信号 d1 的延迟时间 Ta 和参考延迟信号 d2 的延迟时间 (Ta+Tb) 的每一个均短于所希望的延迟时间 T, 而参考延迟信号 d3 的
10 延迟时间 (Ta+Tb+Tc) 和参考延迟信号 d4 的延迟时间 (Ta+Tb+Tc+Td) 要长于所希望的延迟时间 T。下面说明这样一种情况的例子。

当在参考延迟信号 d1 被提供给延迟电路 11a 之后经过该延迟时间 Tb 时, 延迟电路 11a 输出“1”作为一参考延迟信号 d2。这里, 与第一参考脉冲信号j 的上升沿相比参考延迟信号 d2 的上升沿被延迟了一延迟时间 (Ta+Tb)。

15 该第一参考脉冲信号j 还被提供给寄存器 14e 至 14h, 但是即使该参考延迟信号 d1 至 d4 被接收, 因为参考延迟信号 d1 至 d4 为“0”所以在该时间瞬间输出端 b1 至 b4 仍保持为“0”。

在时间 t2, 第二参考脉冲信号j 变为“1” (图 7 (c))。第二参考脉冲信号j 还被提供给触发器 13, 但是在这时间瞬间, 因为触发器 13 的数据输出端 D 仍保持为“1”所以触发器 13 (d1) 的输出仍保持为“1”。
20

在第二参考脉冲时间j 的一上升沿, 寄存器 14e, 14f, 14g 和 14h 分别存贮参考延迟信号 d1, d2, d3 和 d4。在时间 t2, 因为参考延迟信号 d1 和 d2 的每一个均具有“1”并且参考延迟信号 d3 和 d4 的每一个均具有“0” (图 7 (d) 至 (g)), 所以寄存器 14e, 14f, 14g 和 14h 分别存贮“1”, “1”, “0”和“0”。其结果, 寄存器
25 14e, 14f, 14g 和 14h 输出分别具有值“1”, “1”, “0”和“0”的检测信号 b1, b2, b3 和 b4 (图 7 (h) 至(k))。

当以上述方式确定该检测信号 b1 至 b4 时, 检测信号 b1 至 b4 分别被提供给选择器 15e, 15f, 15g 和 15h。

因为选择器 15e 接收该检测信号 b2 (=“1”) 的检测信号 b1(=“1”)和反相值
30 (=“0”), 并且在它们之间执行“与非”操作, 所以选择器 15e 输出作为选择

信号 K1 的值“1”（图 7（m））。

因为选择器 15f 接收该检测信号 b2(=“1”)和检测信号 b3 (=“0”)和反相值 (=“1”)，并且在它们之间执行“与非”操作，所以选择器 15f 输出作为选择信号 K2 的值“0”（图 7（l））。

- 5 因为选择器 15g 接收该检测信号 b3 (=“0”)和检测信号 b4 (=“0”)和反相值 (=“1”)，并且在它们之间执行“与非”操作，所以选择器 15g 输出作为选择信号 K3 的值“1”（图 7（m））。

- 因为选择器 15h 接收模式信号 MODE (=“0”)和被检测信号 b1 (=“1”)的反向值 (=“0”)，并且在它们之间执行“与非”操作，所以选择器 15h 输出
10 作为选择信号 K4 的值“1”（图 7（m））。

因为置位开关 16a,16b,16c 和 16d 分别接收选择信号 K1 (=“1”)，K2 (=“1”)，K3 (=“0”)和 K4 (=“1”)，所以置位开关 16c 被接通和置位开关 16a,16b,16c 和 16d 被关断。其结果，该置位开关 16c 被设置为选择通过延迟电路 11a 的参考延迟信号 d3。

- 15 另一方面，当在时间 t2 之后经过一较短时间，即在参考延迟信号 d2 被提供到该延迟电路 11b 之后经过延迟时间 TC 时，延迟电路 11b 输出作为参考延迟信号 d3 的“1”（图 7（f））。这里，与第一参考脉冲信号 j 的上升沿轴比参考延迟信号 d3 的上升沿被延迟了延迟时间 (Ta+Tb+Tc)。另外，延迟时间 (Ta+Tb+Tc) 长于规范延迟时间 T。

- 20 类似地，当在参考延迟信号 d3 被提供给延迟电路 11c 之后经过一延迟时间 Td 时，该延迟电路 11c 输出作为参考延迟信号 d4 的“1”（图 7（g））。这里，与该参考脉冲信号 j 的上升沿相比较，该参考延迟信号 d4 的上升沿延迟了延迟时间 (Ta+Tb+Tc+Td)。另外，延迟时间 (Ta+Tb+Tc+Td) 长于规范延迟时间 T。

- 此外，还可看出该参考延迟信号是具有比规范延迟时间 T 要长的延迟时间并且又最接近于该规范延迟时间 T 的信号。
25

当在时间瞬间 t3 该模式信号 MODE 返回到“1”时，该模式转换开关 23 被转换到正常操作模式。也就是，第一模式转换开关将触发器 13 的数据输入端连接到该半导体器件的内部电路（未示出）输出端 SG。第二模式转换开关将触发器 13 的时钟输入端连接到该半导体器件的内部时钟发生电路（未示出）的输出端 ICK。

- 30 当该内部电路的输出端 SG 被提供到触发器 13 并且该内部时钟 ICK 上升时，

触发器 13 保持该内部电路的输出 SG。输出 SG 在延迟电路 11a 和 11b 中被延迟了延迟时间 ($T_a + T_b + T_c$)，并且通过被接通的置位开关 16c 和反相器 17 作为输出延迟信号被提供给一输出端 18。其结果，它能够调整被提供给输出端 18 的一输出延迟信号的延迟时间，从而该延迟时间可比第一和第二参考脉冲信号 j 的脉冲间隔时间（规范延迟时间 T）要长并可最接近于该脉冲宽度。

如上所述，可以通过检测由延迟电路 10 从第一和第二参考脉冲信号 j 产生的参考延迟信号通过该延迟电路之前所测量的一延迟时间和在该参考延迟信号通过该延迟电路之后所测量的一延迟时间而将一延迟时间设置为一所希望值，并且根据所确定的结果，输出在该参考延迟信号通过该延迟电路之前或该参考延迟信号通过该延迟电路之后所出现的信号。

[本发明的第三实施例]

图 8 示出了根据本发明的第三实施例的一半导体器件的延迟产生电路的框图。如图 8 所示，提供给该半导体器件的检测一延迟时间延迟产生电路的构成考虑到了将提供给一输出端的输出延迟信号反馈到四个寄存器 14a, 14b, 14c 和 14d 的一页载电容 CAP。在该实施例中，与一参考信号相比来自一内部电路的信号被控制得不得超过所希望的规范延迟时间 T。

如图 8 所示，提供给半导体器件的延迟产生电路 30 包括予先被插入的三个延迟电路 11a, 11b 和 11c；一参考脉冲发生器 12；一触发器 13；四个寄存器 14a, 14b, 14c 和 14d；四个选择器 15l, 15j, 15k 和 15i；四个置位开关 16a, 16b, 16c 和 16d；一缓冲器 17；一具有负载电容 CAP 的输出端 18；四个“或非”门 19a, 19b, 19c 和 19d；四个取样开关 21a, 21b, 21c 和 21d；一计数器 22；一模式转换开关 23；和一触发器复位发生器 24。与第一实施相同结构由与第一实施例相同的标号来表示，并且省了上述结构的说明。

本实施例的参考脉冲发生器 12 产生一参考脉冲信号 C。该参考脉冲信号 C 相应于寄存器 14 的数为“4”，并且该参考脉冲信号 C 的脉冲宽度相应于规范延迟时间 T。

缓冲器 17 的输入端与置位开关 16a 至 16d 的漏极相连，同时缓冲器 17 的输出端与取样开关 21a 至 21d 的源极相连。

四个寄存器 14a, 14b, 14c 和 14d 的每一个均由一触发器所构成。寄存器 14a, 14b, 14c 和 14d 的输入端 D 分别与取样开关 21a, 21b, 21c 和 21d 的每一个漏极相

连。该寄存器 14a,14b,14c 和 14d 以与该参考脉冲信号 C 的下降沿相同步地存贮来自相应取样开关 21a 至 21d 的输出信号。

在该置位操作模式中计数器 22 被初始化以通过一触发器信号 FFRESET 将一计数数据置为“0000”。另外，在每一时刻该参考脉冲信号为值“1”时该计数器 22 将计数值递增，其结果，顺序输出计数值“0001”，“0010”，“0100”和“1000”。这里，相应于端点（3）的一输出端该计数值为最大有效数，而相应于端点（0）的一输出端该计数值为最小有效数。

另外，在正常操作模式中，该计数器 22 输出一值“0000”。

“或非”门 19a 至 19d 的输入端分别与计数器 22 的输出端（0）至（3）相连。另一输入端分别与选择器 15I 至 15k 的输出端和寄存器 14d 的输出端相连。“与非”门 19a 至 19d 的输出端分别连接到置位开关 16a 至 16d 的栅极和取样开关 21a 至 21d 的栅极。每一个取样开关 21a 至 21d 包括 PMOS 晶体管，当该栅极给出“0”时该晶体管导通，反之当该栅极给出“1”时该晶体管截止。

“或非”门 19a 至 19d 分别提供作为选择信号 e5 至 e8 的选择器 15I 至 15l 的输出 e1 至 e4。

在置位操作模式中，“或非”门 19a 至 19d 将计数器 22 的一输出提供给置位开关 16a 至 16d 和取样开关 19a 至 19d。例如，当计数器 22 的输出为“0001”时，“或非”门 19a 的输出端 e5 变为“0”和“或非”门 19b 至 19d 的输出端 e6 至 e8 变为“1”。因此，置位开关 16a 和取样开关 21a 被接通而其它的开关被断开。因而，参考延迟信号 d1 通过置位开关 16a，缓冲器 17 和取样开关 21a 被提供给寄存器 14a 的输入端 D。在这一点上，一延迟时间 Ta 包括可被取样的负载电容 CAP 的影响，因为由于一连线等结果形成的该负载电容 CAP 通过输出端 18 而与缓冲器 17 相连接。

类似地，当该计数器 22 的输出是“0010”时，开关 16b 和 21b 被接通并且参考延迟信号 d2 被加到寄存器 14b。当计数器 22 的输出为“0100”时，开关 16c 和 21c 被接通并且参考延迟信号 d3 被加到寄存器 14c。当计数器 22 的输出为“1000”时，开关 16d 和 21d 被接通并且参考延迟信号 d4 被加到寄存器 14d。

通过延迟电路 11a 之前的参考延迟信号 d1 和分别通过延迟电路 11a，11b 和 11c 之后的参考延迟信号 d2,d3 和 d4 通过置位开关 16a 至 16d，和缓冲器 17，以及取样开关 21a 至 21d 被分别提供给寄存器 14a 至 14d。因此，与参考脉冲信号 C

的上升沿相比, 分别提供到寄存器 14a,14b,14c 和 14d 的参考延迟信号 d5,d6,d7 和 d8 分别具有延迟时间为 $T_a + \alpha$, $T_a + T_b + \alpha$, $T_a + T_b + T_c + \alpha$, 和 $T_a + T_b + T_c + T_d + \alpha$ 。这里, α 是出现在置位开关 16a 至 16d, 缓冲器 17 和取样开关 21a 和 21d 的一延迟值。

5 寄存器 14a 至 14d 中的每一个寄存器确定与该参考信号 C 的一下降时间瞬间相比相应的延迟时间 $T_a + \alpha$, $T_a + T_b + \alpha$, $T_a + T_b + T_c + \alpha$, $T_a + T_b + T_c + T_d + \alpha$ 中的一个落入一予置值之内并产生每一个检测信号 b1 至 b4。在本实施例中, 它确定延迟信号 d5 至 d8 中的每一个由于在参考脉冲信号 C 的上升沿处取出该寄存器的输入器 D 而在经过规范延迟时间 T 之前到达。

10 三个选择器 15I 至 15k 中的每一个包括有一具有三个输入端的“与”门。选择器 15L 具有一具有二个输入端的“与”门。一模式信号 MODE 加到四个选择器 15i 至 15L 的一个输入端。在置位操作模式中, 因为该模式信号 MODE 为“0”可以选择器 15i 至 15L 的输出变为“0”。

在该正常操作模式中, 当该模式信号 MODE 为值“1”时, 选择器 15i 至 15L
15 输出一选择信号以便根据在寄存器 14a 至 14d 中存贮的确定信号 b1 至 b4 来选择在通过延迟电路 11a 之前和通过延迟电路 11a,11b 和 11c 之后的信号中的一个信号。选择器 15i 至 15L 的输出端中的任一个变为“1”并且保持另一些为“0”。通过“或非”门这些输出端被反相, 并且四个置位开关 16a,16b,16c 和 16d 中的一个被导通而其它的被断开。

20 寄存器 14a 由一复位信号 (FFRESET) 初始化, 并在本实施例中产生值“1”。另外, 在第一参考脉冲信号 C 的下降沿处该寄存器 14a 保持参考延迟信号 d5, 并且输出检测信号 b1。这里, 该参考延迟信号 d5 是通过参考延迟信号 d1 通过置位开关 16a, 缓冲器 17 和取样开关 21a 所得到的。

类似地, 寄存器 14b 由复位信号 (FFRESET) 初始化, 在第二参考脉冲信号
25 C 的下降沿处保持该参考延迟信号 d6, 并输出检测信号 b2。在这一点上, 第二参考脉冲信号被提供给寄存器 14a,14c 和 14d, 但是因为取样开关 21a,21c 和 21d 被断开, 所以在第二参考脉冲信号 C 的上升沿之前的状态可被完整的保持。

类似地, 寄存器 14c 由复位信号 (FFRESET) 初始化, 在第三参考脉冲信号 C 的下降沿处保持该参考延迟信号 d7, 并输出检测信号 b3。寄存器 14d 由复位信
30 号 (FFRESET) 初始化以在第四参考脉冲信号 C 的下降沿处保持参考延迟信号 d8

并输出检测信号 b4。

选择器 15i 在模式信号 MODE 和检测信号 b1 的一反相信号之间进行“与”操作以输出选择信号 e1。类似地，选择器 15j 在模式信号 MODE 和检测信号 b3 的反相信号之间执行“与”操作以输出一选择信号 e2。另外，选择器 15k 在模式信号 MODE 和检测信号 b4 的反相信号之间执行“与”操作以输出一选择信号 e3。选择器 15L 在模式信号 MODE 和检测信号 b4 之间执行“与”操作以输出一选择信号 e4。

置位开关 16a 控制到一栅极的选择信号 e5 的输入并输出参考延迟信号 d1。类似地，置位开关 16b 控制到一栅极的选择信号 e6 的输入并输出参考延迟信号 d2。另外，置位开关 16c 控制到一栅极的选择信号 e7 的输入并输出参考延迟信号 d3。置位开关 16d 控制到一栅极的选择信号 e8 的输入并输出参考延迟信号 d4。

在设置位操作模式中。根据选择信号 e5 至 e8 置位开关 16a,16b,16c 和 16d 中的一个选择提供给反相器 17 的参考延迟信号 d1,d2,d3 和 d4 中的一个。反相器 17 的输出通过取样开关 21a 至 21d 中的一个被提供给寄存器 14a 至 14d。

在该正常操作模式中，内部电路的信号 SG 通过触发器 13（和延迟电路 11）以及置位开关 16a,16b,16c 和 16d 中的一个被提供给反相器 17，并且该反相器 17 的一输出作为一输出延迟信号通过输出端 18 而被输出到外面。

图 9 示出了图 8 中所示的延迟产生电路的时序。如图 9 所示，当在一延迟电路中一延迟时间被提供给输出端 18 时的有关说明限于在下面的一规范延迟时间 T。

提供给寄存器 14a,14b, 14c 和 14d 的每一个的参考脉冲信号 C 的下降沿与提供给触发器 13 的参考脉冲信号 C 的上升沿相同步并且使得它的脉冲宽度等于规范延迟时间 T。因为该参考脉冲信号 C 是由参考脉冲发生器 12 所产生的，所以该参考脉冲信号 C 可具有一与诸如晶体管的阈值、栅极长度，电源电压和工作温度之类的条件无关的一所希望的规范延迟时间 T 的脉冲宽度。

例如当模式信号 MODE 变为“0”，同时 MPU 被复位或 MPU 输出一设置命令时，延迟产生电路 30 可以通过下面操作调整一输出延迟信号的延迟时间。

当在时间 t10 MPU 输出一复位信号和模式信号 MODE 变为“0”时(图 9(a))，该模式转换开关 23 转换触发器 13 的一输出。也就是，第一模式转换开关将触发器 13 的一输入端连接到电源 Vdd，第二模式转换将触发器 13 的时钟输入端连接

到参考脉冲发生器 12 的输出端 C。

另外，当模式信号 MODE 降为“0”时触发器复位发生器 24 将触发器复位信号 RRFESSET 置为“0”（图（b））。

当触发器复位信号 FFRESET 降为“0”时寄存器 14a,14b,14c 和 14d 被初始化
5 并且将检测信号 b1 至 b4 置为“0”（图 9（i）至（L））。计数器 22 也被初始化输出“0000”。

因为在 t10 处模式信号 MODE 为“0”，所以从选择器 15i 至 15L 输出的选择信号 e1 至 e4 为“0”。另外，因为计数器 22 的输出为“0000”，所以置位开关 16a 至 16d 和取样开关 21a 至 21d 全部都断开。

10 当该信号降为“0”之后经过几毫秒时触发器复位信号 FFRESET 再次被置为“1”（图 9 的（b））。

当在时间 t11 该参考脉冲发生器 12 检测到该触发器信号 FFRESET 变为“1”时，它输出作为第一参考脉冲信号 C 的“1”（图 9（c））。

因为触发器 13 的输入端被连接到 Vdd，所以当第一参考脉冲信号 C 变为“1”
15 时，触发器 13 输出与第一参考脉冲信号 C 的上升相同步的“1”（图 9（c））。该输出是在从第一参考脉冲信号 C 的一上升而被延迟一延迟时间的定时处而上升的参考延迟信号 d1。该参考延迟信号 d1 通过延迟电路 11a,11b 和 11c 而被传送。

另一方面，当第一参考脉冲信号 C 变为“1”时，计数器 22 递增一计数值以输出“0001”（图 9（c））。当计数器 22 的输出端（0）为值“1”时，“或非”
20 门 19a 的输出 e5 变为“0”（图 9（n））并且置位开关 16a 和取样开关 21a 被接通。另外，因为“或非”门 19b 至 19d 的输出 e6 至 e8 为“1”所以置位开关 16b 至 16d 和取样开关 21b 至 21d 被断开（图 9（m）（n））。

具有延迟时间 Ta 的参考延迟信号 d1 通过置位开关 16a，缓冲器 17 和取样开关 21a 被提供给寄存器 14a 作为参考延迟信号 d5。因为信号 d5 通过置位开关 16a，
25 缓冲器 17 和取样开关 21a，所以延迟时间 α 被附加到参考延迟信号 d5 的一延迟时间上。因此信号 d5 的延迟时间上升为 $(Ta + \alpha)$ 。

当在 t12 处第一参考脉冲信号 C 变为“0”时，寄存器 14a 与第一参考脉冲信号 C 的下降沿相同步地接收参考延迟信号 d5 并且输出作为检测信号 b1 的输出
30 “1”（图 9（i））。在这点上，第一参考脉冲信号 C 被提供给寄存器 14a,14c 和 14d，但是因为取样开关 21b 至 21d 被断开，所以寄存器 14b 至 14d 的输出端 b2

至 b4 没有变化。

然后, 当第一参考脉冲信号 C 变为“0”时(图 9 (c)), 触发器 13 被复位, 其为触发器 13 的一输出的参考延迟信号 d1 变为“0”, 并且信号 d1 通过延迟电路 11a, 11b 和 11c 而被传送。

- 5 当在 t13 处第二参考脉冲信号 C 变为“1”时, 因为触发器 13 的一输入端与 Vdd 相连, 所以触发器与第二参考脉冲信号 C 的上升沿相同步地提供“1”。该输出被提供给延迟电路 11a。当接收参考延迟信号 d1 之后经过延迟时间 Tb 时, 该延迟电路 11a 产生作为参考延迟信号 d2 的“1”。该参考延迟信号 d2 随同自第二参考脉冲信号 C 的上升沿的一延迟时间 (Ta+Tb) 而上升。
- 10 当第二参考脉冲信号 C 变为“1”时计数器 22 递增计数器 1 (图 (d))。当计数器 22 的输出端 (1) 为值“1”时, “或非”门 19b 的输出 e6 变为 0 (图 9 (n)) 并且置位开关 16b 和取样开关 21b 被接通。另外, 因为“或非”门 19a, 19c 和 19d 的输出 e5, e7 和 e8 为“1”, 所以置位开关 16a, 16c 和 16d 以及取样开关 21a, 21c 和 21d 被断开 (图 9 (n))。
- 15 具有延迟时间 (Ta+Tb) 的参考延迟信号 d2 作为参考延迟信号 d6 通过置位开关 16b, 缓冲器 17 和取样开关 21b 而被提供给寄存器 14b。因为信号 d6 通过置位开关 16b, 缓冲器 17 和取样开关 21b, 所以延迟时间 α 被附加到参考延迟信号 d6 的延迟时间。因此信号 d6 的延迟时间上升为 (Ta+Tb+ α)。
- 20 假定通过延迟电路 11b 和缓冲器 17 的持续时间要短于第一参考脉冲信号 C 的缓冲宽度, 即, 规范延迟时间 T 和通过延迟电路 11c 和缓冲器 17 的持续时间要长于第一参考脉冲信号 C 的脉冲宽度。也就是, 参考延迟信号 d5 的延迟时间 (Ta+ α) 和参考延迟信号 d6 的延迟时间 (Ta+Tb+ α) 的每一个要短于规范延迟时间 T, 和参考延迟信号 d7 的延迟时间 (Ta+Tb+Tc+ α) 及参考延迟信号 d8 的延迟时间 (Ta+Tb+Tc+Td+ α) 的每一个要长于规范延迟时间 T。这种情况的一个例子的说明如下所述。
- 25 在时间 t14 处当第二参考脉冲信号 C 变为“1”之后经过规范延迟时间 T 时, 第二参考脉冲信号 C 降为“0” (图 9 (c))。

- 30 在第二参考脉冲信号 C 的下降沿处寄存器 14b 存贮参考延迟信号 d6。因为在时间 t14 处参考延迟信号 d6 为“1” (图 9 (f)) 所以寄存器 14b 存贮作为检测信号 b2 的“1” (图 9 (j))。

当在时间 t_{15} 处第三参考脉冲信号 C 变为“1”时，因为触发器 13 的输入端连接到 Vdd 所以触发器 13 与第三参考脉冲信号 C 的上升沿相同步地提供“1”。该输出通过延迟电路 11a 被提供给延迟电路 11b。当在参考延迟信号 d1 的输入之后经时延迟时间 ($T_b + T_c$) 时，延迟电路 11b 产生作为参考延迟信号 d3 的“1”。

- 5 自第三参考脉冲信号 C 的一上升沿的该参考延迟信号 d3 的延迟时间上升为 ($T_a + T_b + T_c$)。

当第三参考脉冲信号 C 变为“1”时计数器 22 递增计数值 1 以输出“0100” (图 9 (d))。当计数器 22 的输出端 (2) 保持为值“1”时，“或非”门 19c 的输出 e7 变为“0” (图 9 (n)) 并且置位开关 16c 和取样开关 21c 被接通。另外，因为“或非”门 19a, 19b 和 19d 的输出 e5, e6 和 e8 为“1”所以置位开关 16a, 16b 和 16d 以及取样开关 21a, 21b 和 21d 被断开 (图 9 (m), (n))。

具有延迟时间 ($T_a + T_b + T_c$) 的参考延迟信号 d3 通过置位开关 16c，缓冲器 17 和取样开关 21c 被提供给寄存器 14c 作为参考延迟信号 d7。因为信号 d7 通过置位开关 16c，缓冲器 17 和取样开关 21c 所以延迟时间 α 被附加到参考延迟信号 d7 15 的延迟时间上。因此，信号 d7 延迟时间上升为 ($T_a + T_b + T_c + \alpha$)。

当在时间 t_{16} 处第三参考脉冲信号 C 变为“1”之后经过规范延迟时间 T 时，第三参考脉冲信号 C 降低为 0 (图 9(c))。

在第三参考脉冲信号 C 的一下降沿处寄存器 14c 存贮参考延迟信号 d7。因为在时间 t_{14} 处的寄存器 14c 处参考延迟信号 d7 还未到达 (图 9 (g))，所以寄存器 14c 存贮作为检测信号 b3 的“0” (图 9 (k))。

类似地，在时间 t_{18} ，寄存器 14d 存贮作为检测信号 b4 的“0” (图 9 (L))。

当检测信号 b1 至 b4 以上述方式被确定时，检测信号 b1 至 b4 被分别提供给选择器 15i 至 15L。

在时间 t_{19} ，当该模式信号 MODE 变为“1”以进入正常操作模式时，计数器 25 22 被初始化以提供值“0000”。另外，选择器 15i 至 15L 的每一输入被提供作为模式信号 MODE 的“1”。

选择器 15i 在检测信号 b1 (= “1”) 和检测信号 b2 (= “1”) 的反相信号 (= “0”) 之间执行“与”操作以输出作为选择信号 e1 的“0”。因此，“或非”门 19a 的输出 e5 为“1” (图 9 (n))。

30 选择器 15j 在检测信号 b2 (= “1”) 和检测信号 b3 (= “0”) 的反相信号 (=

“1”）之间执行“与”操作以输出作为选择信号 e2 的“1”。因此，“或非”门 19b 的输出 e6 为“1”（图 9（n））。

选择器 15K 在检测信号 b3（=“0”）和检测信号 b4（=“0”）的反相信号（=“1”）之间执行“与”操作以输出作为选择信号 e3 的“0”。因此，“或非”
5 门 19c 的输出 e7 为“1”（图 9（n））。

因为检测信号 b4（=“0”）被提供，所以选择器 15L 输出作为选择信号 e4 的“0”。因此，“或非”门 19d 的输出 e8 为“1”（图 9（n））。

因为置位开关 16a,16b,16c 和 16d 分别接收选择信号 e1（=“1”），e2（=“0”），
e3（=“1”）和 e4（=“1”），所以置位开关 16b 接通和置位开关 16a,16c 和 16d
10 被断开。其结果，置位开关 16b 被设置以选择通过延迟电路 11a 的参考延迟信号 d2。

因此，可以看出其延迟时间短于最接近于规范延迟时间 T 的信号被确定为参考延迟信号 d2。

当在 t19 该模式信号 MODE 变为“1”时（图 9（a）），该模式转换开关 23
15 被转换为正常操作模式。也就是，第一模式转换开关将触发器 13 的一数据输入端连接到半导体器件的一内部电路（未示出）的一输入端 SG。第二模式转换开关将触发器 13 的一时钟输入端连接到半导体器件的内部时钟产生电路（未示出）的输出端 LCK。

当该内部电路的输出 SG 被提供给触发器 13 和内部时钟 ICK 上升时，该触发
20 器 13 保持该内部电路的输出 SG。在延迟电路 11a 处输出 SG 被延迟一延迟时间（ T_a+T_b ）；并且作为输出延迟信号通过被接通的置位开关 16b 和反相器 17 被提供给输出端 18。其结果，它可提供一加到输出端 18 而不超过规范延迟时间 T 的输出信号的一延迟时间。

如上所述，根据第一至第四参考延迟信号 C，通过考虑到由缓冲器 17 或负载
25 电容 CAP 所引起的一延迟时间 α 测量该参考延迟信号通过该延迟电路之前和之后的延迟，和通过输出在该信号通过延迟电路之前和该信号通过该延迟电路之后所出现的一个信号，该延迟时间可通过延迟产生电路 30 产生的参考延迟信号而设置为一理想值。因此，附加到输出端 18 的外部负载电容 CAP 可反映在被提供给输出端 18 和输出延迟信号。

30 因此，根据本发明的半导体器件检测根据参考脉冲信号 C 所产生的和计算信

号在通过该延迟电路之前和信号通过该延迟电路之后的该参考延迟信号的延迟时间并且输出作为参考延迟信号的一个信号。

因此，它可考虑实际使用环境设置用于该半导体器件的一合适的延迟值而不使用昂贵的测试仪来测量该延迟值。因而，根据该操作温度或操作电压输出的定时不会变化。另外，在该半导体器件被实施到一器件之后，它可以通过根据线路或负载而附加一外部负载电容来修正该延迟时间。因此，即使该半导体器件的制造的变化变得严重，也可以提供一理想的延迟时间。另外，设计该半导体器件没有必要考虑制造的不均匀性，工作温度，工作电压和该半导体器件的容量超出。

另外，由于晶体管特性的允许范围变宽和制造的产量得以改善，所以降低了成本。此外，由于用来调整延迟时间的参考脉冲是由一参考脉冲发生器所产生的，所以它易于选择一延迟时间以及处理任何延迟规范。由于该定时的检验可被容许所以没有必要使用特殊的和昂贵的测量仪来检验定时。

另外，由于它能在复位周期中通过逐步地增加参考延迟信号的延迟值来调整该延迟值，所以在设计中最大延迟和最小延迟不必在所有条件中被调整以满足该规范。因此，在设计中，仅注意满足输出延迟信号的延迟时间的最小规范即可。另外，因为该调整包括连接到输出端的外部负载的影响，所以当该半导体器件被实施时在复位周期中一延迟值的被调整可满足一规范而与该外部负载无关。

根据本发明，它易于设计一输出延迟，这个输出延迟在总线时钟的周期由于高速外部总线变为几乎等于最大延迟时间和最小延迟时间之间的差的环境之下将预期更为复杂，并且这时它不可能使用一固定延迟电路满足所有条件。也就是，因为它能够增大延迟时间的最大和最小之间的差，所以它能够增强包括工作温度的一规范而不会使制造产品减小。

在根据本发明的第一至第三实施例中，这些实施例包括有三个延迟电路和四个寄存器。但是这些延迟电路和寄存器的数量可以变化。另外，每一个置位开关或取样开关都包括有晶体管，但是也可使用传送门或逻辑门。

如上所述，根据本发明，一参考脉冲产生单元产生一具有由第一定时和第二定时之间的一间隔所表示的所希望延迟时间的信号，一延迟确定单元将根据第一定时和通过一延迟电路所产生的参考延迟信号与第二定时相比较。根据该确定的结果该延迟置位单元输出自延迟电路所提供的参考延迟信号中的一个信号。因此，它能够根据实际使用环境设置一用于该半导体器件的合适的延迟值而无须使

用一昂贵的测量仪去测量该延迟值。此外，在复位周期中，它能够通过逐步增加该参考延迟信号的延迟值来调整该延迟值，并且在设计阶段，仅需注意满足该输出延迟信号的延迟时间的最小规范即可。

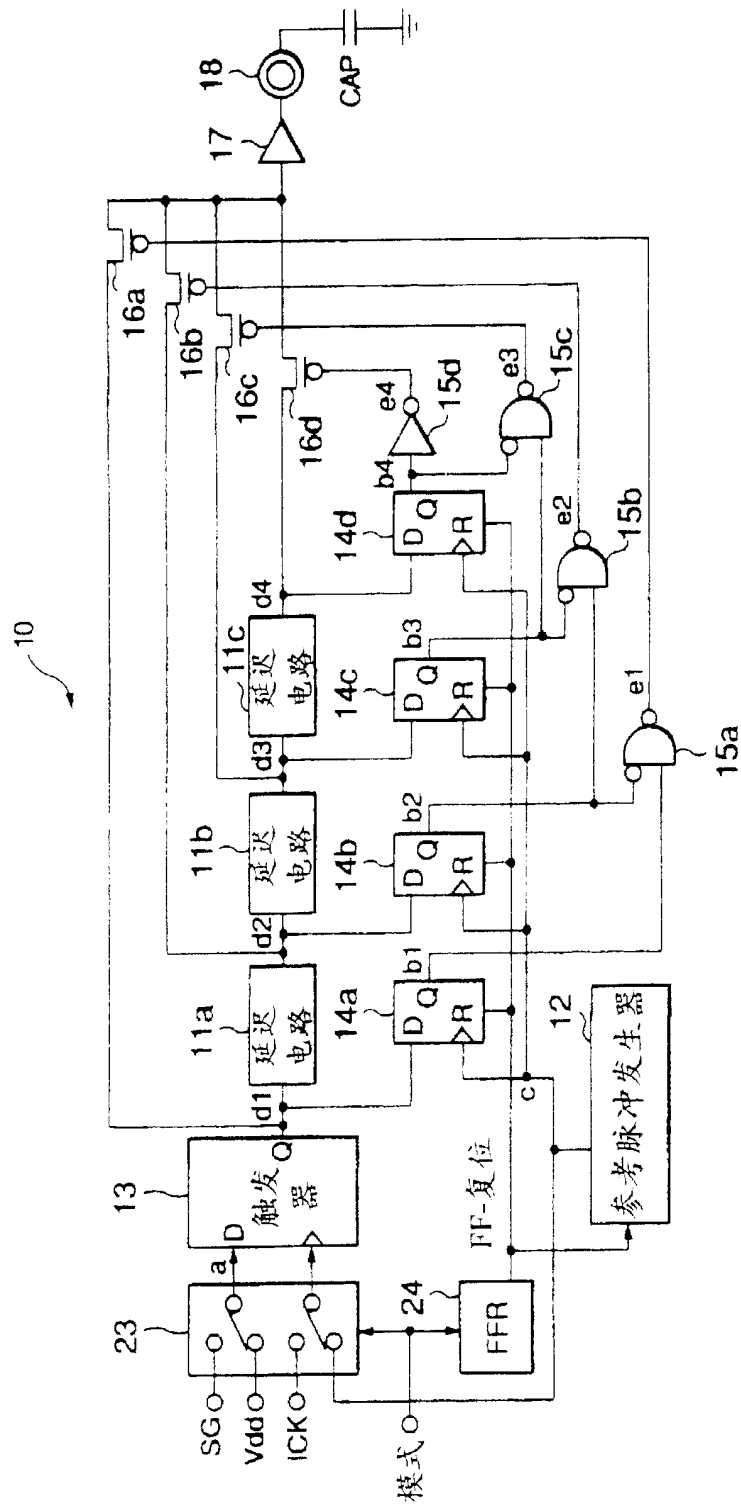


图 1

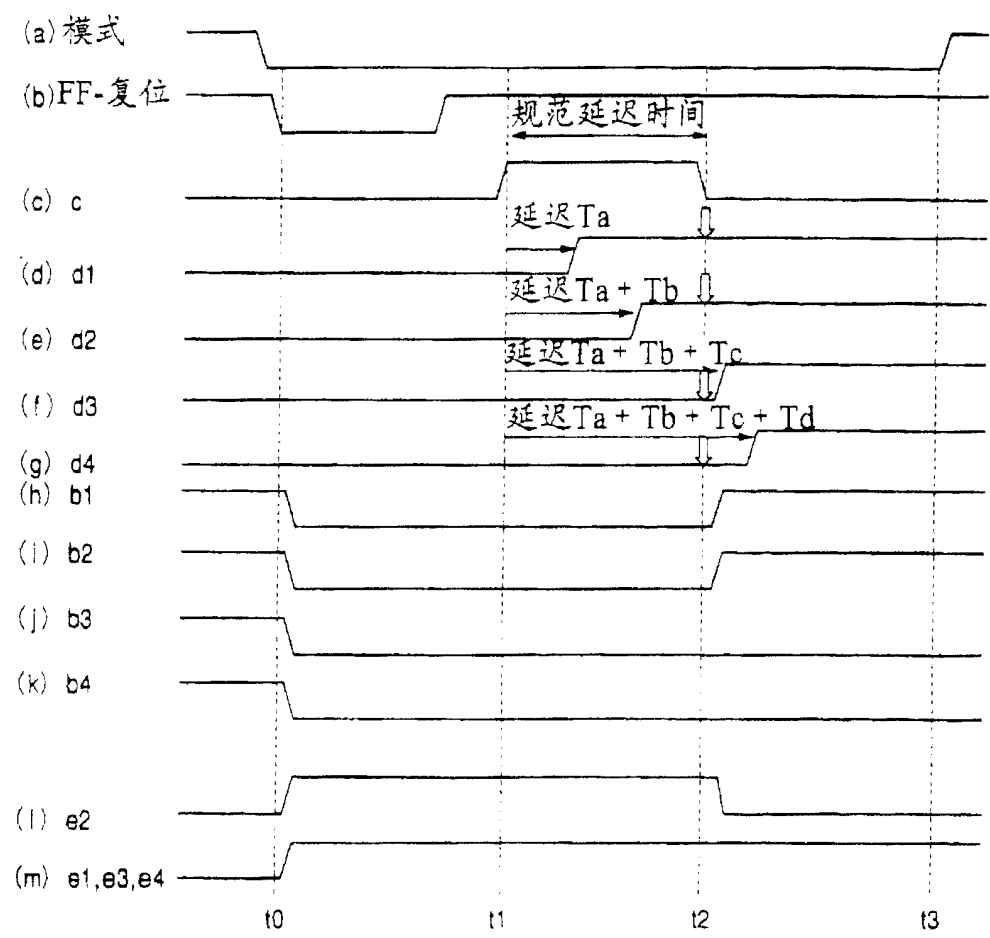


图 2

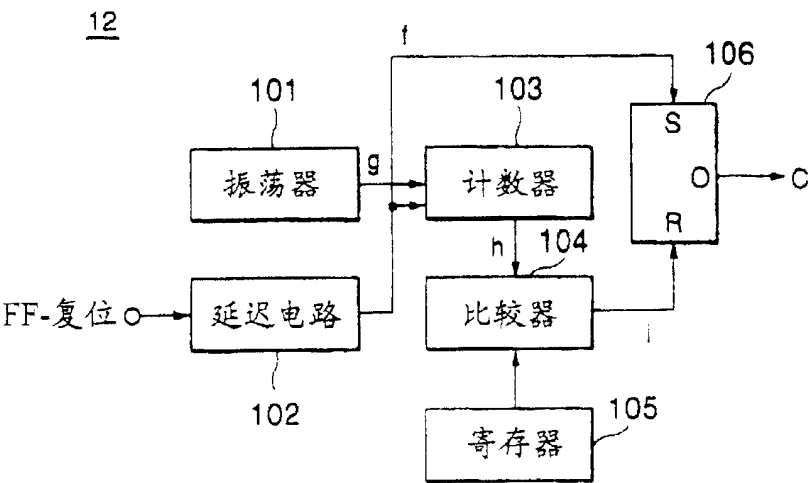


图 3

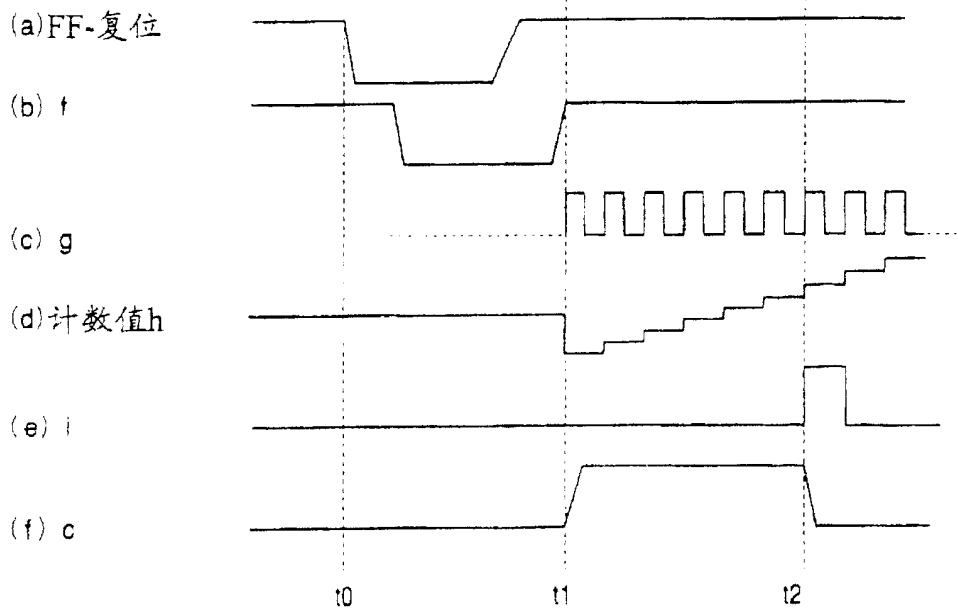


图 4

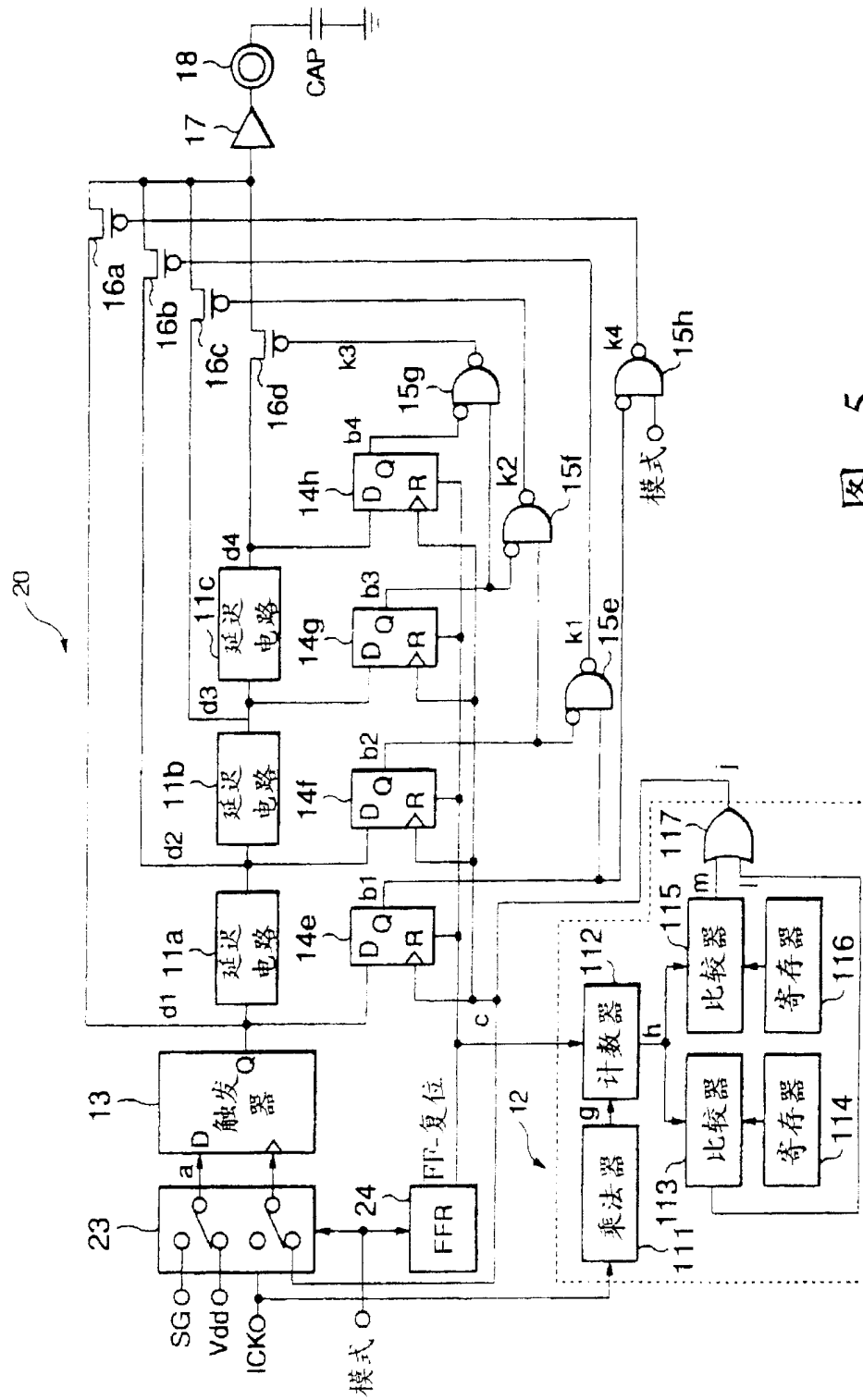


图 5

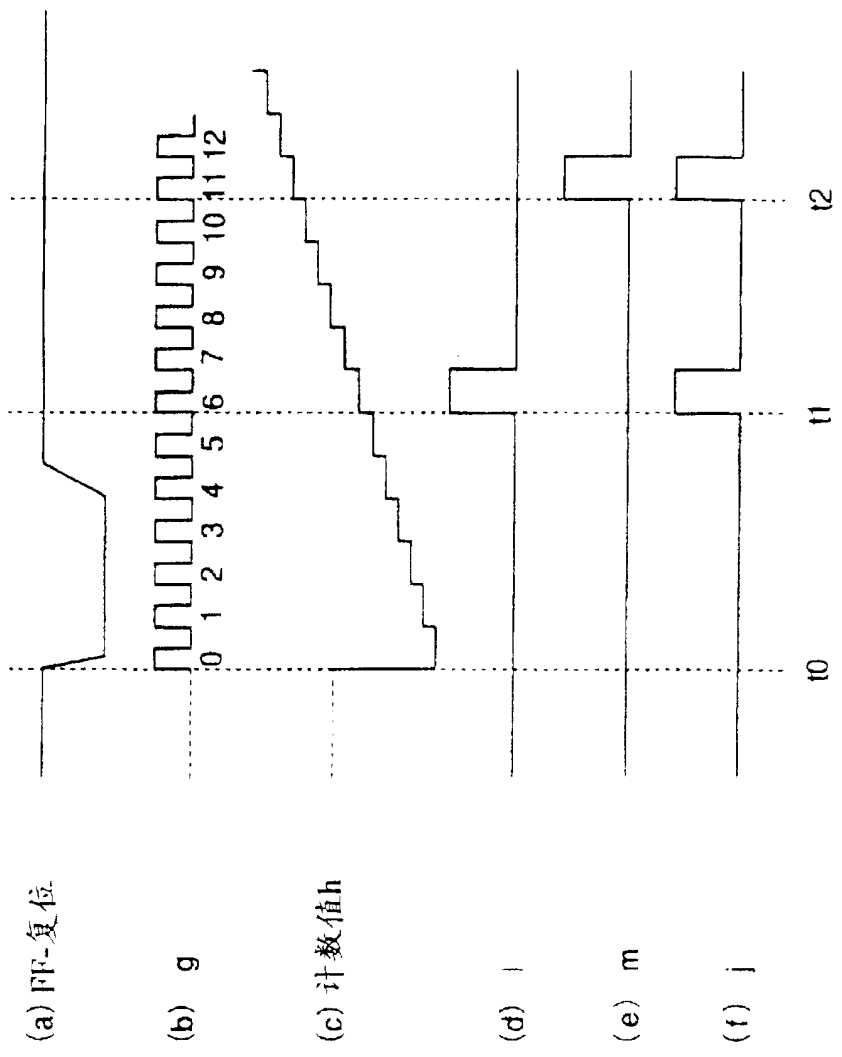


图 6

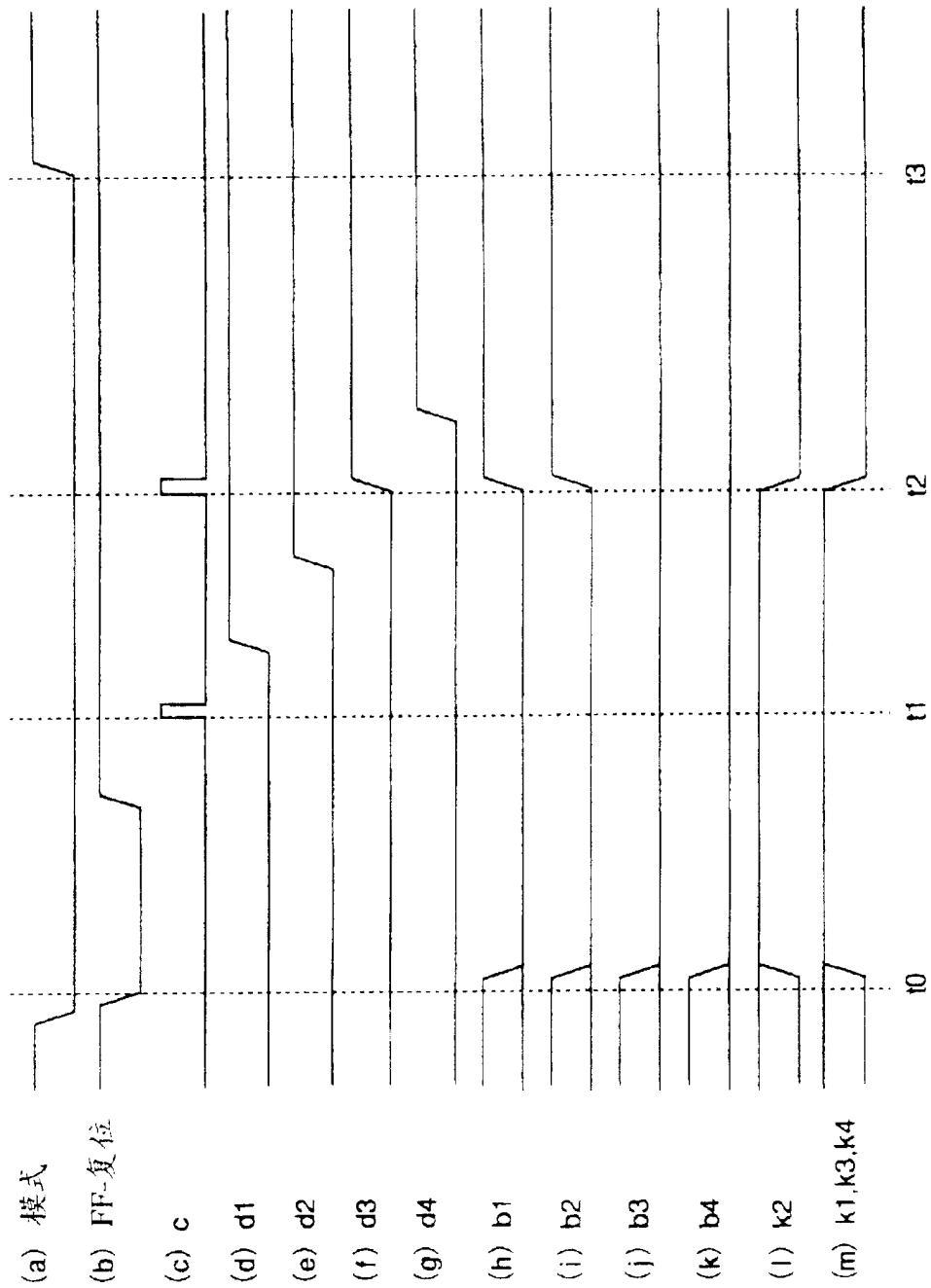


图 7

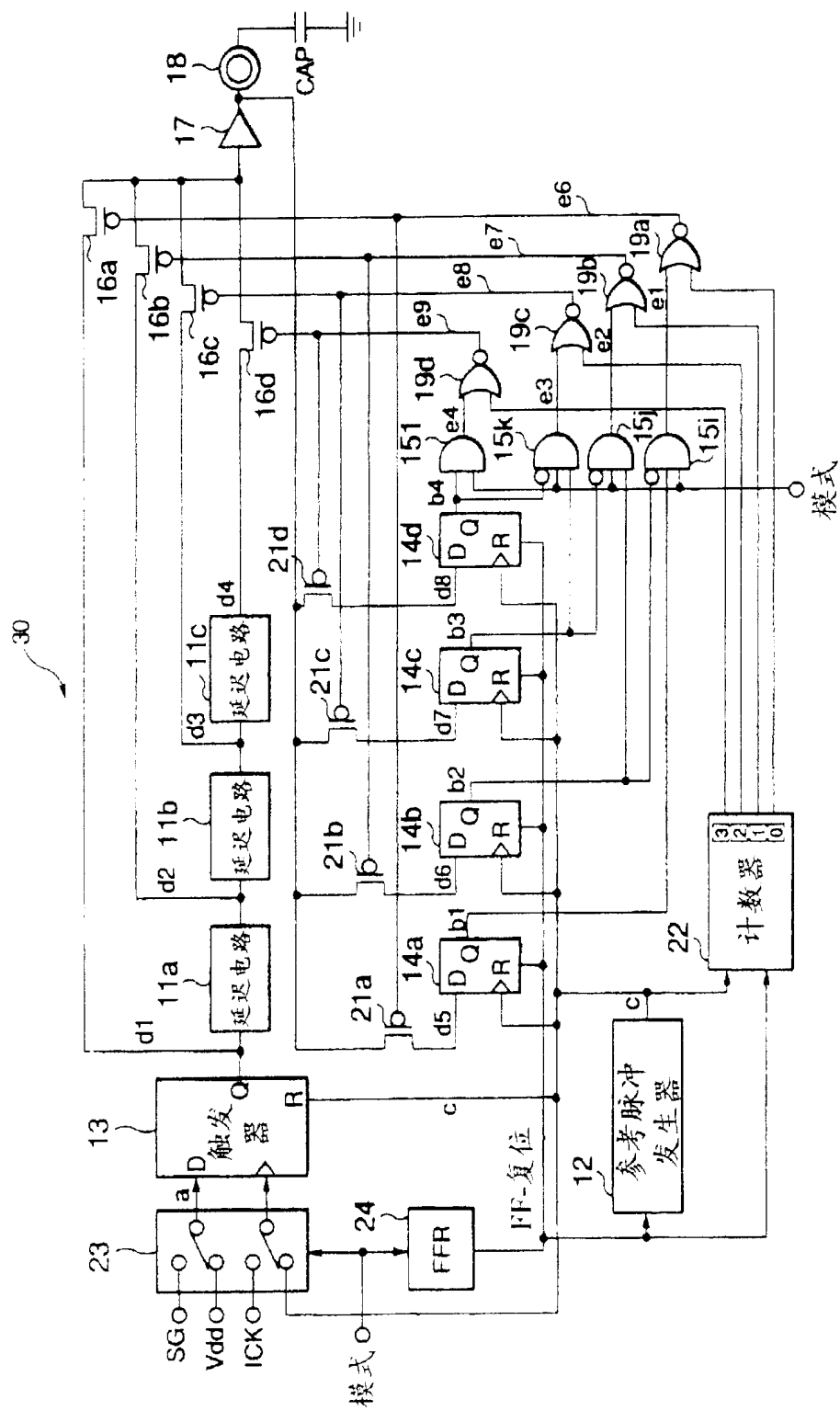


图 8

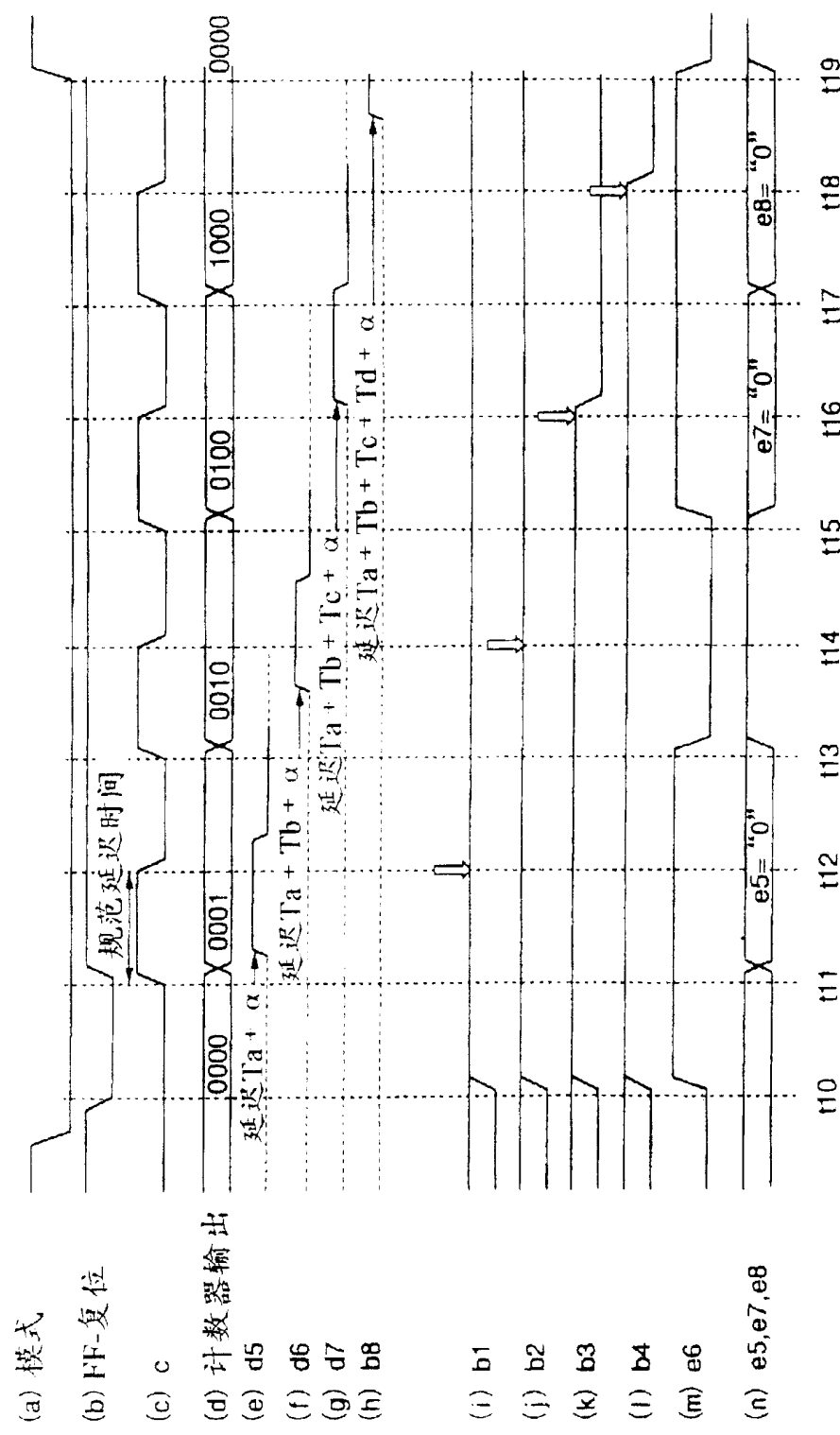


图 9