



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I433302 B

(45) 公告日：中華民國 103 (2014) 年 04 月 01 日

(21) 申請案號：098144282

(22) 申請日：中華民國 98 (2009) 年 12 月 22 日

(51) Int. Cl. : H01L27/105 (2006.01)

H01L23/52 (2006.01)

H01L21/8239(2006.01)

(30) 優先權：2009/03/03 美國

61/209,123

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹市新竹科學工業園區力行路 16 號

(72) 發明人：呂函庭 LUE, HANG TING (TW)

(74) 代理人：李貴敏

(56) 參考文獻：

TW 200742039A

TW 200901447A

US 7115967B2

US 7459715B2

審查人員：陳柏雅

申請專利範圍項數：29 項 圖式數：30 共 58 頁

(54) 名稱

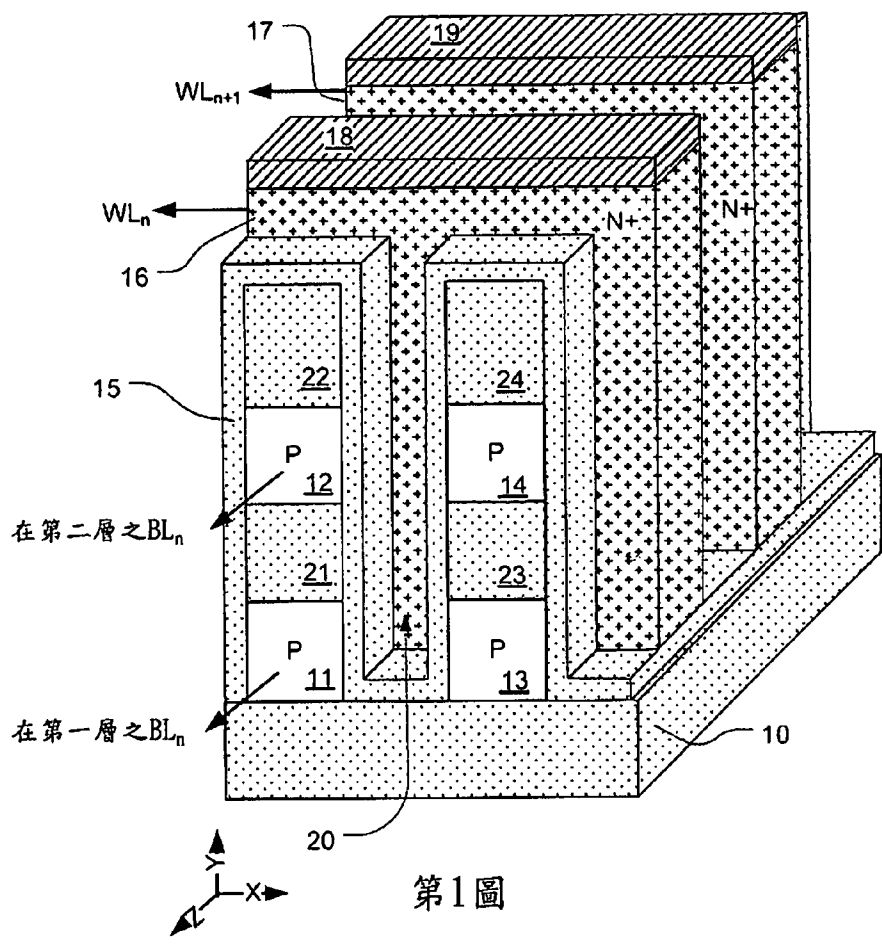
積體電路自對準三度空間記憶陣列及其製作方法

INTEGRATED CIRCUIT SELF ALIGNED 3D MEMORY ARRAY AND MANUFACTURING
METHOD

(57) 摘要

一種三度空間記憶裝置，其包含利用絕緣材料分隔多個導電材料之條紋(strips)所形成的複數脊狀堆疊(ridge-shaped stacks)，排列如位元線，其可藉由解碼電路(decoding circuits)與感應放大器耦合。導電材料之條紋在脊狀堆疊的側面上具有複數個側表面。複數導電線係設置為字元線，其可耦合至橫列解碼器，並垂直延伸穿越該複數脊狀堆疊。該些導電線與該堆疊之表面相符合(conform)。介面區域之多層陣列中具有記憶元件，其位於堆疊上之導電條紋的側表面與導電線之交叉點上。記憶元件係為可程式化，即如反熔絲(anti-fuse)或電荷捕捉結構。該三度空間記憶體之製作僅需採用兩個關鍵的光罩，即可形成多層結構。

A 3D memory device includes a plurality of ridge-shaped stacks, in the form of multiple strips of conductive material separated by insulating material, arranged as bit lines which can be coupled through decoding circuits to sense amplifiers. The strips of conductive material have side surfaces on the sides of the ridge-shaped stacks. A plurality of conductive lines arranged as word lines which can be coupled to row decoders, extends orthogonally over the plurality of ridge-shaped stacks. The conductive lines conform to the surface of the stacks. Memory elements lie in a multi-layer array of interface regions at cross-points between side surfaces of the conductive strips on the stacks and the conductive lines. The memory elements are programmable, like the anti-fuses or charge trapping structures. The 3D memory is made using only two critical masks for multiple layers.



- 10 . . . 絕緣層
- 11、12、13、
- 14 . . . 導電條紋
- 15 . . . 記憶材料層
- 16、17 . . . 倒電線
- 18、19 . . . 矽化物層
- 21、22、23、
- 24 . . . 絕緣材料

第1圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98144282

H01L27/105(2006.01)

※申請日：98.12.22

※IPC分類：H01L23/52(2006.01)

一、發明名稱：(中文/英文)

H01L21/8239(2006.01)

積體電路自對準三度空間記憶陣列及其製作方法

INTEGRATED CIRCUIT SELF ALIGNED 3D MEMORY
ARRAY AND MANUFACTURING METHOD

二、中文發明摘要：

一種三度空間記憶裝置，其包含利用絕緣材料分隔多個導電材料之條紋 (strips) 所形成的複數脊狀堆疊 (ridge-shaped stacks)，排列如位元線，其可藉由解碼電路 (decoding circuits) 與感應放大器耦合。導電材料之條紋在脊狀堆疊的側面上具有複數個側表面。複數導電線係設置為字元線，其可耦合至橫列解碼器，並垂直延伸穿越該複數脊狀堆疊。該些導電線與該堆疊之表面相符合 (conform)。介面區域之多層陣列中具有記憶元件，其位於堆疊上之導電條紋的側表面與導電線之交叉點上。記憶元件係為可程式化，即如反熔絲 (anti-fuse) 或電荷捕捉結構。該三度空間記憶體之製作僅需採用兩個關鍵的光罩，即可形成多層結構。

三、英文發明摘要：

A 3D memory device includes a plurality of ridge-shaped stacks, in the form of multiple strips of conductive material separated by insulating material, arranged as bit lines which can be coupled through decoding circuits to sense amplifiers. The strips of conductive material have side surfaces on the sides of the ridge-shaped stacks. A plurality of conductive

lines arranged as word lines which can be coupled to row decoders, extends orthogonally over the plurality of ridge-shaped stacks. The conductive lines conform to the surface of the stacks. Memory elements lie in a multi-layer array of interface regions at cross-points between side surfaces of the conductive strips on the stacks and the conductive lines. The memory elements are programmable, like the anti-fuses or charge trapping structures. The 3D memory is made using only two critical masks for multiple layers.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10：絕緣層

11、12、13、14：導電條紋

15：記憶材料層

16、17：倒電線

18、19：矽化物層

21、22、23、24：絕緣材料

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於高密度記憶裝置，更進一步而言，係關於將記憶胞之複數平面安排成為三度空間陣列之記憶裝置。

【先前技術】

由於在積體電路中，裝置臨界尺寸已經降低到習知記憶胞技術之極限，因此設計者們曾試圖開發堆疊記憶胞之複數平面，藉以達成更高之儲存能力，同時降低每一位元之成本。舉例而言，薄膜電晶體技術即被利用於電荷捕捉記憶體技術中，如 Lai, *et al.*, “A Multi-Layer Stackable Thin-Film Transistor (TFT) NAND-Type Flash Memory”, IEEE Int'l Electron Devices Meeting, 11-13 Dec. 2006; 以及如 Jung *et al.*, “Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node”, IEEE Int'l Electron Devices Meeting, 11-13 Dec. 2006.

此外，交叉點陣列技術也被應用於反熔絲記憶體中，如 Johnson *et al.*, “512-Mb PROM With a Three-Dimensional Array of Diode/Anti-fuse Memory Cells” IEEE J. of Solid-State Circuits, vol. 38, no. 11, Nov. 2003. 在 Johnson *et al.*, 所揭露之設計中，其提供複數層之字元線與位元線，而將記憶元件設置在複數個交叉點上。該記憶元件包含連接至 p+ 多晶矽陽極的字元線，以及連接至位元線的 n 型多晶矽陰極，而該陽極與陰極係由反熔絲材料所分隔。

在 Lai, *et al.*, Jung, *et al.* 與 Johnson *et al.*, 所揭露之製程

中，各記憶體層均有幾個關鍵的微影步驟。因此，關鍵微影製程之步驟數目，必須乘上層數，才是完整的製程步驟數目。關鍵微影步驟耗費昂貴，因此希望盡量減少在積體電路製程中使用。所以，雖然可以利用三度空間陣列來達成高密度之優點，但較高的製作成本會限制該技術之利用。

另一種在電荷捕捉記憶技術中提供垂直 NAND 記憶胞的結構可見於 Tanaka *et al.*, “Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory”, 2007 Symposium on VLSI Technology Digest of Technical Papers; 12-14 June 2007, 第 14 頁至第 15 頁。在 Tanaka *et al.* 所揭露之結構包含一多閘極場效電晶體結構，其具有一垂直通道，可如 NAND 閘極般操作，並利用矽化物-氧化物-氮化物-氧化物-矽化物的 SONOS 電荷捕捉技術，在各個閘極/垂直通道介面建立儲存位置。該記憶結構係建構於半導體材料之支柱 (pillar)，其係設置如多閘極記憶胞之垂直通道，而具有鄰接至基材的下方選擇閘極，以及位於頂部的上方選擇閘極。複數個水平控制閘極係利用平面電極層而形成，其與該些支柱相交。該些控制閘極所利用之平面電極層無須採用關鍵微影，因此可以降低成本。然而，各個垂直記憶胞需要許多的關鍵微影步驟。此外，受到垂直通道之導電性、所採程式化與抹除方法等因素限制，控制閘極的數量會受到限制。

因此產生需求，希望能提供一種三度空間積體電路記憶體，其具有低至作成本，但具有可靠、小體積之記憶元件。

【發明內容】

一三度空間記憶陣列包含複數山脊狀之堆疊，其為複數導電材料條紋之型態，並為絕緣材料所分隔，其舉例而言設置如

位元線，其可藉由解碼電路耦合至感應放大器。導電材料之條紋具有側表面位於山脊狀堆疊之邊牆上。複數導電線舉例而言係安排於，此處所為之字元線中，其可耦合至橫列解碼器，同時垂直延伸於複數山脊狀堆疊之上。導電線具有表面（例如底部表面）順形覆蓋堆疊之表面。順形覆蓋之設置形成於多層陣列之介面區域，其位於該堆疊上之導電條紋的邊牆表面與導電線之交叉點。記憶元件位於該介面區域中，位於該條紋之邊牆與該導電線之間。該記憶元件可程式化，例如反熔絲或者電荷捕捉結構係如下方實施例所述。順形覆蓋之導電線、記憶元件與該位於特定介面區域之堆疊中的導電條紋之組合，形成記憶胞堆疊。上述陣列結構，即可構成三度空間記憶胞陣列。

由於可形成複數山脊狀之堆疊與複數導電線，故記憶胞可為自對準。舉例而言，山脊狀堆疊中的導電條紋可利用單一蝕刻光罩來定義，以形成導電條紋之邊牆表面均為垂直對準排列的堆疊。記憶元件可利用一層或者複數層之材料，以全面沈積之方式形成於複數堆疊之上，同時使用其他無須關鍵對準步驟之製程。此外，利用順形覆蓋沈積可形成複數導電線於該提供記憶元件的一層或多層之上，稍後再利用蝕刻製程界定利用單一蝕刻光罩的導電線。由此，即可建立自對準記憶胞之三度空間陣列，而其係僅就複數堆疊中的導電條紋採用單一對準步驟，而另外就複數導電線利用一對準步驟。

本發明之其他目的與優點詳述如以下圖式、詳細實施方式與申請專利範圍。

【實施方式】

以下參照圖式第 1 圖至第 29 圖，說明本發明之詳細實施方式。

第 1 圖為顯示一個三度空間可程式化電阻記憶陣列的 2x2 部分之透視圖，但其中將填充材料從圖式中刪除，以顯示導電條紋之堆疊與垂直導電線所構成之三度空間陣列。在此實施例中，僅顯示兩個平面。然而，平面的數量可以增加到相當大的數量。如第 1 圖所示，該記憶陣列形成於積體電路基材上，其具有絕緣層 10 位於下方的半導體或者其他結構（未顯示）之上。該記憶陣列包含複數導電條紋 11、12、13、14 之堆疊，其為絕緣材料 21、22、23、24 所分隔。該些堆疊呈山脊狀，延伸於圖式中之 Z 軸方向，因此導電條紋 11 至 14 可組態為位元線。導電條紋 11 與 13 可作為第一記憶平面的位元線；導電條紋 12 與 14 可最作為第二記憶平面的位元線。記憶材料層 15，例如反熔絲(anti-fuse)材料，在本實施例中包覆導電條紋之複數堆疊，而在其他實施例中至少包覆導電條紋之側壁。複數導電線 16、17 之安排係與該複數導電條紋之堆疊垂直。該導電線 16、17 之表面順形地覆蓋導電條紋之複數堆疊，填充該複數堆疊所界定之溝槽(如元件 20)，並在導電條紋 11 至 14 側表面以及導電線 16、17 之交叉點上定義介面區域之多層陣列。一矽化物層（例如矽化鎢、矽化鈷、矽化鈦）18、19 可形成於導電線 16、17 之頂部表面之上。

記憶材料層 15 可由反熔絲材料所構成，例如二氧化矽、氮氧化矽、或其他氧化矽材料；舉例而言其厚度之數量級約為 1 至 5 奈米之間。亦可採用其他反熔絲材料，例如氮化矽。導電條紋 11 至 14 可為具有第一導電型態（例如為 p 型）的半導體材料。導電線 16、17 可為具有第二導電型態（例如為 n 型）半導體材料。舉例而言，導電條紋 11 至 14 可以利用 p 型多晶矽製作，而導電線 16、17 可利用相對濃摻雜的 n+ 型多晶矽製作。導電條紋之寬度應足以提供空乏區域所需之空間，藉以支

持二極體之運作。因此，在多晶矽條紋與線條之三度空間中，即可在陽極與陰極之間，形成包含整流器之記憶胞，而該整流器係由 p-n 接面與可程式化之反熔絲層所形成。在其他實施例中，可採用不同的程式化電阻記憶材料，包含過渡金屬氧化物，例如氧化鎢於鎢之上或者摻雜之金屬氧化物導電線條。此種材料可被程式化或被抹除，同時可資應用使得各記憶胞得儲存多個位元。

第 2 圖顯示形成於導電線 16 與導電條紋 14 之交叉點上的記憶胞之 X-Y 平面剖面圖。主動區域 25、26 形成於導電條紋 14 的兩側，位於導電線 16 與導電條紋 14 之間。在原始之狀況(native state)下，反熔絲材料層 15 具有高電阻。程式化後，反熔絲材料層崩潰，造成主動區域 25、26 之中的反熔絲區域之一（或者兩者共同）回到其低電阻狀態。在此處所述之實施例中，如第 3 圖所示，各記憶胞均具有兩個主動區域 25、26，個別位於導電條紋 14 的一側。如圖中實線箭頭所示之電子流，係由 n+導電線 16 流向 p 型導電條紋，同時沿著導電條紋（虛線箭頭）流向感應放大器，藉以量測並探知一選定記憶胞之狀態。在典型之實施例中，採用厚度約為 1 奈米之二氧化矽作為反熔絲材料，則程式化脈衝可能包含 5V 至 7V 之脈充電壓，而脈衝時間約為 1 微秒，而其施加係由晶片中的控制電路所控制，即如稍後第 28 圖所示。一讀取脈衝可能包含 1V 至 2V 之脈衝，其脈衝時間可視狀況而設置，而其施加係由晶片中的控制電路所控制，即如稍後第 28 圖所示。讀取脈衝可能遠短於程式化脈衝。

第 3 圖顯示導電線 16、17 與導電條紋 14 之交叉點所形成之記憶胞的 X-Z 平面剖面圖。如圖所示，由字元線而來的電流路徑，係定義為導電線 16 穿越記憶材料層(反熔絲材料

層)15，而下至導電條紋 14。

第 4 圖為一示意圖，其顯示個別具有 6 記憶胞的兩個記憶胞平面。該記憶胞係以二極體之圖示表示，其中該虛線代表位於陽極與陰極之間的反熔絲材料。這兩個記憶胞平面係定義於導電線 60、61（其可作為第一字元線 WLn 以及第二字元線 $WLn+1$ ）與第一導電條紋堆疊 51、52，第二導電條紋堆疊 53、54，第三導電條紋堆疊 55、56（可作為於陣列第一層與第二層中之位元線 BLn 、 $BLn+1$ 、 $BLn+2$ ）之交叉點上。記憶胞之第一平面包含記憶胞 30、31 位於導電條紋 52 之上，記憶胞 32、33 位於導電條紋 54 之上，以及記憶胞 34、35 位於導電條紋 56 之上。記憶胞之第二平面包含記憶胞 40、41 位於導電條紋 51 之上，記憶胞 42、43 位於導電條紋 53 之上，以及記憶胞 44、45 位於導電條紋 55 之上。如圖所示，導電線 60 可作為字元線 WLn ，其包含垂直延伸 60-1、60-2、60-3 對應於第 1 圖之溝槽 20 中的材料，位於堆疊之間，藉以在各個平面中所示的三條導電條紋，將導電線 60 與記憶胞耦合。藉由此處揭露之方法，即可形成具有多層之陣列，形成高密度之記憶體，或者在單一晶片中形成上兆位元之資料。

第 5 圖為為顯示一個三度空間可程式化電阻記憶陣列的 2×2 部分之透視圖，但其中將填充材料從圖式中刪除，以顯示導電條紋之堆疊與垂直導電線所構成之三度空間陣列。在此實施例中，僅顯示兩個平面。然而，平面的數量可以增加到相當大的數量。如第 5 圖所示，該記憶陣列形成於積體電路基材上，其具有絕緣層 110 位於下方的半導體或者其他結構（未顯示）之上。該記憶陣列包含複數導電條紋 111、112、113、114 之堆疊，其為絕緣材料 121、122、123、124 所分隔。該些堆疊呈脊狀，延伸於圖式中之 Z 軸方向，因此導電條紋 111 至

114 可組態為位元線。導電條紋 111 與 113 可作為第一記憶平面的位元線；導電條紋 112 與 114 可作為第二記憶平面的位元線。記憶材料層 115，例如介電電荷捕捉結構，在本實施例中包覆導電條紋之複數堆疊。複數導電線 116、117 之安排係與該複數導電條紋之堆疊垂直。該導電線 116、117 之表面順形地覆蓋導電條紋之複數堆疊，填充該複數堆疊所界定之溝槽（如元件 20），並在導電條紋 111 至 114 側表面以及導電線 116、117 之交叉點上定義介面區域之多層陣列。一矽化物層（例如矽化鎢、矽化鈷、矽化鈦）118、119 可形成於導電線 116、117 之頂部表面之上。

奈米線 MOSFET 型記憶胞亦可如此設置，藉由提供奈米線或奈米管結構於通道區域的導線 111-114 上，類似揭露於 Paul 等人的論文”Impact of a Process Variation on Nanowire and Nanotube Device Performance”，IEEE Transactions on Electron Devices, 第 54 卷第 9 期，2007 年 9 月，此論文在此引為參考資料。

如此可在 NAND 快閃陣列中形成三度空間之 SONOS 型態記憶胞。源極、汲極與通道形成於含有矽 (S) 導電條紋 111 至 114 中，記憶材料層 115 包含穿隧介電層 97 其可為氧化矽 (O)，電荷捕捉層 98 其可為氮化矽(N)，阻障介電層 99 其可為氧化矽(O)，以及閘極包含導電線 116、117 之多晶矽(S)。

導電條紋 111 至 114 可為半導體材料，其具有第一導電型態（例如為 p 型）的半導體材料。導電線 116、117 可為具有相同或相異導電型態（例如為 p+型）半導體材料。舉例而言，導電條紋 111 至 114 可以利用 p 型多晶矽或是 p 型磊晶單晶矽製作，而導電線 116、117 可利用相對濃摻雜的 p+型多晶矽製作。如此一來，即可在交叉點所形成之三度空間陣列裡，形成

包含電荷儲存結構的場效電晶體記憶胞。使導電條紋與導電線之寬度位於約 25 奈米之寬度，在山脊狀堆疊之間隔亦約在 25 奈米左右，即可形成具有數十層之裝置（例如為 30 層），藉以在單一晶片中達成上兆位元 (10^{12}) 儲存量之目標。

記憶材料層 115 可由其他電荷捕捉結構所構成，例如可包含穿隧介電層 97，其中包含可在 0 偏壓下形成反轉 U 型價帶的複合材料。依據本發明之一種實施例，該複合穿隧介電層包含一第一層，可稱為電洞穿隧層；一第二層，可稱為能帶補償層；以及一第三層，可稱為絕緣層。在本實施例中，該記憶材料層 115 之電洞穿隧層包含二氧化矽，其位於導電條紋之側表面上，舉例而言係利用同位蒸鍍產生 ISSG 以及選擇性的氮化物，其係利用後沈積 NO 退火或者在沈積之環境中增加 NO 來形成。二氧化矽之第一層的厚度係低於 20 埃，較佳實施例中係為 15 埃以下。代表性的實施例中，其厚度可為 10 埃或 12 埃。

本實施例中的能帶補償層包含位於電洞穿隧層之上的氮化矽，舉例而言係利用低壓化學氣相沈積所形成，其中舉例而言係利用二氯矽甲烷(dichlorosilane)DCS 與 NH_3 前驅物在 680°C 之溫度下完成。在其他製程中，能帶補償層包含氮氧化矽，其利用類似的製程而以 N_2O 作為前驅物。氮化矽層之能帶補償層的厚度係小於 30 埃，較佳實施例中係小於或等於 25 埃。

本實施例中的絕緣層包含二氧化矽，其位於氮矽化物之能帶補償層之上，舉例而言其係利用 LPVCD 高溫氧化 HTO 沈積製作。二氧化矽之絕緣層厚度係低於 35 埃，較佳實施例中係小於或等於 25 埃。該三層穿隧層可導致反轉 U 型價帶能階。

位於該第一位置(O1)之價帶能階如此，使得電場足以誘發

電洞穿隧經過半導體主體與該第一位置介面之間的薄層區域，亦足以在第一位置之後提高價帶能階，使其足以消除位於該第一位置之後複合穿隧介電層的電洞穿隧障礙。該結構令電場協助電洞以高速穿隧，同時有效地在沒有電場或者為其他用途所用之小電場情況下（例如由記憶胞讀取資料或者寫入鄰接之記憶胞），預防電荷藉由複合穿隧介電層漏散。

在一種代表性的裝置中，記憶材料層 115 包含能帶加工複合穿隧介電層，其包含超薄氧化矽層 O1（例如小於 15 埃），超薄氮化矽層 N1（例如小於 30 埃），以及超薄氧化矽層 O2（例如小於 35 埃），如此可在距離半導體主體之介面小於或等於 15 埃之補償區將價帶能階提高約 2.6eV。O2 層位於第二補償區（舉例而言距離該介面約 30 至 45 埃），利用具有較低價帶能階（較高電洞穿隧能障）與較高導電帶能階的區域，將 N1 層與電荷捕捉層分隔。該電場足以誘發電洞穿隧，以提高第二位置之後的價帶能階至一階級，其足以有效地消除電洞穿隧能障。這是因為第二位置與介面之距離較大。因此，O2 層不會與協助電洞穿隧之電場產生重大的相互干擾，卻可提升加工穿隧介電層防止低電場情況下之漏電流的情形。

在此實施例中，記憶材料層 115 中的電荷捕捉材料包含氮化矽，其厚度大於 50 埃，舉例而言約為 70 埃；本實施例之形成方法舉例而言可利用 LPCVD。亦可採用其他電荷捕捉材料與結構，例如氮氧化矽 ($\text{Si}_x\text{O}_y\text{N}_z$)，氮化富矽、氧化富矽而捕捉層包含埋藏之奈米粒子等。

在本實施例中，記憶材料層 115 中的阻障介電層包含一層二氧化矽層，其厚度大於約 50 埃，在本實施例中舉例而言可約為 90 埃，其可利用濕熔爐氧化製程，由氮化物之濕反轉製成。其他實施例可藉由高溫氧化 (HTO) 或 LPCVD SiO_2 製作。

其他阻障介電層可包含高介電常數材料，例如氧化鋁。

在本實施例中，電洞穿隧層可為 13 埃之二氧化矽，能帶補償層可為 20 埃的氮化矽，絕緣層可為 25 埃的二氧化矽，電荷捕捉層可為 70 埃的氮化矽，而阻障介電層可為氧化矽，其厚度為 90 埃。導電線 116、117 中所使用的閘極材料為 p+ 多晶矽（功函數約 5.1eV）。

第 6 圖顯示導電線 116 與導電條紋 114 之交叉所形成的電荷捕捉記憶胞之 X-Y 平面剖面圖。主動電荷捕捉區域 125、126 形成於導電條紋 114 之兩側，其位於導電線 116 與導電條紋 114 之間。就此處所揭露之實施例而言，如第 6 圖所示，各記憶胞均為具有主動電荷捕捉區域 125、126 的雙閘極場效電晶體，而個別位於導電條紋 114 的兩側。圖中實線箭頭所示之電子流沿著 p 型導電條紋行進，直至感應放大器，其可量測電子流並指明所選取之記憶胞的狀態。

第 7 圖顯示導電線 116、117 與導電條紋 114 之交叉所形成的電荷捕捉記憶胞之 X-Z 平面剖面圖。其中繪示下至導電條紋 114 之電流路徑。位於導電線 116、117 之間的源極/汲極區域 128、129、130 可作為「無接面」之字元線，而無須將源極於汲極區域進行與字元線底下之通道區域的導電型態相反的摻雜。在此「無接面」實施例中，電荷捕捉場效電晶體具有 p 型通道結構。

在另一實施例中，導電條紋 111 至 114 可利用淡摻雜之 n 型半導體主體，造成埋藏通道場效電晶體，其可在加強模式下運作，而具有自然偏移至較低之電荷捕捉記憶胞臨界分佈。

同時，在某些實施例中，源極與汲極摻雜可在定義字元線後，利用自對準植入之方式完成。

第 8 圖為示意圖，顯示具有 9 個電荷捕捉記憶胞的兩個平

面，其設置為 NAND 組態。記憶胞之第 2 平面定義於導電線 160、161、162 的交叉點，作為第一字元線 WLn ，第二字元線 $WLn+1$ ，以及第三字元線 $WLn+2$ ，其具有導電條紋 93、90 的第一堆疊、導電條紋 94、91 的第二堆疊、導電條紋 95、92 的第三堆疊作為陣列之第一層與第二層中的位元線 BLn 、 $BLn+1$ 、 $BLn+2$ 。記憶胞之第一平面包含記憶胞 70、71、72 位於導電條紋 90 之上，記憶胞 73、74、75 位於導電條紋 91 之上，記憶胞 76、77、78 位於導電條紋 92 之上。記憶胞之第二平面包含記憶胞（例如 80）位於導電條紋 93 之上，記憶胞（例如 82）位於導電條紋 94 之上，記憶胞（例如 84、85）位於導電條紋 95 之上。如圖所示，作為字元線 WLn 的導電線 160 包含垂直延伸，其對應於第 5 圖中位於堆疊之間的溝槽 120 中之材料，藉此沿著各平面中繪示的三個導電條紋，將導電線 160 與記憶胞耦合。

第 9 圖為類似第 5 圖之另一種結構的透視圖。在此圖中將就類似的結構採用相同的元件符號，而不再重為說明。第 9 圖與第 5 圖不同的地方在於：絕緣層 110 的表面 110A 以及導電條紋 113、114 的側表面 113A、114A 係暴露於複數條導電線 116（作為位元線）之間，其係以蝕刻方式形成字元線的結果。因此，記憶材料層 115 可完全或者部分被蝕刻於字元線之間，但不會損害其運作。然而，沒有必要蝕刻穿越形成介電電荷捕捉結構的記憶材料層 115。

第 10 圖為類似第 6 圖之記憶胞的 X-Y 平面剖面圖。第 10 圖與第 6 圖相同，繪示類似於記憶胞中所形成的第 9 圖的結構，即如在第 5 圖之結構中所採用者。第 11 圖為類似第 7 圖之記憶胞的 X-Z 平面剖面圖。第 11 圖與第 7 圖之相異點在於，區域 128a、129a、與 130a 沿著導電條紋 114 之側表面（例如

114A) 之記憶材料可能被去除。

第 12 圖至第 16 圖繪示上述製作三度空間記憶陣列之基本流程步驟，其在形成陣列時僅利用兩個關鍵的圖案化光罩步驟。在第 12 圖中顯示一種結構，其係利用半導體沈積之方法，諸如全面沈積於晶片的陣列區域上，來交互形成絕緣層 210、212、214 與導電層 211、213。依據形成之方法而定，導電層 211、213 可利用多晶矽或者單晶矽磊晶之方式形成 n 型或 p 型之摻雜。層間絕緣層 210、212、214 舉例而言可為二氧化矽、其他氧化矽、或氮化矽。

第 13 圖繪示第一微影圖案化步驟後的結果，其可界定導電條紋的複數山脊狀堆疊 250，其中該導電條紋係利用導電層 211、213 所構成，並藉由絕緣層 212、214 所分隔。

第 14A 圖與第 14B 圖顯示下一個步驟，其個別為包含可程式化電阻記憶結構之實施例，諸如為反熔絲記憶胞結構；以及包含可程式化電荷捕捉記憶結構的實施例，例如包括 SONOS 型態的記憶胞結構。

第 14A 圖顯示全面沈積記憶材料層 215 之後的結構，在此實施例中記憶材料層包含一單層，即如第 1 圖所繪示之反熔絲結構。在另一實施例中，若不利用全面沈積，亦可利用氧化製程在導電條紋所暴露之側邊上形成氧化物，而利用該氧化物作為記憶材料。

第 14B 圖顯示全面沈積記憶材料層 315 之結果，其由多層電荷捕捉結構所構成，包含穿隧介電層 397、電荷捕捉層 398 以及阻障介電層 399，其與第 4 圖所示者相連結。如第 14A 圖與第 14B 圖所示，記憶層 215、315 係以順形之方式形成於導電條紋的山脊狀堆疊（第 13 圖之 250）之上。

第 15 圖顯示利用高深寬比填充之步驟，其中導電材料，

例如具有 n 型摻雜與 p 型摻雜之多晶矽，可為導電線之材料，而導電線可作為沈積於薄層 225 中的字元線。同時，在此實施例中，矽化物 226 可形成於薄層 225 之上，而其中包含多晶矽。如圖所示，高深寬比之沈積技術，例如本實施例之多晶矽之低壓化學氣相沈積，可用於完整填充山脊狀堆疊之間的溝槽 220，甚至可完全填充寬度為 10 奈米之數量級而具有高深寬比的溝槽。

第 16 圖顯示第二微影圖案化步驟之後的結果，其界定複數導電線 260，其可作為三度空間記憶陣列的字元線。該第二微影圖案化步驟在陣列臨界尺寸使用單一光罩，以在導電線之間蝕刻出高深寬比的溝槽，而不會蝕刻穿越山脊狀之堆疊。可利用蝕刻製程來蝕刻多晶矽，其對於氧化矽或氮化矽之上的多晶矽應具有高度選擇性。因此，可利用其他蝕刻方法，藉由同樣的光罩來蝕刻穿越導電層與絕緣層，並使製程停止於下方的絕緣層 210 之上。

第 17 圖為透視圖，顯示在單一解碼結構中複數導電條紋連接之狀態，並例示一種選擇性的植入步驟。第 7 圖之透視圖係在 Y 軸上旋轉 90 度，因此 Y 軸與 Z 軸所構成之平面與說明書之頁面相同，而其所謂旋轉係與第 1 圖之方向以及第 16 圖之方向做比較，該二圖之 X 軸與 Y 軸平面與說明書頁面相同。

同時，位於導電條紋之間以及位於山脊狀堆疊中的絕緣層未顯示於圖式中，藉此清楚顯露額外的結構。

記憶材料層 415 將導電線 425-1 至 425-n 與導電條紋 412 至 414 分隔，其詳細內容如前述。

電晶體（例如電晶體 50）形成於延伸 412A、413A、414A 與導電線 425-1 之間。在電晶體中，導電條紋（例如 413）係做為裝置之通道區域。閘極結構（例如 429）在相同的步驟中

圖案化，由此導電線 425-1 至 425-n 即可被界定。矽化物層 426 可沿著導電線之頂部表面形成，同時位於閘極結構 429 之上。記憶材料層 415 可做為電晶體之閘極介電物。電晶體可作為選擇閘極，其耦合至解碼電路，以沿著該陣列中的脊狀堆疊選擇縱行。

另一種製造方式包含形成硬遮罩 401-1 至 401-n 於複數導電線上，而硬遮罩 402 與 403 位於閘極結構 429 之上。該硬遮罩可利用相對較厚的氮化矽或者其他材料形成，其可作為離子佈植製程的阻障。形成硬遮罩後，可進行 400 之佈植以增加導電條紋 412 至 414 中以及延伸 412A 至 414A 中的摻雜濃度，並藉此降低沿著導電條紋之電流路徑的電阻。利用控制佈植的能量，佈植可用於引發穿隧至底部導電條紋 412，同時至堆疊中各個上方的導電條紋。

第 18 圖繪示製作如第 17 圖所示之記憶陣列的下一個步驟。在本圖中使用相同的元件符號，而不再重述。第 18 圖之結構繪示移除硬遮罩、暴露沿著導電線 425-1 到 425-n 的頂部表面之矽化物層 426 的結果，而該矽化物層 426 位於以及閘極結構 429 之上。稍後形成一層間介電物（未顯示）於該陣列頂部之上，開啟介層孔以提供給例如鎢之充填材料 459 的接觸栓塞 458 與閘極結構 429 之頂部表面連接。圖案化上方金屬線 460n、460n+1 以連接 SSL 線至縱行解碼電路。上述方法即可形成三平面之解碼架構，利用一字元線、一位元線、與一 SSL 線存取一個選取之記憶胞。此技術可參考美國專利第 6,906,940 號，專利名稱為 Plane Decoding Method and Device for Three Dimensional Memories.

欲程式化一選取之反熔絲型記憶胞，在本實施例中可將選取的字元線施加 -7V 之偏壓，而未選取的字元線則施加 0V 之

偏壓，選取的位元線可設定為 0V，而未選取的位元線可設定為 0V，選取的 SSL 線可設為-3.3V，而未選取的 SSL 線可設 0V。欲讀取一選取之記憶胞，在本實施例中可將選取的字元線施加-1.5V 之偏壓，而未選取的字元線則施加 0V 之偏壓，選取的位元線可設定為 0V，而未選取的位元線可設定為 0V，選取的 SSL 線可設為-3.3V，而未選取的 SSL 線可設 0V。

第 19 圖提供線路佈局圖，其繪示複數 SSL 線與位元線 470 至 472 的設置，其位於山脊狀堆疊之上，包含導電條紋 414 以及可作為字元線的導電條紋 425n。該字元線延伸至橫列解碼器電路。

如圖所示，接觸栓塞（例如 458）連接閘極結構與選取之導電條紋 414 至上方的 SSL 線（例如 460）。亦可採用扭曲的電路佈局，圖式中的閘極結構以交錯方式排列，如此圖案化導電接觸栓塞 458 時所需的對準空間（例如 458A）可沿著複數橫列的接觸栓塞所共用，降低了山脊狀堆疊之電路佈局的平均間距。該些 SSL 線延伸至縱行解碼電路。

第 19 圖同時繪示導電條紋之延伸（例如 414A）至位元線之連結的電路佈局。如圖所述，延伸 414A 外延至陣列以外，直到位元線區域。通道以交錯之方式開啟，暴露陣列中各平面的導電條紋之延伸。在此實施例中，接觸栓塞 481 之直通至第一平面之導電條紋。接觸栓塞 482 直至第二平面之導電條紋。接觸栓塞 483 直到第三平面之導電條紋，以後均同。非關鍵對準可應用於形成栓塞的製程中，其所需的精確度較低，如 480 所示。位元線 470、471、472 連接至接觸栓塞 481、482、483 並與 SSL 線平行延伸值至平面解碼電路以及感應放大器。

第 20 繪示一透視圖，其中 Y 軸與 Z 軸和說明書頁面共平面，而其相較於第 18 圖具有不同的解碼電路佈局。在第 20 圖

之實施例中，係在界定多晶矽構成的複數 SSL 線（例如 491）時採用額外的圖案化步驟，舉例而言可應用於陣列之各個佈局平面上而平行於導電線（例如 425-1）的部分。形成電晶體 500，利用導電條紋（例如 412）作為通道區域。閘極介電層 492 施放於 SSL 線 491 與導電條紋 412 之間。矽化物 490 可施放於 SSL 線 491 之上。SSL 線 491 延伸向外穿越陣列，直至與解碼電路連接，詳述如下。經由結構中的介層孔，同時在各該介層孔中形成接觸結構 495、502、496、503，上方的位元線 498 與 499 與導電條紋 412、413、414 之各個脊狀堆疊耦合。

第 21 圖繪示第 20 圖之解碼電路佈局的示意圖。如圖所示，接觸栓塞（例如 502）可形成於導電條紋（例如 414）與位元線（例如 498）之間。接觸栓塞可設置為交錯型態，因此對準空間可沿著複數縱行被共用。

複數 SSL 線（例如 491）向外延伸穿越陣列至一區域，其上方設置總體 SSL 線 520、521、522。接觸栓塞 510、511、512 形成於介層孔之中，其延伸至陣列之各個平面的 SSL 線。同樣地，非關鍵對準空間（例如 513、514）可在佈局此結構時使用。在此實施例中，該些 SSL 線延伸至平面解碼電路。複數位元線延伸至縱行解碼電路與感應放大器，其可設置於頁面緩衝結構中，以允許較寬的平行讀取與寫入運作。該些字元線延伸至橫列解碼電路。

第 22 圖為 NAND 快閃陣列之透視圖，其顯示導電條紋在單一解碼結構中相連接，同時顯示硬遮罩與選擇性佈植之步驟。第 22 圖之透視圖係經旋轉，如此 X 軸與 Z 軸與說明書頁面共平面，相較而言第 3 圖則是 X 軸與 Y 軸和說明書頁面共平面。

同時，導電條紋之間的絕緣層係位於脊狀堆疊之間，但本

圖式將該導電條紋刪除以顯示其他的結構。

多層陣列形成於絕緣層 610 之上，同時包含複數之導電線 625-1、.....、625-n 順形地覆蓋複數個山脊狀堆疊，而其可作為字元線 WLn 、 $WLn-1$ 、.....、 $WL1$ 。複數個山脊狀堆疊包含導電條紋 612、613、614，及藉由延伸 612A、613A、614A 耦合至同平面中平行山脊狀堆疊之間的導電條紋。沿著 X 軸方向延伸的導電條紋之延伸 612A、613A、614A 與導電條紋之複數個山脊狀堆疊耦合。同時，如圖所示，這些延伸 612A、613A、614A 可同時被圖案化，藉以界定複數個山脊狀堆疊。

記憶材料層 615 包含多層電荷捕捉結構，藉由上述之導電條紋 612 至 614 分隔導電線 625-1 至 625-n。

複數電晶體，例如電晶體 650，形成於延伸 612A、613A、614A 與導電線 625-1 之間。同時，複數電晶體，例如電晶體 651，形成於導電條紋之相反終端，藉以控制陣列與共同源極線（未顯示）連接之部分。在電晶體 650、651 中，導電條紋（例如 612）可作為裝置中的通道區域。而在同一步驟中可圖案化閘極結構（例如 629、649），藉此界定導電線 625-1 至 625-n。GSL 選擇線 649 可沿著一橫列延伸，穿越複數導電條紋之山脊狀堆疊。一矽化物層 626 之可沿著導電線的頂部表面形成，同時位於閘極結構 629、649 之上。記憶材料層 615 可作為電晶體之閘極介電物。這些電晶體 650、651 可作為選擇閘極，其耦合至解碼電路，以作為陣列中沿著山脊狀堆疊的縱行以及選擇區段。

額外的製程步驟包含形成硬遮罩 601-1 至 601-n 於複數導電線上，硬遮罩 648 位於 GSL 選擇線 649 以及之上以及硬遮照 602、603 位於閘極結構 629 之上。硬遮罩可利用相對較厚的氮化矽層形成，或者其他可以阻擋離子佈植製程之材料。形

成硬遮罩後，依據所選用的製程步驟，可選擇佈植 600n 型或 p 型之摻雜，藉以增加導電條紋 612 至 614 與延伸 612A 至 614A 的摻雜濃度，並藉此減少沿著導電條紋之電流路徑的電阻。同時，可對導電條紋主體施加具有相反導電型態的摻雜物（例如在導電條紋為 p 型時，加入 n 型之摻雜），以在必要時沿著導電條紋形成源極/汲極接面。利用受控制之佈植能量，植入物可以誘發穿隧，達到導電條紋 612 的底部，同時至堆疊上方的各個導電條紋。

在本實施例中，為程式化選取之 NAND 快閃 SONOS 型記憶胞，選取的字元線可設置為 +20V 之偏壓，而未選取的字元線可設定為 +10V 之偏壓，選取的位元線可設為 0V 之偏壓，而未選取的位元線可設為 0V，選取的 SSL 線可設為 3.3V，而未選取的 SSL 線與 GSL 線可設為 0V。在本實施例中，為讀取選取之記憶胞，選取的字元線之偏壓可設為讀取之參考電壓，未選取的字元線可設為 6V，選取的位元線可設為 1V 之偏壓，而未選取的位元線可設為 0V，選取的 SSL 線可設為 3.3V，而未選取的 SSL 線可設為 0V。

第 23 圖繪示接續第 22 圖之製作記憶陣列的流程步驟。圖式中係利用相同的元件符號，故在此不重述。第 23 圖中的結構顯示移除硬遮罩，沿著導電線 625-1 至 625-n 之頂部表面暴露矽化物層 626 的結果，同時其位於閘極結構 629 與 649 之上。在層間介電物（未顯示）形成於陣列的頂部之上後，開啟介層孔，並以例如為鎢之接觸栓塞 665、666 填充。同時形金屬共同源極線 670，以和鄰接於選取電晶體 651 的導電條紋終端相互連接。圖案化上方金屬線 661、662 以藉由接觸栓塞 665、666 連接 SSL 閘極與縱行解碼電路。

第 24 圖為電路佈局圖，顯示 SSL 線（例如 661）與位元線

671 至 673 的佈局圖，其位於脊狀堆疊之上，包含導電條紋 614，以及作為複數字元線的複數導電條紋 625n。字元線延伸至橫列解碼電路。同時，GSL 選擇線 649 位於該些 SSL 線之下，而與字元線平行延伸至段落解碼器 (sector decoder)。金屬共同源極線 670 延伸於該些 SSL 線之下，其平行於字元線。

如圖所示，接觸栓塞 (665) 例如連接至閘極結構以選擇導電條紋 614 至上方的 SSL 線 (例如 661)。亦可採用扭曲的電路佈局，圖式中的閘極結構以交錯方式排列，如此圖案化導電接觸栓塞 458 時所需的對準空間 (例如 665A) 可沿著複數橫列的接觸栓塞所共用，降低山脊狀堆疊之電路佈局的平均間距。該些 SSL 線延伸至縱行解碼電路。

第 24 圖同時繪示導電條紋之延伸 (例如 614A) 至位元線之連結的電路佈局。如圖所述，延伸 614A 外延至陣列以外，直到位元線區域。通道以交錯之方式開啟，暴露陣列中各平面的導電條紋之延伸。在此實施例中，接觸栓塞 681 之直通至第一平面之導電條紋。接觸栓塞 682 直至第二平面之導電條紋。接觸栓塞 683 直到第三平面之導電條紋，以後均同。非關鍵對準可應用於形成栓塞的製程中，其所需的精確度較低，如 680 所示。位元線 670、671、672 連接至接觸栓塞 681、682、683 並與 SSL 線平行延伸值至平面解碼電路以及感應放大器

第 25 繪示一透視圖，其中 Y 軸與 Z 軸和說明書頁面共平面，顯示將延伸 612A 至 614A 個別連接至接觸栓塞 683、682、681 的結構。上方位元線 670 至 672 連接至接觸栓塞。形成導電栓塞 683 至 681 的對準精確度之容忍空間 680a、680b，表示此一圖案化步驟為非關鍵步驟，而不會影響到陣列之密度。圖中其他的元件符號與先前所述的相同結構相同，故不在此重述。

第 26 圖繪示一 NAND 快閃實施例之透視圖，其 X 軸與 Y 軸與說明書之頁面共平面，但與第 23 圖所示者為不同之解碼佈局。在第 26 圖之實施例中，係在界定多晶矽構成的複數 SSL 線（例如 491）與 GSL 線（例如 649）時採用額外的圖案化步驟，舉例而言可應用於陣列之各個佈局平面上而平行於導電線（例如 625-1）的部分。利用線 691 與 649 形成電晶體 700 與 702，其係利用導電條紋（例如 612）作為通道區域。閘極介電層 692 施放於 SSL 線 691 與導電條紋 612 之間，以及 GSL 線 649 與導電條紋 612 之間。矽化物 690 可施放於 SSL 線 491 與 GSL 線 649 之上。SSL 線 691 延伸向外穿越陣列，直至與解碼電路連接，詳述如下。經由結構中的介層孔以及在介層孔中形成接觸結構 695、702、686、703，上方的位元線 698 與 699 與導電條紋 612、613、614 之各個山脊狀堆疊耦合。

第 27 圖繪示第 26 圖之解碼電路佈局的示意圖。如圖所示，接觸栓塞（例如 702）可形成於導電條紋（例如 614）與位元線（例如 698）之間。接觸栓塞可設置為交錯型態，因此對準空間可沿著複數縱行被共用

複數 SSL 線（例如 649）向外延伸穿越陣列至一區域，其上方設總體 SSL 線 720、721、722。接觸栓塞 710、711、712 形成於通道之中，其延伸至陣列之各個平面的 SSL 線，直到總匯 SSL 線 720、721、722。同樣地，非關鍵對準空間（例如 713、714）可於佈局此結構時的使用。在此實施例中，該些 SSL 線延伸至平面解碼電路。複數位元線延伸至縱行解碼電路與感應放大器，其可設置於頁面緩衝結構中，以允許較寬的平行讀取與寫入運作。該些字元線延伸至橫列解碼電路。

如圖所示，GSL 選擇線 649 位於位元線之下，且平行於字元線延伸至區段解碼器。金屬共同源極線 670 延伸於位元線之

下，平行於字元線（例如 625n），直到接觸栓塞 680 並上至陣列上的共同源極線 725。

第 28 圖為依據本發明一種實施例之積體電路的方塊圖。該積體電路線 875 包含製作於半導體基材上的三度空間可程式化電阻記憶陣列 860 (RRAM)，如本發明所述。橫列解碼器 861 耦合至複數字元線 862，並沿著記憶陣列 860 的縱行設置。縱行解碼器 863 耦合至複數位元線 864 (或前述之 SSL 線)，其設置係沿記憶陣列 860 之縱行，藉以自陣列 860 中的記憶胞讀取與程式化。平面解碼器 858 耦合至記憶陣列 860 中的複數平面與 SSL 線 859 (或上述之位元線)。位址藉由匯流排 865 提供至縱行解碼器 863、橫列解碼器 861，以及平面解碼器 858。方塊 866 中的感應放大器與資料輸入，舉例而言係藉由匯流排 867 耦合至縱行解碼器 863。資料藉由資料輸入線 871 來提供，其係源自積體電路 875 上的輸入/輸出埠或者源自其他積體電路 875 之內部或外部的其他來源，並且會到達方塊 866 中的資料輸入結構。在所示的實施例中，其他電路 874 包含於積體電路上，例如一個通常目的之處理器或者特殊目的的應用電路，或者為模組之組合，以提供可程式化電阻記憶胞陣列所支援的單晶片系統功能。經由資料輸出線 872，資料自方塊 866 中的感應放大器到達積體電路 875 之上的輸入/輸出埠，或者至積體電路 875 之內部或者外部的資料終點。

本實施例中係利用調整偏壓狀態機構 869 作為控制器，其可控制調整偏壓供應電壓之施加或經由供給方塊 868 來提供，例如讀取或者寫入電壓。控制器可利用習知的特殊目的邏輯電路。在其他實施例中，控制器包含一通常目的的處理器，其可能製作於相同的積體電路之上，其可執行電腦程式以控制裝置的運作。在另一實施例中，特殊目的邏輯電路以及通常目

的處理器之組合亦可作為控制器。

第 29 圖為依據本發明之一種實施例的簡化積體電路方塊圖。積體電路線 975 包含一三度空間 NAND 快閃記憶陣列 960，其位於半導體基材上，製作方式如本發明所述。橫列解碼器 961 耦合至複數字元線 962，並沿著記憶陣列 960 的橫列設置。縱行解碼器 963 耦合至複數位元線 964（或前述之 SSL 線），其設置係沿記憶陣列 960 之縱行，藉以自陣列 960 中的記憶胞讀取與程式化。平面解碼器 958 經由 SSL 線 959（或者上述之其他位元線）耦合至記憶陣列 960 中的複數平面。位址藉由匯流排 965 提供至縱行解碼器 963、橫列解碼器 961，以及平面解碼器 958。方塊 966 中的感應放大器與資料輸入，舉例而言係藉由匯流排 967 耦合至縱行解碼器 963。資料藉由資料輸入線 971 來提供，其係源自積體電路 975 上的輸入/輸出埠或者源自其他積體電路 975 之內部或外部的其他來源，並且會到達方塊 966 中的資料輸入結構。在所示的實施例中，其他電路 974 包含於積體電路上，例如一個通常目的之處理器或者特殊目的的應用電路，或者為模組之組合，以提供 NAND 快閃記憶陣列所支援的單晶片系統功能。經由資料輸出線 972，資料自方塊 966 中的感應放大器到達積體電路 975 之上的輸入/輸出埠，或者至積體電路 975 之內部或者外部的資料終點。

本實施例中係利用偏壓安排狀態機器 969 作為控制器，其可控制偏壓之施加，已供給方塊 968 之電壓來源所產生或者提供之電壓，例如讀取、抹除、寫入、抹除驗證與程式化驗證電壓。控制器可利用習知的特殊目的邏輯電路。在其他實施例中，控制器包含一通常目的的處理器，其可製作於相同的積體電路之上，其可執行電腦程式以控制裝置的運作。在另一實施例中，特殊目的邏輯電路以及通常目的處理器之組合亦可作為

控制器。

本發明之詳細實施方式已經參照較佳實施例以及範例揭露如上述。吾人應理解該等範例及實施例僅係例示之用，而非用以限制本發明之範疇。對於熟悉本技術領域之人而言，均可依據本發明之精神以及申請專利範圍之內容輕易地進行變換或組合。

【圖式簡單說明】

第 1 圖為三度空間記憶結構之透視示意圖，其導電條紋構成的複數平面，其平行於 Z 軸，設置於複數的脊狀堆疊中，一記憶層位於導電條紋之側表面，以及複數導電條紋，其具有包覆的底部表面設置於複數的脊狀堆疊之上。

第 2 圖是第 1 圖結構中的記憶胞之 X-Y 平面剖面圖。

第 3 圖是第 1 圖結構中的記憶胞之 X-Z 平面剖面圖。

第 4 圖為反熔絲記憶體之示意圖，其具有如第 1 圖之結構。

第 5 圖為三度空間 NAND 快閃記憶結構的透視示意圖，其導電條紋構成的複數平面，其平行於 Z 軸，設置於複數的脊狀堆疊中，一電荷捕捉記憶層位於導電條紋之側表面，以及複數導電條紋，其具有包覆的底部表面設置於複數的脊狀堆疊之上。

第 6 圖是第 5 圖結構中的記憶胞之 X-Y 平面剖面圖。

第 7 圖是第 5 圖結構中的記憶胞之 X-Z 平面剖面圖。

第 8 圖為 NAND 快閃記憶體的示意圖，其具有如第 5 圖之結構。

第 9 圖為透視圖，顯示如第 5 圖之三度空間 NAND 快閃記憶結構的另一種實施例，其中未顯示位於導電線之間的記憶

層。

第 10 圖是第 9 圖結構中的記憶胞之 X-Y 平面剖面圖。

第 11 圖是第 9 圖結構中的記憶胞之 X-Z 平面剖面圖。

第 12 圖繪示製作如第 1 圖、第 5 圖、第 9 圖之記憶裝置的第一階段流程。

第 13 圖繪示製作如第 1 圖、第 5 圖、第 9 圖之記憶裝置的第二階段流程。

第 14A 圖繪示製作如第 1 圖之記憶裝置的第三階段流程。

第 14B 圖繪示製作如第 5 圖之記憶裝置的第三階段流程。

第 15 圖繪示製作如第 5 圖、第 9 圖之記憶裝置的第三階段流程。

第 16 圖繪示製作如第 1 圖、第 5 圖、第 9 圖之記憶裝置的第二階段流程。

第 17 圖繪示串列之選擇結構，其為 Y 軸旋轉 90 度之透視圖，同時顯示製作如第 1 圖之記憶裝置的第五階段流程步驟，其包含硬遮罩與選擇性的佈植步驟。

第 18 圖為透視示意圖，顯示反熔絲記憶體之串列選擇結構。

第 19 圖為第 18 圖所示裝置之電路佈局圖，其顯示平面解碼結構的相互連接。

第 20 圖為透視示意圖，顯示另一種反熔絲記憶結構的解碼結構。

第 21 圖為如第 20 圖之裝置的電路佈局圖。

第 22 圖繪示串列選擇結構，其為第 5 圖之結構沿 Y 軸旋轉 90 度，同時顯示製作如第 5 圖所示之記憶裝置的第五階段製作流程，其包含硬遮罩與選擇性的佈植步驟。

第 23 圖為透視示意圖，顯示 NAND 記憶體之串列選擇結構，包含一共同源極線。

第 24 圖為如第 23 圖之裝置的電路佈局示意圖，其顯示平面解碼結構的相互連接。

第 25 圖為透視示意圖，顯示如第 24 圖之電路佈局中之解碼結構的位元線結構。

第 26 圖為透視示意圖，顯示 NAND 快閃記憶體之另一種解碼結構。

第 27 圖為第 26 圖之結構的電路佈局圖。

第 28 圖為積體電路之示意圖，其包含三度空間可程式化電阻記憶陣列，其中包含橫列、縱行與平面解碼電路。

第 29 圖為積體電路之示意圖，其包含三度空間 NAND 快閃記憶陣列，其中包含橫列、縱行與平面解碼電路。

【主要元件符號說明】

10、110、210、212、214、610：絕緣層

11、12、13、14、90、91、92、93、94、95、111、112、113、114、412、413、414、425n、612、613、614、625n：導電條紋

15、115、215、315、415、615：記憶材料層

16、17、60、61、116、117、260、425-1、425-n、625-1、625-n：導電線

18、19、118、119、226、290：矽化物層

20、220：溝槽

21、22、23、24、121、122、123、124：絕緣材料

25、26：主動區域

- 125、126：主動電荷捕捉區域
- 51、52、53、54、55、56：導電條紋堆疊
- 60-1、60-2、60-3、412A、413A、414A、612A、613A、614A：
延伸
- 70、71、72、73、74、75、76、77、78、80、82、84、85：記
憶胞
- 97、397：穿隧介電層
- 98、398：電荷捕捉層
- 99、399：阻障介電層
- 110A、113A、114A：表面
- 128、129、130、670、725：源極/汲極
- 128a、129a、130a：區域
- 211、213：導電層
- 225：薄層
- 250：堆疊
- 401-1、401-n、402、403、601-1、601-n、648：硬遮罩
- 429、629、649：閘極結構
- 458、481、482、483、502、510、511、512、513、514、665、
665、666、680、682、683、702、710、711、712：接觸栓塞
- 459：充填材料
- 460n、460n+1、661、662：金屬線
- 460、470、491、520、521、522、649、661、691、720、721、
722、859、959：SSL 線
- 472、498、499、670、671、672、673、698、699、864：位元線
- 492、692：閘極介電層
- 495、502、496、503、686、695、702、703：接觸結構
- 650、651、700、702：電晶體

- 649 : GSL 線
- 665A、713、714 : 對準空間
- 680a、680b : 容忍空間
- 860 : 可程式化電阻記憶陣列
- 861、961 : 橫列解碼器
- 862、962 : 字元線
- 863、963 : 縱行解碼器
- 865、965、967 : 匯流排
- 866、966 放大器與資料輸入
- 869、969 安排狀態機器
- 871、971 : 資料輸入線
- 872、972 : 資料輸出線
- 874 : 其他電路
- 875、975 : 積體電路線
- 958 : 平面解碼器
- 960 : NAND 快閃記憶陣列
- 964 : 位元線

七、申請專利範圍：

1. 一種記憶裝置，包含：
一積體電路基材；
複數導電條紋之堆疊，該堆疊為山脊狀，同時包含至少二導電條紋，其被絕緣材料所分隔；
複數導電線，其位於與該複數堆疊之上且與該複數堆疊垂直排列，同時該複數導電線具有表面與該複數堆疊順形，界定一多層陣列之介面區域於該堆疊之該導電條紋之複數側表面與該導電線之交叉點；以及
複數記憶元件位於該介面區域，其藉由該複數導電條紋與該複數導電線建立一可存取之三度空間記憶陣列。
2. 如申請專利範圍第 1 項之記憶裝置，更包含：
複數解碼電路耦合至該複數堆疊中之該複數導電條紋，同時耦合至該複數導電線，以存取構成該三度空間記憶陣列之複數記憶胞。
3. 如申請專利範圍第 1 項之記憶裝置，其中每一該等記憶元件包含一反熔絲。
4. 如申請專利範圍第 1 項之記憶裝置，其中每一該等記憶元件包含一電荷儲存結構。
5. 如申請專利範圍第 1 項之記憶裝置，其中構成該三度空間記憶陣列之複數記憶胞包含埋藏通道電荷儲存電晶體。
6. 如申請專利範圍第 1 項之記憶裝置，其中該些堆疊中之該複數導電條紋為一摻雜之半導體。

7. 如申請專利範圍第 1 項之記憶裝置，其中該複數導電線包含一摻雜之半導體。
8. 如申請專利範圍第 1 項之記憶裝置，其中該記憶元件包含位於該複數導電線與該複數堆疊之間的記憶材料之一共同層的部分。
9. 如申請專利範圍第 1 項之記憶裝置，更包含一穿隧層，一電荷捕捉層與一阻障層位於該複數導電線與該複數堆疊之間，其中該穿隧層、該電荷捕捉層與該阻障層之組合形成該複數記憶元件於該介面區域中。
10. 一種記憶裝置，包含：
 - 一積體電路基材；
 - 導電條紋之複數堆疊，該堆疊為山脊狀，同時包含至少二導電條紋，其被絕緣材料所分隔；
 - 複數導電線，其位於與該複數堆疊之上且與該複數堆疊垂直排列，同時該複數導電線具有表面與該複數堆疊順形，界定一多層陣列之介面區域於該堆疊之該導電條紋之複數側表面與該導電線之交叉點；
 - 一可程式化電阻記憶材料層位於該複數導電線與該複數堆疊之間，其藉由該複數導電條紋與該複數導電線建立一可存取之三度空間記憶陣列；
 - 一橫列解碼器耦合至複數導電線；以及
 - 一平面解碼器與一縱行解碼器耦合至該複數堆疊中的該複數導電條紋。
11. 如申請專利範圍第 10 項之記憶裝置，其中該可程式化電阻記憶材料層包含一反熔絲材料。

12. 如申請專利範圍第 10 項之記憶裝置，其中該可程式化電阻記憶材料層包含二氧化矽且具有一厚度小於 5 奈米。
13. 如申請專利範圍第 10 項之記憶裝置，其中該複數堆疊中之該複數導電條紋包含一摻雜之半導體，其具有一第一導電型態，該複數導電線包含一摻雜之半導體材料，其具有一第二導電型態，藉以在該介面建立 p-n 接面。
14. 如申請專利範圍第 10 項之記憶裝置，其中該縱行解碼器與該平面解碼器包含複數組區域選擇電晶體，其設置為可連接至垂直於該些堆疊之複數導電條紋的複數選擇平面，以對應於複數組位元線，同時縱行選擇電晶體係設置為連接至複數條所選擇之位元線以提供偏壓，或者連接至複數個感應電路。
15. 如申請專利範圍第 10 項之記憶裝置，其中該縱行解碼器與該平面解碼器包含複數組區域選擇電晶體，其設置為可連接至垂直於該些堆疊之複數導電條紋的複數選擇平面，以對應於複數組位元線，同時縱行選擇電晶體係設置為連接至複數條所選擇之位元線以提供偏壓，或者連接至複數感應電路。
16. 一種記憶裝置，包含：
 - 一積體電路基材；
 - 導電半導體條紋之複數堆疊，該堆疊為山脊狀，同時包含至少二半導體條紋，其被絕緣材料所分隔；
 - 複數導電線，其位於與該複數堆疊之上且與該複數堆疊垂直排列，同時該複數導電線具有表面與該複數堆疊順形，界定一多層陣列之介面區域於該堆疊之該半導體條紋之複數側表面與該導電線之交叉點；

一記憶層包含電荷捕捉結構位於該複數導電線與該複數堆疊之間，其藉由該複數半導體條紋與該複數導電線建立一可存取的電荷捕捉記憶電晶體之三度空間 NAND 記憶陣列；

一參考源極由第一終端耦合至該複數堆疊中之該複數半導體條紋；

一橫列解碼器耦合至複數導電線；以及

一平面解碼器與一縱行解碼器由第二終端耦合至該複數堆疊中的該複數半導體條紋。

17. 如申請專利範圍第 16 項之記憶裝置，其中該記憶層包含一穿隧層、一電荷捕捉層與一阻障層。
18. 如申請專利範圍第 17 項之記憶裝置，其中該穿隧層包含一材料組合，其係可建立相對低的一價帶能階靠近於該半導體條紋之該側表面，同時在距離該側表面小於 2nm 之一第一距離形成一增加之價帶能階，並於距離該側表面大於該第一距離之一第二距離，形成一降低之價帶能階。
19. 如申請專利範圍第 16 項之記憶裝置，其中該複數半導體條紋主要包含摻雜之單晶矽。
20. 如申請專利範圍第 16 項之記憶裝置，其中該記憶電晶體係設置為埋藏通道電晶體。
21. 如申請專利範圍第 16 項之記憶裝置，其中該縱行解碼器與該平面解碼器包含複數組區域選擇電晶體，其設置為可連接至垂直於該堆疊之複數半導體條紋的複數選擇平面，以及連接至一組位元線，同時縱行選擇電晶體係設置為連接至複數條所選擇之位元線以提供偏壓，或者連接至複數感應電路。

22. 如申請專利範圍第 16 項之記憶裝置，其中該縱行解碼器與該平面解碼器包含複數組區域選擇電晶體，其設置為可連接至平行於該堆疊之複數半導體條紋的複數選擇平面，以及一組位元線，同時縱行選擇電晶體係設置為連接至複數條所選擇之位元線以提供偏壓，或者連接至複數感應電路。
23. 一種製作一記憶裝置之方法，包含：
形成複數層之第一導電材料於一積體電路基材上，其為絕緣材料所分隔；
蝕刻該複數層以界定複數導電條紋之複數堆疊，該複數堆疊為山脊狀，並包含至少由絕緣材料所分隔之二導電條紋；
形成一記憶層位於該複數堆疊中之複數條紋的側邊之上，該記憶層接觸該複數導電條紋之複數側表面；
形成一第二導電材料層於該複數堆疊上與覆蓋記憶層之一表面於該複數堆疊上；以及
蝕刻該第二導電材料層，以界定複數導電線，該複數導電線係位於該複數堆疊之該記憶層上且與其垂直，同時具有複數表面覆蓋於該複數堆疊之該記憶層上，藉以界定一記憶胞之三度空間陣列於該堆疊上之該導電條紋之側表面與該導電線之交叉點的介面區域中。
24. 如申請專利範圍第 23 項所述之方法，其中該記憶層包含一反熔絲材料層。
25. 如申請專利範圍第 23 項所述之方法，其中該記憶層包含一多層電荷儲存結構。
26. 如申請專利範圍第 25 項所述之方法，其中該第一導電材料包含一摻雜之半導體，由此該導電條紋係可如埋藏通道電荷

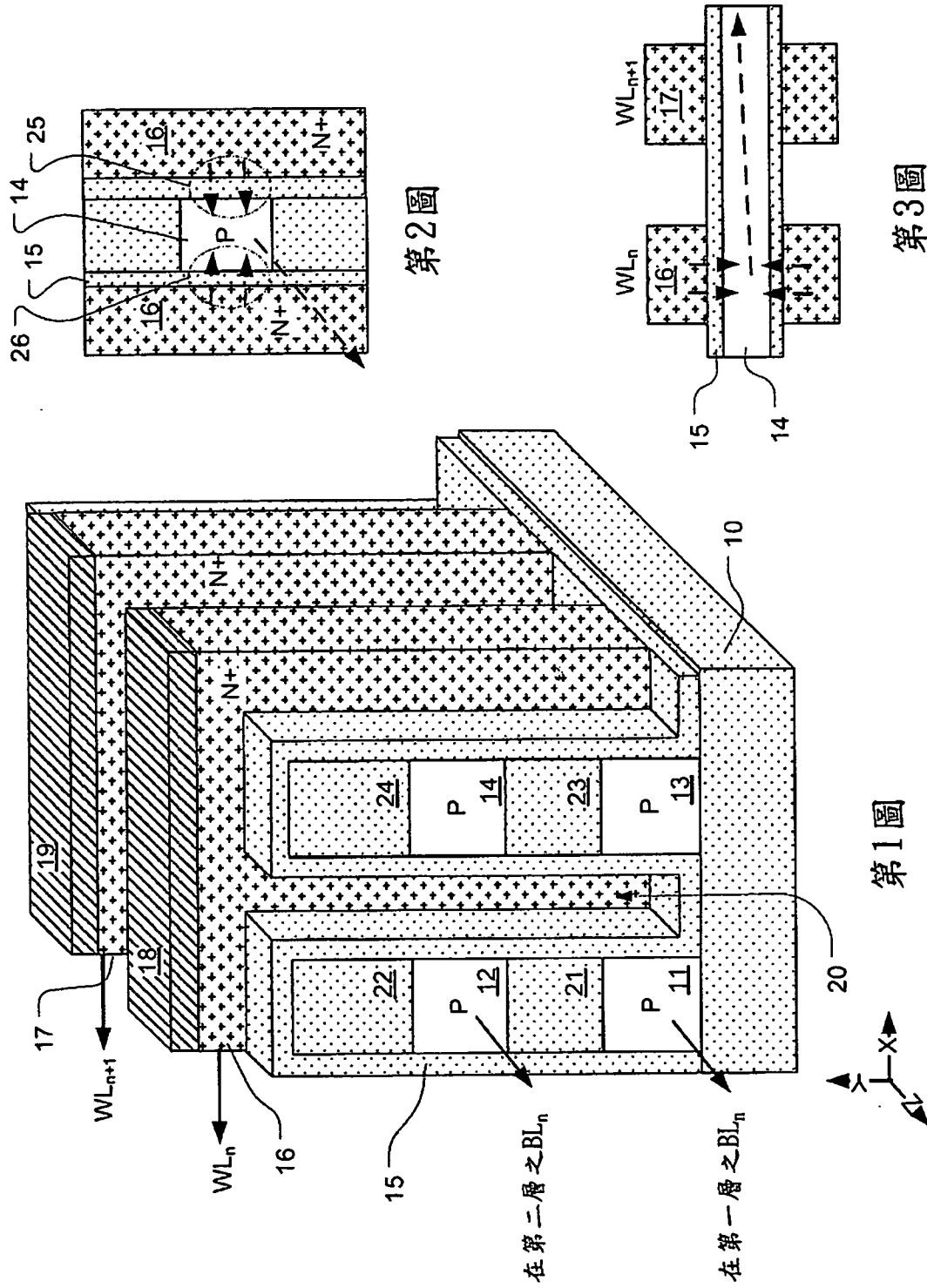
儲存電晶體運作於記憶胞中。

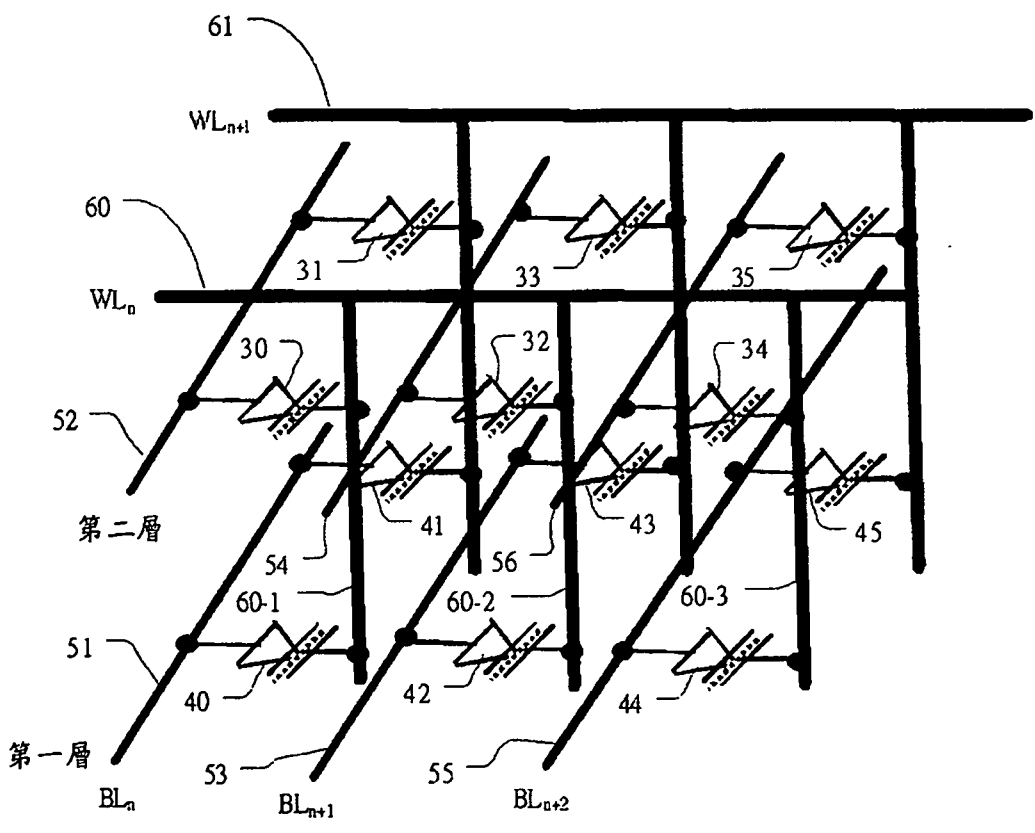
27. 如申請專利範圍第 23 項所述之方法，其中該第一導電材料包含一摻雜之半導體。
28. 如申請專利範圍第 27 項所述之方法，其中該複數導電線包含一摻雜之半導體，其具有一導電型態相反於該第一導電材料。
29. 如申請專利範圍第 23 項所述之方法，其中該記憶層包含一穿隧層、一電荷捕捉層與一阻障層。

八、圖式：

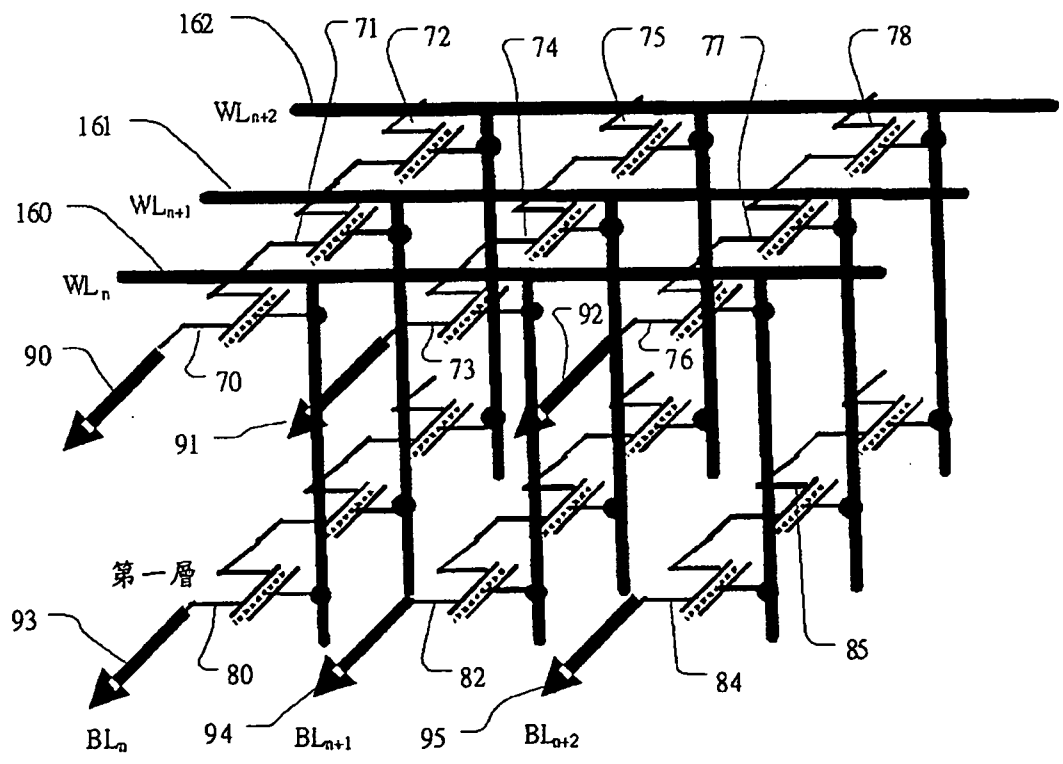
.....

.....

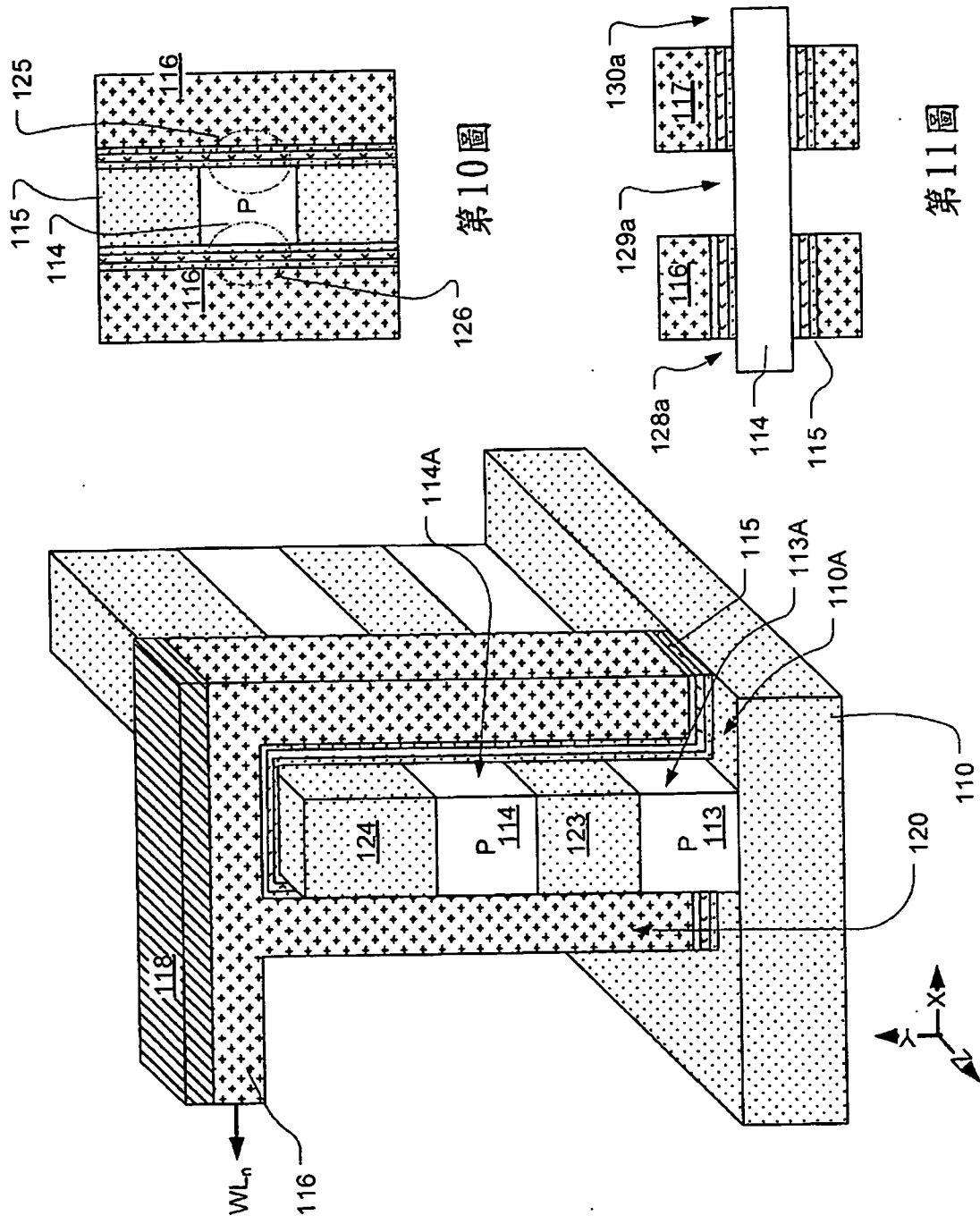




第4圖



第8圖



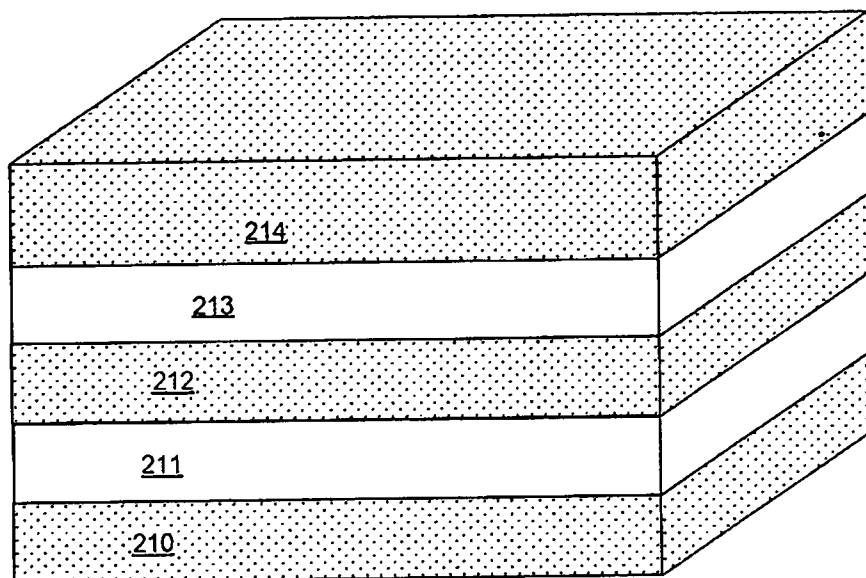
第9圖

第10圖

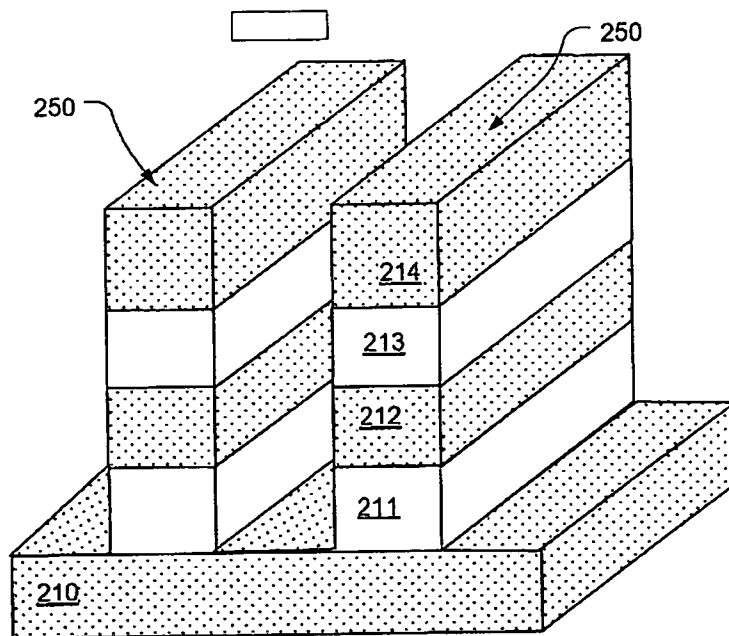
第11圖



6/21

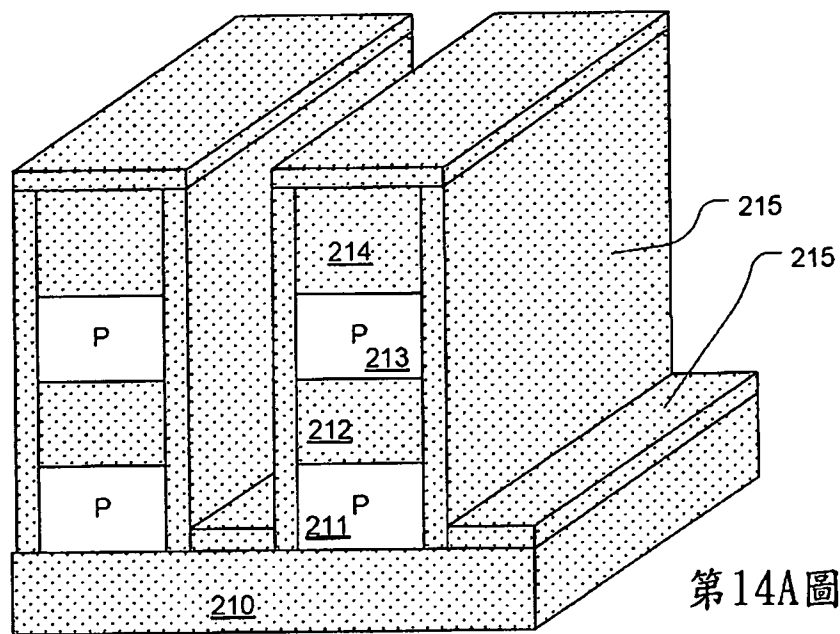


第12圖

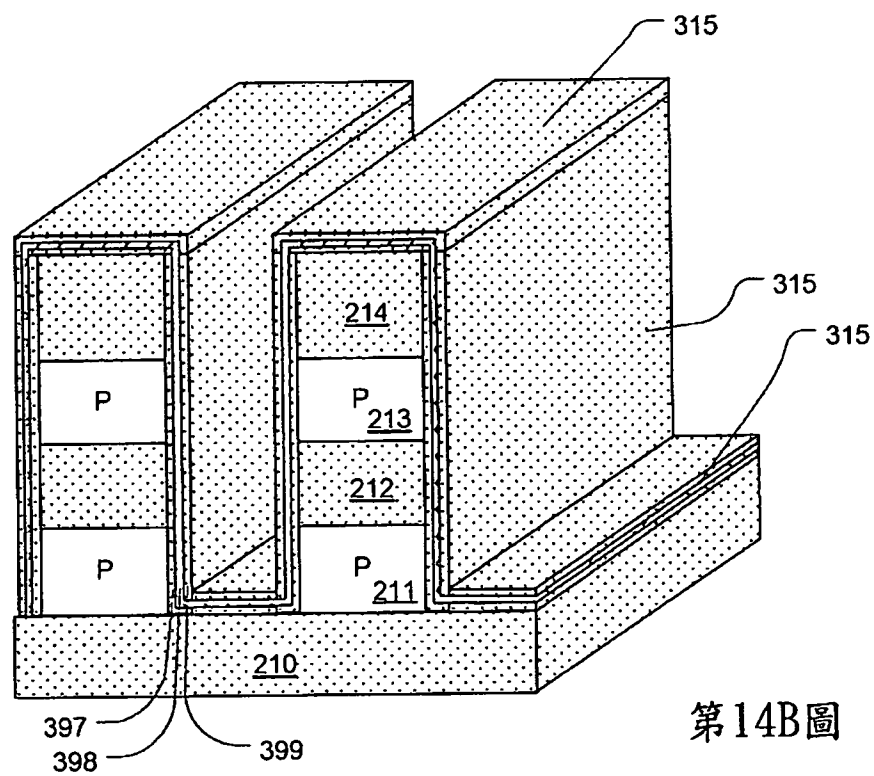


第13圖

7/21

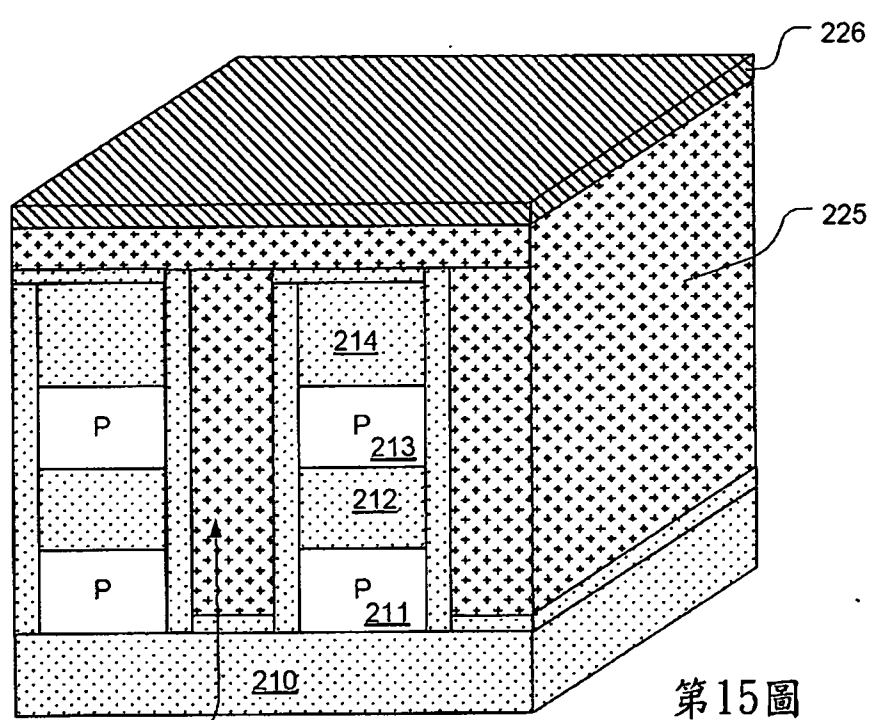


第14A圖

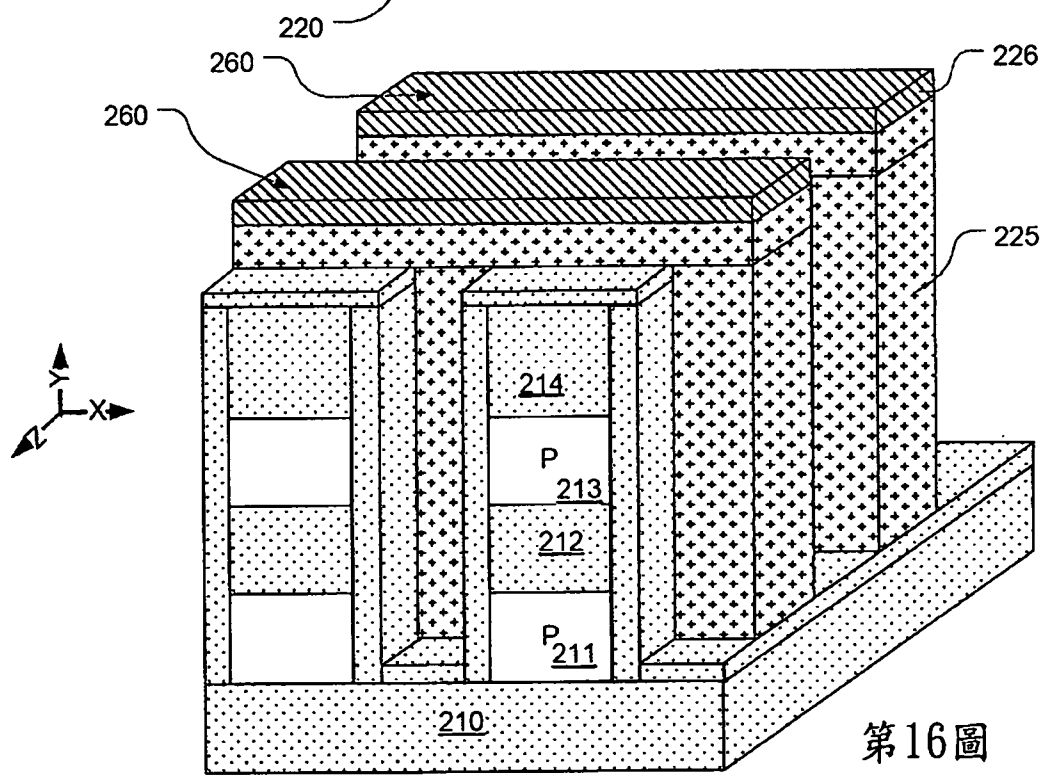


第14B圖

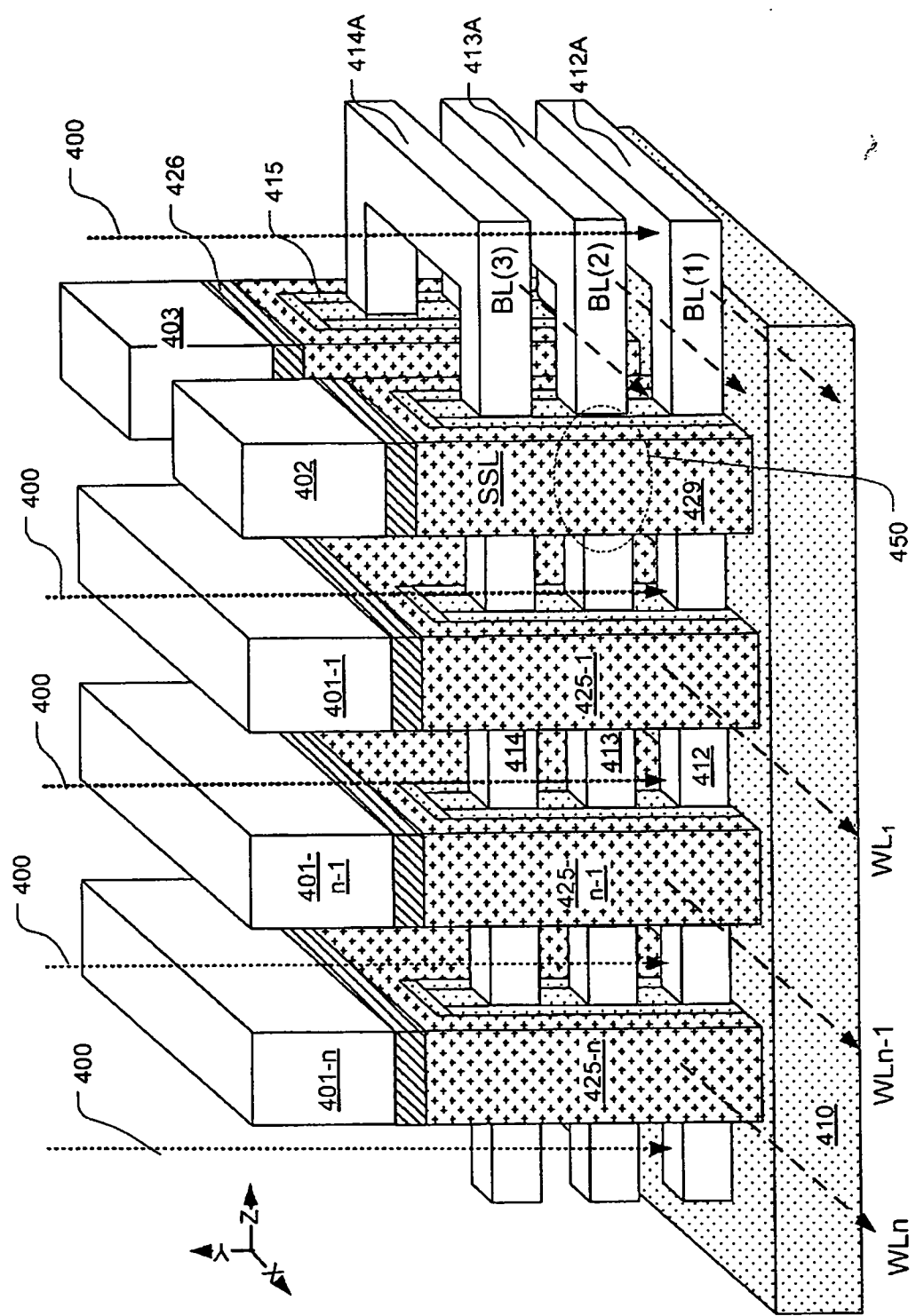
8/21



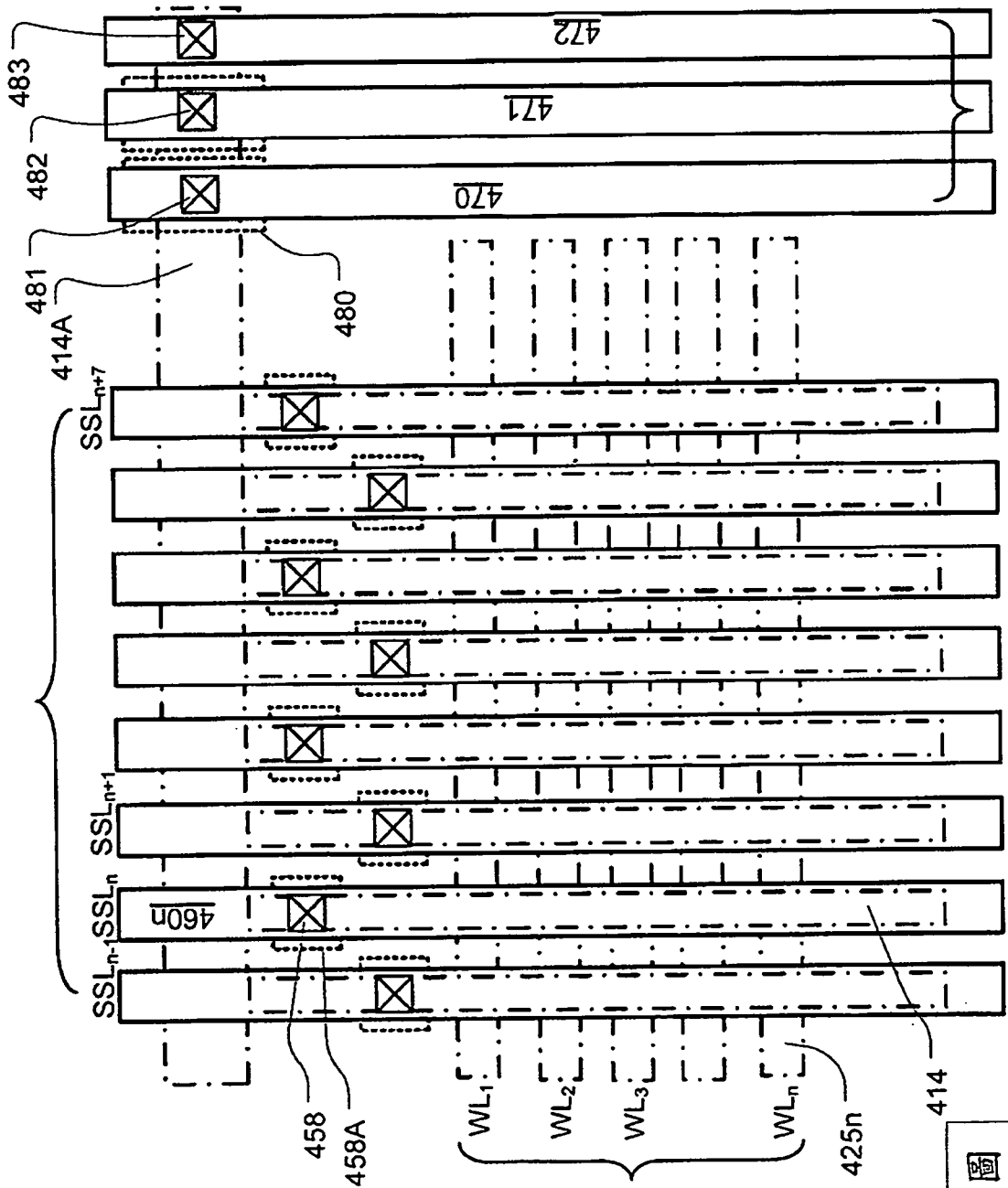
第15圖



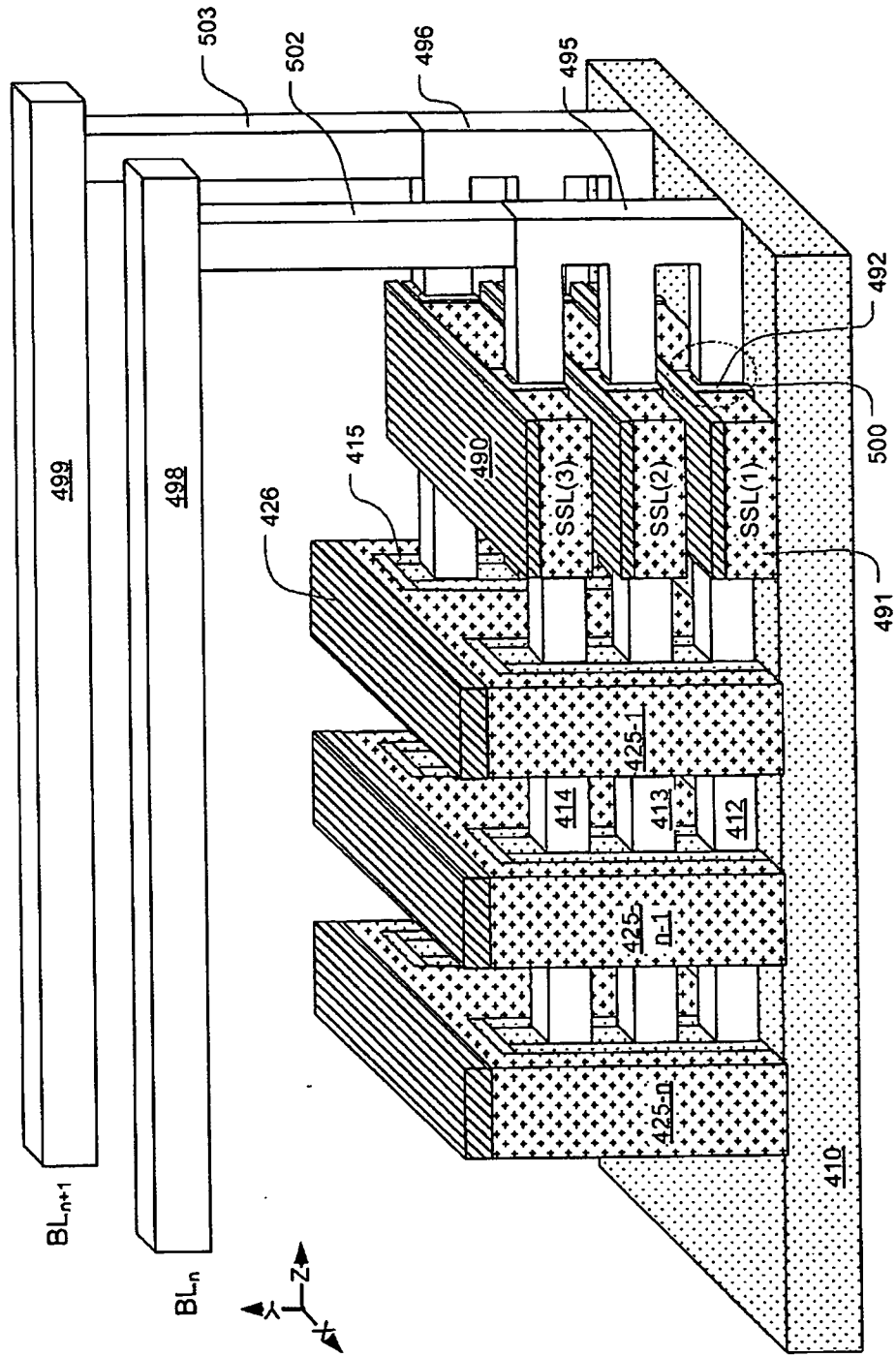
第16圖



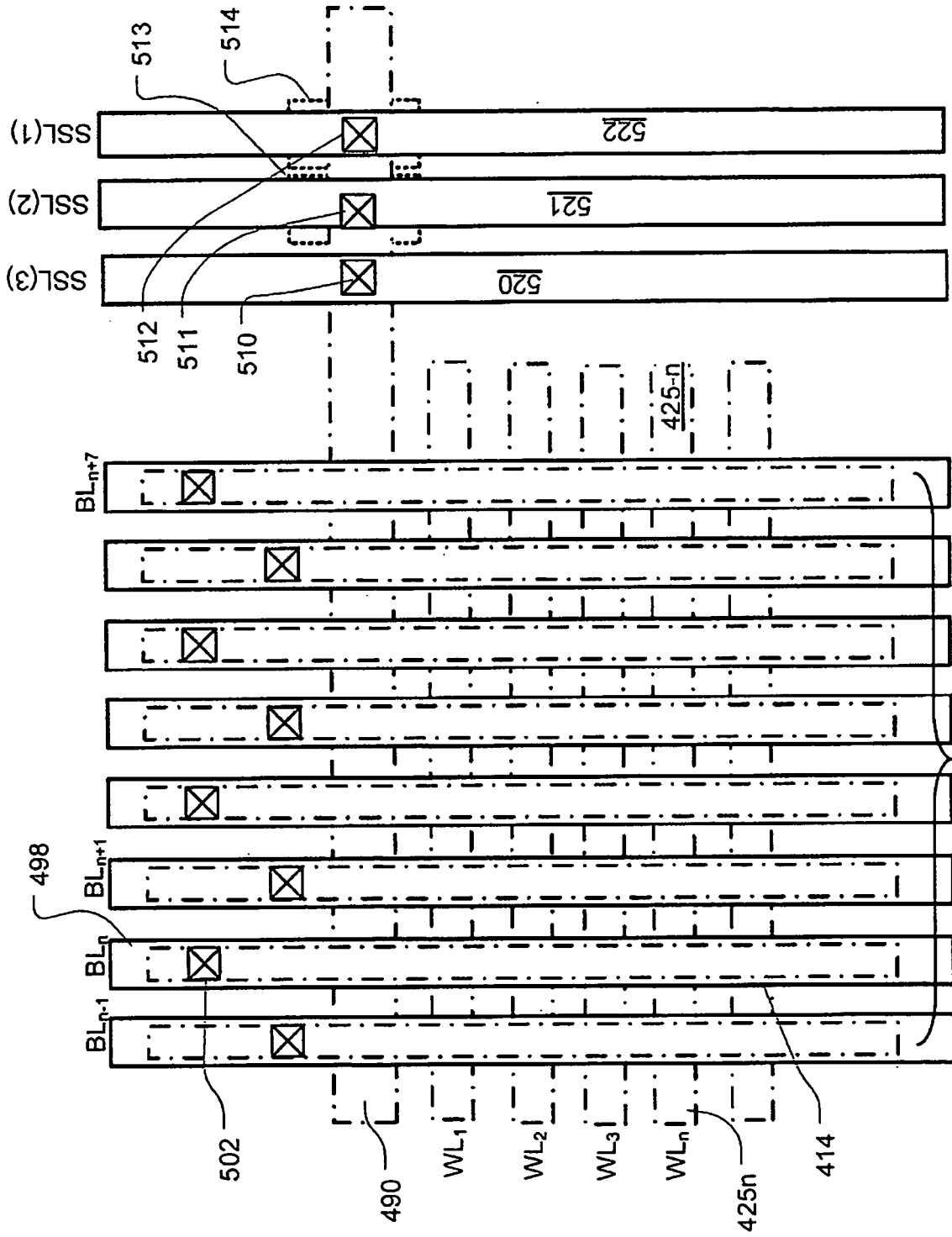
第17圖



第19圖

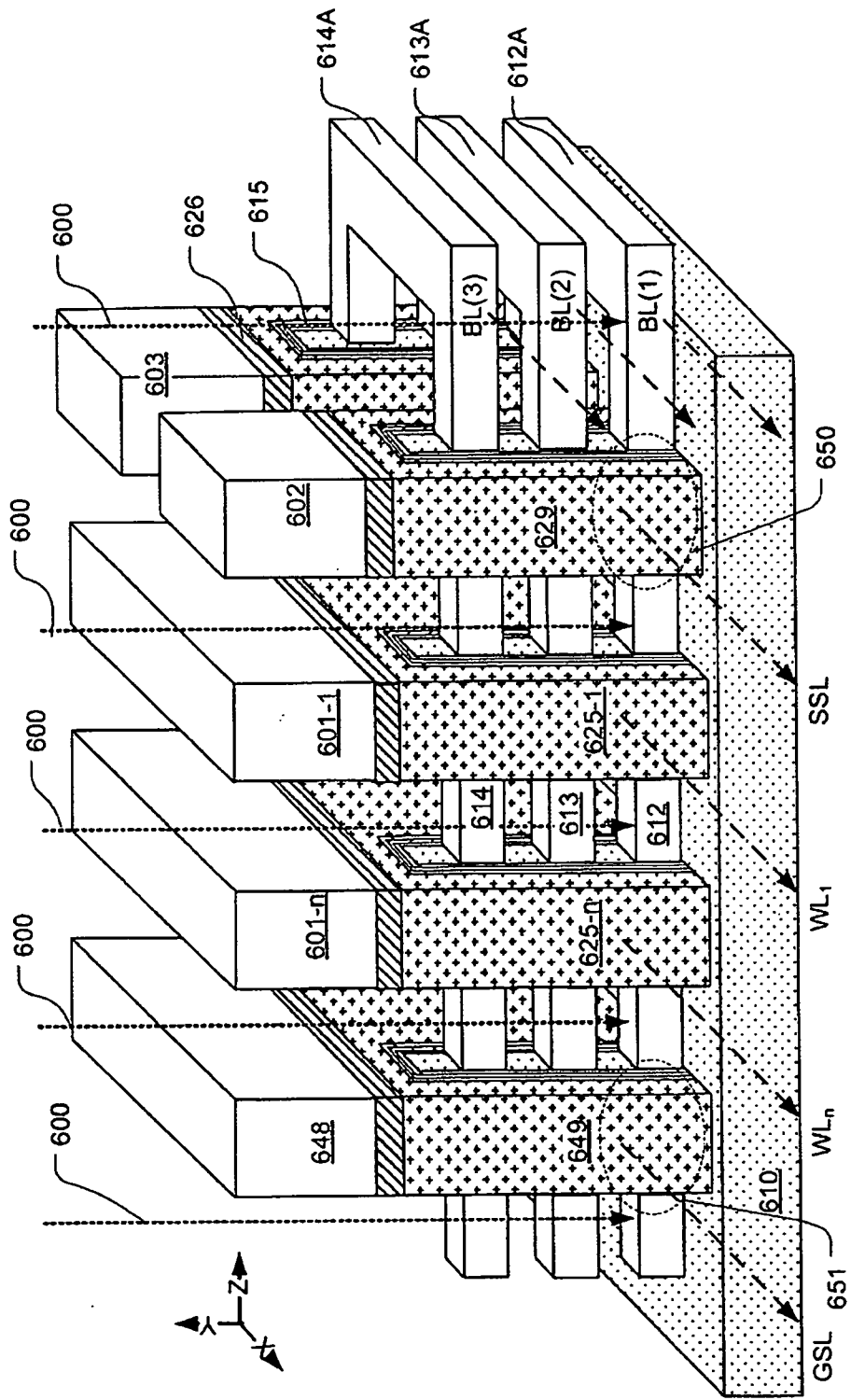


第20圖

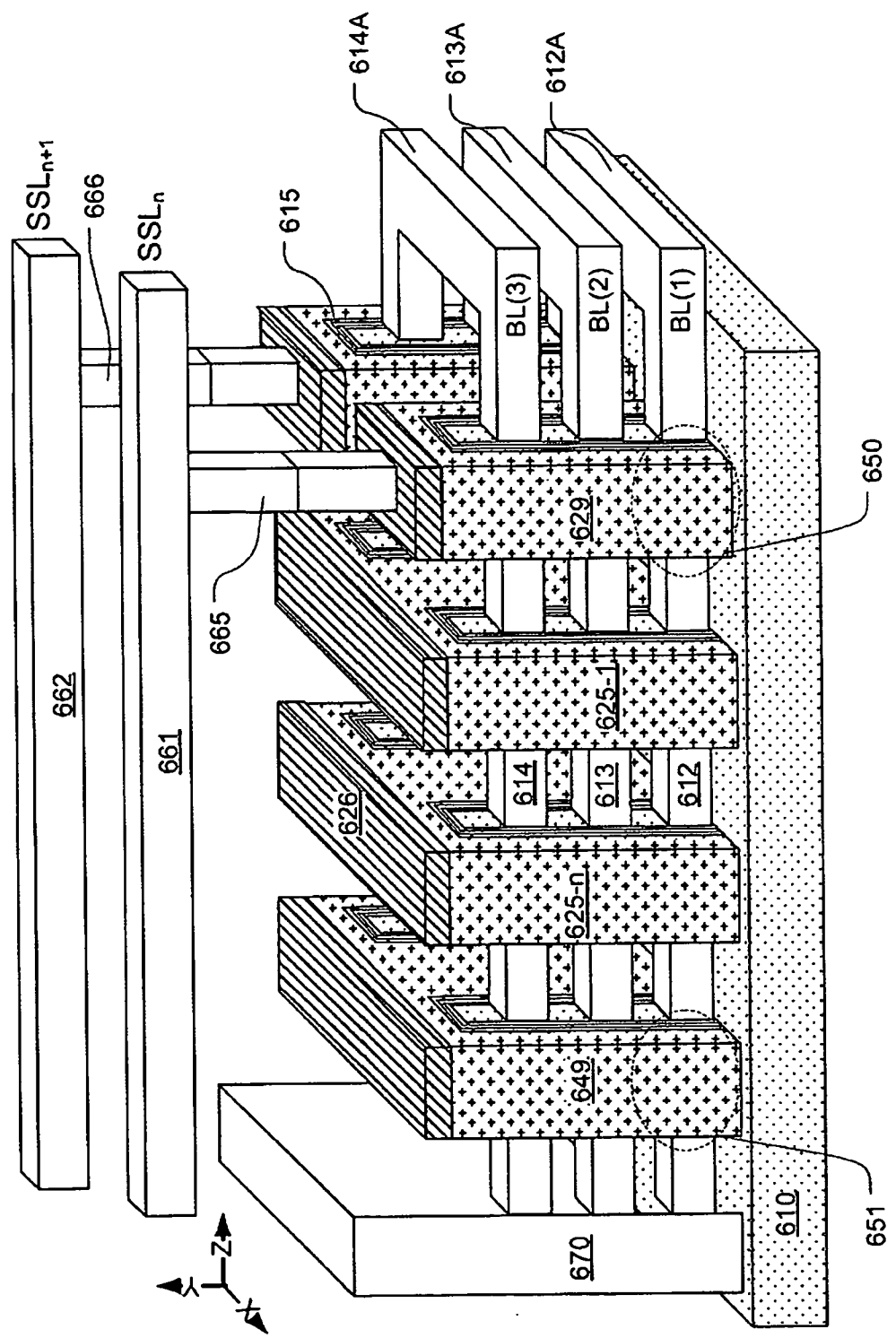


第21圖

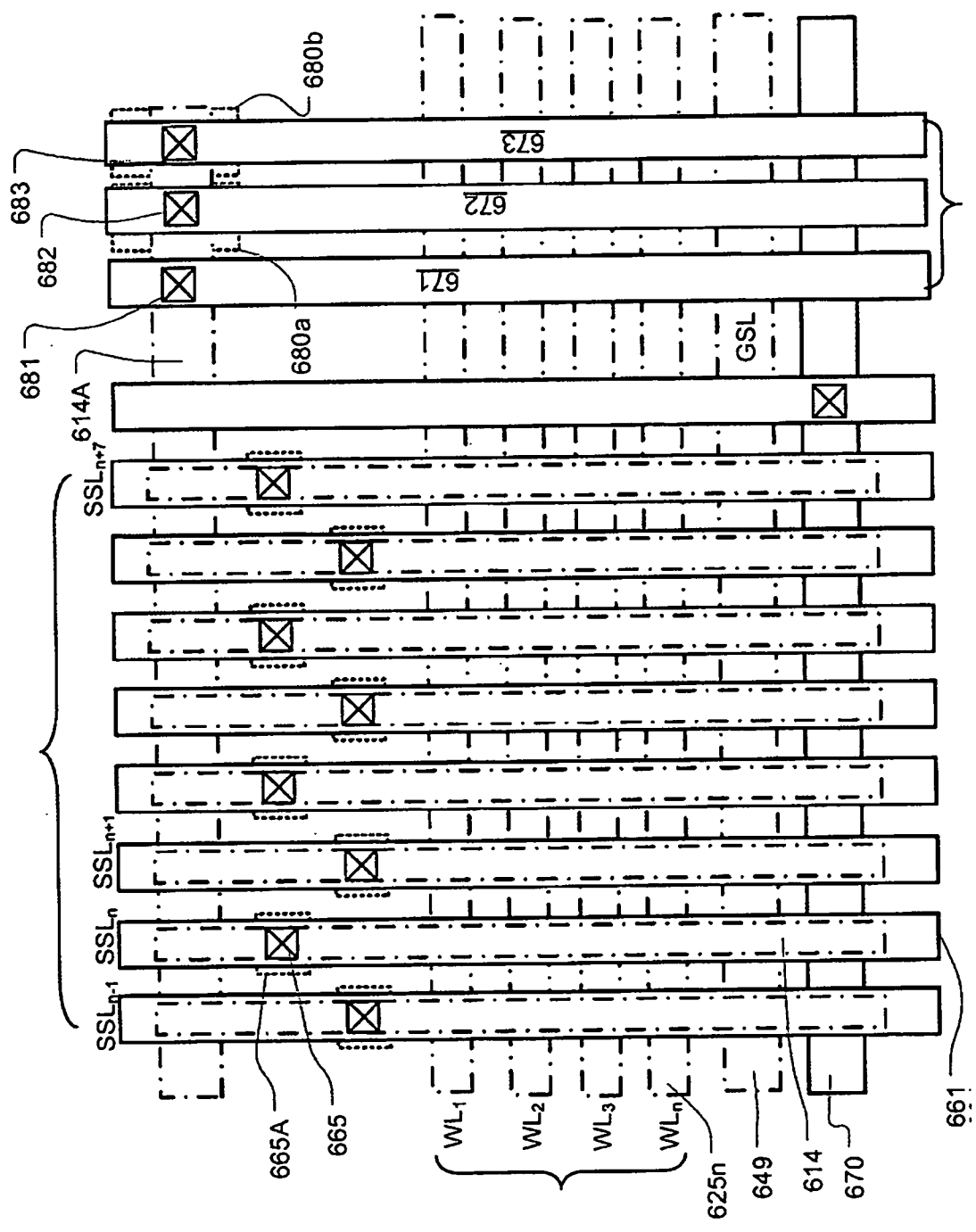
至頁面緩衝器



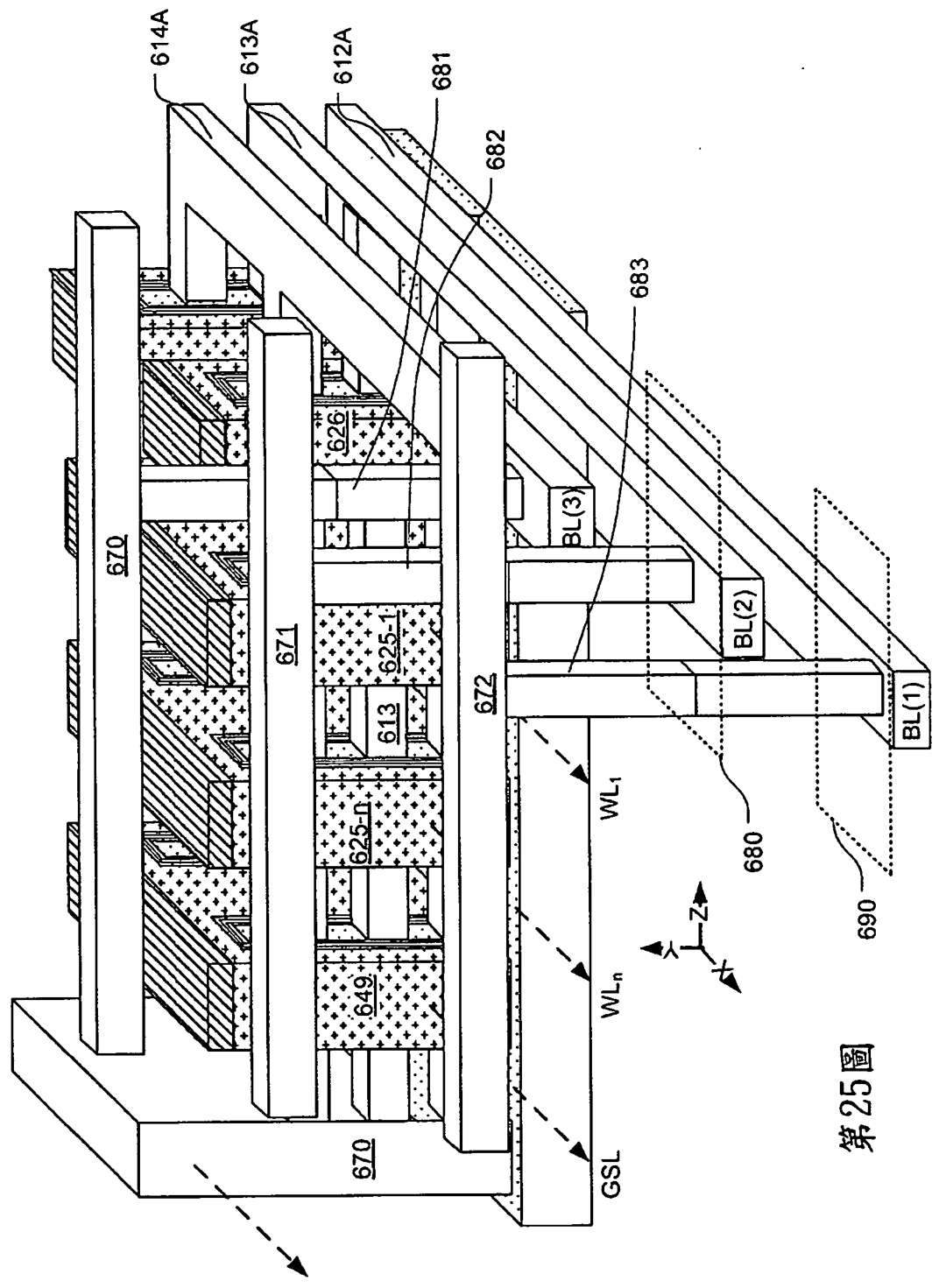
第22圖



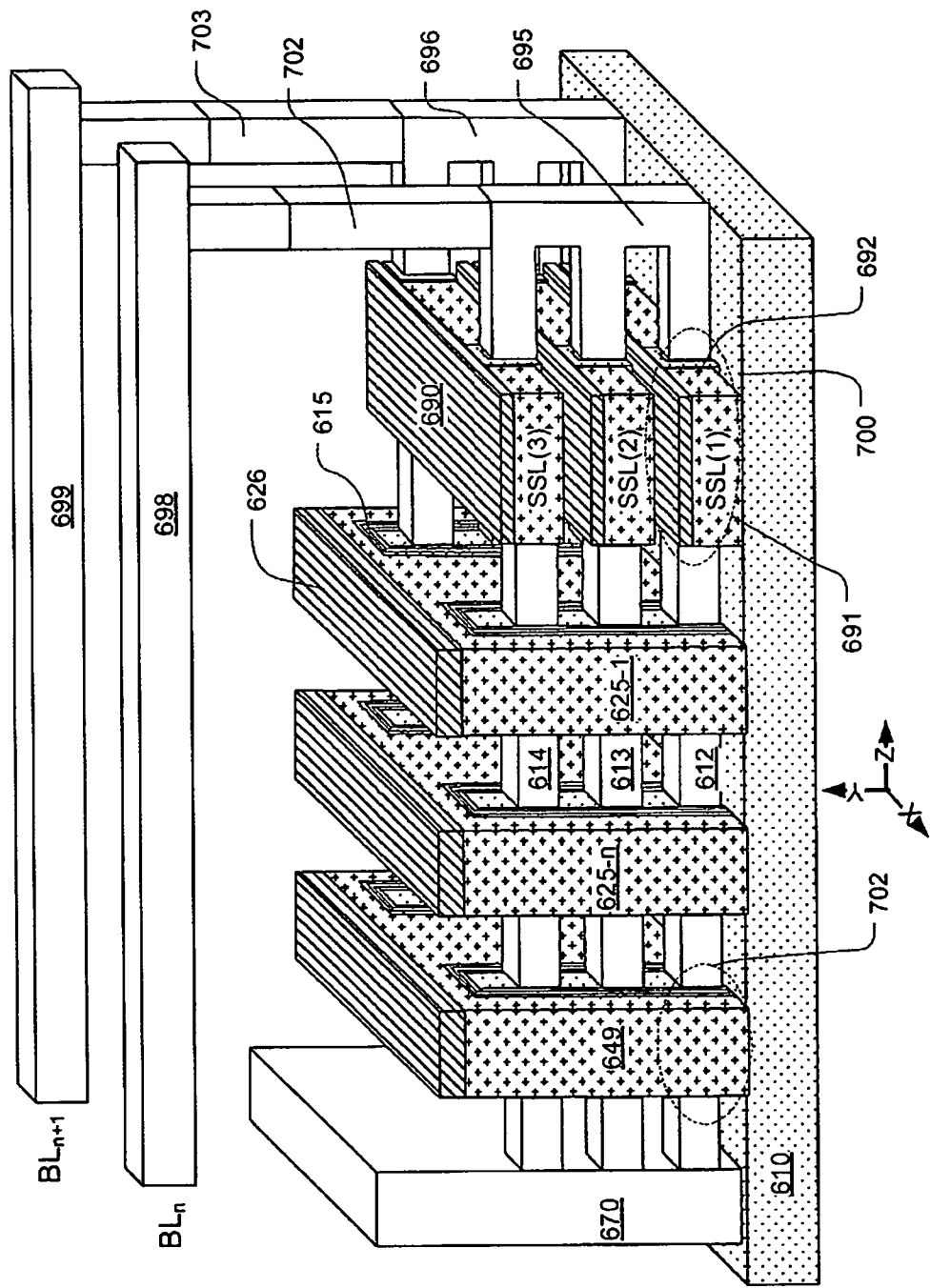
第23圖



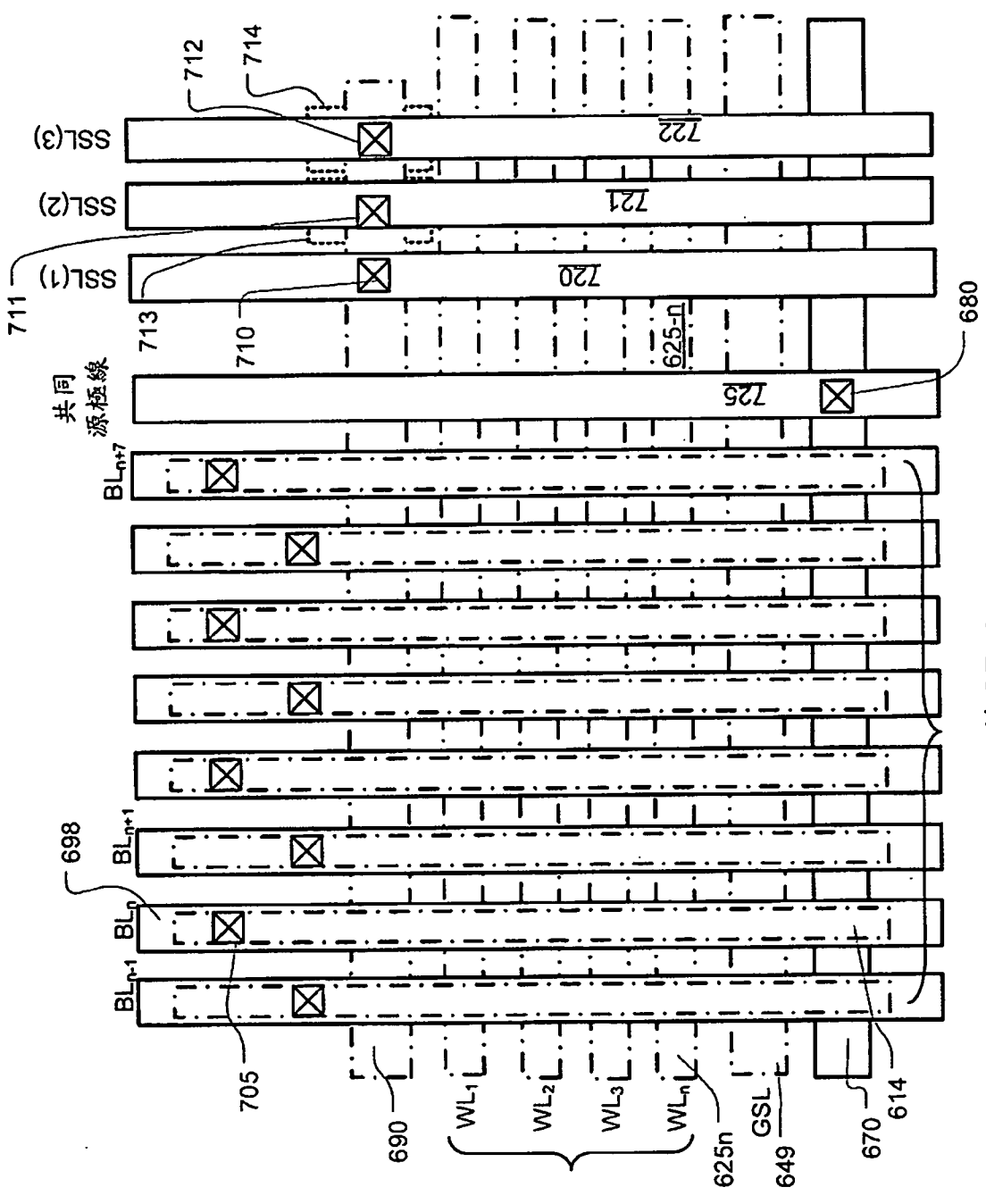
第24圖



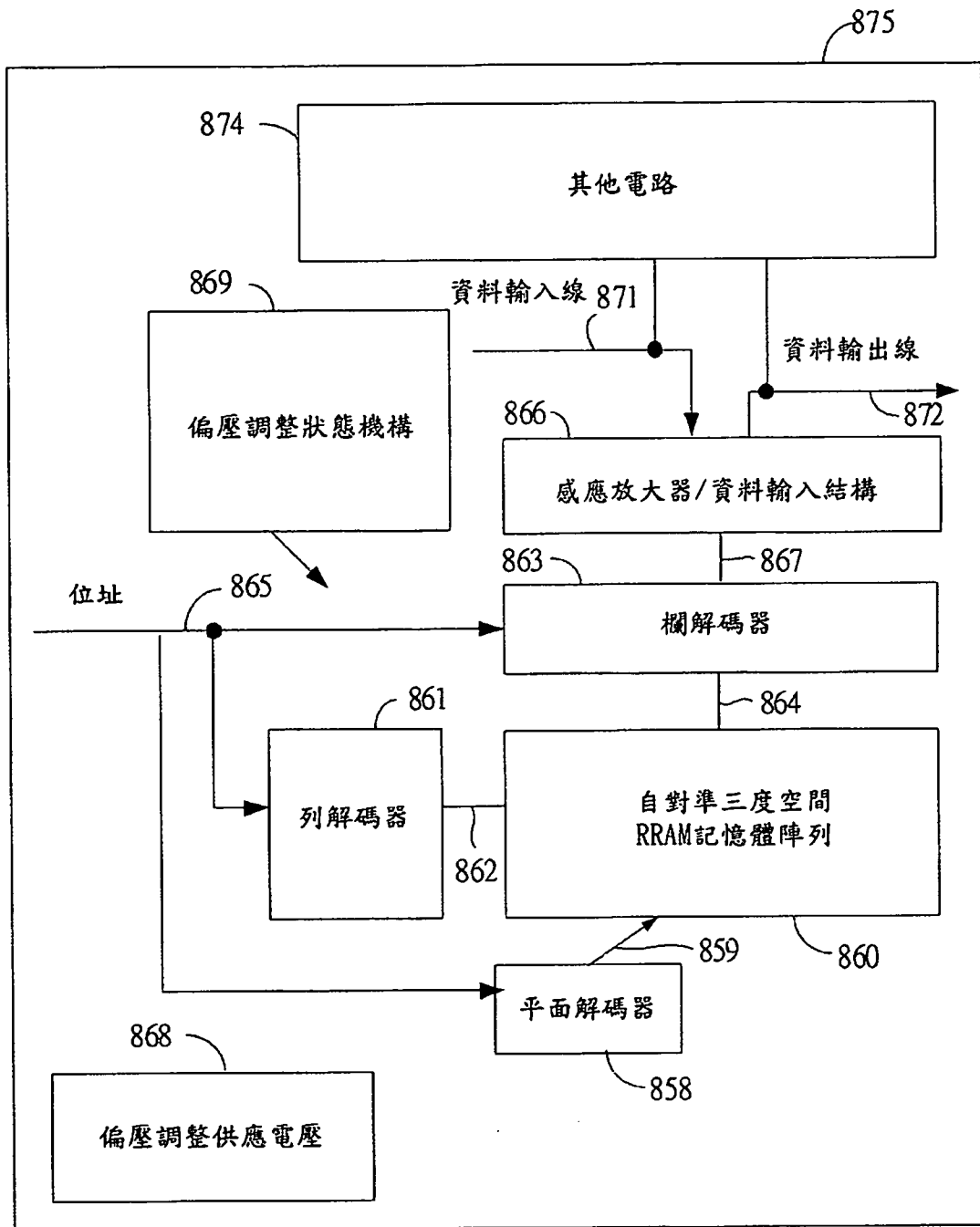
第25圖



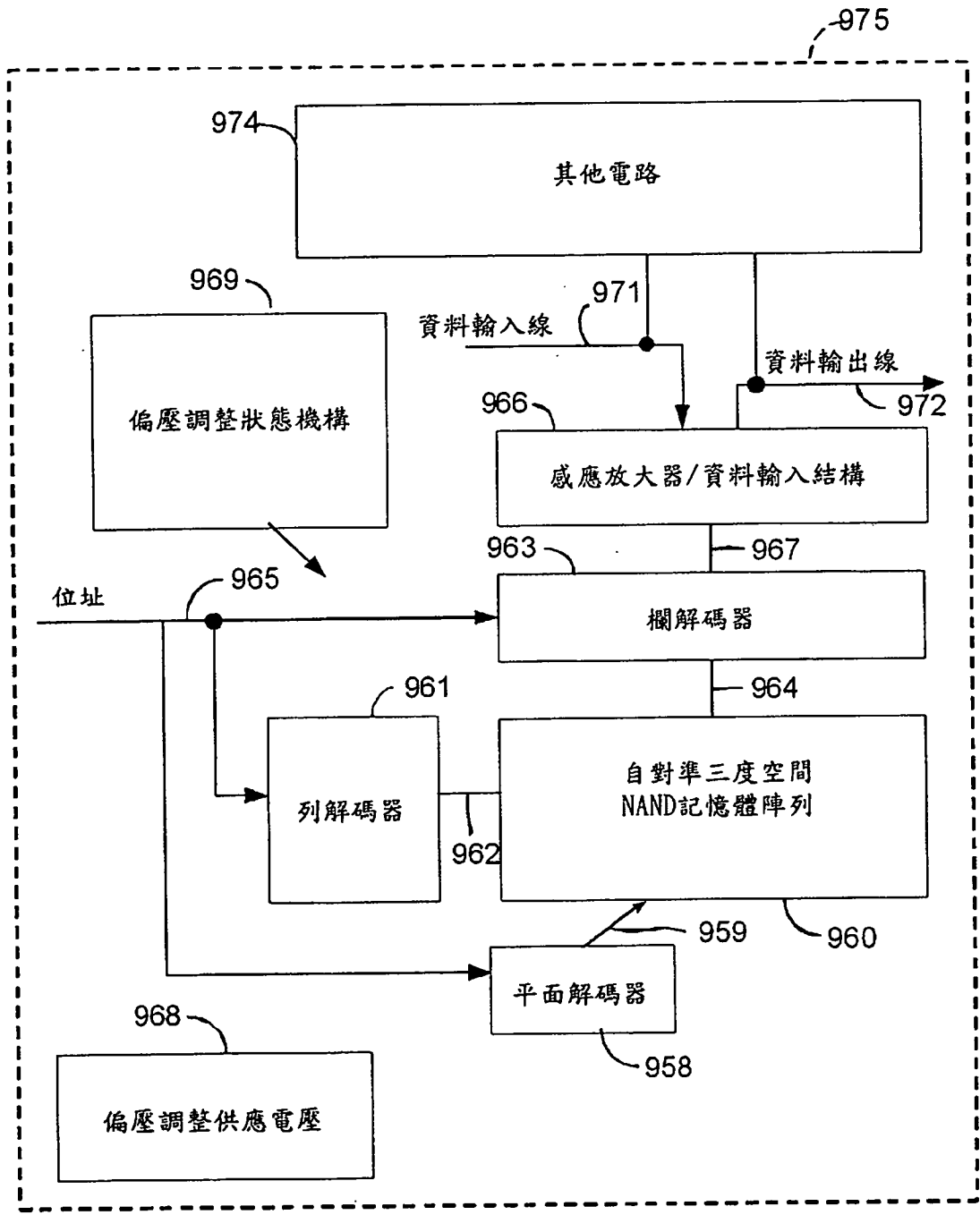
第26圖



第27圖



第28圖



第29圖