

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5852382号
(P5852382)

(45) 発行日 平成28年2月3日(2016.2.3)

(24) 登録日 平成27年12月11日(2015.12.11)

(51) Int.Cl.

H04L 12/42 (2006.01)

F 1

H04L 12/42

A

請求項の数 9 (全 21 頁)

(21) 出願番号 特願2011-208625 (P2011-208625)
 (22) 出願日 平成23年9月26日 (2011.9.26)
 (65) 公開番号 特開2012-75103 (P2012-75103A)
 (43) 公開日 平成24年4月12日 (2012.4.12)
 審査請求日 平成26年9月25日 (2014.9.25)
 (31) 優先権主張番号 10 2010 041 427.1
 (32) 優先日 平成22年9月27日 (2010.9.27)
 (33) 優先権主張国 ドイツ (DE)

(73) 特許権者 501125231
 ローベルト ポッシュ ゲゼルシャフト
 ミット ベシュレンクテル ハフツング
 ドイツ連邦共和国 70442 シュトゥ
 ットガルト ポストファッハ 30 02
 20
 (74) 代理人 100095957
 弁理士 龍谷 美明
 (74) 代理人 100096389
 弁理士 金本 哲男
 (74) 代理人 100101557
 弁理士 萩原 康司
 (74) 代理人 100128587
 弁理士 松本 一騎

最終頁に続く

(54) 【発明の名称】データ伝送方法

(57) 【特許請求の範囲】

【請求項 1】

加入者が互いに直列に接続された環状の直列通信構成(2)の前記加入者間のデータの伝送方法であって、

データパケット(30、50、56、62、74)が、マスター(4)として構成された加入者によって、スレーブ(6、8、10)として構成されたさらなる別の加入者へと伝達され、

前記データパケット(30、50、56、62、74)が、スレーブ(6、8、10)からスレーブ(6、8、10)へと伝達され、

各スレーブ(6、8、10)によって、前記データパケット(30、50、56、62、74)のアドレス情報が変更され、

アドレス情報として、受信された前記データパケット(30、50、56、62、74)のアドレス値が、各スレーブ(6、8、10)によって固定値分だけ変更され、

前記データパケット(30、50、56、62、74)のアドレスフィールドの構造が各スレーブ(6、8、10)により検査され、スレーブ(6、8、10)によって、前記データパケット(30、50、56、62、74)の内容が前記スレーブ(6、8、10)のために設けられているのかが前記アドレスフィールドの前記構造を用いて検知され、前記データパケット(30、50、56、62、74)が自身のために定められたスレーブ(6、8、10)が、前記アドレス値の桁あふれを生じさせる、方法。

【請求項 2】

前記アドレス値は、加算または減算される、請求項1に記載の方法。

【請求項3】

前記スレーブ(6、8、10)は同一の局所アドレスを有し、全スレーブ(6、8、10)に、通信のための同一のアルゴリズムが保存される、請求項1、または2に記載の方法。

【請求項4】

データパケット(30、50、56、62、74)を処理するスレーブ(6、8、10)によって、前記データパケット(30、50、56、62、74)のアドレス値が新たに設定される、請求項1～3のいずれか1項に記載の方法。

【請求項5】

優先制御のためのプロトコルが設けられ、前記プロトコルにより、少なくとも1つのスレーブ(6、8、10)がデータパケット(30、50、56、62、74)を介して前記マスタに対する要求を伝送する、請求項1～4のいずれか1項に記載の方法。

【請求項6】

伝送すべきパケット(30、50、56、62、74)のための信号からのクロック情報の回復のために符号化が利用され、前記符号化によりパリティビットが等間隔にデータフレームに挿入されるため、データパケット(30、50、56、62、74)の伝送のためのビットストリームが、固定の時間内に少なくとも1回のエッジ変更を有する、請求項1～5のいずれか1項に記載の方法。

【請求項7】

前記データが連続的に伝送され、アドレスフィールド(40、43)を有する前記データパケット(30、50、56、62、74)は、スレーブ(6、8、10)のために設けられたユーザデータを含む、請求項1～6のいずれか1項に記載の方法。

【請求項8】

互いに直列に接続された複数の加入者を有する環状に形成された通信構成であって、加入者がマスタ(4)として構成され、および、さらなる別の加入者がスレーブ(6、8、10)として構成され、

前記マスタ(4)は、データパケット(30、50、56、62、74)を前記スレーブ(6、8、10)へと伝達するように構成され、

各スレーブ(6、8、10)は、前記データパケット(30、50、56、62、74)を後続のスレーブ(6、8、10)へと伝達し、

各スレーブ(6、8、10)は、受信された前記データパケット(30、50、56、62、74)のアドレス情報を変更するように構成され、

各スレーブ(6、8、10)は、アドレス情報として、受信された前記データパケット(30、50、56、62、74)のアドレス値を固定値分だけ変更し、

各スレーブ(6、8、10)は、前記データパケット(30、50、56、62、74)のアドレスフィールドの構造を検査し、前記アドレスフィールドの前記構造を用いて、前記データパケット(30、50、56、62、74)の内容が前記スレーブ(6、8、10)のために設けられているのかを検知するよう構成され、前記データパケット(30、50、56、62、74)が自身のために定められたスレーブ(6、8、10)が、前記アドレス値の桁あふれを生じさせるように構成される、通信構成。

【請求項9】

各加入者は少なくとも1つの直列インタフェースを有し、前記少なくとも1つの直列インタフェースにより、前記加入者は、直列インタフェースを備える通信構成を介して、前記通信構成の隣接加入者と接続される、請求項8に記載の通信構成。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、通信構成の加入者間のデータ伝送方法および通信構成に関する。

【背景技術】

10

20

30

40

50

【0002】

多くのネットワークにおいて、並列インターフェースの代わりに直列インターフェースが利用されることが多い。その理由は、例えば、ピン数のような構築技術および接続技術のためのコスト削減、システム設計の簡素化、および、複数の直列インターフェースを並行して利用することによる伝送データの帯域幅の拡張可能性 (Skalierbarkeit) である。

【0003】

この傾向は、特に家庭用電化製品 (Consumer Electronics) 分野における複数の直列インターフェース規格により明らかである。この直列インターフェース規格は大抵、例えばハードディスクまたはディスプレイのような周辺装置との通信のために使用される。しかしながら、僅かな数のピンを除いて、このインターフェースは、高い実装コストを要する複雑なプロトコルを利用する。例えば、PCのメインボード上またはハンドヘルド (Handheld) 装置内の論理モジュール (IC) 間のデータ伝送のために、今日のインターフェース、例えば、PCI-Express、Quickpath は、複数の直列のデータストリームを束ね、それにより、システム設計者にとって、帯域幅の拡張可能性が可能となる。

10

【0004】

車両技術分野では、集積回路 (IC: Integrated Circuit) として構成可能な論理モジュール間のデータ伝送のために、制御装置内で直列インターフェース (SPI: Serial Peripheral Interface) が使用される。本規格は、マスタとして構成されたモジュールと、スレーブとして構成された様々なモジュールとの間の双方向の同期型直列データ伝送を記述する。その際、インターフェースは、マスタとスレーブとの間の少なくとも 3 つの線を含む。通常では、2 つのデータ線と 1 つのクロック線である。複数のスレーブの場合、これらモジュールのそれぞれが、マスタからの追加的な選択線を必要とする。SPIインターフェースは、ディジーチェーン (Daisy-Chain) またはバストポロジの転用を可能とする。

20

【0005】

いくつかの場合に、SPIインターフェースは、今日のセーフティクリティカル (sicherheitskritisch) なアプリケーション、例えば ESP の実時間要件に対応するために、タイムクリティカル (zeitkritisch) な制御信号を伝送するためには適していない。SPIインターフェースを用いて、診断情報および状態情報の交換のみ行われることが多い。タイムクリティカルな制御信号は、通常、タイマーユニット (Timer-Einheit) および / またはコストの高い専有インターフェースを利用して、アクチュエータの制御モジュールへと伝送され、および / または、センサの評価回路から伝送される。

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

バストポロジの形態における SPIインターフェースの適用においては、データレートが高くなるにつれて信号整合性が悪化し、劣悪な EMC 特性のためにノイズによる影響が大きくなる。さらに、送信信号のみがクロック信号と同期して伝送される一方で、受信信号の位相同期伝送は、スレーブ内の内部遅延によって、データレートが高くなるにつれて設計が困難になり、データ伝送におけるエラーが引き起こされる可能性がある。

40

【0007】

ディジーチェーン・トポロジ、すなわち、リング型トポロジ (Ringtopologie) における SPIインターフェースの適用においては、非常に高い遅延時間が発生し、したがって、今日では、この形態は車両制御装置において効果的には利用されない。

【0008】

さらに、リングバス内の通信を実現する方法が、英国特許出願公開第 2188216 号明細書で公知である。リングバスの加入者間で送信されるメッセージはいわゆるヘッダを

50

有し、このヘッダは、リングバスの利用可能性を示す複数の数字を含む。さらに、シフトレジスタが設けられ、シフトレジスタにおける最大遅延をヘッダ内の複数のビットが表し、その際に、制御素子がメッセージのヘッダ内のデータを操作することができる。

【0009】

メッセージリング (Nachrichtenring) 内でトークンを伝送する方法が、独国特許第3788604号明細書に記載されている。ここでは、メッセージリング内でのこのトークンの優先度レベルが複数の局により更新される。各領域が、各局により送信される必要があるパケットの優先度レベルに対応し、第1の局が、伝送すべきパケットを含むフレームを伝送し次第、メッセージリングのトークンが当該メッセージリングの第1の局により伝送される。

10

【0010】

独国特許出願公開第19803686号明細書には、例えば、環状の直列光ファイバーバスの、同等の送信権を有する局の通信のための方法および装置が開示されている。ここでは、局によって、タイムクリティカルなコンテナテレグラム (Containertelegramm) が生成され、アドレス指定され、直列バス上へと与えられる。

【課題を解決するための手段】

【0011】

このような背景から、独立請求項の特徴を備えた方法および通信構成が提示される。本発明のさらなる実施形態は、従属請求項および以下の記載から明らかとなろう。

【0012】

本方法においては、直列の、実施形態では環状の通信構成の加入者、したがってノードの直列接続が行われる。本通信構成において、加入者から加入者へのデータ伝送が、少なくとも1ビット時間の遅延を伴って行われ、これにより、メッセージを含みうるデータパケットが、加入者間で非常に僅かな遅延時間で伝送されうる。記載される通信構成は、実施形態では、双方向の同期型通信システムまたは双方向の同期型通信構成として構成され、通信構成の設計のために設けられたリング型トポロジによりデータ交換が行われる。データ信号または信号によって、クロック情報を含む少なくとも1つのデータパケットが伝送される。通信構成は、一実施形態において、加入者が互いに環状におよび直列に接続されうる環状のネットワークに相当する。この種の通信構成は、リング (Ring) とも呼ばれる。

20

【0013】

その際に、全加入者のための一意のアドレス、例えば「00...0」を設けることが可能であり、すなわち、スレーブの設定は必要ではない。各スレーブは、メッセージを含む受信されたデータフレームのアドレス値の固定値分を修正し、例えば減算または加算する。通常、通信構成内でのスレーブとして構成された全加入者の位置は、マスターとして構成された加入者のみが知っている必要がある。

30

【0014】

本発明の実施において、通信構成のインターフェース上へのシステムクロックの伝送が、連続的な伝送によって、すなわち、連続的な同期化によって、スレーブ内のクロック回復モジュールにより行われる。さらに、固定数のデータビットの後に、いわゆるスタッフィングビット (Stuffing-bit) を挿入することが可能であり、これにより、スレーブ内でのクロック回復が保障されうる。クロック回復に役立つスタッフィングビットの代わりに、パリティチェックのためのビットも挿入することが可能である。パリティビットの適切な選択によって、固定の時間内に少なくとも1回のエッジ変更がビットストリーム内に含まれることが保障されうる。代替的に、クロック回復のための従来技術のさらなる別の符号化方法も利用されうる。

40

【0015】

マスターにより送信されまたは加入者間で交換される、データフレームまたは空フレームは、いわゆる中間フレームシンボルの特別なビット列によって互いに分けられる。典型的に、クロック回復を可能とするためにデータ信号が符号化されて伝送されるため、中間フ

50

レームシンボルは、典型的に、どのデータビット列にも対応しない特別な「禁止された」(u n e r l a u b t)信号に相当する。さらなる別の実施形態において、中間フレームシンボルは、0または1の列として実現されうる。中間フレームシンボルの測定によって、すなわち、この場合は、エッジ変更が無い時間の測定によって、この時間は1または0の数に依存するのだが、スレーブはデータ伝送の速度を確認して荒いクロック回復を行うことが可能である。スタッフイングビットまたはパリティビットの挿入によって、データパケット内では特定数のビットの後にエッジ変更が引き起こされ、これにより、中間フレームシンボルのみが最大長の1または0を有し、したがって、ここでは同期化のための一意のビット列であるということが保障される。代替的に、中間フレームシンボルは、スレーブに分かる他の任意のビット列であって、例えば周波数領域におけるスペクトル拡散に役立つ上記ビット列であってもよい。

10

【0016】

中間フレームシンボルを介して、特に信号伝送の極性が定められうる。したがって、例えば、2つの加入者間の2つの線が、レイアウト(L a t o u t)の最適な設計に対応した差動伝送において、例えば通信接続の導電路の導入における交差を防止するために、敷設され、任意の極性により基板上の集積回路(I C)と接続されうる。符号化が適切に選択された際には、例えば、ミラー(M i l l e r)方式または修正周波数変調(M o d i f i e d F r e q u e n c y M o d u l a t i o n)方式によって、情報の回復がエッジの時間的位置にのみ影響を受け、すなわちレベルに影響を受けず、これにより、データ信号の極性がいずれにしても任意であることは有利である。

20

【0017】

マスタがアイドル状態にあるときに、すなわち、マスタは送信すべきメッセージを有さないのであるが、スレーブから情報および/または割込み要求を受信するために、マスタは、連続的にいわゆる空フレームを送信する。したがって、アイドルフレーム(I d l e f r a m e)とも呼ばれる空フレームの送信により、スレーブへの問い合わせ(ポーリング、 P o l l i n g)が行われる。各スレーブは空フレームを埋め、自身のデータ、および/または、いわゆる「ソフト割込み」(S o f t - I n t e r r u p t)、したがってソフトウェア割込みとしての少なくとも1つの要求を、問い合わせに対する応答として、例えば、第2レベル割込みハンドラ(S L I H : S e c o n d L e v e l I n t e r r u p t H a n d l e r)によって、すなわち、 O S I 階層モデルの第2層の割込みのための制御プログラムによって、マスタへと伝送する。さらに、直接的に受信されたデータ、および/または、スレーブのところで呼び出されるべきデータが、対応する方法によりマスタのメモリに直接に書き込まれる程度にまで、マスタのインターフェースは自動化されうる。

30

【0018】

加入者の直列インターフェースの物理層(P h y s i c a l L a y e r)は、データ転送が一方向にのみ行われる単信(S i m p l e x)動作における2地点間接続を含む。この2地点間接続は、例えばC M O S レベルを介して、電気的に非対称(a s y m m e t r i s c h)であってもよく、または、例えばL V D S 差動信号伝送を介して、電気的に対称(s y m m e t r i s c h)であってもよく、または、光学的であってもよい。さらに伝送は、変調方式を用いても、例えば信号線および/または供給線の複数使用のために実施されうる。

40

【0019】

本方法は、さらなる別の実施例において、各スレーブ内での信号の再生成を可能とし、したがって、信号はその都度短距離のみ移動(ue b e r b r u e c k e n)すればよい。これにより、伝送レートが高いにも関わらず、技術的なコストがさらに削減される。

【0020】

さらに、本発明は典型的に、任意の数のスレーブの接続を可能とする。スレーブの数は、アドレス空間、したがってアドレスフィールドの大きさによって制限される。さらなるスレーブの追加は、電気特性、例えば、信号品質、または、通信構成の E M C 動作もしく

50

は電磁整合性に対して影響を与えない。

【0021】

全てのスレーブが、少なくとも自身の通信インターフェースおよびクロック供給に関して、作動しうる (funktionsfaehig) ことが、本方法により潜在的に保障されうる。

【0022】

好適な実施形態において、車両制御装置として構成された車両のための装置内で、マイクロコントローラと、特定用途向け集積回路 (ASIC) との間のデータ伝送のために行われうる。少なくとも 1 つの加入者であって、この場合には 1 つの装置に相当しおよび / またはこの種の装置に割り当てられた上記加入者のための直列インターフェースが、本方法の枠組みにおいて定義される。このインターフェースによって、少なくとも、記載される方法の個別のステップが実施されうる。通常では、記載される通信構成および記載される方法が、異なる電気機械素子内の装置および加入者のために、当該装置および加入者のためにデータ伝送が設けられる場合には、利用することが可能である。

10

【0023】

本発明により、例えばリング構造を有する通信構成のための実施形態において、加入者のためのアドレス指定のコンセプトが提供され、加入者から次の加入者へのデータパケットの転送の際に、少なくとも 1 ビット時間分の遅延が生じる。

【0024】

したがって本発明により、制御装置内で論理モジュールとして構成されうる加入者間の直列データ伝送のための通信構成および方法を提供することができる。加入者として、スレーブとしての少なくとも 1 つの個別論理モジュール (ASIC) と、少なくとも 1 つのスレーブをコントロールし、または、制御および / または管理するためのマスタとしての論理モジュール (マイクロコントローラ) が設けられる。その際に、高いデータレートでの、論理モジュール上、すなわちマイクロコントローラおよび / または ASIC 上での簡単で安価な実装が可能となり、この種の実装は、基板上の少数の接続線、および、論理モジュールの少数のピンにより、すなわち、構築技術および接続技術の僅かなコストで、実現可能である。さらに、本方法は、車両での適用には典型的な SPI インタフェースよりもデータレートが高い伝送を可能としうる。データ信号に符号化されたクロック信号により、位同期型伝送が、配線または遅延時間に依存せずに保障される。

20

【0025】

加入者は、通常ではリング型トポロジの形態の通信構成内に配置され、これにより、加入者は、2 地点間接続により最小数のピンを用いて接続されうる。リング型トポロジにおいては、最も遅い加入者がバス速度を決定する。場合によっては、異なるリング内の加入者の統合またはグループ化が行われ、各リングにおいて、本発明に係る通信構成の、それ自体が完結した実施形態として、本発明に係る方法の一実施形態が実施されうる。制御装置内で複数の機能群が統合されている場合には、例えば、マイクロコントローラは、異なる機能ユニットの少なくとも 1 つの ASIC と通信し、したがって、各機能群は典型的に異なるリング構成を利用する。

30

【0026】

マイクロコントローラは通常マスタとして振る舞い、これにより、バス調停が必要ではない。したがって、マスタは、同様にマスタ・スレーブ構想である今日の SPI プロトコルに対応して、いわゆるポーリングを介して周期的にスレーブに問い合わせをすることができる。

40

【0027】

SPI 規格に対応して同期型データ伝送が行われうる。ただし、データとクロックのために異なる線が必要である。設けられるインターフェースは、データ信号内でのクロックの符号化伝送を構想し、例えば、8B / 10B 符号化、マンチェスター符号化 (Manchester codierung)、または、ミラー符号化 (Miller codierung)、もしくは、修正周波数変調を構想する。したがって、低いデータレートのために、

50

先行加入者または後続加入者への各線と共に、加入者ごとに2つのピンのみ設けられる。高い伝送レートでは、先行加入者または後続加入者への各線と共に加入者ごとに4つのピンを設ける差動伝送が構想される。クロック情報の符号化伝送によって、コスト削減に並んで、加入者間の伝送区間ににおいて、クロックとデータとの間の遅延が生じないことも可能となる。システムクロックはマスタによって設定され、全てのスレーブが、独自の局所クロック回復モジュールを用いて、例えば、位相ロックループにより、または、オーバーサンプリングを用いて、メッセージ信号に対する対応する同期化によって、同期化される。

【0028】

伝送の開始時の初期化の間に、マスタは、データパケットがそこから送信される第1のインターフェースから出発して、例えばリングとして形成された通信構成内の第1のスレーブへと、同期化信号を送信する。第1のスレーブの、すなわち受信者のシステムクロックがマスタと同相となり次第、次のスレーブへの同期化信号の転送が開始される。ここでは、隣接する加入者のインターフェース間でデータパケットの伝達が行われる。この手続きは全通信構成を通して続けられる。例えばリングとして形成された通信構成内の全てのスレーブの同期化が行われた後で、マスタ内の受信者、通常では、それによりデータパケットが受信される第2のインターフェースも適合されうる。リングを通じたデータフレームまたは空フレームの伝送の際のマスタ内での未知の遅延、および、それに伴う独自のクロックに対する位相オフセットのために、初期化の最終ステップにおいて、マスタ内でも位相補正(Phasennachfuehrung)が行われる。マスタの受信者内でも位相が補正された後には、全ての加入者が同相にあり、データパケットを同時に伝送することができる。

10

【0029】

常に新たに同期化されることによる、スレーブ内のクロック回復モジュールの周波数変動を防止するために、データおよびデータパケットの連続的な伝送が、いわゆる連続動作の際に使用される。これにより、まず、連続伝送(いわゆる、連続伝送モード、Continuous Transmission Mode)に対して、パケット指向型伝送(いわゆる、バースト伝送モード、Burst Transmission Mode)の際に必要な、データパケットの開始時の同期化パターンのための余剰(Überhang)が必要ではない。連続的な同期化という選択肢により、スレーブは、公知のシステムでは通常インターフェースと並んで追加的に供給される必要がある、さらなる別のシステムクロックを必要としない。したがって、さらなる線やピンが節約することができる。任意に、連続動作は、EMC特性を改善するために、スペクトル拡散方式(Spread-Spectrum-Verfahren)またはスペクトル拡散を設ける。さらに、パケット指向型伝送(いわゆる、バースト伝送モード)の適用も、これによりマスタからスレーブへのシステムクロック伝送のために追加的な線が必要な場合もあるが、可能である。

20

【0030】

さらなる別の実施形態において、通信に関与する加入者はシフトレジスタを有する。ここでは、シフトレジスタでは自動的にタイミングが取られ(Taktung)、その際に、クロック回復モジュールを用いて、マイクロコンピュータとして構成されたマスタのタイムベースへとクロックが回復される。シフトレジスタは、このクロックのクロック信号により自動的にデータを伝送する。ビットは個別に処理されうるので、加入者ごとに1ビット時間の最小遅延時間が達成されうる。したがって、メッセージを有するデータパケットがリングを通じて伝送されるまでに生じる遅延時間は僅かであり、これにより、通信構成の実時間性能が保障されうる。少なくとも1クロック分のメッセージの最小遅延により、各加入者内ではさらに、信号の修復、すなわち、レベルおよび/または時間に関して作用しうる信号再生(Bit-Reshaping)が行われる。

30

【0031】

本発明の範囲において、加入者のアドレス指定は、別の選択信号を介しては行われず、データフレームまたは空フレームとして形成されたデータパケット内でのアドレス指定に

40

50

よって行われる。連続的なデータストリームにおいてアドレスフィールドを検出するためには、実施形態ではデータパケットの開始シンボルおよび終了シンボルに相当する中間フレームシンボルが挿入される。

【0032】

中間フレームシンボルは、データフレームのプリアンブルとして見なすことも可能であり、これにより、スレーブが、正に到着するデータに対して同期化されうる。このためにフレームの同期化が行われる。なぜならば、中間フレームシンボルの後で常にデータが伝送されることが、各加入者には分かるからである。中間フレームシンボルは、可変的なデータ長の実現のためにも利用されうる。

【0033】

マスタは、アドレス指定を介してスレーブに問い合わせを行い、および、対応する命令を介してデータを書き込みまたは読み出すことができる。予約標識 (Reservierungsszeichen)、すなわち、フレームにユーザデータが割り当てられているのか、および、アドレス指定された加入者のみがデータフレームを処理してよいのか、というビット情報が、中間フレームシンボルの直後にシグナリングされうる。この専用ビットは通常予約標識と呼ばれ、この予約標識によって、データパケットがデータフレームまたは空フレームを含むかどうかがシグナリングされる。

【0034】

本発明の可能な実施形態において、各スレーブは、受信されたデータパケットのアドレスのアドレス値の固定の値を減算し又加算する。ここでは、加入者のアドレス指定の際に、環状のネットワークとして形成可能な通信構成のリング型トポロジが、各加入者が現在のアドレス「1」から減算または加算し、これにより、ゼロのみ含むアドレス「00...0」において所望の加入者がアドレス指定されうる程度にまで、利用される。本方法の実施において、全ての加入者、通常は全てのスレーブが、同一のアドレスに対して反応する (sensitivity)。この減算または加算は典型的に、データフレームがユーザデータを含み、すなわち、予約標識が中間フレームシンボルの後に設定されている場合にのみ行われる。この実現は通常では、1ビット減算器により、アドレス LSB - First、すなわち、第1の最下位ビット (least significant bit) のアドレスが伝送されることで行われる。

【0035】

受信されたアドレスのアドレス値が「000...0」である場合には、後続のデータが現在のスレーブのために定められ、当該スレーブにより処理される。さらに、データフレーム内のアドレスフィールドのアドレス値は、記載される手続きにより、すなわち、「1」分の減算により、桁あふれ (Überlauft) により自動的に「111...1」に設定され、このことにより、当該データパケットがメッセージとしてマスタまで転送され、例えば、メッセージの正しい受信についての肯定応答 (Acknowledege) もしくは確認、または、直接的に応答が獲得されることが保障される。このデータパケットは、通信構成内の次の加入者へと転送される。その際に、全ての後続のスレーブによって、新たに設定されたアドレス値について、修正、例えば減算または加算が行われる。スレーブ内でデータフレームのアドレスフィールド内のアドレス値を自動的に最高値に設定することによって、どのスレーブからメッセージが送信されたのかを、マスタは追跡することができる。なぜならば、マスタは、アドレス値の構造に基づいて、設定されたアドレス値について修正または変更が何回行われたのかを追跡できるからであり、その際に、行われた修正の数は、或るスレーブによるアドレス値の設定の後にデータパケットを受信し転送したスレーブの数に対応する。

【0036】

記載されるインターフェースによって、様々なフレーム長の切り替えが行われうる。固定のフレーム長が選択される限り、場合によっては、大きなフレームでは小さなデータパケットが伝送されない。この場合、ブラインドデータ (Blind data) によるデータパケットの充填が必要である。同様に、可変的なフレーム長が実現可能であり、スレ

10

20

30

40

50

ープ内のシフトレジスタの長さが互いに依存しないことが可能である。なぜならば、関連していないデータフレームはその都度転送される (d u r c h r e i c h e n) からである。

【 0 0 3 7 】

フレーム長が可変的である場合、スレーブは空フレームを介して、スレーブによりユーザデータが伝送されるべきであるという要求によって、マスタにシグナリングすることが可能であり、その後、このユーザデータは引き続いて、適切な長さのデータフレームの送信によって、マスタにより取得される。

【 0 0 3 8 】

マスタからの要求なくスレーブによってマスタへとデータが伝送される限りにおいて、スレーブは、マスタにより送信された空フレームを埋める (b e l e g e n)。このために、中間フレームシンボルの後に 1 ビット、すなわち、予約標識が設定される。データフレームのアドレスフィールド内のアドレス値は、通常では、空フレームを埋めるスレーブによって、最高値 (「1 1 1 · · · 1」) に設定される。このことは、空フレーム内のアドレス値が、スレーブによって「1 1 1 · · · 1」に設定され、各スレーブにおけるデータフレームのアドレスフィールド内のアドレスの減算または加算によりマスタへと伝達されるように行われうる。値「1 1 1 · · · 1」へのアドレスの設定は、例えば、OR 結合によって、全アドレスビットが「1」で上書きされることで、行われうる。マスタは、この場合にも、スレーブにより行われるアドレスフィールドの修正の数を用いて、どのスレーブにより空フレームが埋められアドレスフィールドのためのアドレス値が新たに設定されたのかを追跡することができる。この実現により、マスタによる送信の際にデータフレームまたは空フレーム内のアドレスフィールドは、ランダムデータを含むことが可能であり、これにより、スペクトル拡散が行われ、したがって、EMC 特性の改善が達成されうる。インターフェースのさらなる別の実施形態において、空フレームはユーザデータフィールドも含むことが可能であり、このことにより、空フレームにより設定されたデータ長を超えないデータを伝送することが、スレーブにとって可能となる。

【 0 0 3 9 】

空フレームの構成がユーザデータを含まない場合には、スレーブは、割込み、例えば、ソフト割込みのみマスタに送信し、マスタが適切なデータフレームを次の周回 (U m l a u f) でスレーブへ送信するのを待つことができる。このデータフレームは、設定された予約標識と、スレーブのアドレスと、を含む。データフレームの内容には、例えば、再度、レジスタを読み出すための命令が記述されていることが可能であり、この命令にしたがって、スレーブは引き続いて、存在する情報をデータフレーム内または特に空フレーム内に複写する。しかしながら、空フレームがユーザデータフィールドを有する限りにおいて、スレーブは、伝送すべきデータを、当該データが空フレームのデータフィールドの長さを超えない限りにおいて、直接的に付加できる。

【 0 0 4 0 】

通信の本変形例においてシグナリングを開始させるために、通信構成内でのスレーブの位置を利用して、スレーブの優先順位が付けられる。その際に、インターフェースの一構成において、スレーブが、当該スレーブに割り当てられたビットの設定を介して、マスタへのシグナリングを伝達することができる。したがって、この限定条件 (R a n d b e d i n g u n g) は、レイアウトまたは基板の設計における強い制限に繋がる可能性がある。このことを避けるために、中間フレームシンボルと、予約標識との後には、通信構成内の加入者としてのスレーブの数に対応して、通信構成内の割込みを作動しうる加入者の数、通常では、スレーブの数と少なくとも同じ数のビットが続く。したがって、マスタからデータのみを受信してマスタにはメッセージを伝達しない加入者は割込み機能を有さず、したがって、空フレームを無視する。したがって、この形態の加入者のために、空フレーム内の割り込みビットが提供される必要はない。割込みが可能な加入者によって割込みが作動される必要がある限りにおいて、割込みが可能な加入者が、自身に割り当てられたビットを設定する。割込みの実行の優先順位は、マスタ (マイクロプロセッサ) 内で付けられ

10

20

30

40

50

る。

【0041】

固定ビットの割り当てが構想される変形例においては、通信構成内での自身の位置についてのスレーブ内の知識、および／または、スレーブに対して空フレーム内に割り当てられたビットの知識が必要となる。インタフェースの別の構成において、スレーブには固定ビットが割り当てられない。その代わりに、予約標識の後ろの空フレームのビット列が、各スレーブによって1ポジション分だけずらされ、新しいビットが追加される。その際に、その都度、最終ビットの情報が失われる。しかしながら、このことは制限を意味しない。なぜならば、伝送の開始時に、すなわち、マスタによる空フレームの伝送時に、空フレームは情報を担っておらず、当該フレーム内で提供されるビットの数は、割込み要求を設定しうる通信構成のスレーブの数と少なくとも同じだからである。割込み要求、または、提供されるデータについての標識 (Zeichen) が作動される限りにおいて、スレーブにより挿入されたビットが設定されうる。したがって、各スレーブには同一のアルゴリズムが保存され、マスタは、通信構成内での加入者の位置についての知識に基づいて対応して割込み要求を割り当て、所望の優先順位にしたがって処理することができる。

10

【0042】

誤り訂正是、さらなる別の構成において同様に追加されうる。通信構成が環状に構成された場合には、この通信構成は、リングを通じた伝送の後にマスタが、受信されたメッセージとマスタに本来送信されたメッセージとを比較し、誤りの無い伝送または誤りのある伝送を推測しうるように、リング型トポロジに基づいて構成される。通常では、システムの負荷改善を保障するために、スレーブからの問い合わせに対する応答が直接的にマスタへと送信される。代替的に、スレーブの応答は、当該スレーブに対してアドレス指定された後続のデータパケットにより、今日のS P I通信の構成に対応して行われる。任意に、巡回冗長検査 (C R C : C y c l i c R e d u n d a n c y C h e c k) がチェックサム方式として実施され、または、パリティチェックがデータフレーム内に追加され、受信加入者が、自身の応答の終わりに受信を肯定応答する (A c k n o w l e d g e)。さらに、データフレームのアドレスフィールドにパリティビットを挿入することも、任意で可能である。

20

【0043】

選択的に、通常ではデータフレーム内に提供され、送信者、すなわちマスタから出発してリングを通じてその全体が伝送されるデータを含むメッセージが、次のデータフレームの送信が行われる前にマスタ内で再び複号されるように、データの伝送が行われうる。代替的に、データの連続的なビットストリームが選択可能であり、すなわち、次のデータフレームの送信が、先行メッセージの受信後に初めて行われるのではなく、直接的に連続して行われる。この場合にプロトコルにおいて、スレーブのソフト割込みが、マスタによるアドレス指定と重なった場合に、すなわち、スレーブの当該ソフト割込みが未だ処理される前にマスタがスレーブに問い合わせをするのだが、当該ソフト割込みが正確に処理されることが調停により保障される。この想定は許容可能であり、記載されるビット伝送層の構成に対して影響を及ぼさない。

30

【0044】

連続的なデータストリームの場合は、中間フレームシンボルの長さは、例えば、実施形態では環状の通信構成の加入者、通常ではスレーブの数に対応する。典型的に1ビット時間の加入者ごとの遅延に基づいて、リングを通じた伝送の時間は正に、中間フレームシンボルの送信時間に対応する。したがって、中間フレームシンボルの長さ、または、中間フレームシンボルの送信時間は、リングを通じた伝送の遅延時間に対応して選択される。したがって、連続的なデータストリームが提供され、このところは例えば、スレーブの同期化に対してポジティブに (p o s i t i v) 作用する。さらに、マスタは、周回しているメッセージを、次のデータフレームの送信の前に複号する。したがって、入って来るソフト割込みに対する迅速な応答が可能であり、スレーブによる割込み要求の解除と、マスタによる問い合わせに対する応答とが重なることはない。

40

50

【0045】

任意に、受信データ、例えばセンサデータをメモリに直接書き込むために、マスタ内での追加的な論理モジュールの実装が行われる。さらに、スレーブのポーリング (Polling) が自動化される。これにより、ソフトウェア・インタラクション (Software-Interaction) の低減が行われ、このことは、中央演算ユニット (CPU) の負荷軽減につながる。さらに、ASIC (スレーブ) のレジスタが、マイクロプロセッサ (マスタ) のメモリにトランスペアレントに (transparent) 格納される。可能なハードウェア (HW) モジュールは、従来技術では、DMA、転送ユニット (Transfer Unit)、または、メッセージボックス (Message Box) として公知である。

10

【0046】

既に言及したスペクトル拡散の方法の他に、ブロック同期型スクランブルを利用するというオプションが存在する。ブロック同期型スクランブルの場合、送信加入者および受信加入者におけるデータに、同時に、m系列モジュロ 2 加算が行われる。

【0047】

本発明の範囲において設けられる加入者のためのインターフェースは車両分野における利用のために使用されうる。I2C (Inter-Integrated-Circuit) またはSPI (Serial Peripheral Interface) のような公知の規格に対応して、上記のインターフェースは同様に全世界で使用可能であり、したがって、自動車分野または制御装置 (ECU) での利用に限定されない。

20

【0048】

本発明に係る通信構成は、提示される方法の全ステップを実施するように構成される。その際に、本方法の個々のステップは、通信構成の個々の構成要素、通常では加入者によって実施されうる。さらに、通信構成の機能、または、通信構成の個々の構成要素の機能は、本方法のステップとして実現される。さらに、本方法のステップが通信構成の少なくとも 1 つの構成要素のステップとして、または、通信構成全体の機能として実現されうる。

【0049】

本発明のさらなる利点および実施形態は、以下の明細書の記載および添付の図面から明らかとなろう。

30

【0050】

先に挙げた特徴および以下で解説する特徴は、各示された組み合わせのみならず他の組み合わせにおいて、または、単独でも、本発明の範囲を逸脱することなく利用可能である。

【図面の簡単な説明】

【0051】

【図1】本発明に係る通信構成の一実施形態の概略図を示す。

【図2】本発明に係る方法の一実施形態において利用されるような、データフレームを有するデータパケットの構造の例の概略図を示す。

【図3A】本発明に係る方法の様々な実施形態において利用されるような、空データフレームを有するデータパケットの例を示す。

40

【図3B】本発明に係る方法の様々な実施形態において利用されるような、空データフレームを有するデータパケットの例を示す。

【図3C】本発明に係る方法の様々な実施形態において利用されるような、空データフレームを有するデータパケットの例を示す。

【図3D】本発明に係る方法の様々な実施形態において利用されるような、空データフレームを有するデータパケットの例を示す。

【図4】スレーブのアドレス指定の処理が行われる本発明に係る方法のさらなる別の実施形態のフロー図を示す。

【図5】本発明に係る方法のさらなる別の実施形態において利用されるブロック同期化型

50

スクランブルのブロック図を概略的に示す。

【発明を実施するための形態】

【0052】

本発明は実施形態を用いて図面に概略的に示され、以下では、図面を参照してより詳細に解説される。

【0053】

図面は互いに関連し包括的に記載される。同一の符号は同一の構成要素を示す。

【0054】

図1に概略的に示される通信構成2の実施形態は環状に形成され、直列に相前後して接続された複数の加入者、すなわち、線の区間12を介して互いに接続されたマスタ4と、第1のスレーブ6と、第2のスレーブ8と、n番目のスレーブ10と、を含む。さらに、マスタは、データパケットを送信するための第1のデジタル直列インタフェース14を備え、当該インタフェースによって、マスタ4は、定義にしたがって、線の先頭と終わりに接続される。さらに、マスタ4は、データパケットを受信するための第2のデジタル直列インタフェース16を備え、当該インタフェースによって、マスタ4は、定義にしたがって、線の先頭および終わりに接続される。その際に、第1の直列インタフェース14はシステムクロック18と接続される。第2の直列インタフェース16は、位相位置を検出するモジュール20(いわゆる遅延ロックループ、Delay Locked Loop)と接続される。さらに、マスタ4は水晶発振器22と接続される。

10

【0055】

20

各スレーブ6、8、10は、スレーブインタフェース24として形成されたデジタル直列インタフェースを有し、当該インタフェースはそれぞれ2つの接続12と、データ線と、に接続される。したがって、2つの加入者の間には1つの接続が存在する。さらに、各直列スレーブインタフェース24はクロック回復モジュール21と接続され、このクロック回復モジュール21から局所システムクロック19が導出されうる。

【0056】

通信構成2の加入者間の通信を提供するために、本発明の一実施形態において、マスタ4の先頭インタフェース14から出発して、ビットストリーム26を介して、データパケットとしてのメッセージが、スレーブ6、8、10のインタフェース24からインタフェース24へと連続的に伝送されることが構想される。データパケットが最後のスレーブ6、8、10、ここではn番目のスレーブ10に到達した後に、データパケットは、最後のスレーブ10のスレーブインタフェース24によって、マスタ4の最終インタフェース16へと伝達される。

30

【0057】

リング型トポロジにおける通信構成2では、複数のスレーブ6、8、10、ここでは、同一の局所アドレスを有するASICが、それぞれデジタルスレーブインタフェース24を介して直列に、ここではマイクロプロセッサとして構成されたマスタ4に接続される。その際、本実施形態においては、マスタ4のみが、環状の通信構成2内での各スレーブ6、8、10の位置についての知識を有する。

【0058】

40

本発明の一実施形態において、スレーブ6、8、10として形成された、リング型トポロジにおける通信構成の加入者またはノードは、各スレーブ6、8、10が、受信されたアドレスのアドレス値、典型的に、少なくとも1つのスレーブ宛のメッセージの伝達のために設けられたデータフレームのアドレスフィールド内のアドレス値を、固定値分だけ修正し次の加入者へと転送するように、構成される。その際に、アドレス値は、例えば固定値「1」分だけ減算される。アドレス値のこの種の変更は、実施形態において、他のデータパケットについても行うことが可能であり、これは、この種のデータパケットがデータフレームではなく、メッセージを有する空フレームのみを含む場合にも可能である。

【0059】

データパケットのデータ信号からクロック情報を回復するための符号化方法は、パリテ

50

イビットを等間隔に挿入することにより、固定の時間内にビットストリーム 2 6 内に少なくとも 1 回のエッジ変更が含まれることが保障されるように行われる。連続的なデータ伝送により、通信構成 2 内でのスレーブ 6 、 8 、 10 の同期化が保障されうる。他の適切な符号化方法も適用されうる。

【 0060 】

データパケットは、マスタ 4 からスレーブ 6 へと伝送され、スレーブ 6 からスレーブ 8 へと次々と伝送されて最後のスレーブ 10 に伝送され、最後のスレーブ 10 からマスタ 4 へと伝送される。したがって、データパケットは、通信構成 2 の全加入者を通過する。少なくとも 1 つのスレーブ 6 、 8 、 10 へとメッセージが伝達されるデータフレームは、アドレスを含むアドレスフィールドを有する。各スレーブが、伝達すべきメッセージを有する受信されたデータフレームのアドレス値を、例えば減算または加算によって固定値の分だけ変更し、次の加入者へと転送することが構想される。ここでは、アドレス値は、各スレーブによって、そのために定められたアルゴリズムにしたがって同じやり方で変更される。示される通信構成 2 内では、スレーブ 6 、 8 、 10 は、同一の局所アドレスを有する。さらに、全スレーブにおいて、通信インターフェースのための同一のアルゴリズムが保存される。その際に、典型的に、チップ間通信のためのモジュールのみが同一であり、それ以外は、加入者は非常に様々な機能を備えうる。

【 0061 】

以下に記載されるデータフレームまたは空フレームは例示的な構成を示す。データブロック間にさらなるビットを配置し、または、データフレーム内のブロックの構成を交換することが可能である。

【 0062 】

図 2 に示される、本発明に係る方法の一実施形態において伝送されるデータパケット 30 のための例は、先頭に、第 1 のインターフレームシンボル (I n t e r f r a m e - S y m b o l 、 I F S または中間フレームシンボル 32) と、最後に、第 2 の中間フレームシンボル 34 と、を含む。典型的に同一のこれら 2 つの中間フレームシンボルの間には、データパケット 30 内に、データフレーム 36 が配置される。データフレーム 36 の先頭に、当該データフレームは、第 1 の中間フレームシンボル 32 の後に、どの種類のデータパケット 30 が周回しているのかについて情報を与える予約標識 38 を有する。図 2 では、実施形態において、予約標識 38 が例えば値「 0 」を有し、したがってフレームがデータフレーム 36 として構成されるということが構想される。予約標識 38 の後に、データフレーム 36 は、アドレスについてのアドレス値を有するアドレスフィールド 40 を含む。さらに、データフレーム 36 は、ここではユーザデータとして構成されたデータのような命令と、さらなるチェックサムと、パリティビットと、を含みうる本来のメッセージ 42 を含む。

【 0063 】

図 3 A は、ここでは空フレーム 52 として構成されたフレームの第 1 の変形例を有する、データパケット 50 のさらなる別の例を概略的に示す。このデータパケット 50 も、第 1 の中間フレームシンボル 32 で始まり、第 2 の中間フレームシンボル 34 で終わる。2 つの中間フレームシンボル 32 、 34 の間には空フレーム 52 が存在し、当該空フレーム 52 の場合、予約標識 54 が、データフレーム 36 を有する第 1 のデータパケット 30 に対して、値「 1 」を有し、したがって、フレームを空フレーム 52 として分類する。さらに、この空フレーム 52 も同様に、アドレス値を含むアドレスフィールド 43 を含む。ただし、ここで示される空フレーム 52 の実施形態およびデータパケット 50 は、メッセージ、したがってユーザデータを有さない。

【 0064 】

図 3 A に示すようなデータパケット 50 によって、マスタはスレーブに連続的に、ポーリングを実行するための空フレーム 52 を送信する。各スレーブは、この種のデータパケット 50 内にデータを挿入し、および / または、少なくとも 1 つの要求 (「ソフト割込み」) をマスタへと送信しうる。このことは典型的に、スレーブが予約標識 54 、通常では

10

20

30

40

50

予約ビットを反転させ、アドレス値を「111...1」に設定するという形で行われる。予約標識54の活性化により、フレームは、後続の加入者について、データフレームに対応して遮断される。さらに、各後続の加入者は、図2のデータフレームの場合の手続きに対応して、固定のデータ値分だけアドレス値を修正する。したがって、データパケット50はマスタまで転送され、マスタは、アドレス情報を用いて、どのスレーブが割込み要求を出したのかを逆算することができる。

【0065】

図3Bに概略的に示されるデータパケット56の第3の例も同様に、第1の中間フレームシンボル32と、最後に、第2の中間フレームシンボル34と、を含む。さらに、データパケット56は、ここでは空フレーム58の第2の変形例として構成されたフレームを有する。この空フレーム58は、当該フレームを空フレーム58として定める値「1」を有する予約標識54を含む。さらに、空フレーム58は、ここではユーザデータとして構成されたデータを含むメッセージ60と、アドレス値を有するアドレスフィールド43と、を含む。

10

【0066】

この空フレーム58には、スレーブによって、マスタの情報のためのデータを割り当てることが可能であり、その際、予約標識54が設定される。空フレーム58内のアドレスフィールド43のアドレスのアドレス値は、最大値「111...1」に設定される。このことは、空フレーム58内のアドレス値がスレーブによって「111...1」に設定され、各後続スレーブにおけるデータフレームのアドレスフィールド内のアドレスの減算または加算によりマスタへと伝達されるように、行われる。値「111...1」へとアドレスを設定することは、例えば、OR結合によって、全アドレスビットが「1」で書き換えられることで行われ、その際に、空フレーム58のアドレスフィールド43は、ランダムデータを含みうる。メッセージを介して、スレーブにとって、空フレーム58により設定されたデータ長を超えないユーザデータの、直接的な伝送が可能となる。アドレスの設定されたアドレス値に対して行われる修正の数は、後続スレーブの数に対応する。したがって、マスタは、どのスレーブが空フレーム58にデータを割り当て、アドレスフィールド43を新たに設定したのかを確認することができる。

20

【0067】

図3Cに示されるデータパケット62の第4の例は、第1の中間フレームシンボル32および第2の中間フレームシンボル34の他に、空フレーム64として構成され、ここでは空フレーム64の第3の変形例として構成されたフレームを含む。この場合にも、フレームの種類は、ここでは値「1」を有する予約標識54により、空フレーム64として定められる。さらに、空フレーム64は、さらなるビットとして、第1のスレーブに割り当てられた第1の割込みビット66と、第2のスレーブに割り当てられた第2の割込みビット68と、第3のスレーブに割り当てられた第3の割込みビット70と、n番目のスレーブに割り当てられたn番目の割込みビット72と、を含む。

30

【0068】

したがって、データパケット62内では、中間フレームシンボル32および予約標識54の後に、通信構成の各スレーブについての割込みビット66、68、70、72として構成されたビットが続く。スレーブによって割込みが作動されるべきである場合には、当該スレーブによって、当該スレーブに割り当てられた割込みビット66、68、70、72が作動される。この実施形態では、割込みビット66、68、70、72の順序は、通信構成に沿ったスレーブの順序に対応し、その際、割込みビットの順序は、必ずしも通信構成に沿った順序と連携している必要はない。

40

【0069】

図3Dに示される、データパケット74の第5の例のための実施形態も同様に第1の中間フレームシンボル32で始まり、第2の中間フレームシンボル34で終わる。さらに、データパケットは、ここでは値「1」を有し当該データパケット74のフレームを空フレーム76として定める予約標識54を有する。さらに、空フレーム76は、さらなるビッ

50

トとして、可変的な数の割込みビット 80、82、84を含み、すなわち、n-1番目のスレーブのためのn-1番目の割込みビット80と、通信構成の第1のスレーブのための第1の割込みビット82を含む。さらに、図3Dは、追加的に挿入されたn番目のスレーブのためのn番目の割込みビット78を示す。さらに、この空フレームの変形例は、x番目の割込みビット84を含む。

【0070】

空フレーム76内でn番目のスレーブによりn番目の割込みビット78を挿入した後の、空フレーム76内での割り込みビット80、82、84の移動は、ここでは、矢印86で示される。したがって、空フレーム76内では、予約標識54の後ろの割込みビット78、80、82、84の順序が、各スレーブによって1ポジション分ずらされ、新しい割込みビット78が挿入されうる。マスタによって本来送信された空フレーム76はユーザデータを含まない。提供される割込みビット78、80、82、84の数は、通信構成内のスレーブの数よりも大きくまたは当該スレーブの数と等しい。割込みを作動すべき限りにおいて、この割込みは、n番目のスレーブにより挿入されたn番目の割込みビット78によって設定されうる。割込みを作動すべきではない限りにおいて、同様に、ビットが挿入されるがこれは設定されない。原則的に、提供される割込みビットの数は、通信構成内のスレーブの数よりも小さく実現することも可能であろう。ただし、全てのスレーブが割込みビットを設定できるわけではない。この場合、接続されるスレーブの通信モジュールは様々に実現されまたは少なくとも様々に構成されるが、好ましい解決策ではない。

【0071】

図2、図3Aおよび図3Bに示されるデータパケット30、50、56の各実施形態は、アドレスフィールド40、43を有し、このアドレスフィールド40、43の構造、通常ではアドレス値の構造を介して、データパケット30、50、56が、図1に示される通信構成2の実施形態のマスタ4により、i番目のスレーブ6、8、10宛てにアドレス指定され、またはi番目のスレーブ6、8、10により、マスタ4宛てにアドレス指定されうる。

【0072】

上記のアドレスフィールド40、43の構造は、実施形態においてN個のビットを有する。N個のビットとして提示可能な最大2進値は、加入者の数、典型的にスレーブ6、8、10の数n以上である必要がある。本発明に係る方法の一実施形態において、送信されるデータパケット30、50、56が、i番目のスレーブ6、8、10に宛てられ、その際、マスタ4によりアドレスフィールドに2進数iが割り当てられることが構想される。

【0073】

このデータパケット30、50、56は、マスタ4によってスレーブ6、8、10へと送信され、データパケットが通過するi番目のスレーブ6、8、10までの各スレーブ6、8、10は、データフレームのアドレスフィールド内のアドレス値を、固定値分、例えば値「1」分だけ修正し、例えば減算する。減算の際に桁あふれが生じない限りにおいて、アドレス値は「00...0」でなかったのであり、これにより、アドレス値の構造を検査しているスレーブ6、8、10に対して、データパケットが当該スレーブのために定められていないことがシグナリングされる。i番目のスレーブ6、8、10に到達すると直ぐに上記の桁あふれが生じ、i番目のスレーブ6、8、10は、受信されたデータフレームが処理されうること、すなわち、通常では、データパケット30、50、56の内容、例えばメッセージ42、60が、当該i番目のスレーブ6、8、10のために定められているということを検知する。

【0074】

インターフェースの代替的な構成において、一構成におけるアドレス値はn個のビットを有する。したがって、n個のスレーブ6、8、10それぞれについて、アドレス値の1ビットが設けられる。本発明に係る方法の一実施形態において、送信されるデータパケット30、50、56が、i番目のスレーブ6、8、10へと宛てられることが構想される場合に、マスタ4によって、アドレス値のi個の最下位ビットがそれぞれ設定され、n-i

10

20

30

40

50

個の最上位ビットは設定されない。代替的に、 i 個の最上位ビットが設定され $n - i$ 個の最下位ビットが設定されないということも可能である。

【0075】

このデータパケット 30、50、56 は、マスター 4 によりスレーブ 6、8、10 へと送信され、データパケット 30、50、56 が通過する i 番目のスレーブ 6、8、10 までの各スレーブ 6、8、10 はその都度、設定されたビットをクリアし、したがって修正する。 i 番目のスレーブ 6、8、10 にデータフレーム 36 が到着した際には、全てのビットがクリアされ、すなわち設定されず、したがって、 i 番目のスレーブ 6、8、10 に対して、データパケット 30、50、56、通常ではデータパケット 30、50、56 の内容、例えばメッセージ 42、60 が、当該 i 番目のスレーブ 6、8、10 のために定められていることがシグナリングされる。 10

【0076】

したがって、データパケット 30、50、56 がそのために設けられまたは定められた i 番目のスレーブ 6、8、10 は、アドレス値のために桁あふれを生じさせる。桁あふれ、および / または、桁あふれにより生成されるアドレス値の構造によって、 i 番目のスレーブ 6、8、10 に対して、データパケット 30、50、56 が当該 i 番目のスレーブ に宛てられているということがシグナリングされる。通信構成の後続の加入者、すなわち、少なくとも 1 つのスレーブ 6、8、10 または場合によってはマスター 4 へのデータパケット 30、50、56 の転送の前に、この i 番目のスレーブ 6、8、10 によって、アドレスフィールド 40、43 のアドレス値の N 個のビットが全て同一の値に設定され、例えば、全てのビットが「1」に設定されまたは全てのビットが「0」に設定される。 $n - i$ 個の後続のスレーブ 6、8、10 は、データパケット 30、50、56 を既に獲得した他の i 個のスレーブ 6、8、10 と同様に、アドレスフィールド 40、43 の新たに設定されたアドレス値を修正する。したがって、新たに設定されたアドレス値は、 $n - i$ 回修正される。同一のデータパケットを再び獲得するマスター 4 は、アドレス値の構造に基づいて、すなわち、修正されたビットの数を用いて、このアドレス値が $n - i$ 回修正されたことを検知する。これにより、マスター 4 に、データパケット 30、50、56 が i 番目のスレーブ 6、8、10 により処理されたことが示される。 20

【0077】

i 番目のスレーブ 6、8、10 が、データパケット 50、56 の空フレーム 52、58 に、マスター 4 のための情報を割り当てる場合には、この i 番目のスレーブ 6、8、10 は、アドレスフィールド 43 のアドレス値を同様に新たに設定する。この場合にも、マスター 4 は、当該マスター 4 のために設けられた情報を有するデータパケット 50、56 を獲得し次第、アドレス値の構造を用いて、当該アドレス値が $n - i$ 個の後続のスレーブ 6、8、10 により $n - i$ 回修正されたこと、および、情報が i 番目のスレーブ 6、8、10 に由来することを検知することができる。 30

【0078】

トークンとも称しうる予約標識 38、54 は、データパケット 30、50、56、62、74 がデータフレーム 36 (予約標識 = '0') または、空フレーム 52、58、64、76 (予約標識 = '1') を有するかどうかを定める。定義にしたがって、予約標識 38、54 のビット値も交換されうる。設定されまたは設定されていない予約標識 38、54 を、割り当てられたまたは空いたトークンとして見なすことも可能である。 40

【0079】

図 1 の通信構成 2 は、車両内で、車両の制御装置内のマイクロコントローラと ASI C との間でデータパケット 30、50、56、62、74 を伝送するように、構成されてもよく、その際、制御装置は通信構成 2 の加入者を有する。

【0080】

通信構成の優先制御のためのプロトコルは、各スレーブが要求 (「ソフト割込み」) をマスターへと伝送しうるよう、実行されるが、このことがここでは図 3 A、図 3 B、図 3 C および図 3 D を用いて記載された。したがって、各スレーブに、通信インタフェースの 50

同一のアルゴリズムが保存され、マスタは、スレーブとして構成された加入者の位置に関する知識に基づいて対応して割込みを割り当て、および、所望の優先順位にしたがって、図3Cおよび図3Dに対応するデータパケットでの複数の割込み要求の伝送が可能な場合には、処理することができる。優先制御のためのプロトコルにより、少なくとも1つのスレーブによって、空フレームを含むデータパケットを介して、マスタに対する要求が伝送されうる。

【0081】

信号からクロック情報を回復するための符号化は、パリティビットが等間隔にデータフレームに挿入され、したがって、伝送されたビットストリームが、固定の時間内に少なくとも1回のエッジ変更を有するように、行うことが可能である。

10

【0082】

マスタがアイドル状態にあるときにスレーブから情報を受信しうるために、マスタは、スレーブへの問い合わせ（ポーリング）を実施するために、連続的に空フレームを送信する。各スレーブは、空フレームにデータを割り当て、および、当該データ、および／または、いわゆる「ソフト割込み」、したがって、フローウェアの割り込みとしての少なくとも1つの要求を、例えば第2レベル割込みハンドラ（SLIH）によって、すなわち、OSI参照モデルによる第2層の割込みのための制御プログラムによって、問い合わせに対する応答として、マスタへと伝達することが可能である。

【0083】

図4に示されるフロー図は、本発明に係る方法のさらなる別の実施形態における例えば環状の通信構成内の加入者としてのn個のスレーブによる、マスタにより送信されるデータフレームのアドレスフィールド内のアドレスのアドレス値の処理の例を示す。ここでは、リングにおける各スレーブでのデータ伝送の際に、アドレス指定が実現される。

20

【0084】

さらに、中間フレームシンボルの検出90によって、到着するデータパケットの受信が証明される。その後、検査92で、データパケットのフレームの予約標識が値1または0を有するかどうかが検査される。

【0085】

予約標識が設定されていない場合には、受信されるデータパケットは、空フレームの変形例を有する。この場合には、i番目のスレーブによって、必要な場合には割込み94が、したがってマスタに対する要求および／または問い合わせが作動されうる。したがって、i番目のスレーブにとっては、マスタにより転送されるメッセージを有する受信されたデータパケットを埋める可能性が生まれる。

30

【0086】

そうでなければ予約標識が設定されているため、データパケットはデータフレームを含む。この場合には、アドレスフィールドの処理または修正が行われる。このアドレス値ADDR[1...N]は、この構成において、N個のビット、または、N個の場所を有する。ここでは、N個のビットからなる最大2進数は、少なくとも、通信構成内のスレーブの数nに対応する。

【0087】

40

アドレスフィールドの修正のために、ステップ96では、変数iに値「1」が割り当てられる。

【0088】

その後、受信されたデータフレームのアドレスフィールドADDR[1...N]のアドレスビットADDR[1]の反転98が行われる。最下位ビットが先頭にあるアドレスが伝送されるので、ADDR[1]の反転は、アドレス値からの「1」の減算に相当する。

【0089】

処理における次のステップ100で、値「1」への反転98の結果が検査される。値ADDR[1]が「1」ではなく、すなわち、値が「0」である限りにおいて、減算の際に

50

桁あふれが生じない。この場合には、スレーブは、アドレスが今正に修正されたデータパケットを、次の $i + 1$ 番目のスレーブへとさらに移動させる。スレーブによるさらなる処理は必要ないため、このスレーブは、本方法に対応して、中間フレームシンボルの新たな検出 90 を待ち、その間受信されたビットを変更することなくさらに移動させる。

【0090】

ステップ 100 での検査において、ADDR[1] が値「1」を有することが判明した場合には、減算の際に桁あふれが生じる。スレーブは、ステップ 102 において、長さ N のアドレスフィールド全体が既にみられた (d u r c h l a u f e n) かどうか検査する必要がある。そうではない限りにおいて、変数 i は値「1」分だけ増分される (ステップ 104)。引き続いて、次に高いビットの反転 98 が行われる。

10

【0091】

反転されたアドレスビットが「0」となるまで、アドレスフィールドの後続ビットについてループが実行される。桁あふれが生じず、すなわち、全アドレスフィールドが未だにみられていない限りにおいて、スレーブに対して、受信されたデータパケットが当該スレーブのために定められていなかったことがシグナリングされ、このスレーブはステップ 90 に戻って、次のデータパケットの可能な処理を続行するために、次に到着する中間フレームシンボルを待つ。しかし、桁あふれが生じ、アドレスフィールドの全ての場所が設定され、すなわち、「11...1」を有する限りにおいて、スレーブに対して、データパケットが当該スレーブのために定められ、処理される必要があることがシグナリングされる。この場合には、ステップ 102 で問い合わせが行われ、それによれば、変数 i は値 $2N - 1$ (最大で提示可能な、N 個のビットから成る値) に相当し、および、アドレスフィールドの全ビットが反転されたのである。アドレスフィールドの評価の結果がステップ 106 であり、このステップ 106 では、受信されたデータパケット 30 のフレームがデータフレーム 36 であって i 番目のスレーブのために定められ、この i 番目のスレーブがデータパケット 30 内のこのデータフレーム 36 を受信する、ということが確認される。その後、 i 番目のスレーブによって、メッセージ 42 内の命令の評価、および、メッセージ 42 のデータの処理が行われる。

20

【0092】

フロー図で示されるステップは、例えば、カウンタ、インバータによって、スレーブ、または、スレーブの構成要素としてのコンパレータを用いて行われる。本方法の示される実施形態において、減数は「1」により設定された。通常では、他の固定値によるアドレスフィールドの修正のための減算または加算の他の実行も可能である。

30

【0093】

図 5 は、ブロック同期型スクランブル 110 の一実施形態のブロック図を示す。このブロック同期型スクランブル 110 は、送信加入者としてのマスター 114 (μ C) 内に配置された第 1 の m 系列発生器 112 と、n 個の m 系列発生器 116 と、を含み、その際に、ここでは、 i 番目のスレーブ 118 (ASIC) 内の i 番目の n 系列発生器が示される。マスター 114 と、 n 番目のスレーブ 118 との間で、ビットストリーム 122 でのデータパケットの符号化伝送 120 が行われる。この場合に、伝送区間 120 は、さらなる加入者を含みうる。さらに、各スレーブにおいて、メッセージが最初に m 系列発生器 116 を介して複号され、引き続いて、さらなる別の、可能な場合には異なる m 系列発生器 112 によって新たに符号化されること、すなわち、2 つの加入者間の伝送区間 120 がその都度符号化されることも可能である。この場合には、伝送区間 120 はさらなる加入者を含まない。さらに、ビットストリームの選択された部分、典型的にユーザデータのみが廃棄されることも可能である。

40

【0094】

既に言及したスペクトル拡散の可能性の他に、ブロック同期型スクランブル 110 を利用するというオプションが存在する。ブロック同期型スクランブル 110 の場合、送信加入者、ここではマスター 114 内データと、受信加入者、ここでは i 番目のスレーブ 118 内のデータと、に対して同時に m 系列モジュロ 2 加算が行われ (m - S e q u e n z - m

50

o d u l o - 2 - a d d i e r t) 、その後、 2 による除算の余りが加算される。

【 0 0 9 5 】

通常では、連続的なビットストリームの場合の、送信加入者内および受信加入者内でのブロック同期型スクランブル 110 による、m 系列の同期化の際には、全メッセージに渡る連続エラーが生じる可能性がある。対策を講じるために、本発明の範囲において、中間フレームシンボルによる同期化が利用される。ブロック同期型スクランブル 110 の一構成において、データパケットのビットストリームが m 系列に対応しないということが構想される。さらに、ビットストリームの m 系列モジュロ加算の出力口で、m 系列により中間フレームシンボルが生成されないことが可能となりうる。この符号化によって、個別の加入者宛のフレーム、通常では空フレームを符号化することも可能である一方で、他の、場合によっては安価な加入者、またはフレーム長が短い加入者は、スペクトル拡散のための符号化を含まない。さらに、様々な符号化の組み合わせが可能である。

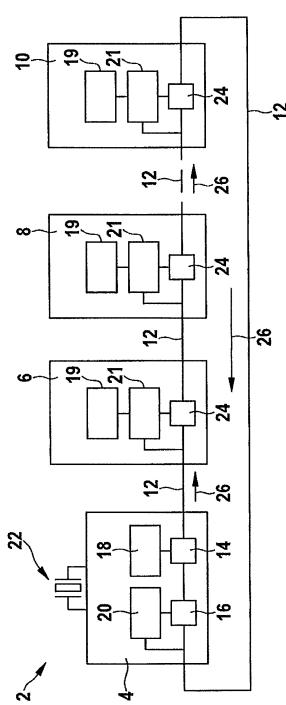
【 0 0 9 6 】

本発明によって、本発明の一実施形態において、環状の直列通信構成 2 の加入者間のデータ伝送が可能である。この通信構成 2 では加入者が互いに直列に接続され、データパケット 30 、 50 、 56 、 62 、 74 は、マスター 4 として構成された加入者によって、スレーブ 6 、 8 、 10 として構成された加入者へと伝達され、データパケット 30 、 50 、 56 、 62 、 74 は、スレーブ 6 、 8 、 10 からスレーブ 6 、 8 、 10 へと伝達される。データパケット 30 、 50 、 56 、 62 、 74 の内容はアドレス情報を含む。このアドレス情報は、データパケット 30 、 50 、 56 、 62 、 74 のアドレスフィールド 40 、 43 内に配置され、アドレス値として形成されうる。本発明の同実施形態において、各スレーブ 6 、 8 、 10 によって、受信されたデータパケット 30 、 50 、 56 、 62 、 74 のアドレス値およびアドレス情報を、例えば、固定値分だけ変更される。

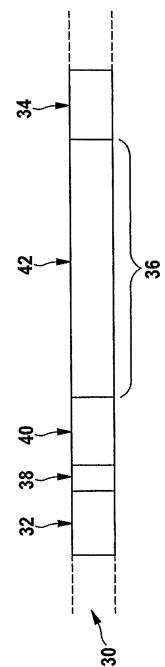
【 0 0 9 7 】

その際に、データパケット 30 、 50 、 56 、 62 、 74 内のアドレスフィールド 40 、 43 の位置が任意であってもよいということが構想される。その後、スレーブ 6 、 8 、 10 によって、データパケット 30 、 50 、 56 、 62 、 74 の修正が行われる。各スレーブ 6 、 8 、 10 は、データパケット 30 、 50 、 56 、 62 、 74 内のアドレス値およびアドレス情報を同様に変更し、その際、各スレーブ 6 、 8 、 10 によって、同一の数学的演算、通常では加算または減算が行われる。さらに、全てのスレーブ 6 、 8 、 10 は、本発明の実施形態において同一のアドレスを有する。

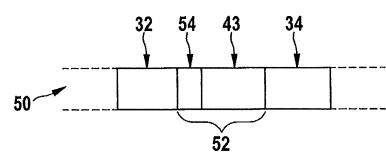
【図1】



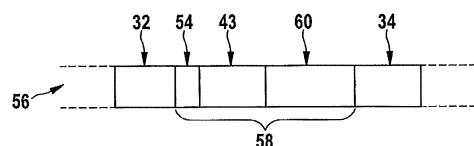
【図2】



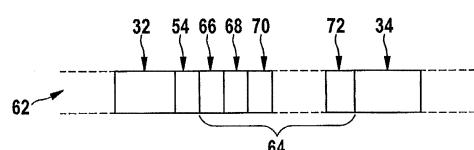
【図3 A】



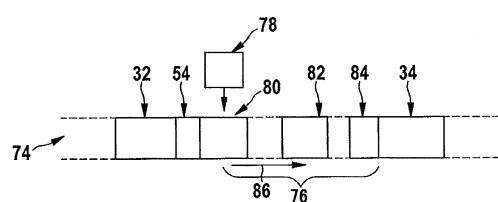
【図3 B】



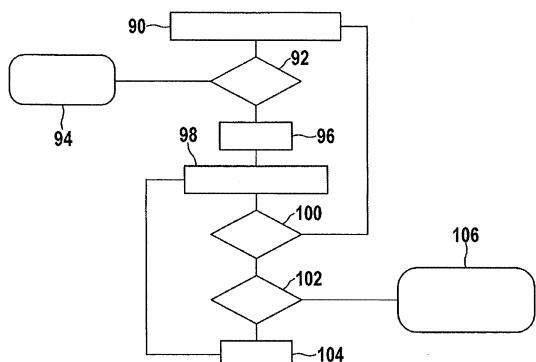
【図3 C】



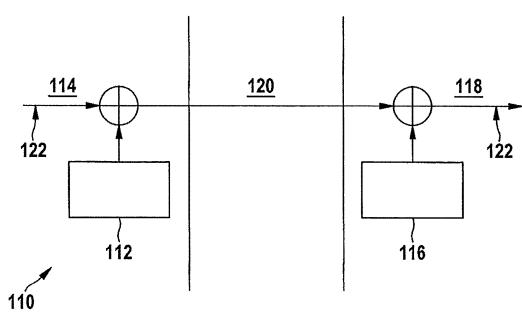
【図3 D】



【図4】



【図5】



フロントページの続き

(72)発明者 ロハチェック、アンドレアス - ユルゲン
 ドイツ連邦共和国 7 3 2 4 9 ヴェルナウ / ネッカー アインシュタインシュトラーセ 7
(72)発明者 ルツィ、ペルント
 ドイツ連邦共和国 7 2 1 6 0 ホルプ アイヒエンヴェーク 1 0
(72)発明者 トス、デイーター
 ドイツ連邦共和国 7 1 7 0 1 シュヴィーバーディンゲン アンネ - フランク - シュトラーセ
 5
(72)発明者 フック、トルステン
 ドイツ連邦共和国 7 1 6 9 1 フライベルク ヴェステンフェルトシュトラーセ 5
(72)発明者 トドロフ、ストヤン
 ドイツ連邦共和国 6 8 1 6 5 マンハイム ゼッケンハイマーシュトラーセ 9 4

審査官 大石 博見

(56)参考文献 実開平05-078082 (JP, U)

特開平08-006885 (JP, A)

特開平06-097948 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 04 L 12 / 42