

(19) 世界知的所有権機関
国際事務局

(43) 國際公開日
2012 年 8 月 23 日(23.08.2012)



(10) 国際公開番号

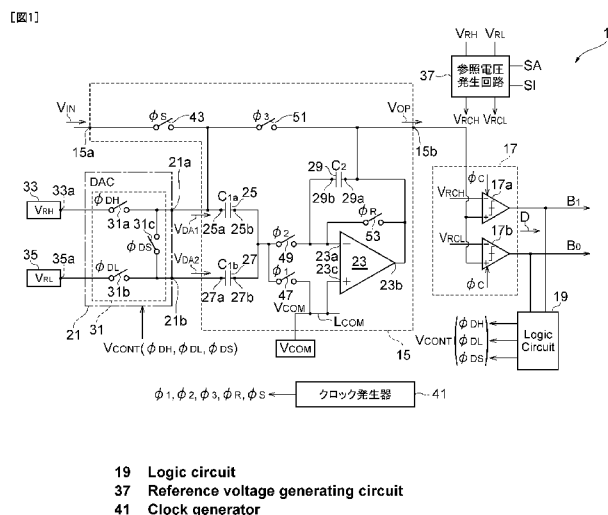
WO 2012/111821 A1

- | | |
|---|---|
| (51) 国際特許分類:
H03M 1/14 (2006.01) | (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 MY PLAZA (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP). |
| (21) 国際出願番号: PCT/JP2012/053868 | (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW. |
| (22) 国際出願日: 2012年2月17日(17.02.2012) | |
| (25) 国際出願の言語: 日本語 | |
| (26) 国際公開の言語: 日本語 | |
| (30) 優先権データ:
特願 2011-033718 2011年2月18日(18.02.2011) JP | |
| (71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学 (NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷 8 3 6 Shizuoka (JP). | |
| (72) 発明者; および | |
| (75) 発明者/出願人 (米国についてのみ): 川人 祥二 (KAWAHITO Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP). | |
| | (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, BG, BZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CZ, CY, CJ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, |

[続葉有]

(54) Title: A/D CONVERTER, IMAGE SENSOR DEVICE, AND METHOD OF GENERATING DIGITAL SIGNAL FROM ANALOG SIGNAL

(54) 発明の名称：A/D変換器、イメージセンサデバイス及びアナログ信号からデジタル信号を生成する方法



(S7) Abstract: The objective of the present invention is to attain an A/D converter that executes integration type A/D conversion, and cyclic type A/D conversion for the residual analog signal thereof, with a single-ended configuration. According to this A/D converter, a first A/D conversion operation for executing the integrating type A/D conversion, and a second A/D conversion operation for executing the cyclic type A/D conversion are attained by controlling the operation procedure of the same circuit configuration. Further, since, in the first A/D conversion operation, the capacity of a capacitor to be used for integrating the output signal is larger than the capacity of a capacitor to be used for storing an input analog signal and a reference voltage, an analog signal to be inputted for the integration type A/D conversion is attenuated according to the capacity ratio of the capacitors, before being sampled and integrated. Since the voltage range of the analog signal to be outputted in the integration type A/D conversion will become smaller according to the capacity ratio of the capacitors, an A/D converter can be configured with a single-ended configuration.

(57) 要約:

[続葉有]

WO 2012/111821 A1



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))

ML, MR, NE, SN, TD, TG).

積分型 A/D 変換と、その残差アナログ信号に対する巡回型 A/D 変換を行う A/D 変換器をシングルエンド構成により実現することを目的とする。A/D 変換器によれば、同一の回路構成における動作手順の制御により、積分型 A/D 変換を行うための第 1 の A/D 変換動作と、巡回型 A/D 変換を行うための第 2 の A/D 変換動作とが実現される。また、第 1 の A/D 変換動作において、出力信号の積分に用いられるキャパシタの容量は入力アナログ信号及び基準参照電圧の格納に用いられるキャパシタの容量より大きいので、積分型 A/D 変換において入力されるアナログ信号はその容量比に従って減衰されてサンプリング及び積分される。これ故に、積分型 A/D 変換において出力されるアナログ信号の電圧範囲も、キャパシタの容量比に従って小さくなるので、シングルエンド構成により A/D 変換器を構成できる。

明 細 書

発明の名称：

A／D変換器、イメージセンサデバイス及びアナログ信号からデジタル信号を生成する方法

技術分野

[0001] 本発明は、A／D変換器、イメージセンサデバイス及びアナログ信号からデジタル信号を生成する方法に関する。

背景技術

[0002] 特許文献1には、A／D変換器が記載されている。このA／D変換器では、入力されたアナログ信号に対して積分型（又はフォールディング積分型）A／D変換が行われると共に、フォールディング積分型A／D変換の残差アナログ信号に対して巡回型A／D変換が行われる。フォールディング積分型A／D変換では、入力信号の標本化及び標本値の積分を繰り返しながらA／D変換のための演算が行われ、アナログ信号からデジタル値が得られる。このA／D変換における方式では、積分によるノイズ低減を図りながらフォールディング動作によってダイナミックレンジが拡大されるので、低ノイズとダイナミックレンジの両立を図ることができる。

先行技術文献

特許文献

[0003] 特許文献1：国際公開2008／016049号

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載されたフォールディング積分型A／D変換器では、例えば、入力信号の電圧の範囲が0～1Vであった場合には、その出力の範囲は、－1V～1Vというように2倍になる。この場合において、フォールディング積分型A／D変換の後に行う巡回型A／D変換を全差動型の巡回型A／

D変換器で構成すれば、同じ参照電圧を用いながら、フォールディング積分における入力電圧範囲の2倍の入力電圧範囲に対応することが可能である。しかしながら、シングルエンド構成のA/D変換器により巡回型A/D変換器を構成する場合には、全差動型の1/2の入力電圧範囲にしか対応できないといった問題がある。即ち、特許文献1に記載されたA/D変換器において、シングルエンド構成のA/D変換器を適用すると、入力電圧の振幅範囲が半分に制限されることとなる。一方、かかるA/D変換器において、小面積化、低消費電力化のためシングルエンド構成を適用したいという要請があった。

[0005] そこで、本発明は、フォールディング積分によるA/D変換と、その残差アナログ信号に対する巡回型A/D変換を行うA/D変換器をシングルエンド構成により実現することを目的とする。

課題を解決するための手段

[0006] 本発明の一側面は、シングルエンド構成のA/D変換器である。このA/D変換器は、ディジタル値に変換されるアナログ信号を受ける入力、出力、並びに第1の入力、第2の入力及び出力を有する演算増幅回路を含むゲインステージと、ゲインステージの出力からの信号に基づき、変換参照電圧を参照して、1又は複数のビットを含むディジタル信号を生成するA/D変換回路と、ディジタル信号に応じて、制御信号を生成する論理回路と、第1及び第2の出力を有し、第1の基準参照電圧及び第2の基準参照電圧の少なくともいずれか一方を、制御信号に応じて第1及び第2の出力を介してゲインステージに提供するD/A変換回路とを備え、ゲインステージは、第1～第3のキャパシタを含み、第3のキャパシタの容量は、第1及び第2のキャパシタの容量より大きく、演算増幅回路の第2の入力は、基準電位を受け、第1の基準参照電圧は、第2の基準参照電圧値より高く、D/A変換回路は、制御信号に応答して、第1の出力に第1及び第2の基準参照電圧のいずれかを提供すると共に第2の出力に第1及び第2の基準参照電圧のいずれかを提供するためのスイッチ回路を含み、当該A/D変換器は、第1のA/D変換動

作と、第2のA/D変換動作を行い、第1のA/D変換動作では、ゲインステージは、演算増幅回路及び第1～第3のキャパシタにより演算値を生成する第1の演算動作と、第1の格納動作と、を行い、第1の格納動作では、第1のキャパシタは、第1の出力から供給される第1若しくは第2の基準参照電圧又はアナログ信号を格納し、第2のキャパシタは、第2の出力から供給される第1又は第2の基準参照電圧を格納し、第3のキャパシタは、演算増幅回路の出力と第1の入力との間に接続され、第1の演算動作では、第1の格納動作において第1又は第2の基準参照電圧が第1のキャパシタに格納された場合には、第1のキャパシタがアナログ信号を受ける入力と第1の入力との間に接続され、格納動作においてアナログ信号が第1のキャパシタに格納された場合には、第1のキャパシタが第1の出力と第1の入力との間に接続され、第2のキャパシタが第2の出力と第1の入力との間に接続され、第3のキャパシタが演算増幅回路の出力と第1の入力との間に接続されることにより、演算値がゲインステージの出力に生成され、第2のA/D変換動作では、ゲインステージは、演算増幅回路及び第1～第3のキャパシタにより演算値を生成する第2の演算動作と、演算値を第1及び第2のキャパシタに格納する第2の格納動作を行い、第2の演算動作では、第3のキャパシタが演算増幅回路の出力と第1の入力との間に接続されると共に第1及び第2のキャパシタがそれぞれD/A変換回路の第1又は第2の出力と第1の入力との間に接続されて、演算値が当該ゲインステージの出力に生成される。

[0007] このA/D変換器によれば、同一の回路構成において動作手順の制御を行うことにより、フォールディング積分型のA/D変換を行うための第1のA/D変換動作と、巡回型のA/D変換を行うための第2のA/D変換動作とが実現される。また、第1のA/D変換動作において、出力信号の積分に用いられる第3のキャパシタの容量は、A/D変換対象のアナログ信号及び基準参照電圧の格納に用いられる第1及び第2のキャパシタの容量より大きいので、フォールディング積分型のA/D変換において入力されるアナログ信号は、その容量比に従って減衰されてサンプリング及び積分される。これ故

に、フォールディング積分型のA/D変換において出力されるアナログ信号の電圧範囲も、キャパシタの容量比に従って小さくなるので、シングルエンド構成により当該A/D変換器を構成できる。

[0008] 本発明に係るA/D変換器では、第3のキャパシタは、第1又は第2のキャパシタの容量の2倍の容量を有する。

[0009] このA/D変換器によれば、フォールディング積分型のA/D変換において入力されるアナログ信号は、1/2に減衰されてサンプリング及び積分される。これ故に、フォールディング積分型のA/D変換において出力されるアナログ信号の電圧範囲も、キャパシタの容量比に従って1/2となるので、巡回型のA/D変換において、シングルエンド構成のA/D変換器に適した入力電圧が提供される。

[0010] 本発明に係るA/D変換器では、変換参照電圧は、第1の基準参照電圧と第2の基準参照電圧値との間の中央値であり、A/D変換回路は、1ビットのデジタル信号を生成し、論理回路は、第1及び第2の値を有する制御信号を生成する。

[0011] このA/D変換器によれば、適切に設定された一の変換参照電圧に基づきデジタル信号が生成されるので、A/D変換回路が簡易に構成されると共に、生成されたデジタル信号を受ける回路も簡易な構成なものを採用できる。

[0012] 本発明に係るA/D変換器では、第2のA/D変換動作における第1の変換参照電圧 V_{RC2H} は及び第2の変換参照電圧 V_{RC2L} はそれぞれ下記式により表される。

$$V_{RC2H} = (5 V_{RH} + 3 V_{RL}) / 8$$

$$V_{RC2L} = (3 V_{RH} + 5 V_{RL}) / 8$$

このA/D変換器によれば、適切に第2のA/D変換動作が実施される。

[0013] 本発明に係るA/D変換器では、A/D変換回路は、第1及び第2の変換参照電圧を有し、第1の変換参照電圧は、第1の基準参照電圧と第2の基準参照電圧値との間の中央値より高く且つ第1の基準参照電圧より低く、第1

のA/D変換動作における第1の変換参照電圧は、第2のA/D変換動作における第1の変換参照電圧より高く、第2の変換参照電圧は、中央値より低く且つ第2の基準参照電圧より高く、第1のA/D変換動作における第2の変換参照電圧は、第2のA/D変換動作における第2の変換参照電圧より低く、A/D変換回路は、3値のデジタル信号を生成し、論理回路は、第1～第3の値を有する制御信号を生成する。

[0014] このA/D変換器によれば、変換参照電圧が適切な電圧に設定されるので、第1のA/D変換動作及び第2のA/D変換動作が適切に実施される。

[0015] 本発明に係るA/D変換器では、第1の基準参照電圧を V_{RH} 、第2の基準参照電圧を V_{RL} 、としたときに、第1のA/D変換動作における第1の変換参照電圧 V_{RC1H} 及び第2の変換参照電圧 V_{RC1L} はそれぞれ下記式により表され、

$$V_{RC1H} = (3 V_{RH} + V_{RL}) / 4$$

$$V_{RC1L} = (V_{RH} + 3 V_{RL}) / 4$$

第2のA/D変換動作における第1の変換参照電圧 V_{RC2H} は及び第2の変換参照電圧 V_{RC2L} はそれぞれ下記式により表される。

$$V_{RC2H} = (5 V_{RH} + 3 V_{RL}) / 8$$

$$V_{RC2L} = (3 V_{RH} + 5 V_{RL}) / 8$$

このA/D変換器によれば、適切に第2のA/D変換動作が実施される。

[0016] 本発明に係るA/D変換器では、第1の格納動作では、第1のキャパシタは、第1の出力又はゲインステージの入力と基準電位との間に接続され、第2のキャパシタは、第2の出力又はゲインステージの入力と基準電位との間に接続される。

[0017] このA/D変換器によれば、第1の出力により供給される基準参照電圧又はゲインステージの入力から供給されるアナログ信号が第1のキャパシタに格納され、第2の出力により供給される基準参照電圧又はゲインステージの入力から供給されるアナログ信号が第2のキャパシタに格納される。

[0018] また、本発明の一側面は、シングルエンド構成のA/D変換器であって、

デジタル値に変換されるアナログ信号を受ける入力、出力、並びに第1の入力、第2の入力及び出力を有する演算増幅回路を含むゲインステージと、ゲインステージの出力からの信号に基づき、変換参照電圧を参照して、1又は複数のビットを含むデジタル信号を生成するA/D変換回路と、デジタル信号に応じて、制御信号を生成する論理回路と、第1及び第2の出力を有し、第1の基準参照電圧及び第2の基準参照電圧の少なくともいずれか一方を、制御信号に応じて第1及び第2の出力を介してゲインステージに提供するD/A変換回路と、第1及び第2の基準参照電圧を分圧して変換参照電圧を生成する参照電圧発生回路と、を備え、ゲインステージは、第1～第3のキャパシタを含み、第3のキャパシタの容量は、第1及び第2のキャパシタの容量より大きく、演算増幅回路の第2の入力は、基準電位を受け、第1の基準参照電圧は、第2の基準参照電圧値より高く、D/A変換回路は、制御信号に応答して、第1の出力に第1及び第2の基準参照電圧のいずれかを提供すると共に第2の出力に第1及び第2の基準参照電圧のいずれかを提供するためのスイッチ回路を含み、当該A/D変換器は、一の変換参照電圧、又は第1及び第2の変換参照電圧を参照して1ビットまたは3値のデジタル信号をA/D変換回路に生成させる第1のA/D変換動作と、第1及び第2の変換参照電圧を参照して3値のデジタル信号をA/D変換回路に生成させる第2のA/D変換動作とを行い、参照電圧発生回路は、第1の基準参照電圧と第2の基準参照電圧値との間の中央値より高く且つ第1の基準参照電圧より低い電圧を第2のA/D変換動作のための第1の変換参照電圧として生成すると共に、中央値より低く且つ第2の基準参照電圧より高い電圧を第2のA/D変換動作のための第2の変換参照電圧として生成し、中央値を第1のA/D変換のための一の変換参照電圧として生成、又は第2のA/D変換動作のための第1の変換参照電圧より高く且つ第1の基準参照電圧より低い電圧を、第1の変換動作のための第1の変換参照電圧として生成すると共に第2のA/D変換動作のための第2の変換参照電圧より低く且つ第2の基準参照電圧より高い電圧を、第1の変換動作のための第2の変換参照電圧

として生成する。

[0019] 本発明の別の側面は、イメージセンサデバイスである。このイメージセンサデバイスは、イメージセンサセルのアレイを含むセルアレイと、セルアレイに接続されており複数のA/D変換器を含む変換器アレイとを備え、A/D変換器の各々は、セルアレイのカラム線を介してイメージセンサセルに接続されており、A/D変換器の各々は、上記したA/D変換器である。このイメージセンサデバイスによれば、A/D変換器がシングルエンド型で構成されるので、イメージセンサデバイスの面積を小さくできる。

[0020] 本発明の更なる別の側面は、A/D変換器を用いてアナログ信号からデジタル信号を生成する方法である。この方法は、上記のA/D変換器を用いてアナログ信号からデジタル信号を生成する方法であって、ゲインステージの入力からのアナログ信号を第1のキャパシタに格納し、演算増幅回路の出力と第1の入力とを接続して第1の格納動作を行う第1の初期格納ステップと、第1のキャパシタを第1の出力と第1の入力との間に接続して第1の演算動作を行う第1の演算ステップと、ゲインステージの入力からのアナログ信号を第1のキャパシタに格納して第1の格納動作を行う第1の格納ステップと、第1の演算ステップ及び第1の格納ステップを所定回数繰り返して行う積分型A/D変換ステップと、積分型A/D変換ステップにおける演算値である残差アナログ信号を第1及び第2のキャパシタに格納して第2の格納動作を行う第2の初期格納ステップと、第2の演算動作を行う第2の演算ステップと、第2の演算ステップにおいてゲインステージの出力に生成された演算値を第1及び第2のキャパシタに格納して第2の格納動作を行う第2の格納ステップと、第2の演算ステップ及び第2の格納ステップを所定回数繰り返して行う巡回型A/D変換ステップと、を有する。

[0021] この方法によれば、シングルエンド構成のA/D変換器を用いて、入力されたアナログ信号がフォールディング積分によりA/D変換され、その残差アナログ信号が巡回型A/D変換されることにより、両A/D変換の結果からアナログ信号に対応するデジタル信号が生成される。

[0022] 本発明に係る、A/D変換器を用いてアナログ信号からデジタル信号を生成する方法は、上記のA/D変換器を用いて、イメージセンサセルのアレイを含むイメージセンサデバイスからのアナログ信号からデジタル信号を生成する方法であって、イメージセンサセルは、リセットレベルを示す第1の信号と該リセットレベルに重畳された信号レベルを示す第2の信号とを生成可能であり、ゲインステージの入力を介して受けた第1の信号を第1のキャパシタに格納し、ゲインステージの出力と第1の入力とを接続して第1の格納動作を行う第1の初期格納ステップと、第1のキャパシタを第1の出力と第1の入力との間に接続して第1の演算動作を行う第1のリセットレベル用演算ステップと、ゲインステージの入力からのアナログ信号を第1のキャパシタに格納して第1の格納動作を行う第1のリセットレベル用格納ステップと、第1のリセットレベル用演算ステップ及び第1のリセットレベル用格納ステップを所定回数繰り返して行う第1のリセットレベル用積分型A/D変換ステップと、第1の出力から供給される第1若しくは第2の基準参照電圧を第1のキャパシタに格納して第1の格納動作を行う第1の信号レベル用格納ステップと、第2の信号が供給されたゲインステージの入力と第1の入力との間に第1のキャパシタを接続して第1の演算動作を行う第1の信号レベル用演算ステップと、第1の信号レベル用演算ステップ及び第1の信号レベル用格納ステップを所定回数繰り返して行う第1の信号レベル用積分型A/D変換ステップと、第1の信号レベル用積分型A/D変換ステップにおける演算値である残差アナログ信号を第1及び第2のキャパシタに格納して第2の格納動作を行う第2の初期格納ステップと、第2の演算動作を行う第2の演算ステップと、第2の演算ステップにおいてゲインステージの出力に生成された演算値を第1及び第2のキャパシタに格納して第2の格納動作を行う第2の格納ステップと、第2の演算ステップ及び第2の格納ステップを所定回数繰り返して行う巡回型A/D変換ステップと、を有する。

[0023] この方法によれば、第1の信号に対する第1のリセットレベル用積分型A/D変換ステップが実施された後に、アナログ信号が逆位相で積分されるよ

うに第2の信号に対する第1の信号レベル用積分型A/D変換ステップが実施されるので、イメージセンサセルからの信号のばらつきをキャンセルできる。

発明の効果

[0024] 本発明によれば、フォールディング積分によるA/D変換と、その残差アナログ信号に対する巡回型A/D変換を行うA/D変換器をシングルエンド構成により実現することが可能となる。

図面の簡単な説明

[0025] [図1]図1は、本実施の形態に係るA/D変換器の回路ブロックを示す図面である。

[図2]図2は、図1に示された巡回型A/D変換器における参照電圧発生回路の回路図である。

[図3]図3は、図1に示された巡回型A/D変換器における参照電圧発生回路の回路図である。

[図4]図4は、イメージセンサセルを示す図面である。

[図5]図5は、図1に示されたA/D変換器における積分型A/D変換の動作を示す図面である。

[図6]図6は、シミュレーションによるゲインステージの入出力特性を示す図面である。

[図7]図7は、シミュレーションによるゲインステージの入出力特性の比較例を示す図面である。

[図8]図8は、アナログCDSを実施する場合の1水平読み出し期間における処理タイミングを示す図、及びデジタルCDSを実施する場合の1水平読み出し期間における処理タイミングを示す図である。

[図9]図9は、図1に示されたA/D変換器における巡回型A/D変換の動作を示す図面である。

[図10]図10は、図1に示されたA/D変換器における積分型A/D変換の動作を示す図面である。

[図11]図11は、図6のシミュレーションに対応する、入力信号であるアナログ信号 V_{IN} の入力レベルとデジタルカウント値との関係を示す図である。

[図12]図12は、A/D変換器における積分型A/D変換の動作を示す図面である。

[図13]図13は、図12に示した積分型A/D変換の動作における、シミュレーションによるゲインステージの入出力特性を示す図面である。

[図14]図14は、コンパレータの出力信号からデジタル値を生成するための構成を示すブロック図である。

[図15]図15は、図14に示した構成の一部の回路図である。

[図16]図16は、図14に示した構成の一部の回路図である。

発明を実施するための形態

[0026] 本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続いて、添付図面を参照しながら、本発明のA/D変換器、イメージセンサデバイス、及びアナログ信号からデジタル信号を生成する方法の実施の形態を説明する。に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

[0027] 図1は、本実施の形態に係るA/D変換器の回路図である。A/D変換器11は、いわゆるフォールディング積分型のA/D変換である第1のA/D変換動作と、巡回型A/D変換である第2のA/D変換動作を、同一の回路構成を用いて実施する。A/D変換器11は、当該A/D変換器11が有するスイッチの時系列の制御パターンの変更により、第1及び第2のA/D変換動作を実現する。

[0028] このA/D変換器11は、ゲインステージ15と、A/D変換回路17と、論理回路19と、D/A変換回路21とを備える。また、A/D変換器11は、参照電圧発生回路37及びクロック発生器41を含む。

[0029] ゲインステージ15は、デジタル値に変換されるアナログ信号 V_{IN} を受

ける入力15a、及び演算値 V_{OP} を提供する出力15bを含む。また、ゲインステージ15は、シングルエンド型の演算増幅回路23、及び第1～第3のキャパシタ25、27、29を含む。

[0030] 演算増幅回路23は、第1の入力23a、出力23b、及び第2の入力23cを有しており、出力23bの信号の位相は、第1の入力23aに与えられた信号の位相と反転している。例えば、第1及び第2の入力23a、23cは、それぞれ、反転入力端子及び非反転入力端子であり、出力23bは、非反転出力端子である。例えば、演算増幅回路23の第2の入力23cは、基準電位線 L_{COM} に接続されており、また基準電位 V_{COM} を受ける。

[0031] また、ゲインステージ15は、キャパシタ25、27、29及び演算増幅回路23の接続を行うための複数のスイッチを含む。図1に示されるスイッチ43、47、49、51、53、55の配置は一例である。これらのスイッチ43、47、49、51、53の制御は、クロック発生器41によって行われる。

[0032] また、ゲインステージ15は、第1のA/D変換動作において、第1の演算動作及び第1の格納動作を行うことができ、第2のA/D変換動作において、第2の演算動作及び第2の格納動作を行うことができる。

[0033] 第1の演算動作では、演算増幅回路23及び第1～第3のキャパシタ25、27、29により演算値 V_{OP} を生成する。

[0034] 第1の格納動作では、第1のキャパシタ25は、D/A変換回路21の第1の出力21aから供給される第1若しくは第2の基準参照電圧 V_{RH} 、 V_{RL} 又はゲインステージの入力15aから供給されるアナログ信号 V_{IN} を格納する。また、第1の格納動作では、第2のキャパシタ27は、D/A変換回路21の第2の出力21bから供給される第1又は第2の基準参照電圧 V_{RH} 、 V_{RL} を格納する。また、第1の格納動作では、第3のキャパシタ29は、演算増幅回路23の出力23bと第1の入力23aとの間に接続されることにより、演算値 V_{OP} を保持する。

[0035] また、第1の演算動作では、第1の格納動作において第1又は第2の基準

参照電圧 V_{RH} , V_{RL} が第 1 のキャパシタ 25 に格納された場合には、第 1 のキャパシタ 25 がアナログ信号 V_{IN} を受ける入力 15 a と演算増幅回路 23 の第 1 の入力 23 a との間に接続され、第 1 の格納動作においてアナログ信号 V_{IN} が第 1 のキャパシタ 25 に格納された場合には、第 1 のキャパシタ 25 が D/A 変換回路 21 の第 1 の出力 21 a と演算増幅回路 23 の第 1 の入力 23 a との間に接続される。また、第 1 の演算動作では、第 2 のキャパシタ 27 が D/A 変換回路 21 の第 2 の出力 21 b と演算増幅回路 23 の第 1 の入力 23 a との間に接続される。さらに、第 1 の演算動作では、第 3 のキャパシタ 29 が演算増幅回路 23 の出力 23 b と第 1 の入力 23 a との間に接続されることにより、演算値 V_{OP} がゲインステージ 23 の出力 15 b に生成される。

[0036] 第 2 の格納動作では、演算値 V_{OP} を第 1 及び第 2 のキャパシタ 25、27 に格納する。第 2 の演算動作では、演算増幅回路 23 及び第 1～第 3 のキャパシタ 25、27、29 により演算値 V_{OP} を生成する。即ち、第 2 の演算動作では、第 3 のキャパシタ 29 が演算増幅回路 23 の出力 23 b と第 1 の入力 23 a との間に接続されると共に第 1 及び第 2 のキャパシタ 25、27 がそれぞれ D/A 変換回路 21 の第 1 の出力 21 a 又は第 2 の出力 21 b と第 1 の入力 23 a との間に接続されて、演算値 V_{OP} が当該ゲインステージ 15 の出力 15 b に生成される。

[0037] 第 1～第 3 のキャパシタ 25、27、29 は、各種の信号値の格納及び演算のための容量である。ここで、第 3 のキャパシタ 29 の容量 C_2 は、第 1 及び第 2 のキャパシタ 25、27 の容量 C_{1a} , C_{1b} より大きい。これにより、フォールディング積分型 A/D 変換である第 1 の A/D 変換動作において入力されるアナログ信号 V_{IN} は、その容量比 (C_{1a}/C_2 , C_{1b}/C_2) に従って減衰されて積分される。これ故に、フォールディング積分型 A/D 変換において出力されるアナログ信号 V_{IN} の電圧範囲も、キャパシタの容量比に従って小さくなるので、シングルエンド構成により当該 A/D 変換器 11 を構成できる。

[0038] なお、第3のキャパシタ29は、第1のキャパシタ25又は第2のキャパシタ27の容量の2倍の容量を有する。即ち、 $C_{1a} = 1/2 \times C_2$ 及び $C_{1b} = 1/2 \times C_2$ といった関係が成立する。このようなキャパシタを有するA/D変換器11によれば、フォールディング積分型A/D変換において入力されるアナログ信号 V_{IN} は、 $1/2$ に減衰されてサンプリング及び積分される。これ故に、フォールディング積分型A/D変換において出力されるアナログ信号 V_{OP} の電圧範囲も、キャパシタの容量比に従って $1/2$ となるので、巡回型A/D変換である第2のA/D変換動作において、シングルエンド構成のA/D変換器に適した入力電圧が提供される。

[0039] A/D変換回路17は、ゲインステージ23の出力23bからの信号 V_{OP} に基づき、変換参照電圧 V_{RCH} 、 V_{RCL} に応じてデジタル信号Dを生成する。

[0040] A/D変換回路17は、例えば2つのコンパレータ17a、17bを含むことができる。コンパレータ17a、17bは、それぞれ、入力アナログ信号をそれぞれの所定の第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} と比較すると共に、図1に示されるように、比較結果信号 B_0 、 B_1 を提供する。A/D変換回路17における変換参照電圧 V_{RCH} 、 V_{RCL} は、参照電圧発生回路37によって提供される。デジタル信号Dは、A/D変換値を示す。デジタル信号Dは、例えば2ビット(B_0 、 B_1)を有しており、各ビット(B_0 、 B_1)は、「1」または「0」を取りうる。デジタル信号Dは、($D = B_0 + B_1$)と表される。A/D変換器11では、ビット(B_0 、 B_1)の組み合わせにより1回の積分動作又は一巡回毎のデジタル値は第1～第3の値($D = 0$ 、 $D = 1$ 、 $D = 2$)を有する。即ち、コンパレータ17a、17bは、以下のように動作する。

$V_{OP} > V_{RCH}$ のとき $B_1 = 1$ 、 $B_0 = 1$

$V_{RCL} < V_{OP} \leq V_{RCH}$ のとき $B_1 = 0$ 、 $B_0 = 1$

$V_{OP} \leq V_{RCL}$ のとき $B_1 = 0$ 、 $B_0 = 0$

[0041] また、A/D変換回路17は、第1のA/D変換動作において、例えば1

つのコンパレータ 17 a を用いてデジタル信号 D を生成することとしてもよい。この場合には、デジタル信号 D は、1 ビット (B_1) のみであり、2 値を表せる。また、コンパレータ 17 a において基準として用いられる信号は、変換参照電圧 V_{RCH} である。この場合には、コンパレータ 17 a は、以下のように動作する。

$V_{OP} > V_{RCH}$ のとき $B_1 = 1$

$V_{OP} \leq V_{RCH}$ のとき $B_1 = 0$

[0042] 参照電圧発生回路 37 は、第 1 及び第 2 の基準参照電圧 V_{RH} , V_{RL} に基づき、第 1 及び第 2 の変換参照電圧 V_{RCH} , V_{RCL} を生成する回路である。なお、第 1 の基準参照電圧 V_{RH} 及び第 2 の基準参照電圧 V_{RL} は、基準電圧源 33, 35 から供給される。図 2 は、参照電圧発生回路 37 の回路図の一例である。図 2 に示すように、参照電圧発生回路 37 は、例えば、第 1 及び第 2 の基準参照電圧をラダー抵抗により分圧して参照電圧を発生する回路であって、第 1 及び第 2 の基準参照電圧 V_{RH} , V_{RL} に基づき、所定の抵抗値を有する抵抗 $R_1 \sim R_5$ に応じて、電圧 V_{RC1H} , V_{RC2H} , V_{RC2L} , V_{RC1L} を生成する。第 1 の A/D 変換動作では、スイッチ S1 の動作により、第 1 及び第 2 の変換参照電圧 V_{RCH} , V_{RCL} として電圧 V_{RC1H} , V_{RC1L} が供給される。一方、第 2 の A/D 変換動作では、スイッチ SA の動作により、第 1 及び第 2 の変換参照電圧 V_{RCH} , V_{RCL} として電圧 V_{RC2H} , V_{RC2L} が供給される。

[0043] この参照電圧発生回路 37 によれば、第 1 の変換参照電圧 V_{RCH} は、第 1 の基準参照電圧 V_{RH} と第 2 の基準参照電圧値 V_{RL} との間の中央値より高く且つ第 1 の基準参照電圧 V_{RH} より低い。また、第 1 の A/D 変換動作における第 1 の変換参照電圧 V_{RCH} は、第 2 の A/D 変換動作における第 1 の変換参照電圧 V_{RCH} より高い。また、第 2 の変換参照電圧 V_{RCL} は、第 1 の基準参照電圧 V_{RH} と第 2 の基準参照電圧値 V_{RL} との間の中央値より低く且つ第 2 の基準参照電圧 V_{RL} より高い。また、第 1 の A/D 変換動作における第 2 の変換参照電圧 V_{RCL} は、第 2 の A/D 変換動作における第 2 の変換参照電圧 V_{RCL} より低い。このように第 1 及び第 2 の変換参照電圧 V_{RCH} , V_{RCL} が生成されるの

で、第1のA/D変換動作及び第2のA/D変換動作が適切に実施される。

[0044] また、例えば、抵抗 $R_1 \sim R_5$ の抵抗値を、抵抗 $R_1 = 2R$ 、抵抗 $R_2 = R$ 、抵抗 $R_3 = 2R$ 、抵抗 $R_4 = R$ 、抵抗 $R_5 = 2R$ （ R は所定の抵抗値）といった値に設定することにより、第1のA/D変換動作における第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} として、以下の式により表される電圧 V_{RC1H} 、 V_{RC1L} が供給されることが好ましい。

$$V_{RC1H} = (3V_{RH} + V_{RL}) / 4$$

$$V_{RC1L} = (V_{RH} + 3V_{RL}) / 4$$

また、第2のA/D変換動作における第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} として、以下の式により表される電圧 V_{RC2H} 、 V_{RC2L} が供給されることが好ましい。

$$V_{RC2H} = (5V_{RH} + 3V_{RL}) / 8$$

$$V_{RC2L} = (3V_{RH} + 5V_{RL}) / 8$$

このように第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} が生成されるので、より適切に第2のA/D変換動作が実施される。

[0045] また、第1のA/D変換動作において、A/D変換回路17が1つのコンパレータ17aを用いてデジタル信号Dを生成する場合における参照電圧発生回路37の回路図の一例は、図3に示される。この参照電圧発生回路37によれば、第1のA/D変換動作では、スイッチS1の動作により、第1の変換参照電圧 V_{RCH} として電圧 V_{RC1H} が供給される。一方、第2のA/D変換動作では、スイッチSAの動作により、第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} として電圧 V_{RC2H} 、 V_{RC2L} が供給される。

[0046] この参照電圧発生回路37によれば、第1のA/D変換動作における第1の変換参照電圧 V_{RCH} は、第1の基準参照電圧 V_{RH} と第2の基準参照電圧値 V_{RL} との間の中央値である。また、第2のA/D変換動作における第1及び第2の変換参照電圧 V_{RCH} 、 V_{RCL} として、以下の式により表される電圧 V_{RC2H} 、 V_{RC2L} が供給される。

$$V_{RC2H} = (5V_{RH} + 3V_{RL}) / 8$$

$$V_{RC2L} = (3 V_{RH} + 5 V_{RL}) / 8$$

[0047] 論理回路 19 は、デジタル信号 D に応じた制御信号 V_{CONT} （例えば ϕ_{DH} 、 ϕ_{DL} 、 ϕ_{DS} ）を生成する。制御信号 V_{CONT} の生成については、図 4 を参照して後述する。

[0048] D/A 変換回路 21 は、第 1 及び第 2 の出力 21a、21b を有し、第 1 の基準参照電圧 V_{RH} 及び第 2 の基準参照電圧 V_{RL} の少なくともいずれか一方を、制御信号 V_{CONT} に応じて第 1 及び第 2 の出力 21a、21b を介してゲインステージ 15 に提供する。第 1 の基準参照電圧 V_{RH} 及び第 2 の基準参照電圧 V_{RL} は、基準電圧源 33、35 から供給される。D/A 変換回路 21 は、制御信号に応答して、第 1 の出力 21a に第 1 及び第 2 の基準参照電圧 V_{RH} 、 V_{RL} のいずれかを提供すると共に第 2 の出力 21b に第 1 及び第 2 の基準参照電圧 V_{RH} 、 V_{RL} のいずれかを提供するためのスイッチ回路 31 を含む。

[0049] スイッチ回路 31 は、スイッチ 31a、31b を動作させることにより第 1 及び第 2 の基準参照電圧 V_{RH} 、 V_{RL} をそれぞれ第 1 及び第 2 の出力 21a、21b に供給し、スイッチ 31a、31c を動作させることにより第 1 の基準参照電圧 V_{RH} を第 1 及び第 2 の出力 21a、21b の両方に供給し、スイッチ 31b、31c を動作させることにより第 2 の基準参照電圧 V_{RL} を第 1 及び第 2 の出力 21a、21b の両方に供給する。D/A 変換回路 21 の第 1 及び第 2 の出力 21a、21b は、それぞれ、第 1 及び第 2 のキャパシタ 25、27 の一端 25a、27a に接続されている。スイッチ 31a～31c の開閉は、それぞれ、論理回路 17 からの制御信号 ϕ_{DH} 、 ϕ_{DS} 、 ϕ_{DL} によって制御されるので、デジタル信号 B1、B0 の値は、制御信号 ϕ_{DH} 、 ϕ_{DS} 、 ϕ_{DL} のうちのいずれがアクティブになるかを決定する。

[0050] 第 1 及び第 2 の出力 21a、21b に提供される電圧をそれぞれ V_{DA1} 、 V_{DA2} とすると、D/A 変換回路 21 は、論理回路 17 からの制御信号 V_{CONT} に応答して、例えば、

条件 $D = 2$ が満たされるとき： $V_{DA1} = V_{DA2} = V_{RH}$

条件 $D = 1$ が満たされるとき： $V_{DA1} = V_{RH}$ 、 $V_{DA2} = V_{RL}$

条件 $D = 0$ が満たされるとき : $V_{DA1} = V_{DA2} = V_{RL}$

といった制御を行う。

- [0051] また、第 1 の A/D 変換動作において、A/D 変換回路 17 が 1 つのコンパレータ 17 a を用いてデジタル信号 D を生成する構成である場合には、D/A 変換回路 21 は、コンパレータ 17 a からのデジタル信号 B_1 に基づく制御信号 V_{CONT} に応じて、以下のような制御を行う。

条件 $B_1 = 1$ が満たされるとき : $V_{DA1} = V_{RH}$ 、 $V_{DA2} = V_{RL}$

条件 $B_1 = 0$ が満たされるとき : $V_{DA1} = V_{DA2} = V_{RL}$

- [0052] 本発明の別の側面は、イメージセンサデバイスである。図 4 は、イメージセンサの画素を示す図面である。このイメージセンサデバイスは、イメージセンサセル 2 a のアレイを含むセルアレイと、セルアレイに接続されており複数の A/D 変換器 11 を含む変換器アレイとを備える。A/D 変換器 11 の各々は、セルアレイのカラム線 8 を介してイメージセンサセル 2 a に接続されている。

- [0053] イメージセンサセル 2 a は、例えば CMOS イメージセンサセルの構造を有する。フォトダイオード DF が、イメージに関連する一画素分の光 L を受ける。選択トランジスタ M_S のゲートは、行方向に伸びるロウ選択線 S に接続される。リセットトランジスタ M_R のゲートはリセット線 R に接続される。転送トランジスタ M_T のゲートは、行方向に伸びる転送選択線に接続される。フォトダイオード DF の一端は転送トランジスタ M_T を介して浮遊拡散層 FD に接続される。浮遊拡散層 FD は、リセットトランジスタ M_R を介してリセット電位線 Reset に接続されると共に、トランジスタ M_A のゲートに接続される。トランジスタ M_A の一電流端子（例えばドレイン）は、選択トランジスタ M_S を介してカラム線 8 に接続される。トランジスタ M_A は、浮遊拡散層 FD の電荷量に応じて電位を選択トランジスタ M_S を介してカラム線に提供する。

- [0054] この構造のイメージセンサセル 2 a は、リセットレベルを示す第 1 の信号と該リセットレベルに重畳された信号レベルを示す第 2 の信号とを生成可能である。即ち、イメージセンサセル 2 a は、まず、リセット制御信号 R をリ

セットトランジスタ M_R に提供し、浮遊拡散層 FD をリセットする。増幅トランジスタ M_A を介して、このリセットレベルを読み出す。次いで、電荷転送制御信号 TX を転送トランジスタ M_T に供給し、フォトダイオード DF から光誘起信号電荷を浮遊拡散層に転送する。この後、トランジスタ M_A を介して、この信号レベルを読み出す。このように、画素 $2a$ は、リセットレベルを示す第1の信号 S_1 と該リセットレベルに重畳された信号レベルを示す第2の信号 S_2 とを生成可能である。

[0055] 引き続き、図5を参照して、図1に示された A/D 変換器11における第1の A/D 変換動作を説明する。

[0056] 図5(a)では、 A/D 変換器11は、第1の初期格納ステップとしての第1の格納動作を行う。このステップでは、ゲインステージ15の入力15aを介して受けたアナログ信号 V_{IN} を第1のキャパシタ25に格納し、ゲインステージ15の出力23bと第1の入力23aとを接続する。また、第2のキャパシタ27は、第2の出力21bから供給される第2の基準参照電圧 V_{RL} を格納し、第3のキャパシタ29は、演算増幅回路23の出力23bと第1の入力23aとの間に接続される。

[0057] 第1の初期格納ステップ及び以下に説明する各ステップにおける格納及び接続は、スイッチ回路31及びスイッチ43, 47, 49, 51, 53により実現される。第1の初期格納ステップでは、制御信号($\phi_{DH}=0$, $\phi_{DS}=0$, $\phi_{DL}=1$)及びクロック信号($\phi_1=1$, $\phi_2=0$, $\phi_3=0$, $\phi_R=1$, $\phi_S=1$)により、スイッチ31c, 47, 53, 43は導通され、スイッチ31a, 31b, 49, 51は非導通とされる。

[0058] このとき、容量 C_{1a} , C_{1b} に蓄積される電荷(Q_{1a} , Q_{1b})は、

$$Q_{1a} = C_{1a} (V_{IN} - V_{COM}) \quad \dots (1)$$

$$Q_{1b} = C_{1b} (V_{RL} - V_{COM}) \quad \dots (2)$$

となる。

[0059] 第1の初期格納ステップに引き続き、 A/D 変換器11は、 $D (= B_1 + B_0)$ の値に従って、図5(b)又は図5(c)に示される、第1の演算ステッ

プとしての第1の演算動作を行う。

[0060] このステップでは、第1のキャパシタ25を第1の出力21aと第1の入力23aとの間に接続して第1の演算動作が行われる。また、第2のキャパシタ27が第2の出力21bと第1の入力23aとの間に接続され、第3のキャパシタ29が演算増幅回路23の出力23bと第1の入力23aとの間に接続されることにより、演算値 V_{OP} がゲインステージ15の出力15bに生成される。第1の演算ステップでは、クロック信号($\phi_1=0$, $\phi_2=1$, $\phi_3=0$, $\phi_R=0$, $\phi_S=0$)により、スイッチ49は導通され、スイッチ47, 51, 53, 43は非導通とされる。

[0061] D/A変換回路21の第1の出力21a及び第2の出力21bには、コンパレータ17a, 17bからの出力値D($=B_1+B_0$)に従ったスイッチ回路31の制御により、第1の基準参照電圧 V_{RH} または第2の基準参照電圧 V_{RL} が提供される。

[0062] コンパレータ17a, 17bは、以下のように動作する。

$$\begin{aligned} V_{OP} > V_{RCH} \text{ のとき} & \quad B_1 = 1, B_0 = 1 \\ V_{RCL} < V_{OP} \leq V_{RCH} \text{ のとき} & \quad B_1 = 0, B_0 = 1 \\ V_{OP} \leq V_{RCL} \text{ のとき} & \quad B_1 = 0, B_0 = 0 \quad \dots (3) \end{aligned}$$

[0063] $D=2$ のときには、D/A変換回路21の第1の出力21a及び第2の出力21bから第1の基準参照電圧 V_{RH} が提供されるように制御されながら図5(b)の動作が行われる。一方、 $D=0$ のときには、D/A変換回路21の第1の出力21a及び第2の出力21bから第2の基準参照電圧 V_{RL} が提供されるように制御されながら図5(b)の動作が行われる。さらに、 $D=1$ のときには、D/A変換回路21の第1の出力21a及び第2の出力21bからそれぞれ第1の基準参照電圧 V_{RH} 及び第2の基準参照電圧 V_{RL} が提供されるように制御されながら図5(c)の動作が行われる。この動作の結果の出力値をD(2)とする。

[0064] 例えば、第1の初期格納ステップでは、 $V_{OP}=V_{COM}$ であるので、 $B_1=0$, $B_0=1$ となる。従って、 $D=1$ であるので、図5(c)に示される動作が

行われる。このときの出力 V_{OP} は以下のようになる。

[数1]

$$\begin{aligned} V_{OP}(1) &= V_{COM} + \frac{C_{1a}(V_{IN} - V_{RL}) + C_{1b}(V_{RL} - V_{RL})}{2} \\ &= V_{COM} + \frac{1}{2}(V_{IN} - V_{RL}) \quad \dots(4) \end{aligned}$$

[0065] 続いて、A/D変換器11は、図5(d)に示される第1の格納動作を第1の格納ステップとして行う。第1の格納ステップでは、第3のキャパシタ29を演算増幅回路23の出力23bと第1の入力23aとの間に接続することで演算値 V_{OP} を容量 C_2 に保持したままで、ゲインステージ15の入力15aからのアナログ信号 V_{IN} を第1のキャパシタ25に格納し、第2の出力21bから供給される第2の基準参照電圧 V_{RL} を第2のキャパシタ27に格納する。第1の格納ステップでは、制御信号($\phi_{DH}=0$, $\phi_{DS}=0$, $\phi_{DL}=1$)及びクロック信号($\phi_1=1$, $\phi_2=0$, $\phi_3=0$, $\phi_R=0$, $\phi_S=1$)により、スイッチ31c, 47, 43は導通され、スイッチ31a, 31b, 49, 51, 53は非導通とされる。

[0066] 次いで、D(2)の値に応じて、A/D変換器11は、図5(b)又は図5(c)に示される、第1の演算ステップとしての第1の演算動作を行う。即ち、出力値Dの値に応じて図5(b)及び図5(c)に示される第1の演算動作のいずれかを選択しながら、A/D変換器11は、第1の演算ステップ及び第1の格納ステップを所定回数繰り返して行う積分型A/D変換ステップを実施する。

[0067] このときの演算値は、以下の式(5)により表される。

[数2]

$$\begin{aligned} V_{OP}(2) &= V_{OP}(1) + \frac{C_{1a}V_{IN} + C_{1b}V_{RL} - C_{1a}(V_{RH}B_0 + V_{RL}\overline{B_0}) - C_{1b}(V_{RH}B_1 + V_{RL}\overline{B_1})}{C_2} \\ &= V_{OP}(1) + \frac{1}{2}(V_{IN} - V_{RL}) - \Delta V_R D(2) \quad \dots(5) \end{aligned}$$

ここで、式（５）における ΔV_R は以下の式（６）により表される。

[数3]

$$\Delta V_R = \frac{1}{2}(V_{RH} - V_{RL}) \quad \cdots(6)$$

[0068] 積分型A／D変換ステップにおいて、第１の演算ステップ及び第１の格納ステップをM回繰り返して、サンプリング及び積分を行ったときの演算値 V_{OP} は、以下の式（７）により表される。

[数4]

$$V_{OP}(M) = V_{COM} + \frac{M}{2}(V_{IN} - V_{RL}) - \Delta V_R \sum_{i=1}^M D(i) \quad \cdots(7)$$

[0069] 式（７）の右辺第２項に示されるように、入力信号であるアナログ信号 V_I に $1/2$ のゲインをかけて、M回のサンプリングを行い、フォールディング積分型のA／D変換を行うと、その出力（演算値 V_{OP} ）の振幅範囲は、入力信号と同じになる。

[0070] 図６は、シミュレーションにより求めたゲインステージ１５の積分型A／D変換器としての動作（フォールディング積分型のA／D変換）時における入出力特性を示す図面である。図６（ａ）は、（ $V_{RH} = 2\text{ V}$ 、 $V_{RL} = 1\text{ V}$ 、演算動作における参照電圧 $V_{RI} = V_{RL}$ 、 $V_{COM} = 1.5\text{ V}$ 、サンプリング回数 $M = 16$ ）の条件における入出力特性を示す図である。図６（ａ）に示されるように、 $1.5 \sim 2.5\text{ V}$ の振幅 1 V の入力に対して、出力は、 $1 \sim 2\text{ V}$ となっており、その振幅は 1 V の範囲に収められている。

[0071] なお、以上の説明は、演算動作における参照電圧 V_{RI} として第２の基準参照電圧 V_{RL} を採用した場合の例である。即ち、図５（ａ）及び（ｄ）において、第２のキャパシタ２７に第２の基準参照電圧 V_{RL} が供給されている。これに対して、演算動作における参照電圧 V_{RI} として第１の基準参照電圧 V_{RH} を採用してもよい。第１の基準参照電圧 V_{RH} を採用した場合には、出力の絶対値は、第２の基準参照電圧 V_{RL} を採用した場合と相違する。この場合には

、式（７）は、以下の式（８）に変形される。

[数5]

$$V_{OP}(M) = V_{COM} + \frac{M}{2}(V_{IN} - V_{RH}) - \Delta V_R \sum_{i=1}^M (D(i) - 1) \quad \dots(8)$$

[0072] また、図６（ｂ）は、（ $V_{RH} = 2.5 \text{ V}$ 、 $V_{RL} = 1.5 \text{ V}$ 、演算動作における参照電圧 $V_{RI} = V_{RH}$ 、 $V_{COM} = 2.0 \text{ V}$ 、サンプリング回数 $M = 16$ ）の条件における入出力特性を示す図である。図６（ｂ）に示されるように、 $1.0 \sim 2.0 \text{ V}$ の振幅 1 V の入力に対して、出力は、 $1.5 \sim 2.5 \text{ V}$ となっており、その振幅は 1 V の範囲に収められている。

[0073] ここで、図６（ａ）に示した入出力特性と対比して、コンパレータ１７ａ，１７ｂに供給される第１及び第２の変換参照電圧 V_{RCH} 、 V_{RCL} を変更した場合に例を図７に示す。図６（ａ）に示した入出力特性の例では、第１及び第２の変換参照電圧 V_{RCH} 、 V_{RCL} は、以下に示す値であった。

$$V_{RCH} = (3 V_{RH} + V_{RL}) / 4 = 1.75 \text{ V}$$

$$V_{RCL} = (V_{RH} + 3 V_{RL}) / 4 = 1.25 \text{ V}$$

これに対して、図７に示す入出力特性の例では、第１及び第２の変換参照電圧 V_{RCH} 、 V_{RCL} は、以下に示す値である。

$$V_{RCH} = (5 V_{RH} + 3 V_{RL}) / 8 = 1.625 \text{ V}$$

$$V_{RCL} = (3 V_{RH} + 5 V_{RL}) / 8 = 1.375 \text{ V}$$

図７に示されるように、第１及び第２の変換参照電圧 V_{RCH} 、 V_{RCL} が変更されると、ゲインステージ１５における積分型Ａ／Ｄ変換が好適に実施されない。従って、第１及び第２の変換参照電圧 V_{RCH} 、 V_{RCL} は、図６（ａ）の入出力特性が得られたときのような値に設定されることが好ましい。

[0074] イメージセンサセルからの信号に対する相関２重サンプリング（ＣＤＳ）をアナログ領域で行うか（アナログＣＤＳ）、ディジタル領域で行うか（ディジタルＣＤＳ）により、いわゆるフォールディング積分型Ａ／Ｄ変換である積分型Ａ／Ｄ変換ステップにおける入力信号、及び積分型Ａ／Ｄ変換の後

に行う巡回型A/D変換の実施の仕方が異なる。図8（a）は、アナログCDSを実施する場合の1水平読み出し期間における処理タイミングを示す図である。また、図8（b）は、ディジタルCDSを実施する場合の1水平読み出し期間における処理タイミングを示す図である。

[0075] 図8（a）に示すように、アナログCDSを実施する場合には、期間 S_{fr1} において、イメージセンサセルから出力されリセットレベルを示す第1の信号をゲインステージ15に入力されるアナログ信号 V_{IN} として、積分型A/D変換を実施する（第1のリセットレベル用積分型A/D変換ステップ）。続いて、期間 S_{fs1} において、リセットレベルに重畳された信号レベルを示す第2の信号をゲインステージ15に入力されるアナログ信号 V_{IN} として、積分型A/D変換を実施する（第1の信号レベル用積分型A/D変換ステップ）。この第1の信号レベル用積分型A/D変換ステップでは、後に図9を参照して説明するように、積分器である第3のキャパシタ29に転送される電荷の極性が、第1のリセットレベル用積分型A/D変換ステップとは逆になるように演算が行われる。これにより、信号レベルがA/D変換されて得られるディジタル値における上位ビットの値が得られる。ここで得られるディジタル値では、ノイズがキャンセルされている。そして、期間 S_{cs1} において、第1の信号レベル用積分型A/D変換ステップの結果として得られる残差アナログ信号を入力信号として巡回型A/D変換が実施される。これにより、信号レベルがA/D変換されて得られるディジタル値における下位ビットの値が得られる。

[0076] また、図8（b）に示すように、ディジタルCDSを実施する場合には、期間 S_{fr2} において、イメージセンサセルから出力されリセットレベルを示す第1の信号をゲインステージ15に入力されるアナログ信号 V_{IN} として、積分型A/D変換が実施される（第1の信号に対する積分型A/D変換ステップ）。これにより、リセットレベルがA/D変換されて得られるディジタル値における上位ビットの値が得られる。続いて、期間 S_{cr2} において、第1の信号に対する積分型A/D変換ステップの結果として得られる残差アナログ

信号を入力信号として巡回型A/D変換が実施される（第1の信号に対する巡回型A/D変換ステップ）。これにより、リセットレベルがA/D変換されて得られるデジタル値における下位ビットの値が得られる。従って、期間 S_{fr2} 及び期間 S_{cr2} において、リセットレベルがA/D変換されたデジタル値が得られる。

[0077] 続いて、期間 S_{fs2} において、リセットレベルに重畳された信号レベルを示す第2の信号をゲインステージ15に入力されるアナログ信号 V_{IN} として、積分型A/D変換を実施する（第2の信号に対する積分型A/D変換ステップ）。これにより、第2の信号がA/D変換されて得られるデジタル値における上位ビットの値が得られる。そして、期間 S_{cs2} において、第2の信号に対する積分型A/D変換ステップの結果として得られる残差アナログ信号を入力信号として巡回型A/D変換が実施される。これにより、第2の信号がA/D変換されて得られるデジタル値における下位ビットの値が得られる。従って、期間 S_{fs2} 及び期間 S_{cs2} において、リセット信号がA/D変換されたデジタル値が得られる。従って、期間 S_{fs2} 及び期間 S_{cs2} において、第2の信号がA/D変換されたデジタル値が得られる。そして、期間 S_{fs2} 及び期間 S_{cs2} において得られたデジタル値から、期間 S_{fr2} 及び期間 S_{cr2} において得られたデジタル値を減ずることにより、セル間の出力のばらつき及びノイズがキャンセルされた、信号レベルのデジタル値が得られる。

[0078] 次に、図9を参照して、A/D変換器11における、巡回型A/D変換ステップとしての巡回型A/D変換の動作を説明する。この巡回型A/D変換は、例えば、図8における期間 S_{cs1} 、 S_{cr2} 、 S_{cs2} において行われる。

[0079] まず、ゲインステージ15は、図9(a)に示すような、第2の初期格納ステップとしての第2の格納動作を実施する。このステップでは、第1の信号レベル用積分型A/D変換ステップ（期間 S_{fs1} ）、又は積分型A/D変換ステップ（期間 S_{fr2} 又は期間 S_{fs2} ）における演算値 V_{OP} である残差アナログ信号を第1、第2及び第3のキャパシタ25、27、29に格納する。こ

のステップでは、制御信号 ($\phi_{DH}=0$, $\phi_{DS}=1$, $\phi_{DL}=0$) 及びクロック信号 ($\phi_1=1$, $\phi_2=0$, $\phi_3=1$, $\phi_R=0$, $\phi_S=0$) により、スイッチ 31c, 47, 51 は導通され、スイッチ 31a, 31b, 43, 49, 53 は非導通とされる。また、このステップでは、第1の信号レベル用積分型 A/D 変換ステップ、又は積分型 A/D 変換ステップにおける演算値 V_{OP} がコンパレータ 17a, 17b に提供される。コンパレータ 17a, 17b は、提供された演算値 V_{OP} に基づき、デジタル信号 B_1 , B_0 を生成する。

[0080] 続いて、ゲインステージ 15 は、第2の初期格納ステップに引き続き、 $D (=B_1+B_0)$ の値に従って、図9 (b) 又は図9 (c) に示される、第2の演算ステップとしての第2の演算動作を行う。第2の演算動作では、ゲインステージ 15 は、演算増幅回路 23 及びキャパシタ 25, 27, 29 により演算値 V_{OP} を生成する。第2の演算動作では、第3のキャパシタ 29 が演算増幅回路 15 の出力 15b と入力 15a との間に接続されると共に、第1のキャパシタ 25 が第1の出力 21a と第1の入力 23a との間に接続され、第2のキャパシタ 27 が第2の出力 21b と第1の入力 23a との間に接続される。第2の演算ステップでは、クロック信号 ($\phi_1=0$, $\phi_2=1$, $\phi_3=0$, $\phi_R=0$, $\phi_S=0$) により、スイッチ 49 は導通され、スイッチ 47, 51, 53, 43 は非導通とされる。

[0081] D/A 変換回路 21 の第1の出力 21a 及び第2の出力 21b には、コンパレータ 17a, 17b からの出力値 $D (=B_1+B_0)$ に従ってスイッチ回路 31 が制御され、第1の基準参照電圧 V_{RH} または第2の基準参照電圧 V_{RL} が提供される。

[0082] コンパレータ 17a, 17b は、以下のように動作する。

$V_{OP} > V_{RCH}$ のとき $D = 2$ ($B_1 = 1$, $B_0 = 1$)

$V_{RCL} < V_{OP} \leq V_{RCH}$ のとき $D = 1$ ($B_1 = 0$, $B_0 = 1$)

$V_{OP} \leq V_{RCL}$ のとき $D = 0$ ($B_1 = 0$, $B_0 = 0$)

[0083] $D = 2$ のときには、D/A 変換回路 21 の第1の出力 21a 及び第2の出力 21b から第1の基準参照電圧 V_{RH} が提供されるように制御されながら図

9 (b) の動作が行われる。一方、 $D = 0$ のときには、 D/A 変換回路 21 の第 1 の出力 21 a 及び第 2 の出力 21 b から第 2 の基準参照電圧 V_{RL} が提供されるように制御されながら図 9 (b) の動作が行われる。さらに、 $D = 1$ のときには、 D/A 変換回路 21 の第 1 の出力 21 a 及び第 2 の出力 21 b からそれぞれ第 1 の基準参照電圧 V_{RH} 及び第 2 の基準参照電圧 V_{RL} が提供されるように制御されながら図 9 (c) の動作が行われる。

[0084] 続いて、ゲインステージ 15 は、第 2 の演算ステップに引き続き、図 9 (a) に示される、第 2 の格納ステップとしての第 2 の格納動作を行う。

[0085] 第 2 の格納ステップでは、第 2 の演算ステップにおける演算値 V_{OP} を第 1、第 2 及び第 3 のキャパシタ 25, 27, 29 に格納する点において、第 2 の初期格納ステップと相違する。

[0086] そして、ゲインステージ 15 は、巡回型 A/D 変換ステップとして、第 2 の演算ステップ及び第 2 の格納ステップを所定回数繰り返して行う。

[0087] 次に、図 10 を参照して、例えば図 8 (a) における期間 S_{fs1} において実施されるような積分型 A/D 変換動作を説明する。図 10 は、前述したように、アナログ CDS を実施する場合における、リセットレベルに重畳された信号レベルを示す第 2 の信号に対する積分型 A/D 変換動作の例を示している。即ち、積分器を構成するキャパシタに転送される電荷の極性が、リセットレベルを示す第 1 の信号に対して実施された積分型 A/D 変換 (図 5 参照) とは逆になるように、 A/D 変換動作が行われる。

[0088] まず、ゲインステージ 15 は、1 ステップ前の演算動作における出力値 D の値に従って、 A/D 変換器 11 は、図 10 (a) 又は図 10 (b) に示される第 1 の信号レベル用格納ステップとしての第 1 の格納動作を行う。このステップでは、ゲインステージ 15 は、第 3 のキャパシタ 29 を演算増幅回路 23 の出力 23 b と第 1 の入力 23 a との間に接続することで第 1 のリセットレベル用積分型 A/D 変換ステップにおける演算値 V_{OP} を容量 C_2 に保持したままで、第 1 の出力 21 a から供給される第 1 の基準参照電圧 V_{RH} 又は第 2 の基準参照電圧 V_{RL} を第 1 のキャパシタ 25 に格納し、第 2 の出力 21

bから供給される第1の基準参照電圧 V_{RH} 又は第2の基準参照電圧 V_{RL} を第2のキャパシタ27に格納する。

[0089] $D=2$ のときには、 D/A 変換回路21の第1の出力21a及び第2の出力21bから第2の基準参照電圧 V_{RL} が提供されるように制御されながら図10(a)の動作が行われる。一方、 $D=0$ のときには、 D/A 変換回路21の第1の出力21a及び第2の出力21bから第1の基準参照電圧 V_{RH} が提供されるように制御されながら図10(a)の動作が行われる。さらに、 $D=1$ のときには、 D/A 変換回路21の第1の出力21a及び第2の出力21bからそれぞれ第1の基準参照電圧 V_{RH} 及び第2の基準参照電圧 V_{RL} が提供されるように制御されながら図10(b)の動作が行われる。

[0090] 続いて、ゲインステージ15は、図10(c)に示される第1の信号レベル用演算ステップとしての第1の演算動作を行う。このステップでは、ゲインステージ15は、第2の信号が供給されたゲインステージ15の入力 V_{IN} と第1の入力23aとの間に第1のキャパシタ25を接続し、第2の出力21bと第1の入力23aとの間に第2のキャパシタ27を接続する。

[0091] 第1又は第2の基準参照電圧が第1及び第2のキャパシタ25、27に供給された後に、アナログ信号 V_{IN} 及び演算増幅回路23における参照電圧 V_{RI} が第1及び第2のキャパシタ25、27に供給されるので、アナログ信号 V_{IN} に関する電荷は、図5に示した、積分型 A/D 変換とは逆の極性により積分器に転送される。

[0092] 演算増幅回路23における参照電圧 V_{RI} が、($V_{RI}=V_{RL}$)である場合には、このときの演算値 $V_{OP}(M+1)$ は、以下の式(9)により表される。

[数6]

$$V_{OP}(M+1) = V_{OP}(M) - \frac{1}{2}(V_{IN} - V_{RL}) + \Delta V_R D(M+1) \quad \dots(9)$$

さらに、第1の信号レベル用演算ステップ及び第1の信号レベル用格納ステップを M 回繰り返したときの演算値 $V_{OP}(2M)$ は、以下の式(10)によ

り表される。

[数7]

$$V_{OP}(2M) = V_{OP}(M) - \frac{M}{2}(V_{IN} - V_{RL}) + \Delta V_R \sum_{i=1}^M D(M+i) \quad \dots(10)$$

また、 $V_{RI} = V_{RH}$ である場合には、式(10)は、以下の式(11)のように変形される。

[数8]

$$V_{OP}(2M) = V_{OP}(M) - \frac{M}{2}(V_{IN} - V_{RH}) + \Delta V_R \sum_{i=1}^M (D(M+i) - 1) \quad \dots(11)$$

[0093] また、第1のリセットレベル用積分型A/D変換ステップ(1～M回目のサンプリング及び積分)において、ゲインステージ15の入力15aに提供されるアナログ信号 V_{IN} は、リセットレベルの信号 V_{RES} であり、第1の信号レベル用積分型A/D変換ステップ(M+1～2M回目のサンプリング及び積分)において、ゲインステージ15の入力15aに提供されるアナログ信号 V_{IN} は、信号レベルの信号 V_{SIG} であるので、式(10)は、式(12)のように表される。

[数9]

$$V_{OP}(2M) = V_{COM} + \frac{M}{2}(V_{RES} - V_{SIG}) + \Delta V_R \left(\sum_{i=1}^M D(M+i) - \sum_{i=1}^M D(i) \right) \quad \dots(12)$$

さらに、式(12)は、以下の式(13)のように表される。

[数10]

$$\frac{M(V_{RES} - V_{SIG})}{2\Delta V_R} = \frac{V_{OP}(2M) - V_{COM}}{\Delta V_R} + \left(\sum_{i=1}^M D(i) - \sum_{i=1}^M D(M+i) \right) \quad \dots(13)$$

さらに、式(13)は、式(6)を用いて、以下の式(14)のように表される。

[数11]

$$\frac{M(V_{RES} - V_{SIG})}{V_{RH} - V_{RL}} = 2 \frac{V_{OP}(2M) - V_{COM}}{V_{RH} - V_{RL}} + \left(\sum_{i=1}^M D(i) - \sum_{i=1}^M D(M+i) \right) \quad \dots(14)$$

[0094] 式(14)の右辺における $V_{OP}(2M)$ に対して m ビットの巡回型A/D変換を行うことにより、式(14)の右辺第1項の $(V_{OP}(2M) - V_{COM}) / (V_{RH} - V_{RL})$ は、 -0.5 から 0.5 までの値をとるデジタル値に変換される。このデジタル値を X として、以下の式(15)のように表す。

[数12]

$$X = \left[\frac{V_{OP}(2M) - V_{COM}}{V_{RH} - V_{RL}} \right] \quad \dots(15)$$

ここで、かっこ $[\]$ は、かっこ内の値のデジタル値を意味する。

さらに、値 Y を式(16)のように表す。

[数13]

$$Y = \left[\frac{V_{RES} - V_{SIG}}{V_{RH} - V_{RL}} \right] \quad \dots(16)$$

式(14)は、値 X 、 Y を用いて、以下の式(17)のように表される。

[数14]

$$Y = 2 \frac{X}{M} + \frac{1}{M} \left(\sum_{i=1}^M D(i) - \sum_{i=1}^M D(M+i) \right) \quad \dots(17)$$

[0095] 式(17)は、求められるべき $M(V_{RES} - V_{SIG})$ に対するデジタル値が、巡回型A/D変換の結果とフォールディング積分型A/D変換の結果(デジタルカウント値)とによって表されることを意味する。フォールディング積分型A/D変換の結果を n ビットとすると、本実施形態のA/D変換器11は、 $(n+m-1)$ ビットのデジタル値を得るA/D変換を実施で

きる。なお、フォールディング積分型 A/D 変換の結果であるデジタルカウンタ値は、A/D 変換回路 17 の後段に設けられたカウンタ回路により出力値 D ($B_1 + B_0$ 又は B_1) に 1 が現れた回数が取得されることにより得られる。このカウンタ値の取得については後述する。

[0096] 図 11 は、図 6 のシミュレーションに対応する入力信号であるアナログ信号 V_{IN} の入力レベルとデジタルカウンタ値との関係を示す図である。図 11 (a) 及び (b) に示されるように、積分型 A/D 変換における 16 回のサンプリング及び積分及び 1.0 V の入力範囲に対し、デジタルカウンタ値は、15 階調の値を取り得る。従って、このデジタルカウンタ値の範囲は、約 4 ビットで表される。

[0097] 式 (13) における

[数15]

$$\left(\sum_{i=1}^M D(i) - \sum_{i=1}^M D(M+i) \right)$$

の項は、入力レベルの範囲が 1.0 V である場合に、0 ~ 14 の範囲の値を取りうるので、4 ビットで表される。従って、例えば、巡回型 A/D 変換を 12 ビットの出力結果が得られるように実施した場合には、カウンタ値の上位ビットを 1 ビットシフトして線形の信号を生成することから、本実施形態の A/D 変換器 11 は、15 ビット (= (12 + 4 - 1) ビット) にほぼ相当するダイナミックレンジを有することができる。以上説明したように、本実施形態の A/D 変換器 11 は、フォールディング積分型の A/D 変換である積分型 A/D 変換によるノイズ低減の効果を十分に得ながら、広いダイナミックレンジを有するデジタル信号の出力をすることができる。

[0098] 引き続き、図 12 を参照して、A/D 変換回路 17 が 1 つのコンパレータ 17a を用いてデジタル信号 D を生成する場合における第 1 の A/D 変換動作を説明する。

[0099] 図 12 (a) では、ゲインステージ 15 は、第 1 の初期格納ステップとし

ての第1の格納動作を行う。このステップでは、ゲインステージ15の入力15aを介して受けたアナログ信号 V_{IN} を第1のキャパシタ25に格納し、ゲインステージ15の出力23bと第1の入力23aとを接続する。また、第2のキャパシタ27は、第2の出力21bから供給される第2の基準参照電圧 V_{RL} を格納し、第3のキャパシタ29は、演算増幅回路23の出力23bと第1の入力23aとの間に接続される。

[0100] 第1の初期格納ステップ及び以下に説明する各ステップにおける格納及び接続は、スイッチ回路31及びスイッチ43, 47, 49, 51, 53により実現される。第1の初期格納ステップでは、制御信号($\phi_{DH}=0$, $\phi_{DS}=0$, $\phi_{DL}=1$)及びクロック信号($\phi_1=1$, $\phi_2=0$, $\phi_3=0$, $\phi_R=1$, $\phi_S=1$)により、スイッチ31c, 47, 53, 43は導通され、スイッチ31a, 31b, 49, 51は非導通とされる。

[0101] 第1の初期格納ステップに引き続き、A/D変換器11は、D(=B₁)の値に従って、図12(b)又は図12(c)に示される、第1の演算ステップとしての第1の演算動作を行う。

[0102] このステップでは、第1のキャパシタ25を第1の出力21aと第1の入力23aとの間に接続して第1の演算動作が行われる。また、第2のキャパシタ27が第2の出力21bと第1の入力23aとの間に接続され、第3のキャパシタ29が演算増幅回路23の出力23bと第1の入力23aとの間に接続されることにより、演算値 V_{OP} がゲインステージ15の出力15bに生成される。第1の演算ステップでは、クロック信号($\phi_1=0$, $\phi_2=1$, $\phi_3=0$, $\phi_R=0$, $\phi_S=0$)により、スイッチ49は導通され、スイッチ47, 51, 53, 43は非導通とされる。

[0103] D/A変換回路21の第1の出力21a及び第2の出力21bには、コンパレータ17aからの出力値D(=B₁)に従ったスイッチ回路31の制御により、第1の基準参照電圧 V_{RH} または第2の基準参照電圧 V_{RL} が提供される。

[0104] コンパレータ17aは、以下のように動作する。

$V_{OP} > V_{RCH}$ のとき $B_1 = 1$

$V_{OP} \leq V_{RCH}$ のとき $B_1 = 0$

[0105] $D = 0$ ($B_1 = 0$) のときには、 D/A 変換回路21の第1の出力21a及び第2の出力21bからそれぞれ第1の基準参照電圧 V_{RH} 及び第2の基準参照電圧 V_{RL} が提供されるように制御されながら図12(b)の動作が行われる。一方、 $D = 1$ のときには、 D/A 変換回路21の第1の出力21a及び第2の出力21bから第2の基準参照電圧 V_{RL} が提供されるように制御されながら図12(b)の動作が行われる。

[0106] 続いて、ゲインステージ15は、図12(d)に示される第1の格納動作を第1の格納ステップとして行う。第1の格納ステップでは、第3のキャパシタ29を演算増幅回路23の出力23bと第1の入力23aとの間に接続することで演算値 V_{OP} を容量 C_2 に保持したままで、ゲインステージ15の入力15aからのアナログ信号 V_{IN} を第1のキャパシタ25に格納し、第2の出力21bから供給される第2の基準参照電圧 V_{RL} を第2のキャパシタ27に格納する。第1の格納ステップでは、制御信号($\phi_{DH} = 0$, $\phi_{DS} = 0$, $\phi_{DL} = 1$)及びクロック信号($\phi_1 = 1$, $\phi_2 = 0$, $\phi_3 = 0$, $\phi_R = 0$, $\phi_S = 1$)により、スイッチ31c, 47, 43は導通され、スイッチ31a, 31b, 49, 51, 53は非導通とされる。

[0107] 次いで、ゲインステージ15は、出力値 D の値に応じて図12(b)及び図12(c)に示される第1の演算動作のいずれかを選択しながら、第1の演算ステップ及び第1の格納ステップを所定回数繰り返して行う積分型 A/D 変換ステップを実施する。

[0108] 図13は、 A/D 変換回路17が1つのコンパレータ17aを用いてデジタル信号 D を生成する場合における、ゲインステージ15の積分型 A/D 変換器としての動作(フォールディング積分型の A/D 変換)時のシミュレーションにより求めた入出力特性を示す図面である。このシミュレーションにおける条件は、($V_{RH} = 2.5V$ 、 $V_{RL} = 1.5V$ 、演算動作における参照電圧 $V_{RI} = V_{RL}$ 、 $V_{COM} = 2.0V$ 、サンプリング及び積分回数 $M = 16$)

）である。図13に示されるように、1.5～2.5Vの振幅1Vの入力に対して、出力は、1.5～2.5Vとなっており、その振幅は1Vの範囲に収められている。

[0109] 次に、図14～16を参照して、第1のA/D変換動作であるフォールディング積分型A/D変換の出力値Dに基づき、A/D変換の結果としてのデジタル値を生成するためのデジタル部DCの構成を説明する。図14(a)は、A/D変換回路17が2つのコンパレータ17a, 17b及び2つの変換参照電圧 V_{RCH} , V_{RCL} を用いてデジタル信号Dを生成する場合におけるデジタル部DC_Aを示す図である。デジタル部DC_Aは、コンプリメント部CP_A、加算器AD_A、レジスタRG_{1A}及びレジスタRG_{2A}を含む。また、図15は、図14(a)に示したコンプリメント部CP_A、加算器AD_A、レジスタRG_{1A}の詳細な構成を示す図である。図15に示す例では、5ビットのデジタル値が得られる。以下、図14(a)及び図15を参照して、これらの構成の動作を説明する。

[0110] まず5ビットのレジスタRG_{1A}（5個のフリップフロップFFからなる）にリセット信号resetを与えて、それらの出力を0にする。積分型A/D変換における積分の1サイクル毎に、レジスタRG_{1A}の出力と、積分型A/D変換の2つのコンパレータ17a, 17bからの2ビットの出力(B₁, B₀)とが加算器AD_A（5個の全加算器FAからなる）により加算され、更にクロックを加えて、その出力結果をレジスタRG_{1A}に格納する。これらの加算及び格納を繰り返すことにより、2ビットの出力がデジタル積分されることとなる。リセットレベルを示す第1の信号のA/D変換を実施する場合には、コンプリメント部CP_Aに提供される信号Compを0に設定する。これにより、コンプリメント部CP_Aの出力は、($X_2=0$, $X_3=0$, $X_4=0$)となる。そして、入力が($B_0=0$, $B_1=0$)の時は、出力が($X_0=0$, $X_1=0$)となるので、値の加算は行われない。また、入力が($B_0=1$, $B_1=0$)の時は、出力が($X_0=1$, $X_1=0$)となるので、値が1ずつ加算される。さらに、入力が($B_0=1$, $B_1=1$)の時は、出力が($X_0=0$, $X_1=$

1) となるので、値が2ずつ加算される。

[0111] 一方、信号レベルを示す第2の信号のA/D変換を実施する場合には、コンプリメント部 CP_A に提供される信号 $Comp$ を1に設定する。これにより、コンプリメント部 CP_A の出力は、 $(X_2=1, X_3=1, X_4=1)$ となる。そして、入力が $(B_0=0, B_1=0)$ の時は、出力が $(X_0=0, X_1=0, X_2=0, X_3=0, X_4=0)$ となり、値の加算は行われない。また、入力が $(B_0=1, B_1=0)$ の時は、出力が $(X_0=1, X_1=1, X_2=1, X_3=1, X_4=1)$ となり、これを2の補数として考えると、値が-1ずつ加算される。さらに、入力が $(B_0=1, B_1=1)$ の時は、出力が $(X_0=0, X_1=1, X_2=1, X_3=1, X_4=1)$ となり、これを2の補数として考えると、値が-2ずつ加算される。

[0112] 以上のような構成により、リセットレベル及び信号レベルのそれぞれに対して積分を繰り返す毎に、参照電圧を引き戻す回数を数え上げ、両者の差に相当する回数が最終的にレジスタ RG_{1A} に格納される。即ち、このような構成は、図8(b)を参照して説明したような、ディジタルCDSによるディジタル値の取得において採用されることができる。なお、レジスタ RG_{2A} は、巡回型A/D変換の結果として得られるディジタル値を格納する。

[0113] 図14(b)は、A/D変換回路17が1つのコンパレータ17a及び1つの変換参照電圧 V_{RCH} を用いてディジタル信号 D を生成する場合におけるディジタル部 DC_B を示す図である。ディジタル部 DC_B は、コンプリメント部 CP_B 、加算器 AD_B 、レジスタ RG_{1B} 及びレジスタ RG_{2B} を含む。また、図16は、図14(b)に示したコンプリメント部 CP_B の詳細な構成を示す図である。なお、加算器 AD_B 及びレジスタ RG_{1B} の構成は、図15に示したものと同様である。図16に示す例では、5ビットのディジタル値が得られる。以下、図14(b)及び図16を参照して、これらの構成の動作を説明する。

[0114] まず5ビットのレジスタ RG_{1B} (5個のフリップフロップ FF からなる)にリセット信号 $reset$ を与えて、それらの出力を0にする。積分型A/

D変換における積分の1サイクル毎に、レジスタRG_{1B}の出力と、積分型A/D変換の1つのコンパレータ17aからの1ビットの出力(B₁)とが加算器AD_B(5個の全加算器FAからなる)により加算され、更にクロックを加えて、その出力結果をレジスタRG_{1B}に格納する。これらの加算及び格納を繰り返すことにより、1ビットの出力がデジタル積分されることとなる。リセットレベルを示す第1の信号のA/D変換を実施する場合には、コンプリメント部CP_Bに提供される信号Compを0に設定する。これにより、コンプリメント部CP_Bの出力は、($X_1=0$, $X_2=0$, $X_3=0$, $X_4=0$)となる。そして、入力が($B_1=0$)の時は、出力が($X_0=0$)となるので、値の加算は行われない。また、入力が($B_1=1$)の時は、出力が($X_0=1$)となるので、値が1ずつ加算される。

[0115] 一方、信号レベルを示す第2の信号のA/D変換を実施する場合には、コンプリメント部CP_Bに提供される信号Compを1に設定する。これにより、コンプリメント部CP_Bの出力は、($X_1=0$, $X_2=1$, $X_3=1$, $X_4=1$)となる。そして、入力が($B_1=0$)の時は、出力が($X_0=0$, $X_1=0$, $X_2=0$, $X_3=0$, $X_4=0$)となり、値の加算は行われない。また、入力が($B_1=1$)の時は、出力が($X_0=1$, $X_1=1$, $X_2=1$, $X_3=1$, $X_4=1$)となり、これを2の補数として考えると、値が-1ずつ加算される。

[0116] 以上のような構成により、リセットレベル及び信号レベルのそれぞれに対して積分を繰り返す毎に、参照電圧を引き戻す回数を数え上げ、両者の差に相当する回数が最終的にレジスタRG_{1B}に格納される。即ち、このような構成は、図8(b)を参照して説明したような、デジタルCDSによるデジタル値の取得において採用されることができる。なお、レジスタRG_{2B}は、巡回型A/D変換の結果として得られるデジタル値を格納する。

[0117] 以上説明した本実施形態のA/D変換器11によれば、同一の回路構成において動作手順の制御を行うことにより、フォールディング積分型のA/D変換を行うための第1のA/D変換動作と、巡回型のA/D変換を行うための第2のA/D変換動作とが実現される。また、第1のA/D変換動作にお

いて、出力信号の積分に用いられる第3のキャパシタ29の容量は、 A/D 変換対象のアナログ信号及び基準参照電圧の格納に用いられる第1及び第2のキャパシタ25, 27の容量より大きいので、フォールディング積分型の A/D 変換において入力されるアナログ信号 V_{IN} は、その容量比に従って減衰されてサンプリング及び積分される。これ故に、フォールディング積分型の A/D 変換において出力されるアナログ信号の電圧範囲も、キャパシタの容量比に従って小さくなるので、シングルエンド構成により当該 A/D 変換器を構成できる。

[0118] 以上、本発明をその実施形態に基づいて詳細に説明した。しかし、本発明は上記実施形態に限定されるものではない。本発明は、その要旨を逸脱しない範囲で様々な変形が可能である。

産業上の利用可能性

[0119] 以上説明したように、本実施形態によれば、フォールディング積分による A/D 変換と、その残差アナログ信号に対する巡回型 A/D 変換を行う A/D 変換器をシングルエンド構成により実現することが可能となる。

符号の説明

[0120] B_1 , B_0 …デジタル信号、 C_{1a} , C_{1b} , C_2 …容量、 D …デジタル信号、 SA …スイッチ、 SI …スイッチ、 V_{COM} …基準電位、 V_{CONT} …制御信号、 V_{IN} …アナログ信号、 V_{OP} …演算値、 V_{RCH} …第1の変換参照電圧、 V_{RCL} …第2の変換参照電圧、 V_{RH} …第1の基準参照電圧、 V_{RL} …第2の基準参照電圧、31a-31c…スイッチ、2a…イメージセンサセル、11… D/A 変換器、15…ゲインステージ、15a…入力、15b…出力、17… A/D 変換回路、17a, 17b…コンパレータ、19…論理回路、21… D/A 変換回路、21a…第1の出力、21b…第2の出力、23…演算増幅回路、23a…第1の入力、23b…出力、23c…第2の入力、25…第1のキャパシタ、27…第2のキャパシタ、29…第3のキャパシタ、31…スイッチ回路、31a, 31b, 31c, 43, 49, 51, 53…スイッチ、33, 35…基準電圧源、37…参照電圧発生回路、41…クロック

発生器。

請求の範囲

[請求項1]

シングルエンド構成のA／D変換器であって、

デジタル値に変換されるアナログ信号を受ける入力、出力、並びに第1の入力、第2の入力及び出力を有する演算増幅回路を含むゲインステージと、

前記ゲインステージの前記出力からの信号に基づき、変換参照電圧を参照して、1又は複数のビットを含むデジタル信号を生成するA／D変換回路と、

前記デジタル信号に応じて、制御信号を生成する論理回路と、

第1及び第2の出力を有し、第1の基準参照電圧及び第2の基準参照電圧の少なくともいずれか一方を、前記制御信号に応じて前記第1及び第2の出力を介して前記ゲインステージに提供するD／A変換回路とを備え、

前記ゲインステージは、第1～第3のキャパシタを含み、

前記第3のキャパシタの容量は、前記第1及び第2のキャパシタの容量より大きく、

前記演算増幅回路の前記第2の入力は、基準電位を受け、

前記第1の基準参照電圧は、前記第2の基準参照電圧値より高く、

前記D／A変換回路は、前記制御信号に応答して、前記第1の出力に前記第1及び第2の基準参照電圧のいずれかを提供すると共に前記第2の出力に前記第1及び第2の基準参照電圧のいずれかを提供するためのスイッチ回路を含み、

当該A／D変換器は、第1のA／D変換動作と、第2のA／D変換動作を行い、

前記第1のA／D変換動作では、前記ゲインステージは、前記演算増幅回路及び前記第1～第3のキャパシタにより演算値を生成する第1の演算動作と、第1の格納動作と、を行い、

前記第1の格納動作では、

前記第 1 のキャパシタは、前記第 1 の出力から供給される第 1 若しくは第 2 の基準参照電圧又は前記アナログ信号を格納し、

前記第 2 のキャパシタは、前記第 2 の出力から供給される第 1 又は第 2 の基準参照電圧を格納し、

前記第 3 のキャパシタは、前記演算増幅回路の前記出力と前記第 1 の入力との間に接続され、

前記第 1 の演算動作では、

前記第 1 の格納動作において第 1 又は第 2 の基準参照電圧が前記第 1 のキャパシタに格納された場合には、前記第 1 のキャパシタが前記アナログ信号を受ける入力と前記第 1 の入力との間に接続され、前記第 1 の格納動作において前記アナログ信号が前記第 1 のキャパシタに格納された場合には、前記第 1 のキャパシタが前記第 1 の出力と前記第 1 の入力との間に接続され、

前記第 2 のキャパシタが前記第 2 の出力と前記第 1 の入力との間に接続され、

前記第 3 のキャパシタが前記演算増幅回路の前記出力と前記第 1 の入力との間に接続されることにより、前記演算値が前記ゲインステージの前記出力に生成され、

前記第 2 の A/D 変換動作では、

前記ゲインステージは、前記演算増幅回路及び前記第 1 ～第 3 のキャパシタにより演算値を生成する第 2 の演算動作と、前記演算値を前記第 1 及び第 2 のキャパシタに格納する第 2 の格納動作を行い、

前記第 2 の演算動作では、前記第 3 のキャパシタが前記演算増幅回路の前記出力と前記第 1 の入力との間に接続されると共に前記第 1 及び第 2 のキャパシタがそれぞれ前記 D/A 変換回路の前記第 1 又は第 2 の出力と前記第 1 の入力との間に接続されて、前記演算値が当該ゲインステージの前記出力に生成される、

A/D 変換器。

- [請求項2] 前記第3のキャパシタは、前記第1又は第2のキャパシタの容量の2倍の容量を有する、
請求項1に記載のA/D変換器。
- [請求項3] 前記第1のA/D変換動作における前記変換参照電圧は、前記第1の基準参照電圧と前記第2の基準参照電圧値との間の中央値であり、
前記A/D変換回路は、1ビットのデジタル信号を生成し、
前記論理回路は、第1及び第2の値を有する制御信号を生成する、
請求項1又は2に記載のA/D変換器。
- [請求項4] 前記第2のA/D変換動作において参照される第1の変換参照電圧 V_{RC2H} は及び第2の変換参照電圧 V_{RC2L} はそれぞれ下記式により表される、
$$V_{RC2H} = (5 V_{RH} + 3 V_{RL}) / 8$$
$$V_{RC2L} = (3 V_{RH} + 5 V_{RL}) / 8$$

請求項3に記載のA/D変換器。
- [請求項5] 前記A/D変換回路は、第1及び第2の変換参照電圧を有し、
前記第1の変換参照電圧は、前記第1の基準参照電圧と前記第2の基準参照電圧値との間の中央値より高く且つ前記第1の基準参照電圧より低く、
前記第1のA/D変換動作における前記第1の変換参照電圧は、前記第2のA/D変換動作における前記第1の変換参照電圧より高く、
前記第2の変換参照電圧は、前記中央値より低く且つ前記第2の基準参照電圧より高く、
前記第1のA/D変換動作における前記第2の変換参照電圧は、前記第2のA/D変換動作における前記第2の変換参照電圧より低く、
前記A/D変換回路は、3値のデジタル信号を生成し、
前記論理回路は、第1～第3の値を有する制御信号を生成する、
請求項1又は2に記載のA/D変換器。
- [請求項6] 前記第1の基準参照電圧を V_{RH} 、前記第2の基準参照電圧を V_{RL}

、としたときに、

前記第 1 の A/D 変換動作における前記第 1 の変換参照電圧 V_{RC1H} 及び前記第 2 の変換参照電圧 V_{RC1L} はそれぞれ下記式により表され

$$V_{RC1H} = (3 V_{RH} + V_{RL}) / 4$$

$$V_{RC1L} = (V_{RH} + 3 V_{RL}) / 4$$

前記第 2 の A/D 変換動作における前記第 1 の変換参照電圧 V_{RC2H} は及び前記第 2 の変換参照電圧 V_{RC2L} はそれぞれ下記式により表される、

$$V_{RC2H} = (5 V_{RH} + 3 V_{RL}) / 8$$

$$V_{RC2L} = (3 V_{RH} + 5 V_{RL}) / 8$$

請求項 5 に記載の A/D 変換器。

[請求項 7]

前記第 1 の格納動作では、前記第 1 のキャパシタは、前記第 1 の出力又は前記ゲインステージの入力と前記基準電位との間に接続され、前記第 2 のキャパシタは、前記第 2 の出力又は前記ゲインステージの入力と前記基準電位との間に接続される、

請求項 1 ～ 6 のいずれか 1 項に記載の A/D 変換器。

[請求項 8]

シングルエンド構成の A/D 変換器であって、

ディジタル値に変換されるアナログ信号を受ける入力、出力、並びに第 1 の入力、第 2 の入力及び出力を有する演算増幅回路を含むゲインステージと、

前記ゲインステージの前記出力からの信号に基づき、変換参照電圧を参照して、1 又は複数のビットを含むディジタル信号を生成する A/D 変換回路と、

前記ディジタル信号に応じて、制御信号を生成する論理回路と、

第 1 及び第 2 の出力を有し、第 1 の基準参照電圧及び第 2 の基準参照電圧の少なくともいずれか一方を、前記制御信号に応じて前記第 1 及び第 2 の出力を介して前記ゲインステージに提供する D/A 変換回

路と、

前記第1及び第2の基準参照電圧を分圧して前記変換参照電圧を生成する参照電圧発生回路と、を備え、

前記ゲインステージは、第1～第3のキャパシタを含み、

前記第3のキャパシタの容量は、前記第1及び第2のキャパシタの容量より大きく、

前記演算増幅回路の前記第2の入力は、基準電位を受け、

前記第1の基準参照電圧は、前記第2の基準参照電圧値より高く、

前記D/A変換回路は、前記制御信号に応答して、前記第1の出力に前記第1及び第2の基準参照電圧のいずれかを提供すると共に前記第2の出力に前記第1及び第2の基準参照電圧のいずれかを提供するためのスイッチ回路を含み、

当該A/D変換器は、一の変換参照電圧、又は第1及び第2の変換参照電圧を参照して1ビットまたは3値のデジタル信号を前記A/D変換回路に生成させる第1のA/D変換動作と、第1及び第2の変換参照電圧を参照して3値のデジタル信号を前記A/D変換回路に生成させる第2のA/D変換動作とを行い、

前記参照電圧発生回路は、

前記第1の基準参照電圧と前記第2の基準参照電圧値との間の中央値より高く且つ前記第1の基準参照電圧より低い電圧を前記第2のA/D変換動作のための前記第1の変換参照電圧として生成すると共に、前記中央値より低く且つ前記第2の基準参照電圧より高い電圧を前記第2のA/D変換動作のための前記第2の変換参照電圧として生成し、

前記中央値を前記第1のA/D変換のための前記一の変換参照電圧として生成、又は前記第2のA/D変換動作のための前記第1の変換参照電圧より高く且つ前記第1の基準参照電圧より低い電圧を、前記第1の変換動作のための前記第1の変換参照電圧として生成すると共

に前記第2のA/D変換動作のための前記第2の変換参照電圧より低く且つ前記第2の基準参照電圧より高い電圧を、前記第1の変換動作のための前記第2の変換参照電圧として生成する、

A/D変換器。

[請求項9]

イメージセンサデバイスであって、

イメージセンサセルのアレイを含むセルアレイと、

前記セルアレイに接続されており複数のA/D変換器を含む変換器アレイとを備え、

前記A/D変換器の各々は、前記セルアレイのカラム線を介して前記イメージセンサセルに接続されており、

前記A/D変換器の各々は、請求項1～8のいずれか1項に記載されたものである、

イメージセンサデバイス。

[請求項10]

請求項1～8のいずれか1項に記載のA/D変換器を用いてアナログ信号からデジタル信号を生成する方法であって、

前記ゲインステージの入力からの前記アナログ信号を前記第1のキャパシタに格納し、前記演算増幅回路の出力と前記第1の入力とを接続して前記第1の格納動作を行う第1の初期格納ステップと、

前記第1のキャパシタを前記第1の出力と前記第1の入力との間に接続して前記第1の演算動作を行う第1の演算ステップと、

前記ゲインステージの入力からの前記アナログ信号を前記第1のキャパシタに格納して前記第1の格納動作を行う第1の格納ステップと、

前記第1の演算ステップ及び第1の格納ステップを所定回数繰り返して行う積分型A/D変換ステップと、

前記積分型A/D変換ステップにおける演算値である残差アナログ信号を前記第1及び第2のキャパシタに格納して前記第2の格納動作を行う第2の初期格納ステップと、

前記第2の演算動作を行う第2の演算ステップと、

前記第2の演算ステップにおいて前記ゲインステージの出力に生成された前記演算値を前記第1及び第2のキャパシタに格納して前記第2の格納動作を行う第2の格納ステップと、

前記第2の演算ステップ及び第2の格納ステップを所定回数繰り返して行う巡回型A/D変換ステップと、

を有する方法。

[請求項11]

請求項1～8のいずれか1項に記載のA/D変換器を用いて、イメージセンサセルのアレイを含むイメージセンサデバイスからのアナログ信号からデジタル信号を生成する方法であって、

前記イメージセンサセルは、リセットレベルを示す第1の信号と該リセットレベルに重畳された信号レベルを示す第2の信号とを生成可能であり、

前記ゲインステージの入力を介して受けた前記第1の信号を前記第1のキャパシタに格納し、前記演算増幅回路の出力と前記第1の入力とを接続して前記第1の格納動作を行う第1の初期格納ステップと、

前記第1のキャパシタを前記第1の出力と前記第1の入力との間に接続して前記第1の演算動作を行う第1のリセットレベル用演算ステップと、

前記ゲインステージの入力からの前記アナログ信号を前記第1のキャパシタに格納して前記第1の格納動作を行う第1のリセットレベル用格納ステップと、

前記第1のリセットレベル用演算ステップ及び第1のリセットレベル用格納ステップを所定回数繰り返して行う第1のリセットレベル用積分型A/D変換ステップと、

前記第1の出力から供給される第1若しくは第2の基準参照電圧を前記第1のキャパシタに格納して前記第1の格納動作を行う第1の信号レベル用格納ステップと、

前記第 2 の信号が供給された前記ゲインステージの入力と前記第 1 の入力との間に前記第 1 のキャパシタを接続して前記第 1 の演算動作を行う第 1 の信号レベル用演算ステップと、

前記第 1 の信号レベル用演算ステップ及び第 1 の信号レベル用格納ステップを所定回数繰り返して行う第 1 の信号レベル用積分型 A/D 変換ステップと、

前記第 1 の信号レベル用積分型 A/D 変換ステップにおける演算値である残差アナログ信号を前記第 1 及び第 2 のキャパシタに格納して前記第 2 の格納動作を行う第 2 の初期格納ステップと、

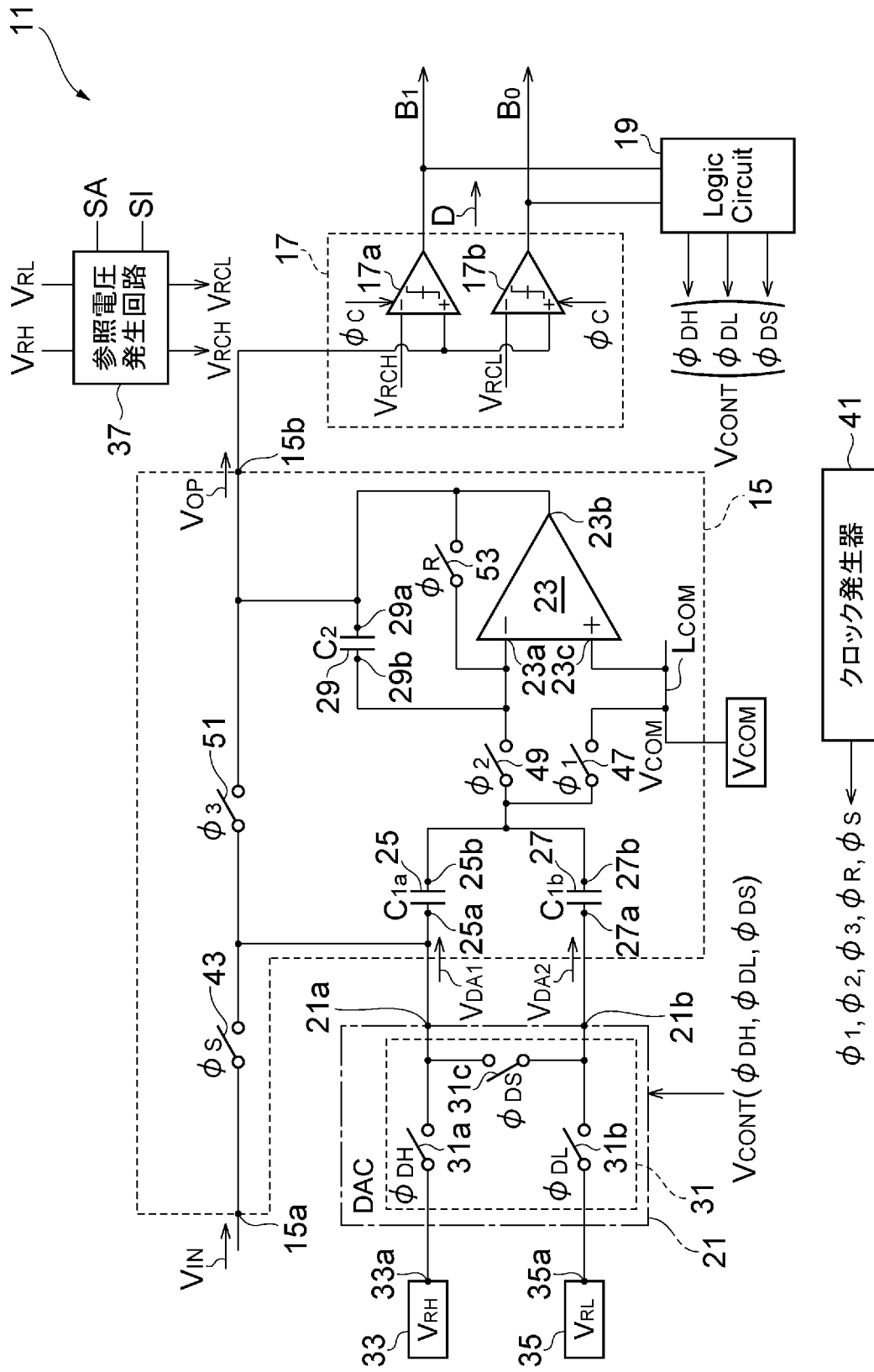
前記第 2 の演算動作を行う第 2 の演算ステップと、

前記第 2 の演算ステップにおいて前記ゲインステージの出力に生成された前記演算値を前記第 1 及び第 2 のキャパシタに格納して前記第 2 の格納動作を行う第 2 の格納ステップと、

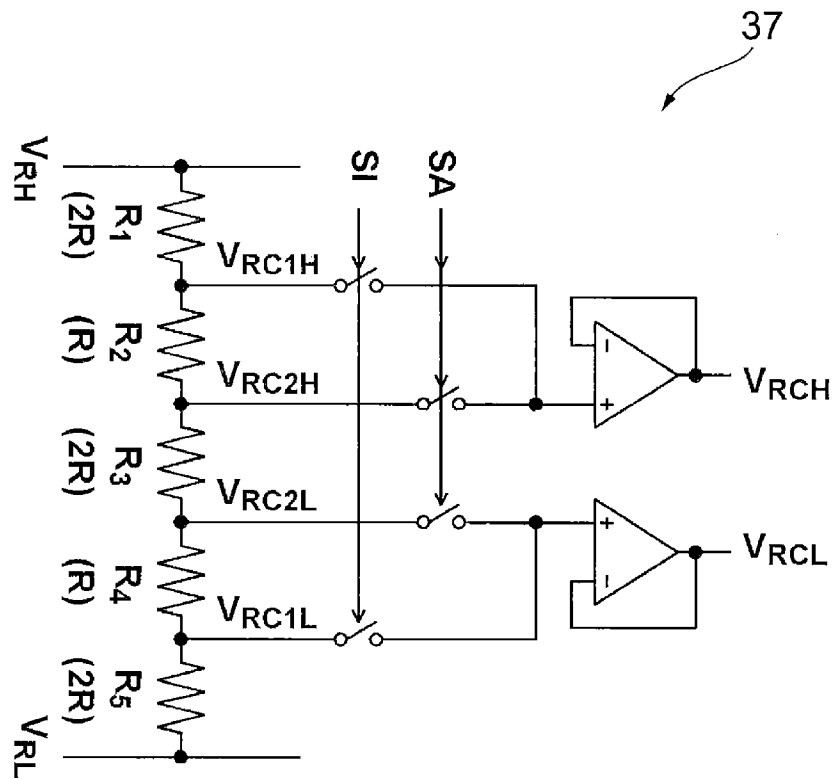
前記第 2 の演算ステップ及び第 2 の格納ステップを所定回数繰り返して行う巡回型 A/D 変換ステップと、

を有する方法。

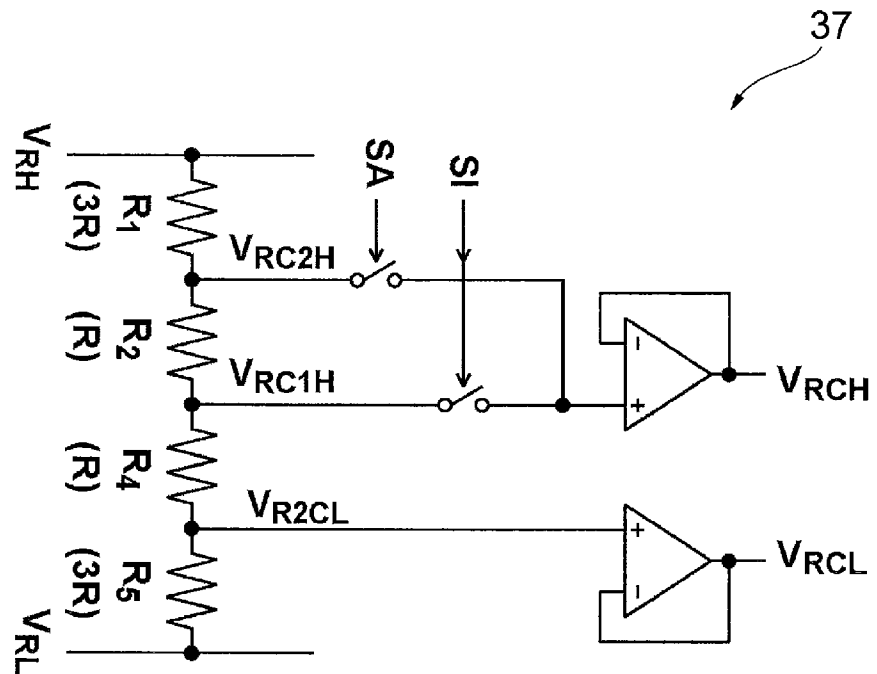
[図1]



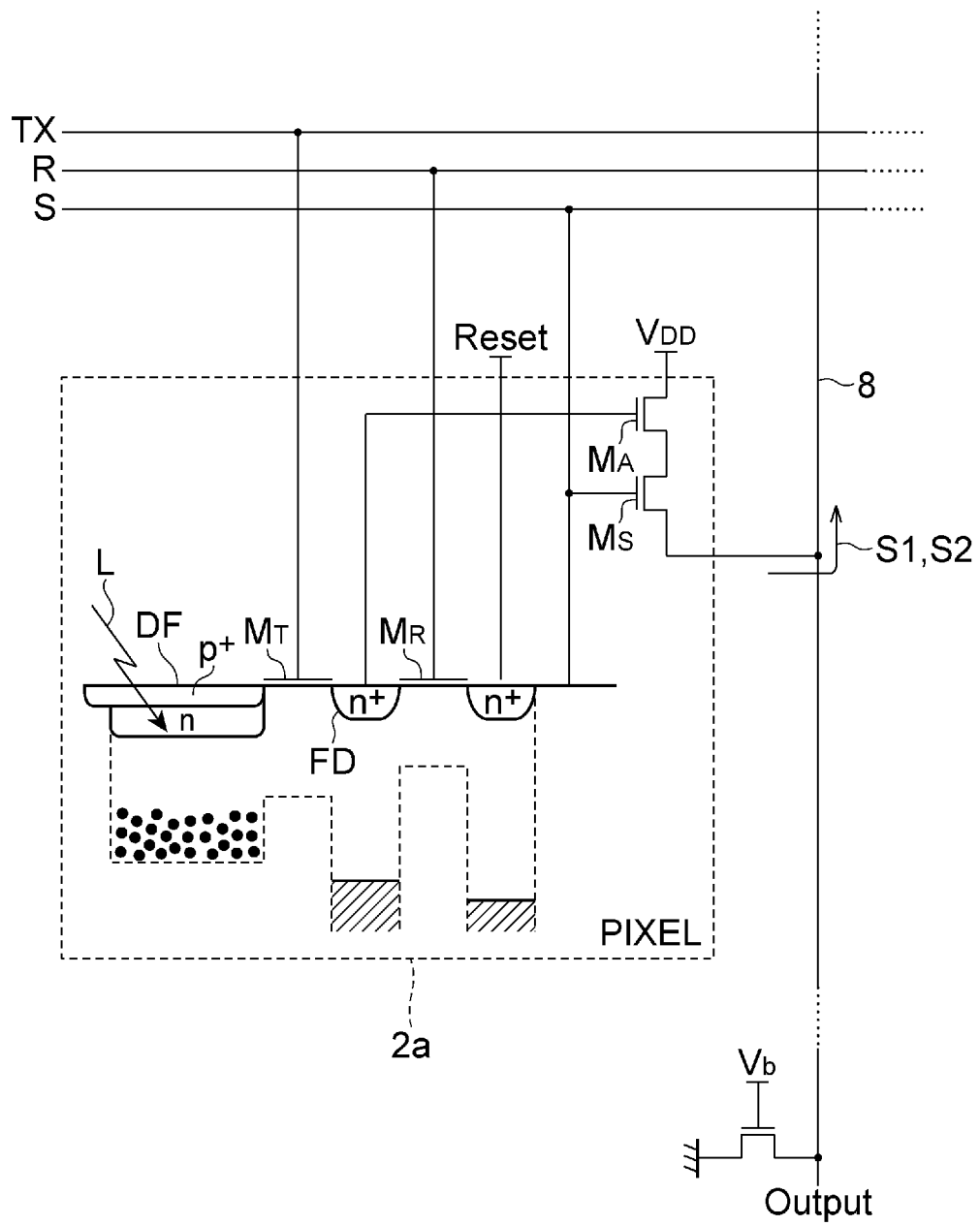
[図2]



[図3]

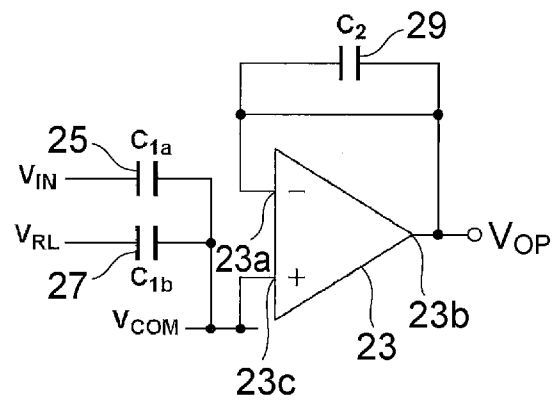


[図4]

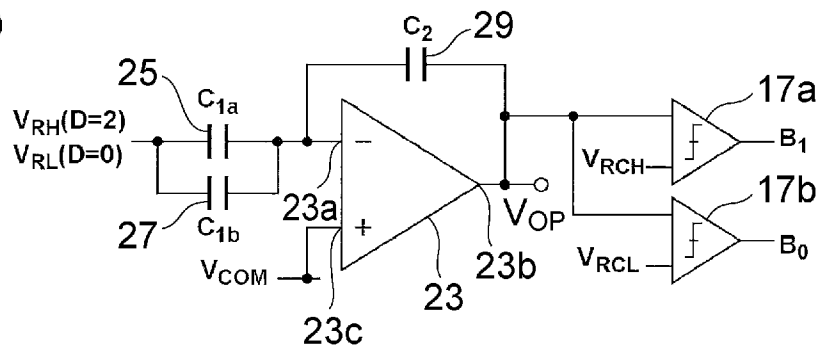


[図5]

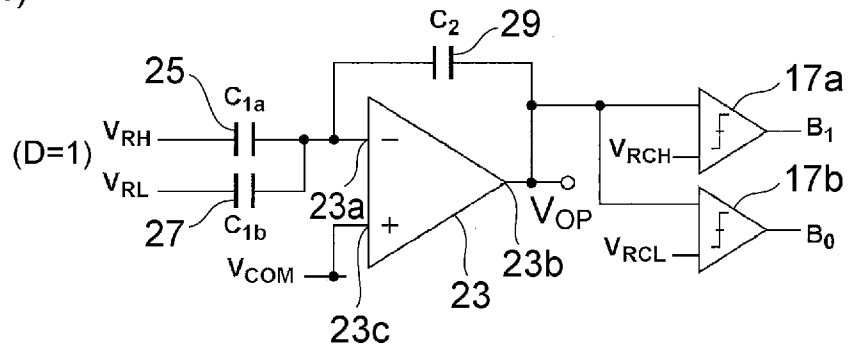
(a)



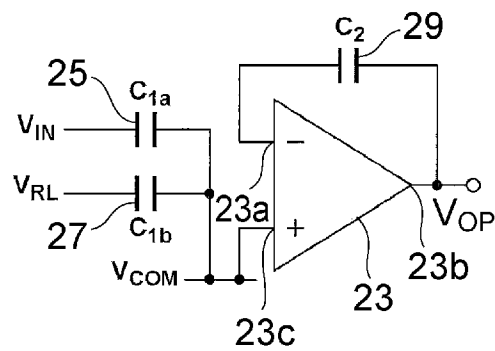
(b)



(c)

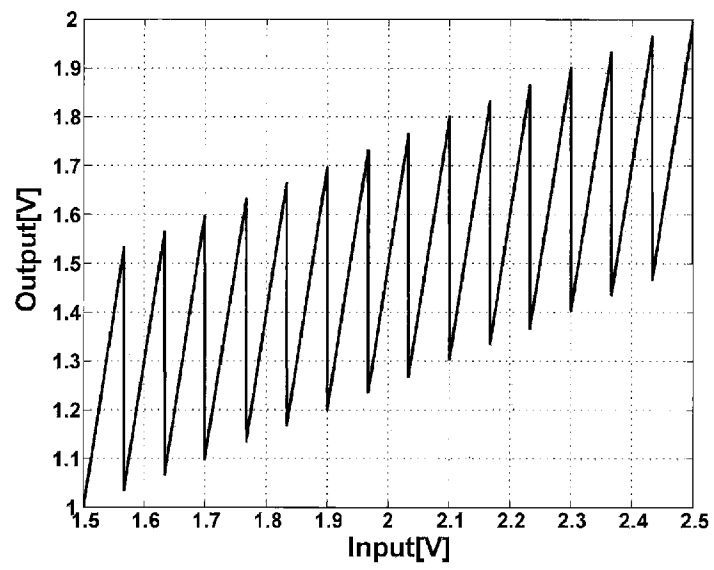


(d)

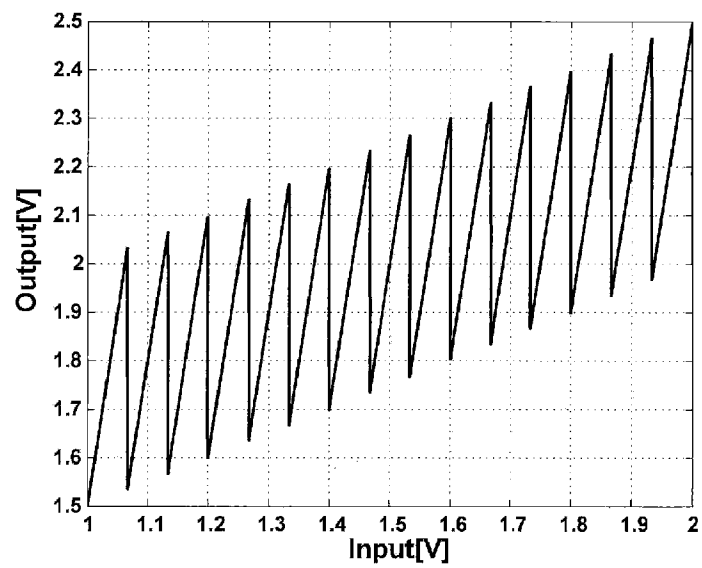


[図6]

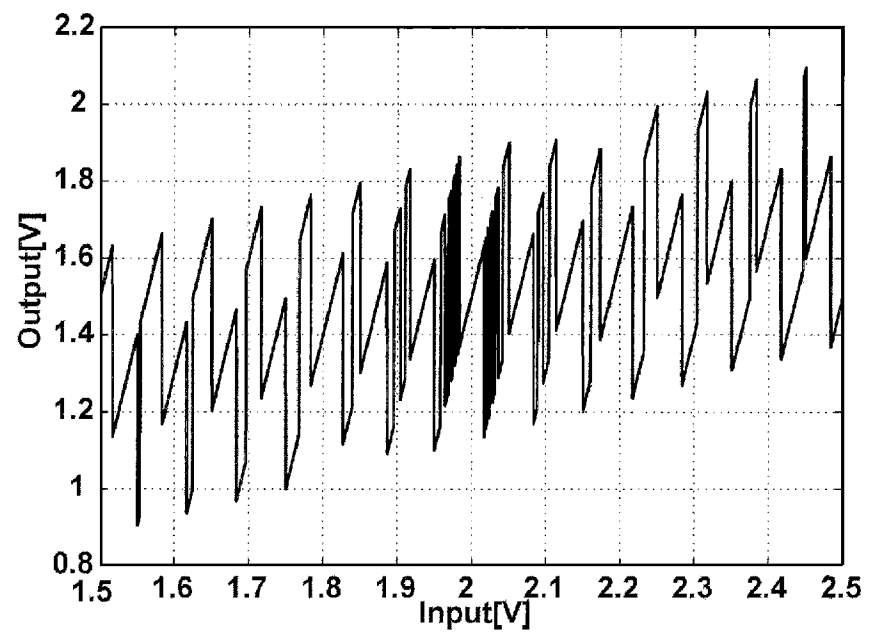
(a)



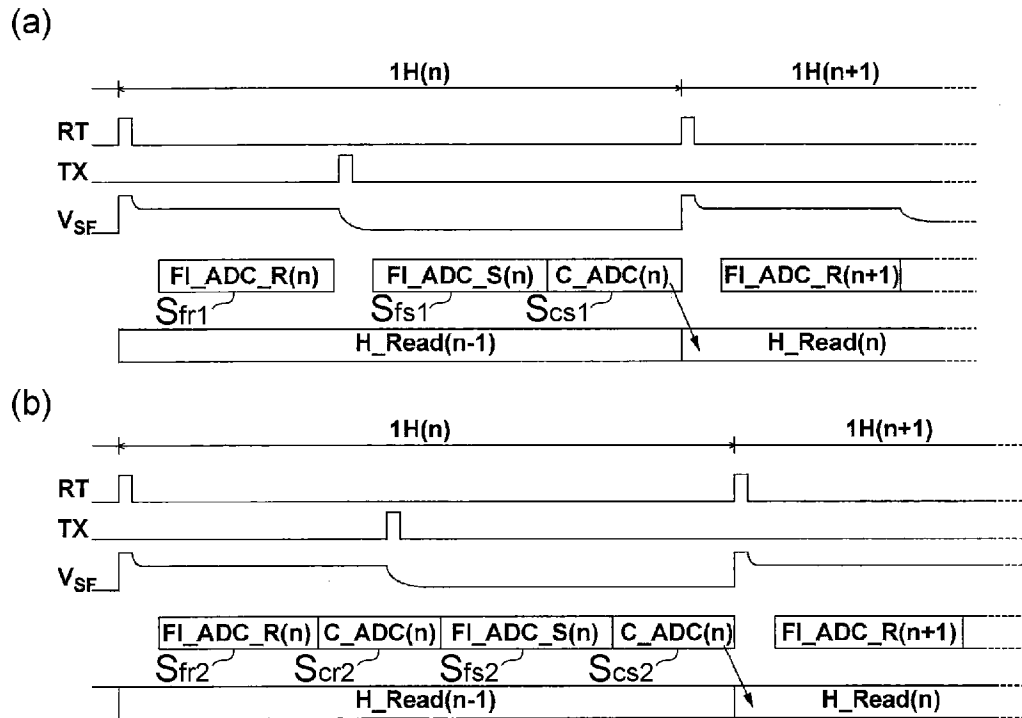
(b)



[図7]

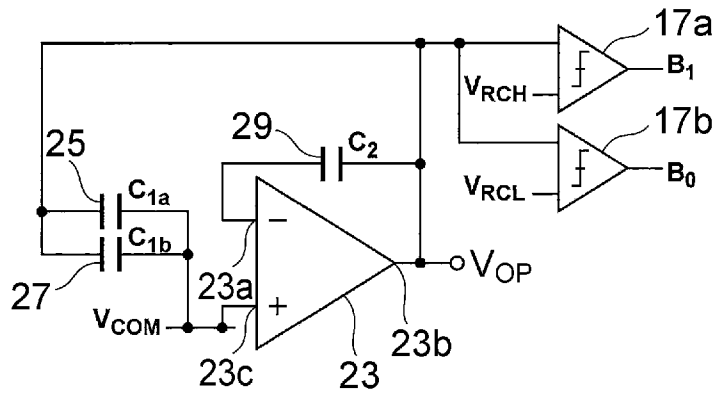


[図8]

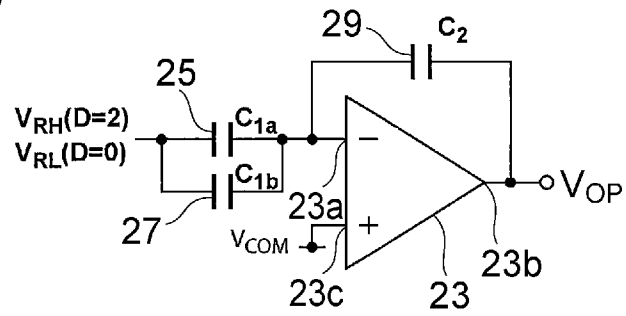


[図9]

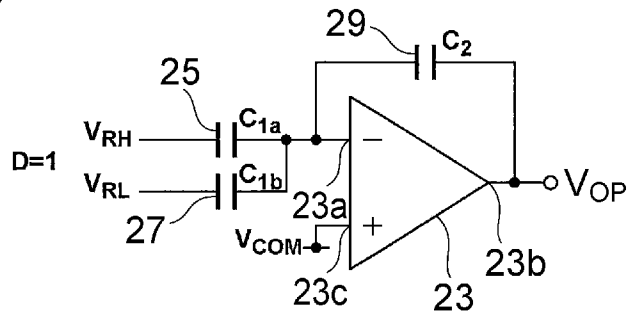
(a)



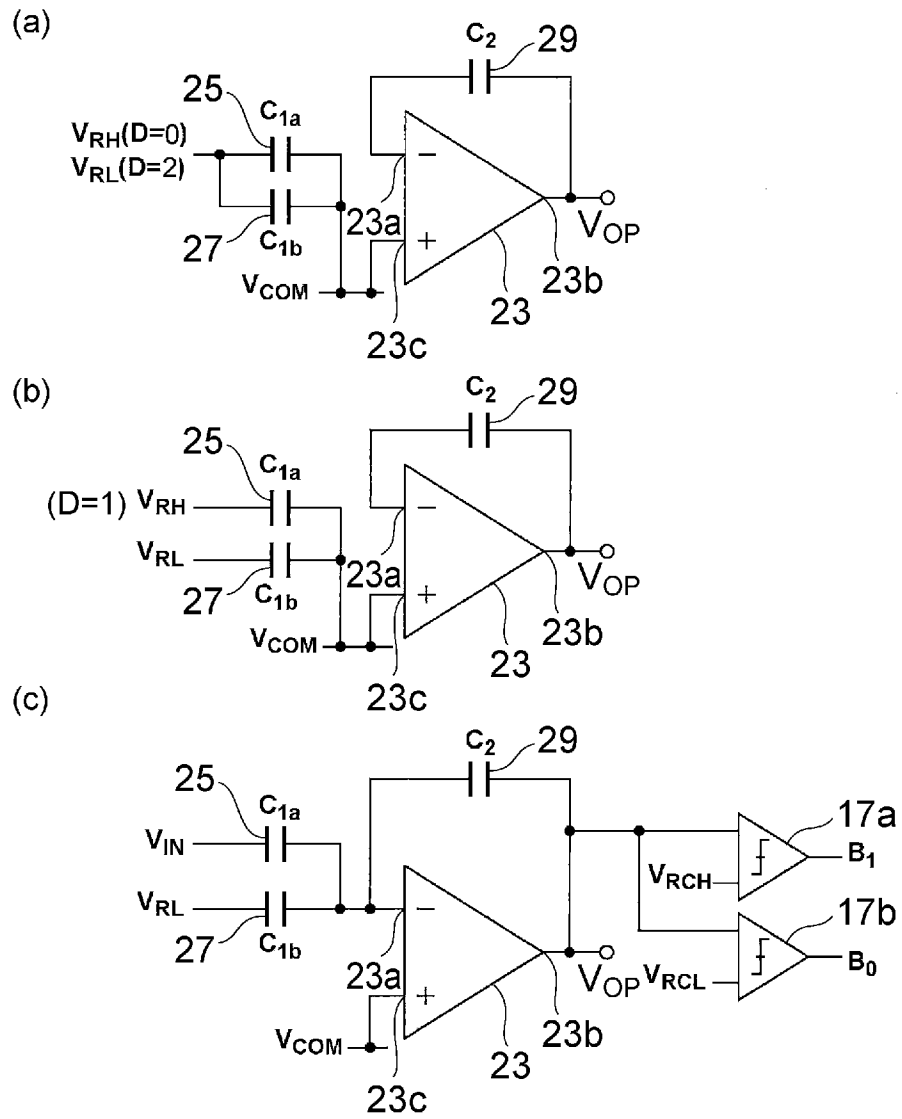
(b)



(c)

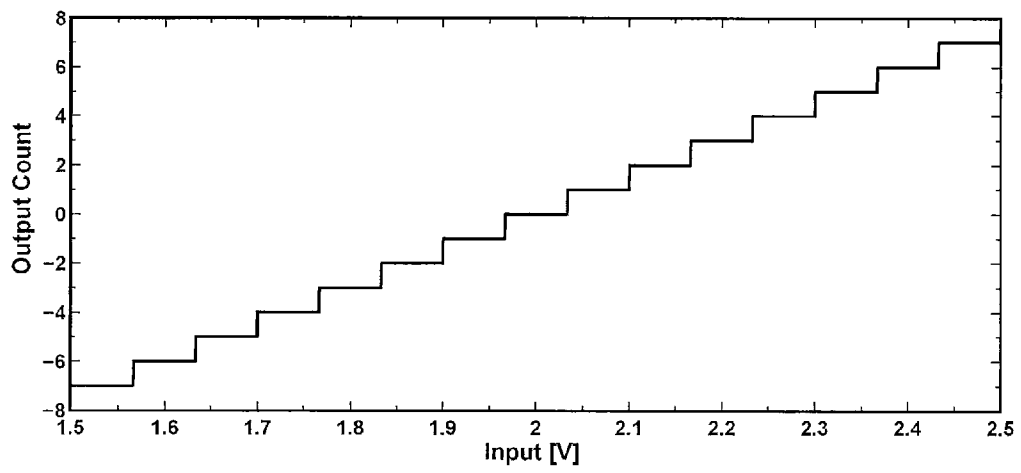


[図10]

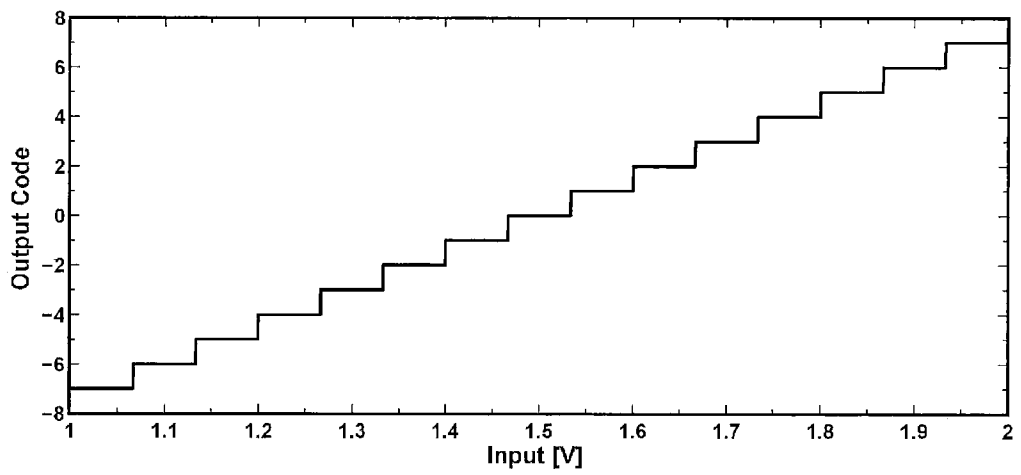


[図11]

(a)

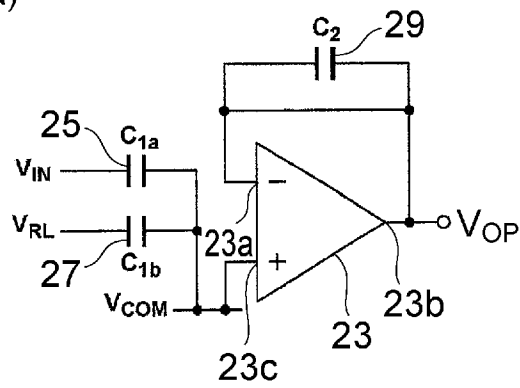
(a) $V_{RI} = V_{RH}$

(b)

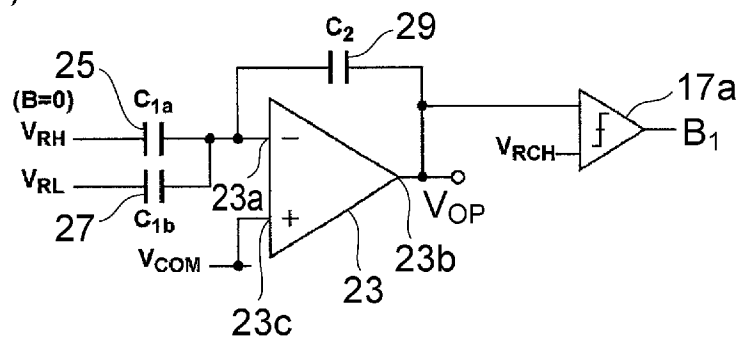
(b) $V_{RI} = V_{RL}$

[図12]

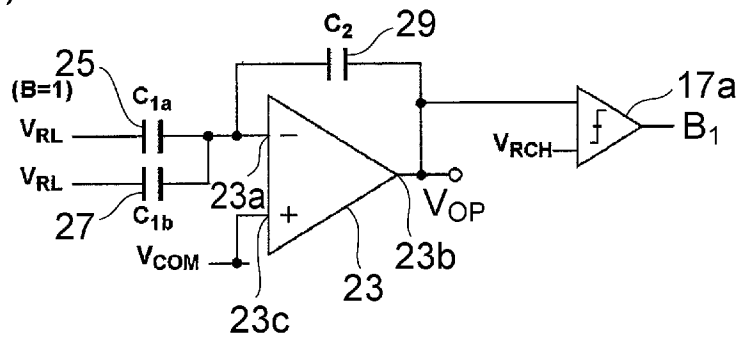
(a)



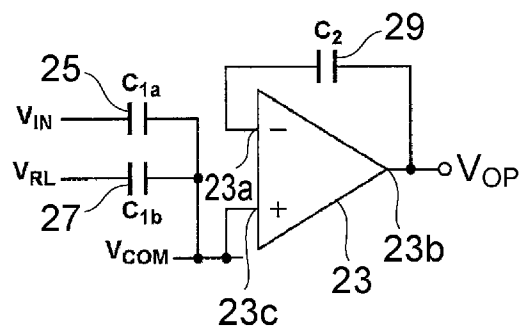
(b)



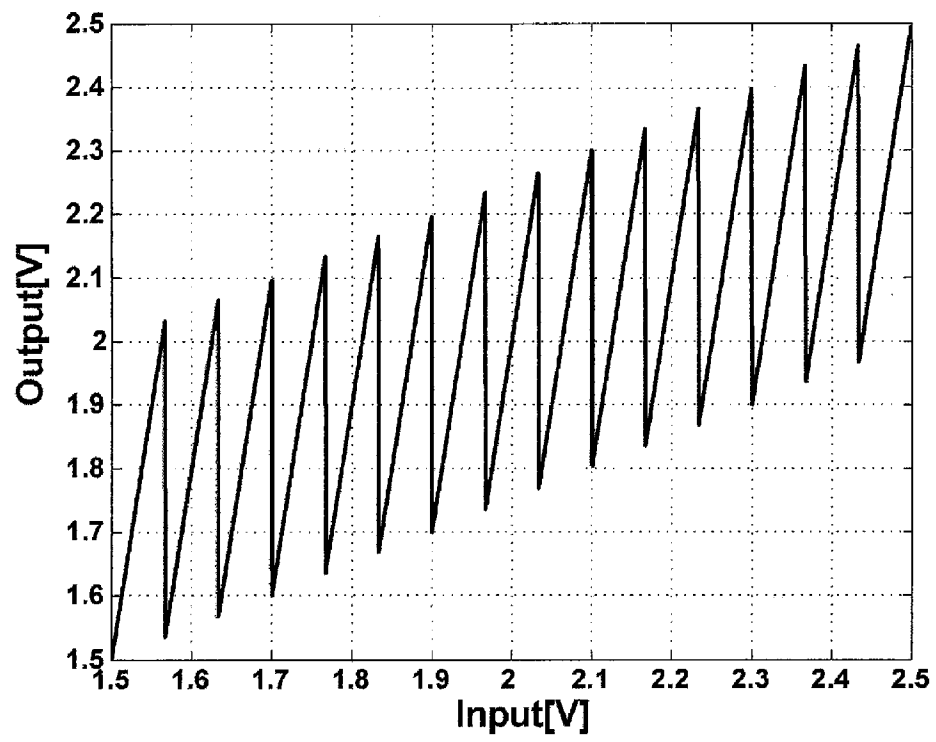
(c)



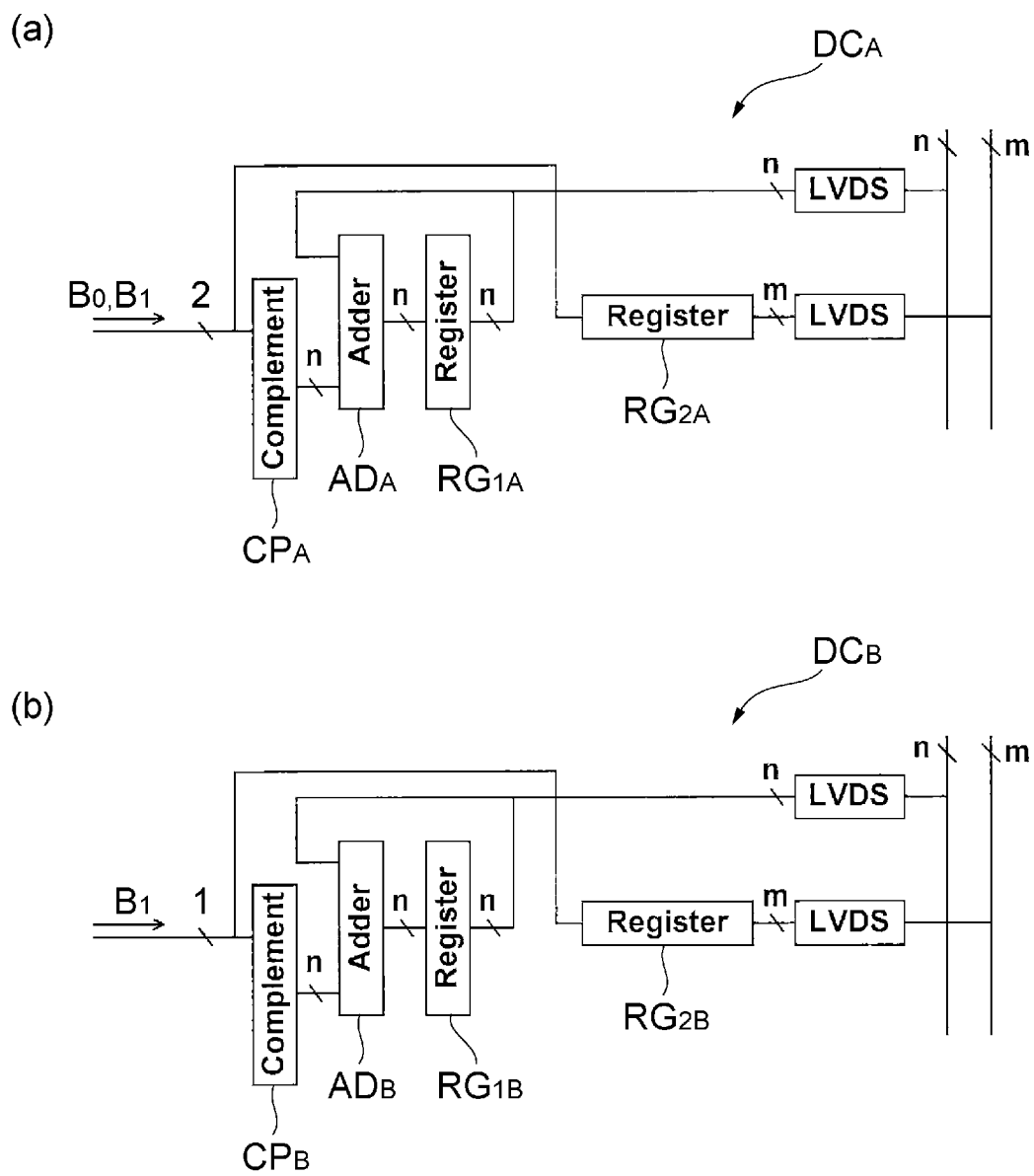
(d)



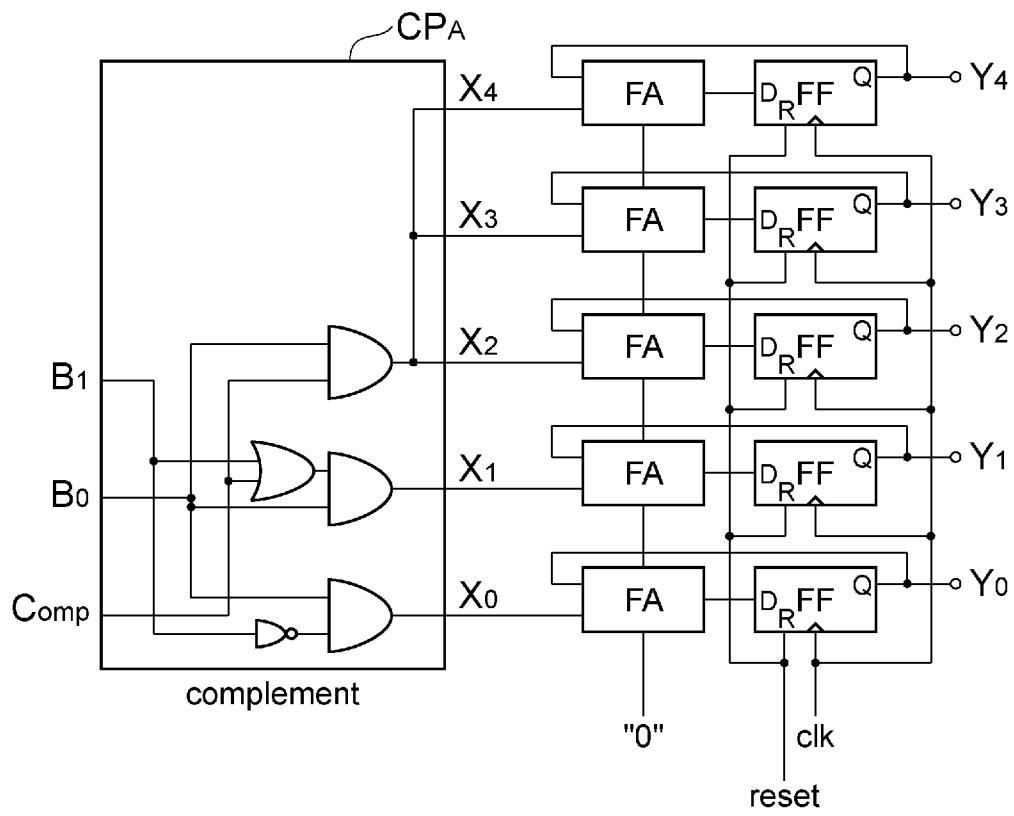
[図13]



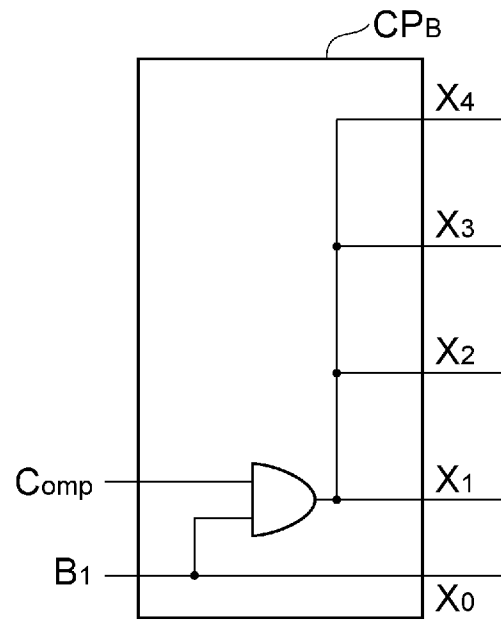
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053868

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/016049 A1 (National University Corporation Shizuoka University), 07 February 2008 (07.02.2008), front page & EP 2048785 A1 & US 2009/0303358 A1	1-11
A	JP 2004-096636 A (Sanyo Electric Co., Ltd.), 25 March 2004 (25.03.2004), front page & US 2004/0041722 A1 & EP 1398880 A2 & CN 1490936 A	1-11

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 March, 2012 (05.03.12)Date of mailing of the international search report
19 March, 2012 (19.03.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03M1/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03M1/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/016049 A1 (国立大学法人静岡大学) 2008.02.07, フロントページ & EP 2048785 A1 & US 2009/0303358 A1	1 - 1 1
A	JP 2004-096636 A (三洋電機株式会社) 2004.03.25, フロントページ & US 2004/0041722 A1 & EP 1398880 A2 & CN 1490936 A	1 - 1 1

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 3 . 2 0 1 2

国際調査報告の発送日

1 9 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

9 5 6 1