



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I577016 B

(45) 公告日：中華民國 106 (2017) 年 04 月 01 日

(21) 申請案號：103105926 (22) 申請日：中華民國 103 (2014) 年 02 月 21 日

(51) Int. Cl. : H01L29/778 (2006.01) H01L21/304 (2006.01)

(30) 優先權：2013/02/22 美國 13/774,313

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：舒柏 馬丁 F SCHUBERT, MARTIN F. (US) ; 歐諾 福洛彌 ODNOLYUDOV, VLADIMIR (RU) ; 巴希瑞 希 BASCERI, CEM (US)

(74) 代理人：陳長文

(56) 參考文獻：

US 2009/0057719A1

US 2010/0317132A1

審查人員：陳建丞

申請專利範圍項數：25 項 圖式數：8 共 29 頁

(54) 名稱

形成具有操作基板之半導體功率裝置的方法、裝置及系統

METHODS, DEVICES, AND SYSTEMS RELATED TO FORMING SEMICONDUCTOR POWER DEVICES WITH A HANDLE SUBSTRATE

(57) 摘要

本文揭示製造裝置總成以及相關半導體總成、裝置、系統之方法。在一個實施例中，形成半導體裝置總成之方法包括形成包括以下組件之半導體裝置總成：操作基板、具有第一側及與該第一側相對之第二側之半導體結構、及在該半導體結構與該操作基板間之中間材料。該方法亦包括自該半導體結構去除材料，以形成自該半導體結構之該第一側至少延伸至該半導體結構之該第二側處之該中間材料之開口。該方法進一步包括經由該半導體結構中之該開口去除該中間材料之至少一部分，以底切該半導體結構之該第二側。

Methods of manufacturing device assemblies, as well as associated semiconductor assemblies, devices, systems are disclosed herein. In one embodiment, a method of forming a semiconductor device assembly includes forming a semiconductor device assembly that includes a handle substrate, a semiconductor structure having a first side and a second side opposite the first side, and an intermediary material between the semiconductor structure and the handle substrate. The method also includes removing material from the semiconductor structure to form an opening extending from the first side of the semiconductor structure to at least the intermediary material at the second side of the semiconductor structure. The method further includes removing at least a portion of the intermediary material through the opening in the semiconductor structure to undercut the second side of the semiconductor structure.

指定代表圖：

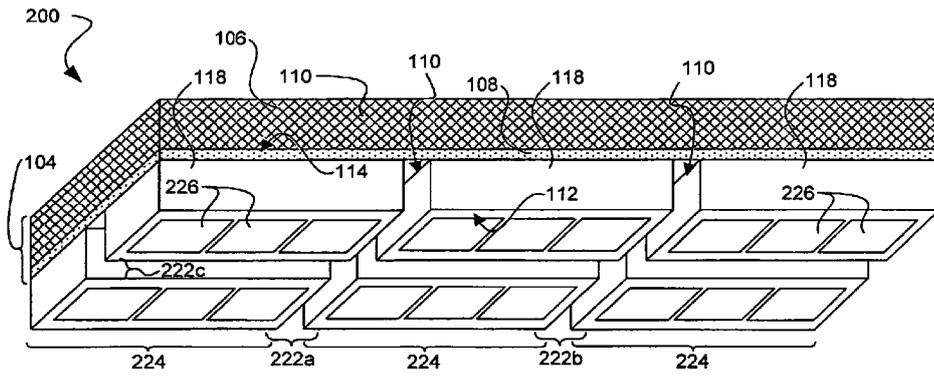


圖 2

符號簡單說明：

- 104 . . . 支撐結構
- 106 . . . 操作基板
- 108 . . . 中間材料
- 110 . . . 開口
- 112 . . . 第一側
- 114 . . . 第二側
- 118 . . . 臺面
- 200 . . . 半導體裝置總成
- 222a . . . 第一溝槽
- 222b . . . 第二溝槽
- 222c . . . 第三溝槽
- 224 . . . 半導體裝置
- 226 . . . 電接觸

發明摘要

公告本

※ 申請案號：103105926

※ 申請日：103. 2. 21

※ IPC 分類：H01L 29/1778 (2006.01)
H01L 24/204 (2006.01)

【發明名稱】

形成具有操作基板之半導體功率裝置的方法、裝置及系統

METHODS, DEVICES, AND SYSTEMS RELATED TO FORMING
SEMICONDUCTOR POWER DEVICES WITH A HANDLE

SUBSTRATE

【中文】

本文揭示製造裝置總成以及相關半導體總成、裝置、系統之方法。在一個實施例中，形成半導體裝置總成之方法包括形成包括以下組件之半導體裝置總成：操作基板、具有第一側及與該第一側相對之第二側之半導體結構、及在該半導體結構與該操作基板間之中間材料。該方法亦包括自該半導體結構去除材料，以形成自該半導體結構之該第一側至少延伸至該半導體結構之該第二側處之該中間材料之開口。該方法進一步包括經由該半導體結構中之該開口去除該中間材料之至少一部分，以底切該半導體結構之該第二側。

【英文】

Methods of manufacturing device assemblies, as well as associated semiconductor assemblies, devices, systems are disclosed herein. In one embodiment, a method of forming a semiconductor device assembly includes forming a semiconductor device assembly that includes a handle substrate, a semiconductor structure having a first side and a second side opposite the first side, and an intermediary material between the semiconductor structure and the handle substrate. The method also includes removing material from the semiconductor structure to form an opening extending from the first side of the semiconductor structure to at least the intermediary material at the second side of the semiconductor structure. The method further includes removing at least a portion of the intermediary material through the opening in the semiconductor structure to undercut the second side of the semiconductor structure.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

- 104 支撐結構
- 106 操作基板
- 108 中間材料
- 110 開口
- 112 第一側
- 114 第二側
- 118 臺面
- 200 半導體裝置總成
- 222a 第一溝槽
- 222b 第二溝槽
- 222c 第三溝槽
- 224 半導體裝置
- 226 電接觸

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

形成具有操作基板之半導體功率裝置的方法、裝置及系統

METHODS, DEVICES, AND SYSTEMS RELATED TO FORMING
SEMICONDUCTOR POWER DEVICES WITH A HANDLE
SUBSTRATE

【技術領域】

○ 本發明技術係關於利用支撐基板製作之半導體裝置。具體而言，本發明技術之一些實施例係關於功率電晶體裝置及製造該等裝置之方法。

【先前技術】

高電子移動性電晶體(HEMT)採用由具有不同帶隙能階之半導體材料界定之異質界面。閘極提供施加電場至異質界面，此使得在HEMT之源極與汲極之間形成導電通道。跨越源極及汲極施加之另一電場產生電流以流經導電通道。即使當未去除源極與汲極之間之施加

○ 電場時，當去除閘極之施加電場時，源極與汲極之間之電流將停止流動。各種裝置及應用(包括電源、電車、太陽能電池及大型固態電晶體，僅舉幾例)中使用高電壓HEMT。

高電壓裝置之擊穿電壓與自在源極與汲極間流動之電流洩漏之寄生電流之量成正比。當施加大於擊穿電壓之電壓時，無論閘極是否提供施加電場(即，當裝置處於斷開狀態時)，寄生電流皆將流動。此寄生電流限制裝置性能，包括最大工作電壓。

【發明內容】

本發明係關於一種方法，其包含：形成包括以下之半導體裝置

總成：操作基板；具有第一側及與第一側相對之第二側之半導體結構；及在半導體結構與操作基板間之中間材料。該方法進一步包含自半導體結構去除材料以形成自半導體結構之第一側至少延伸至半導體結構之第二側處之中間材料之開口；及經由半導體結構中之開口去除中間材料之至少一部分以底切半導體結構之第二側。

本發明係關於形成半導體裝置總成之方法，其包含：在操作基板上形成半導體材料堆疊；在半導體材料堆疊中形成開口，其中經由開口暴露操作基板之多個部分；及毗鄰堆疊半導體材料中之開口底切半導體材料堆疊。

本發明係關於一種半導體裝置總成，其包含：操作基板；具有第一側及與第一側相對之第二側之半導體結構；及在操作基板與半導體結構之第二側間之中間材料，其中該半導體結構包括自半導體結構之第一側至少延伸至半導體結構之第二側處之中間材料之開口，且其中操作基板與半導體結構之第二側處之一部分半導體結構係藉由毗鄰開口之中間材料中之間隙分開。

本發明係關於一種半導體電晶體裝置，其包含包括以下之半導體材料堆疊：半導體材料；在半導體材料中形成之源極區、閘極區及汲極區；及在源極區與汲極區間之溝槽。

【圖式簡單說明】

圖1A-E係闡釋根據本發明技術之所選實施例形成半導體裝置總成之方法之剖面圖。

圖2係根據本發明技術之所選實施例之半導體裝置總成之等角視圖。

圖3至圖6係闡釋根據本發明技術之所選實施例之半導體裝置之剖面圖。

圖7係根據本發明技術之所選實施例之半導體裝置總成之等角視

圖。

圖8係闡釋納入根據本發明技術之所選實施例之半導體裝置之系統之方塊圖。

【實施方式】

本文連同相關裝置及系統一起闡述製備半導體裝置之方法之若干實施例之特定細節。術語「半導體裝置」通常係指包括半導體材料之固態裝置。半導體裝置之實例尤其包括邏輯裝置、記憶體裝置及二極體。另外，術語「半導體裝置」可係指成品裝置或係指總成或成為成品裝置前各處理階段時之其他結構。端視使用術語「基板」之上下文，其可係指晶圓級基板或係指單化晶粒級基板。熟習相關技術者應認識到，可以晶圓級或晶粒級實施本文所闡述方法之適宜步驟。另外，除非上下文另有指示，否則本文所揭示之結構可使用習用半導體製造技術形成。可使用(例如)化學氣相沈積、物理氣相沈積、原子材料沈積、旋塗及/或其他適宜技術沈積材料。類似地，可使用(例如)電漿蝕刻、濕法蝕刻、化學機械平坦化或其他適宜技術去除材料。另外，可藉由(例如)在一或多種半導體材料上形成圖案化遮罩(例如，光阻劑遮罩或硬遮罩)並沈積材料或去除材料以及圖案化遮罩而在結構中形成特徵。

本發明技術之許多實施例可適用於具有高工作電壓之功率電晶體(例如，高電子移動性電晶體(HEMT))。然而熟習相關技術者應認識到，本發明技術可應用於其他類型之半導體裝置，包括發射光之雙極性電晶體或固態轉換器裝置(例如，發光二極體(LED)、雷射二極體等等)。另外，儘管本文在化合物半導體裝置(例如，基於第III族氮化物之半導體裝置)之背景下進行闡述，但本發明技術之實施例並非限於此且可包括其他類型之材料。例如，可用矽(Si)製造半導體裝置。另外，可在沒有本文參考圖1A至圖8闡述之實施例之若干細節下實踐

本發明技術。

為便於參考，在整個此揭示內容中，使用相同參考編號標識類似或相似組件或特徵，但使用相同參考編號並非暗指各部件應視為相同。實際上，在本文所闡述之許多實例中，編號相同之部件之結構及/或功能不同。另外，可使用相同陰影來指示剖面中可在組成上類似之材料，但使用相同陰影並非暗指材料應視為相同。

如上文在背景部分中所論述，寄生傳導率可限制半導體裝置性能。寄生電流可在裝置之作用區之間以及穿過半導體裝置之塊狀材料(例如，毗鄰作用區或於作用區下方之基板區)流動。在習用化合物半導體裝置中，塊狀基板通常包括用以形成裝置之基板之一部分。此基板通常稱作「操作」基板，其可提供用於磊晶生長之支撐表面。通常並不去除操作基板，此乃因去除需要其他處理步驟，該等其他處理步驟使製造複雜化並增加製造成本。而是，將操作基板連同其他半導體材料一起單化以形成半導體裝置。

然而，本發明技術之實施例之方法及裝置可提供優於該等及其他製造技術之若干優點。方法可包括(例如)去除位於半導體結構與操作基板之間之中間材料(例如，犧牲材料)，從而使得與操作基板機械及電分離。在一些實施例中，去除大多數(或所有)中間材料以使半導體結構與操作基板去耦合。在其他實施例中，僅去除中間材料之一部分以在半導體結構與操作基板之間形成間隙。在該等實施例中，半導體結構及操作基板經由中間材料保持耦合在一起。

一般而言，經由於半導體結構中形成之開口去除中間材料(例如，藉由經由開口自結構去除中間材料及/或溶解毗鄰開口之中間材料)。該等開口可為(例如)亦用於將半導體結構分成個別半導體裝置之溝槽。在其他或替代實施例中，開口可延伸穿過裝置之作用區以經由作用區中之開口到達中間材料。在其他實施例中，其他開口可部分地

延伸穿過半導體結構以使結構之作用區彼此機械分離。

圖1A至圖1E係根據本發明技術之所選實施例之各製造階段中之半導體裝置總成100之剖面側視圖。圖1A顯示已在支撐結構104上形成半導體結構102後之半導體裝置總成100。半導體結構102可具有複數個包括積體電路或其他類型之半導體裝置晶粒或之其他結構。因此，半導體結構102可包括單一半導體材料、不同半導體材料之堆疊，以及其他適宜材料。儘管出於清楚之目的已予以省略，但熟習此項技術者應瞭解，半導體結構102可包括各種材料。例如，除為半導體之材料以外，半導體結構102可包括導電材料(例如，金屬材料)及絕緣材料(例如，介電材料)。另外，半導體結構102可包括貫穿結構形成之各種特徵。例如，半導體結構102可包括延伸穿過半導體結構102之穿過基板之互連件(未顯示)。例如，此一穿過基板之互連件可電連接成品半導體裝置之相對側。

支撐結構104包括操作基板106及在操作基板106與半導體結構102之間之中間材料108。操作基板106可在製造期間機械支撐半導體結構102。操作基板106亦可有利於半導體結構102之一或多種材料、特徵或其他態樣之形成。例如，操作基板106可有利於磊晶半導體材料於操作基板106上之生長。在一些實施例中，操作基板106可包括陶瓷、玻璃、聚氮化鋁(p-AlN)或其他適宜材料。例如，基於p-AlN之操作基板可具有類似於基於氮化鎵(GaN)之材料之熱膨脹係數(CTE)之CTE。

中間材料108在半導體結構102與操作基板106之間。如上文所論述，中間材料108係在半導體結構102與操作基板106間之可從中去除(或至少部分地去除)之犧牲材料。例如，中間材料108可包括沈積氧化物材料及/或自然氧化物。在一些實施例中，氧化物材料可熔合在一起以使半導體結構102與操作基板106附接。例如，可使半導體結構

102之自然氧化物與操作基板106之氧化物材料熔合。中間材料108亦可在氧化物材料之外或替代其而包括不同材料。例如，中間材料108可包括基於氮化物之材料。

圖1B顯示自半導體結構102去除材料以在半導體結構102中形成開口110後之半導體裝置總成100。具體而言，開口110可自半導體結構102之第一側112延伸至半導體結構102之第二側114，以經由開口110暴露中間材料108之表面116。例如，暴露表面116可在半導體結構102之第二側114處與該結構齊平。在其他實施例中，可使暴露表面116凹進中間材料108中，或開口110可完全延伸穿過中間材料108（未顯示），從而使得暴露表面116僅係中間材料108之剩餘側壁。例如，開口110可經組態以經由開口110暴露操作基板106之一部分。在若干實施例中，開口110可至少部分地界定半導體結構102中之個別臺面118。例如，在下文參考圖2進一步詳細闡述之一個實施例中，開口110可包括使個別臺面118彼此分離之溝槽。每一臺面118可界定具有一或多個積體電路或其他特徵之晶粒。

圖1C顯示在轉移結構120附接至半導體結構102後之半導體裝置總成100。轉移結構120可包括使個別臺面118與轉移結構120至少暫時結合之黏合劑（未顯示）。轉移結構120經組態以在去除操作基板106後支撐半導體結構102之個別臺面118。轉移結構120可包括晶粒附接帶、載體基板（例如，晶圓），或經組態以在後續處理階段中支撐個別臺面118之其他適宜結構。在一些實施例中，可使用轉移結構120來使半導體結構102之作用表面免遭與工作者操作相關之污染及碎屑。轉移結構120亦可提供減輕個別臺面118之作用表面處之氧化之擴散障壁。然而在其他實施例中，可省略轉移結構120，且因此同樣可省略圖1C處之製造階段。例如，可在半導體結構102不與支撐結構104去耦合之實施例（例如參見圖6及圖7）中省略轉移結構120。

圖1D顯示已經由半導體結構102之開口110去除毗鄰開口110之中間材料108之一部分後之半導體裝置總成100。具體而言，所去除中間材料形成間隙 S_1 ，該間隙在第二側114處底切半導體結構102之個別臺面118。在一些實施例中，可將半導體裝置總成100放置入化學蝕刻劑(例如，化學浴)中，以將半導體結構102浸沒或至少部分地浸沒於蝕刻劑中。如由箭頭「E」所顯示，蝕刻劑毗鄰半導體結構102中之開口110底切半導體結構102之多個部分。轉移結構120可經組態從而使得其在酸性(或鹼性)化學蝕刻劑溶液中實質上不降解。

圖1E顯示已使半導體結構102與操作基板106去耦合後之半導體裝置總成100。具體而言，藉由去除中間材料108(圖1D)直至自半導體結構102釋放操作基板106將半導體結構102去耦合。在釋放後，操作基板106可再循環並用於形成其他半導體結構。另一選擇為，可端視操作基板106之生命週期丟棄操作基板106。例如，若操作基板106已變得過薄、污染及/或循環超過預定次數，則可將其丟棄。

圖2係根據本揭示內容之所選實施例組態之半導體裝置總成200之等角視圖。半導體裝置總成200可類似於在圖1B之處理階段後之半導體裝置總成100，但在圖2中，半導體裝置總成200係倒置的。在圖2中所顯示之實施例中，個別臺面118之間之開口110係延伸至支撐結構104之中間材料108之溝槽222(個別標識為第一至第三溝槽222a-222c)。在所闡釋實施例中，第一溝槽222a與第二溝槽222b通常彼此平行且通常與第三溝槽222c垂直。在此組態中，溝槽222使半導體結構102分開以形成離散半導體裝置224。儘管該等圖顯示呈線性佈置之溝槽222，但在其他實施例中，溝槽222中之一者或多者可具有非線性佈置(例如，彎曲、傾斜等等)。

半導體裝置224可包括電接觸226(例如，金屬接觸墊)。在一個實施例中，半導體結構102(圖1A)可形成以包括電接觸226。另一選擇

為，電接觸226可在較晚處理階段在半導體結構102上形成。電接觸226可包括電耦合至半導體裝置224之一或多個作用區之各種適宜導電材料。在所闡釋實施例中，半導體裝置224係「直接附接式」裝置，其中電接觸可直接接合(例如，經由共晶接合)至印刷電路板(未顯示)或其他適宜基板。在若干實施例中，直接附接式組態可簡化此一基板上之半導體裝置總成。

圖3係根據本發明技術之實施例組態之半導體裝置324之示意性剖面側視圖。例如，半導體裝置324可類似於已去除支撐結構104後之圖2之半導體裝置224中之一者。半導體裝置324之半導體結構102包括半導體材料328 (個別標識為第一至第三半導體材料328a-c)之堆疊。為清楚起見，半導體結構102之作用區以電晶體裝置(例如，HEMT功率電晶體裝置)之源極「S」區、閘極「G」區及汲極「D」區來標識。然而，半導體裝置324之實施例可包括其他類型之作用區。例如，在其他實施例中，作用區可包括除源極區、閘極區及/或汲極區以外之區。另外，作用區可位於另一類型裝置(例如雙極性電晶體裝置、電容器等)中。

半導體裝置324進一步包括電接觸226 (個別標識為第一至第三電接觸226a-226c)及使個別電接觸226彼此分開之介電材料329 (例如，矽氮化物(SiN))。第一電接觸226a及第二電接觸226b經由歐姆(Ohmic)接觸區330 (例如，第一半導體材料328a之局部摻雜區)分別耦合至半導體結構102之源極S區及汲極D區。第三電接觸226c在沒有中間歐姆接觸區之情況下耦合至半導體裝置324之閘極區G。在一個實施例中，半導體裝置324之第一半導體材料328a包括鋁GaN (AlGaN)，且第二半導體材料328b包括GaN。在若干實施例中，第三半導體材料328c可包括AlGaN。在其他非闡釋實施例中，半導體裝置324可包括不同材料及/或特徵。

在工作中，閘極區G提供在半導體裝置324之源極區S與汲極區D之間延伸之導電通道(例如，二維電子氣通道)。如上文所論述，半導體裝置324可相對於習用半導體裝置具有較小寄生傳導率(或沒有寄生傳導率)。具體而言，操作基板106 (圖1E)已去耦合以去除寄生傳導率路徑。

圖4係根據本發明技術之另一實施例組態之半導體裝置424之示意性剖面側視圖。例如，半導體裝置424可類似於圖3之半導體裝置324。然而，半導體裝置424與圖3之半導體裝置324之不同之處在於，半導體裝置424包括在半導體結構102中形成之第一溝槽432a及第二溝槽432b。具體而言，第一溝槽432a及第二溝槽432b使源極區S及汲極區D與閘極區G機械分離。該機械分離可(例如)使源極區S與閘極區G之間及/或汲極區D與閘極區G之間之寄生傳導率減小。

在一個實施例中，第一溝槽432a及第二溝槽432b可藉由一或多個蝕刻製程而在半導體結構102中形成。例如，第二半導體材料328b可組態為蝕刻停止材料。另一選擇為，可設定蝕刻製程之時間，以形成深度實質上不延伸(或完全不延伸)至第二半導體材料328b中之第一溝槽432a及第二溝槽432b。在一個實施例中，第一溝槽432a及第二溝槽432b係在圖1A之階段前之階段在半導體結構102中形成。在其他實施例中，第一及第二溝槽係在不同製造階段形成。例如，第一溝槽432a及第二溝槽432b可在將操作基板之一部分納入成品裝置中之半導體裝置總成中形成。

圖5係根據本發明技術之另一實施例組態之半導體裝置524之示意性剖面側視圖。例如，半導體裝置524可類似於圖4之半導體裝置424。然而，半導體裝置524在半導體裝置424之第二側114處包括電接觸526 (而非在半導體裝置之第一側112處在源極區S與汲極區D之間)。電接觸526可藉由(例如)在半導體裝置524之第二側114處在第三

半導體材料328c上沈積導電材料形成。在此實例中，第三半導體材料328c可為閘極區G。在一些實施例中，尺寸 d_1 (例如，長度或表面積)可經組態以在閘極區G處達成某一電容。此一組態優於習用裝置之若干優點在於，尺寸 d_1 不改變半導體裝置524之總覆蓋區(只要閘極區G之尺寸 d_1 小於第一電接觸226a及第二電接觸226b之合併尺寸即可)。相比之下，習用電晶體裝置中之閘極區通常限於具體尺寸範圍。具體而言，由於習用裝置之源極區、閘極區及汲極區皆位於該裝置之相同側，故每一區貢獻總覆蓋區。例如，為保持某一覆蓋區大小，若減小源極區S及汲極區D中之一者或兩者之大小，則可僅增加閘極區之大小。

半導體裝置524不同於圖4之半導體裝置424之處亦在於，半導體裝置524包括源極區S與汲極區D之間(而非閘極區G與源極區S及汲極區D中之每一者之間)之溝槽532。溝槽532包括毗鄰源極區S之第一側壁533a及毗鄰汲極區D之第二側壁533b。然而在一些實施例中，可省略溝槽532，且可以不同方式使源極區S與汲極區D分離。例如，源極區S及汲極區D可包括具不同摻雜類型(例如，P-型或N-型)之半導體材料，以在該等區之間形成逆偏壓二極體。

圖6係根據本發明技術之再一實施例組態之半導體裝置634之示意性剖面側視圖。半導體裝置634與圖2之半導體裝置224之不同之處在於，半導體裝置634保持經由中間材料108耦合至操作基板106。如所闡釋，半導體裝置634包括穿過半導體裝置634之閘極區G形成之開口636。在此組態中，開口636提供蝕刻劑可經由其去除中間材料108之一部分以底切閘極區G之通道。底切之量可經組態以藉由間隙 S_1 之底切距離 d_2 使閘極區G與操作基板106機械分離。底切距離 d_2 可經選擇以達成一特定分離量。例如，底切距離 d_2 可超出閘極區G並在源極區S及汲極區D下方延伸(未顯示)。在另一實施例中，可使半導體裝置634

之不同作用區機械分離。例如，可經由穿過源極區S及/或汲極區D形成之開口使源極區S及/或汲極區D與操作基板106機械分離。

在一些實施例中，底切之量可經組態以提供機械分離，但亦在半導體裝置634之第二側114處使中間材料108之量保持足以使得半導體裝置634不易於與操作基板106去耦合。例如，可藉由間隙 S_1 底切源極區S及/或汲極區D (例如，毗鄰開口110；圖1D)，且底切距離 d_2 經選擇從而使得第三半導體材料328c不易於與操作基板106去耦合。在另一非闡釋實施例中，源極區S及汲極區D中之一者或兩者完全沒有底切或僅在一側(例如，在毗鄰閘極區G之側)底切。

圖7係根據本揭示內容之所選實施例組態之半導體裝置總成700之等角視圖。半導體裝置總成700可類似於圖1C之處理階段後之半導體裝置總成100 (在圖7中顯示，在半導體結構102之第一側112處無轉移結構120)。然而，半導體裝置總成700與半導體裝置總成100之不同之處在於，個別半導體裝置634包括穿過半導體裝置634之開口636。如所顯示，開口636可為圓柱形；然而，在其他實施例中，開口636可具有不同形狀。例如，開口636可為與第一溝槽222a及第二溝槽222b平行之拉長溝槽。

另外，半導體裝置總成700可類似於圖2之半導體裝置總成200。然而，半導體裝置總成700與半導體裝置總成200之不同之處在於，半導體裝置634經組態以單化，從而使得其包括操作基板106之一部分。在一個實施例中，例如，溝槽222可為切割道(dicing street)提供位置，隨後可切割該等切割道以單化個別半導體裝置634 (例如，經由切割機)。然而在另一實施例中，可省略溝槽222且可藉由業內已知之習用單化技術將半導體裝置634分開。

熟習此項技術者應認識到，可使用其他類型之半導體裝置總成或其他適宜結構製造半導體裝置，而不背離本發明技術之各實施例之

範圍。一般而言，形成半導體裝置之方法可包括在支撐結構(例如，支撐結構104)上形成半導體材料堆疊；在半導體材料堆疊中(例如，半導體結構102)形成開口，其中經由開口暴露支撐結構之多個部分；及毗鄰堆疊半導體材料中之開口底切半導體材料堆疊之至少一部分。在另一實例中，形成半導體裝置之方法可包括形成包括以下之半導體結構：第一半導體材料(例如，第一半導體材料328a)、第二半導體材料(例如，第二半導體材料328b)、在第一半導體材料中形成之第一作用區(例如，源極區S)、在第一半導體材料形成之第二作用區(例如，汲極區D或閘極區G)，及在第一作用區與第二作用區之間之溝槽。

可將具有上文參考圖1A至圖7所闡述特徵之任一半導體裝置及半導體裝置總成納入大量較大及/或較複雜系統中之任一者中，其代表性實例係圖8中示意性顯示之系統850。系統850可包括處理器852、記憶體854 (例如，SRAM、DRAM、快閃及/或其他記憶體裝置)、輸入/輸出裝置856及/或其他子系統或組件858。上文參考圖1A至圖7闡述之半導體裝置及半導體裝置總成可包括於圖8中所顯示元件中之任一者中。所得系統850可經組態以實施多種適宜計算、處理、儲存、感測、成像及/或其他功能中之任一者。因此，系統850之代表性實例包括(但不限於)電腦及/或其他數據處理器，例如桌上型電腦、膝上型電腦、網際網路器具、手持式裝置(例如，掌上型電腦、可佩戴式電腦、蜂窩式或移動電話、個人數位助理、音樂播放器等)、數位板、多處理器系統、基於處理器或可程式化的消費型電子裝置、網路電腦及小型電腦。系統850之其他代表性實例包括燈、攝影機、車輛等等。就該等及其他實例而言，系統850可收容在單一單元中或分佈在多個互連單元上，例如，經由通訊網路。因此，系統850之組件可包括局部及/或遠端記憶體儲存裝置及多種適宜電腦可讀取媒體中之任一者。

根據上述內容應瞭解，本文已出於闡釋目的闡述了本發明技術之特定實施例，但可做出各種修改，此並不背離本揭示內容。例如，圖1、圖2及圖7中分別顯示之半導體裝置總成100、200及700可包括各種其他特徵。例如，該等總成及其他可經組態以形成多種半導體裝置而非單一半導體裝置。另外，半導體裝置總成可包括導電結構(例如，跡線)之網路以使半導體裝置相互耦合。作為另一實例，圖2至圖7分別顯示之半導體裝置224、324、424、524及634可類似地包括各種其他特徵。例如，閘極區G可在第一半導體材料328a與第三電接觸226c之間包括多種半導體材料以達成具體工作參數(例如，電容)。在具體實施例背景下闡述之新技術之某些態樣亦可在其他實施例中組合或消除。此外，儘管已在彼等實施例之背景下闡述了與新技術之某些實施例相關之優點，但其他實施例亦可展現該等優點，且並非所有實施例皆必然需要展現該等優點才能屬於本發明技術之範圍內。因此，本揭示內容及相關技術可涵蓋本文中未明確顯示或闡述之其他實施例。

【符號說明】

100	半導體裝置總成
102	半導體結構
104	支撐結構
106	操作基板
108	中間材料
110	開口
112	第一側
114	第二側
116	暴露表面
118	臺面

- 120 轉移結構
- 200 半導體裝置總成
- 222a 第一溝槽
- 222b 第二溝槽
- 222c 第三溝槽
- 224 半導體裝置
- 226 電接觸
- 226a 第一電接觸
- 226b 第二電接觸
- 226c 第三電接觸
- 324 半導體裝置
- 328a 第一半導體材料
- 328b 第二半導體材料
- 328c 第三半導體材料
- 329 介電材料
- 330 歐姆接觸區
- 424 半導體裝置
- 432a 第一溝槽
- 432b 第二溝槽
- 524 半導體裝置
- 526 電接觸
- 532 溝槽
- 533a 第一側壁
- 533b 第二側壁
- 634 半導體裝置
- 636 開口

700	半導體裝置總成
850	系統
852	處理器
854	記憶體
856	輸入/輸出裝置
858	子系統或組件
d_1	尺寸
d_2	底切距離
D	汲極區
E	箭頭
G	閘極區
S	源極區
S_1	間隙

申請專利範圍

1. 一種製備半導體裝置總成之方法，其包含：

形成半導體裝置總成，其包括：

操作基板，

具有第一側、與該第一側相對之第二側及閘極區之半導體結構，其中該閘極區係在電晶體裝置之源極區及汲極區之間；及

在該半導體結構與該操作基板間之中間材料；

自該半導體結構去除材料，以形成自該半導體結構之該第一側至少延伸至該半導體結構之該第二側處之該中間材料之開口，其中該開口延伸穿過該閘極區；及

使該半導體結構與該操作基板去耦合，其中將該半導體結構去耦合包括：

在該第一側處將轉移結構附接至該半導體結構，使得該轉移結構之一部分延伸橫跨該開口，且因而完全覆蓋該開口；及

經由該半導體結構之閘極區中之該開口去除該中間材料之至少一部分，以底切該半導體結構之該第二側，其中去除該中間材料包括經由該開口使該中間材料暴露於蝕刻劑，並藉由使在該轉移結構之該部分以及面對該轉移結構之該部分的該操作基板之一部分之間的蝕刻劑流過該開口。

2. 如請求項1之方法，其中：

該中間材料之該部分為該中間材料之第一部分；

該方法進一步包含形成鄰近該源極區之第一溝槽以及鄰近該汲極區之第二溝槽，其中該第一及第二溝槽自該半導體結構之該第一側至少延伸至該半導體結構之該第二側處之該中間材

料，且其中該第一及第二溝槽至少部分地界定該半導體結構中之臺面；

經由該第一溝槽去除該中間材料之第二部分；及

經由該第二溝槽去除該中間材料之第三部分。

3. 如請求項2之方法，其中：

該操作基板包含聚氮化鋁基板(p-AlN)；且

該方法包含形成功率電晶體，其包括在該半導體結構中形成之該臺面。

4. 如請求項2之方法，其進一步包含自該半導體結構去除材料，以機械分離該半導體結構中之作用區。

5. 如請求項2之方法，其中該閘極中之開口包括拉長溝槽，且其中該拉長溝槽以及該第一及第二溝槽為相互平行。

6. 如請求項1之方法，其中該轉移結構包括晶粒附接帶。

7. 如請求項1之方法，其中使該中間材料暴露於該蝕刻劑進一步包含蝕刻該中間材料，以在該半導體結構與該操作基板之間形成間隙。

8. 一種形成半導體裝置總成之方法，其包含：

在操作基板上形成半導體材料之堆疊，該半導體材料之堆疊包括電晶體裝置之閘極；

在該半導體材料之堆疊中形成開口，其中經由該等開口暴露該操作基板之部分，且其中該等開口包含延伸穿過該閘極區之第一開口、毗鄰該電晶體裝置之源極的第二開口以及毗鄰該電晶體裝置之汲極的第三開口；

將轉移結構附接至該半導體材料之堆疊，其中該轉移結構之部分延伸橫跨且完全覆蓋該等開口之相對應者，以將複數通道界定在該操作基板之該部分及該轉移結構之相對應部分之間；及

毗鄰該半導體材料之堆疊中之該等開口底切該半導體材料之堆疊，其中底切該半導體材料之堆疊包括將蝕刻劑流入該等通道中。

9. 如請求項8之方法，其中底切該半導體材料之堆疊進一步包含將該半導體材料之堆疊至少部分地浸沒於蝕刻劑中。
10. 如請求項8之方法，其進一步包含形成半導體裝置，其中該半導體裝置包括該半導體材料之堆疊之至少一部分。
11. 如請求項10之方法，其中該半導體裝置係功率電晶體。
12. 如請求項10之方法，其中該半導體裝置係高電子移動性電晶體 (HEMT)裝置。
13. 如請求項10之方法，其中該半導體裝置係直接附接式裝置。
14. 如請求項8之方法，其中底切該半導體材料之堆疊之部分包含使該半導體材料之堆疊與該操作基板去耦合。
15. 如請求項14之方法，其進一步包含
 形成包括該半導體材料之堆疊之至少一部分之半導體裝置；
 在該半導體裝置之第一側處形成第一電接觸；及
 在該半導體裝置之與該半導體裝置之該第一側相對之第二側處形成第二電接觸。
16. 如請求項8之方法，其進一步包含形成包括該半導體材料之堆疊之至少一部分及該操作基板之一部分之半導體裝置。
17. 如請求項8之方法，其中該蝕刻劑流入包含使該操作基板、該轉移結構及該半導體材料之堆疊浸入該蝕刻劑中。
18. 如請求項8之方法，其中該蝕刻劑流入包含使該操作基板自該半導體材料之堆疊去耦合，且該轉移材料附接至該半導體材料之堆疊。
19. 一種半導體裝置總成，其包含：

操作基板；

具有第一側及與該第一側相對之第二側之半導體結構，其中該半導體結構包括電晶體裝置之閘極區，且其中該半導體結構包括延伸至該閘極區之一部分的開口；

在該操作基板與該半導體結構之該第二側之間之中間材料；及於該半導體結構之第一側附接至該半導體結構的轉移結構；其中：

該開口界定通道係至少自該半導體結構之該第一側延伸至至少該半導體結構之該第二側處之該中間材料；

該通道經組態使蝕刻劑流至該中間材料以底切該半導體結構之該第二側；

該操作基板與該半導體結構之該第二側處之該半導體結構之一部分係藉由毗鄰該開口之該中間材料中之間隙分開；及

該轉移結構之一部分延伸橫跨且完全覆蓋該開口。

20. 如請求項19之半導體裝置總成，其中該半導體結構包含功率電晶體裝置之至少一部分。
21. 如請求項19之半導體裝置總成，其中該半導體結構包含高電子移動性電晶體(HEMT)裝置之至少一部分。
22. 如請求項19之半導體裝置總成，其中該操作基板包含聚氮化鋁(p-AlN)基板。
23. 如請求項19之半導體裝置總成，其中：
 - 該半導體結構進一步包括電晶體裝置之源極及汲極區；
 - 該閘極區係在該源極及汲極區之間；
 - 該源極區毗鄰第一溝槽；
 - 該汲極區毗鄰第二溝槽；且
 - 該第一及第二溝槽界定該半導體結構之臺面。

24. 如請求項19之半導體裝置總成，其中
該開口包括第三溝槽，且其中該第一、第二及第三溝槽係相互平行。
25. 如請求項19之半導體裝置總成，其進一步包含部分而非完全延伸穿過該閘極區之溝槽。

圖式

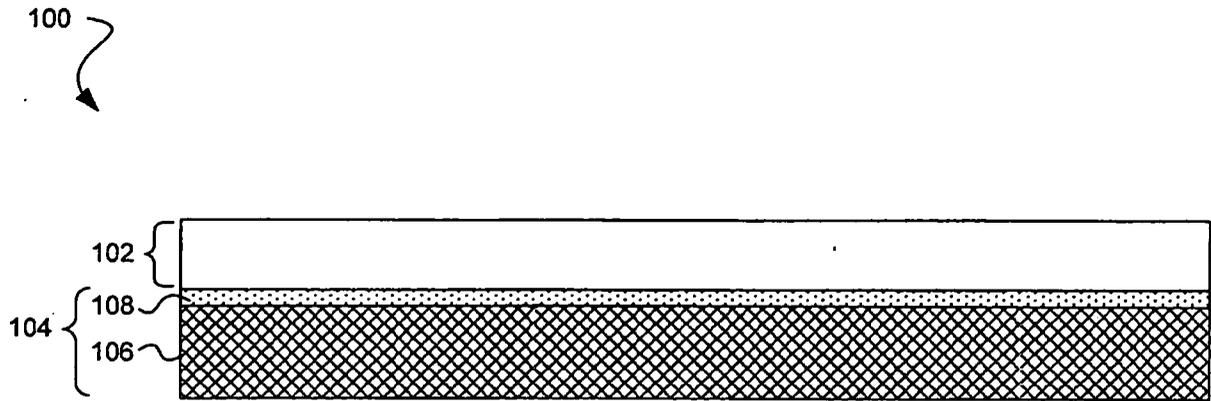


圖 1A

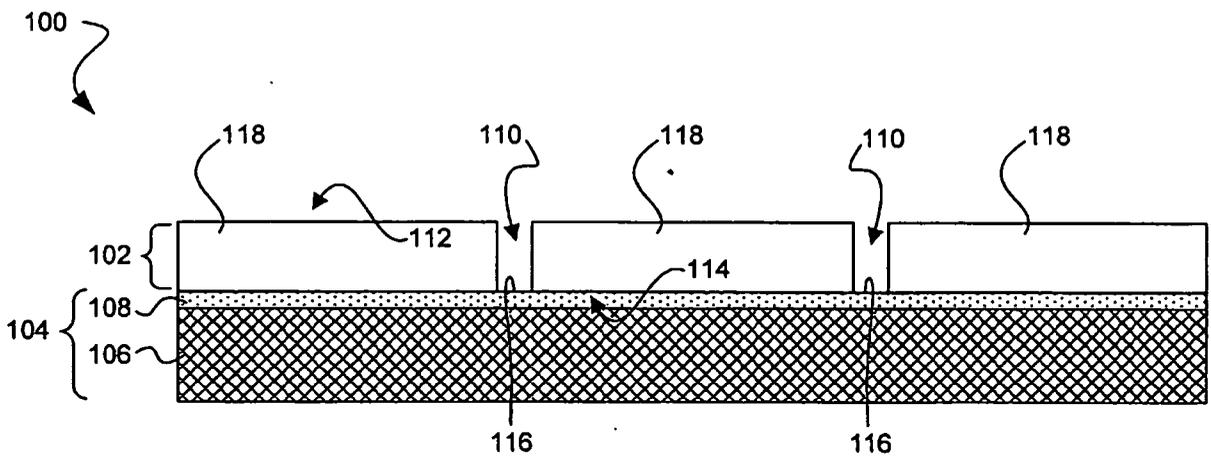


圖 1B

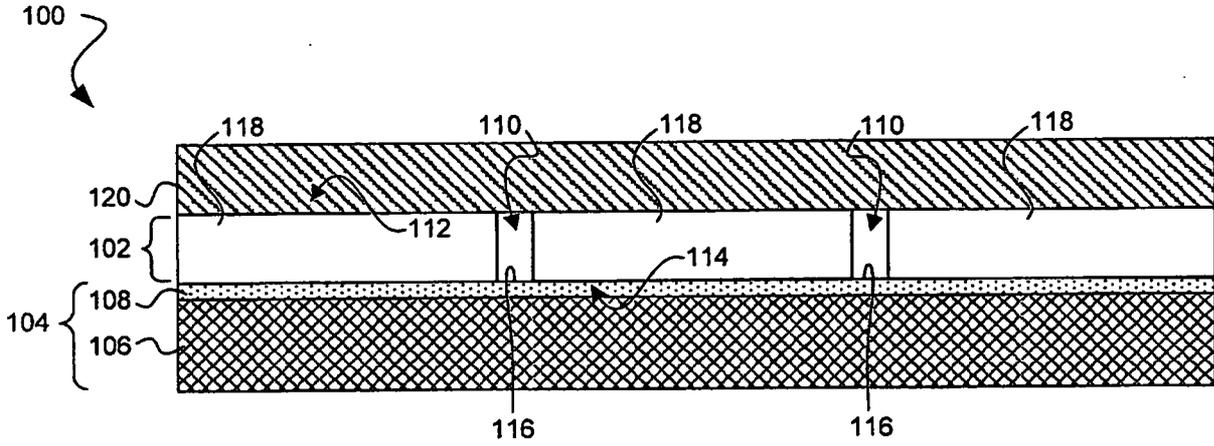


圖 1C

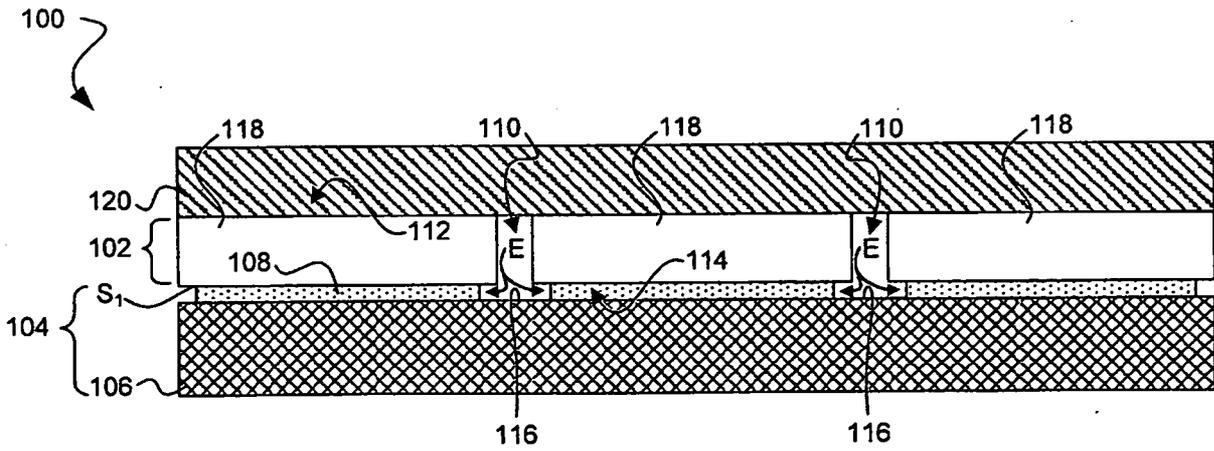


圖 1D



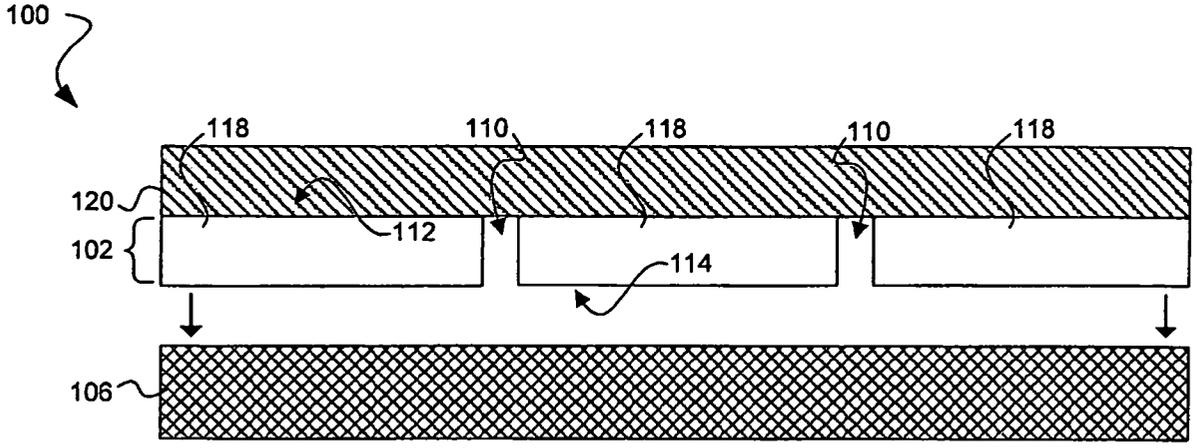


圖 1E

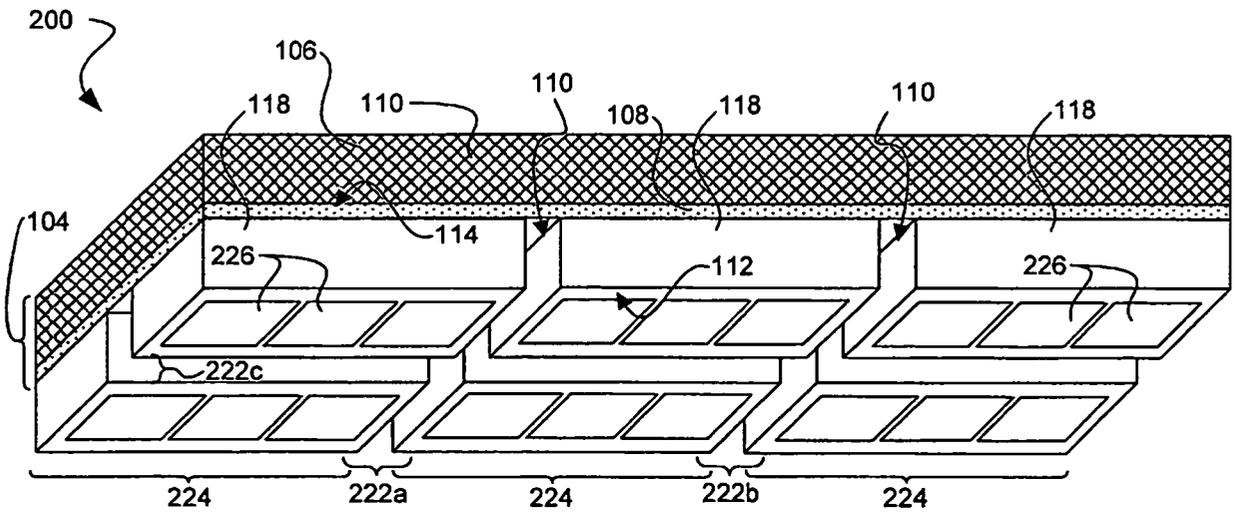


圖 2

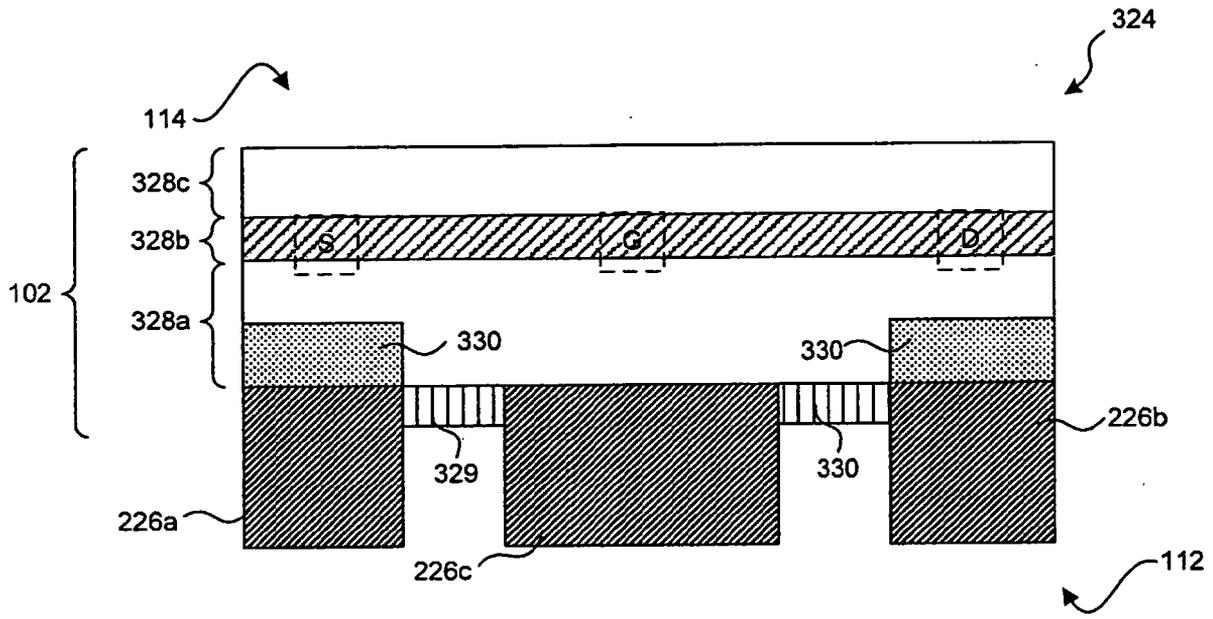


圖 3

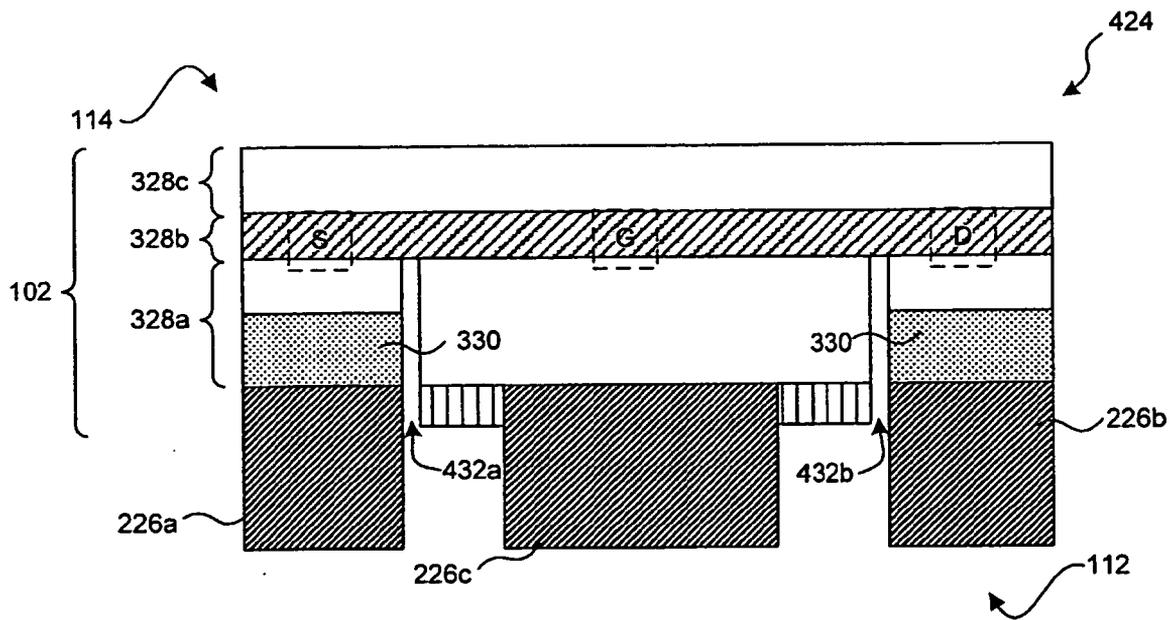


圖 4



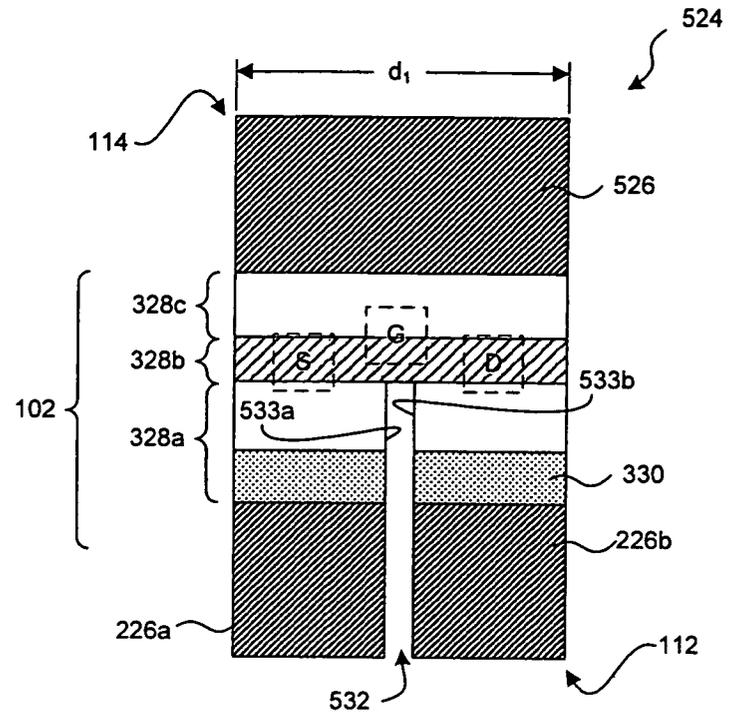


圖 5

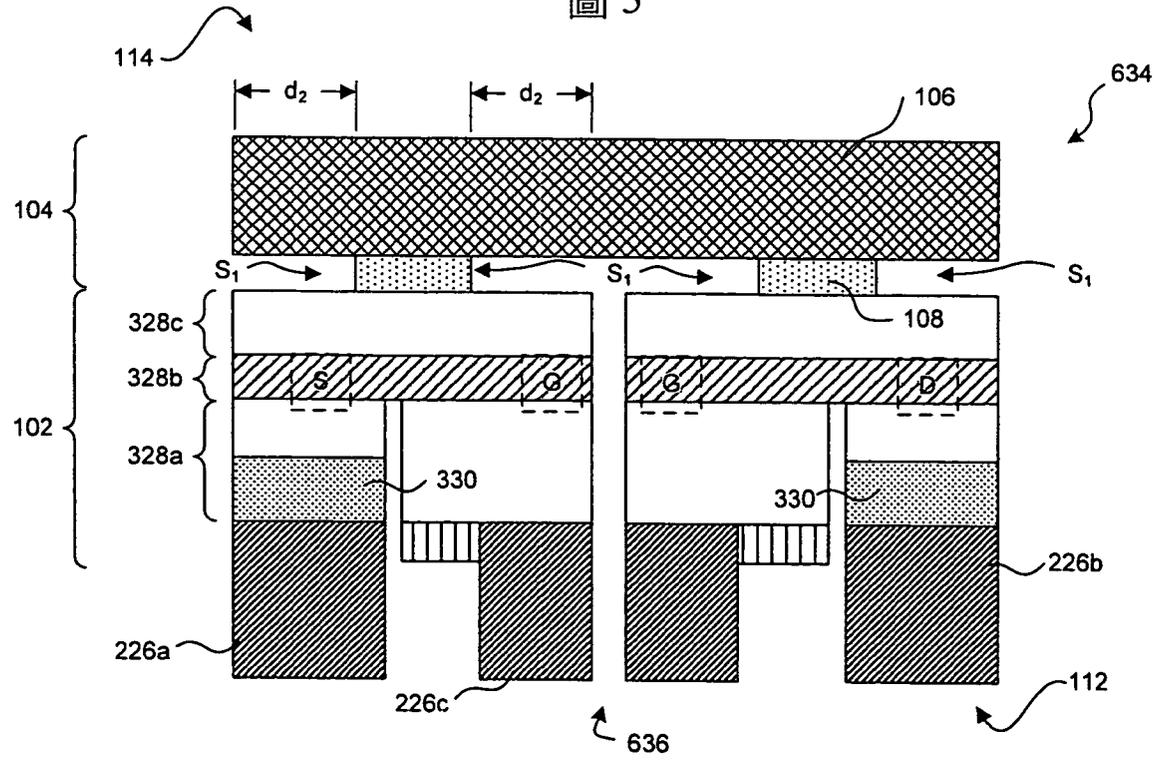


圖 6

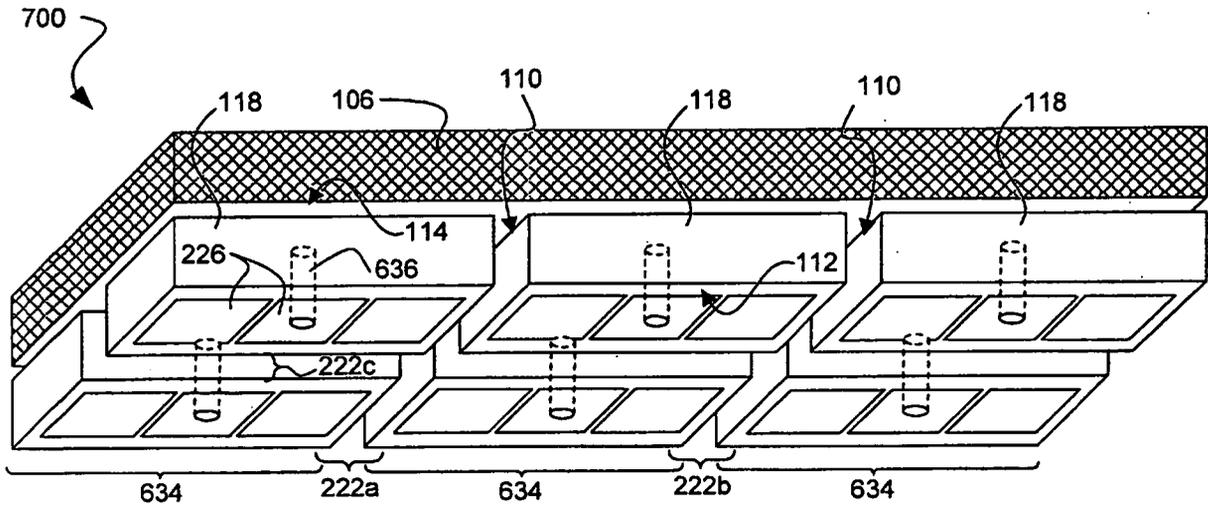


圖 7

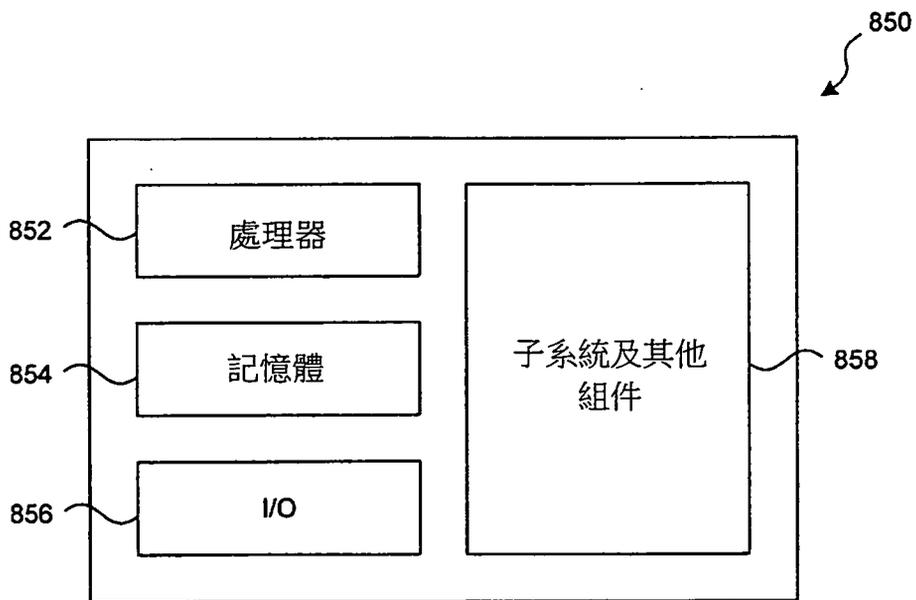


圖 8

