

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-158524

(P2004-158524A)

(43) 公開日 平成16年6月3日(2004.6.3)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 23/12	HO 1 L 23/12	5 F 0 3 8
HO 1 L 21/822	HO 1 L 23/32	
HO 1 L 23/32	HO 1 L 27/04	
HO 1 L 27/04	HO 1 L 27/04	

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号	特願2002-320843 (P2002-320843)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成14年11月5日 (2002. 11. 5)	(74) 代理人	100082131 弁理士 稲本 義雄
		(72) 発明者	近藤 員弘 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5F038 BE07 CD02 CD05 EZ07 EZ20

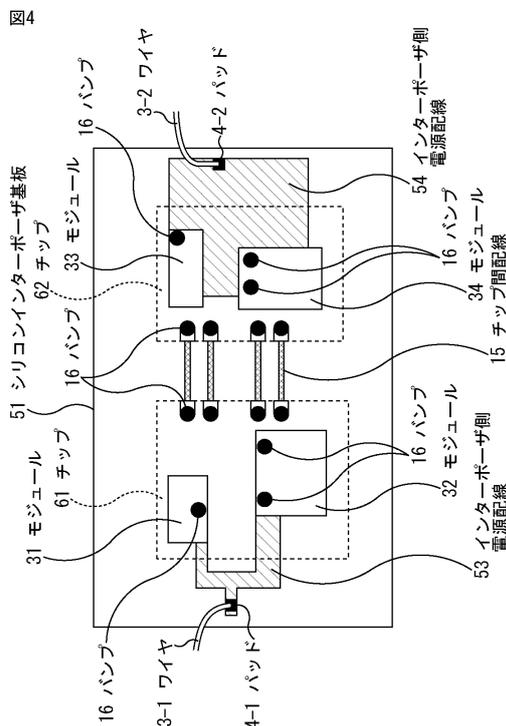
(54) 【発明の名称】 半導体素子および素子配線方法

(57) 【要約】

【課題】 チップ内に電源配線を設けずに、チップ内のモジュールに電源を供給する。

【解決手段】 シリコンインターポーザ基板51は、インターポーザ側電源配線53およびインターポーザ側電源配線54を有するインターポーザ52を備えている。チップ61およびチップ62には、チップ内の電源配線が形成されていないが、インターポーザ側電源配線53およびインターポーザ側電源配線54が、それぞれ、モジュール31乃至モジュール34のそれぞれに電源を供給するバンプ16の位置まで形成されている。従って、チップ内に電源配線を形成することなく、モジュール31乃至モジュール34は電源の供給を受ける。本発明は、シリコンインターポーザ基板を用いた半導体チップに適用できる。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

第 1 の電源配線を有する第 1 の基板と、
独立で動作する少なくとも 1 つのモジュールを有する第 2 の基板と、
前記第 1 の基板の前記第 1 の電源配線に、外部からの電源を供給する電源供給部と
を備え、
前記第 2 の基板は、前記第 1 の基板上に搭載され、
前記第 2 の基板の前記モジュールのうち、少なくともひとつの前記モジュールは、前記第
1 の電源配線に対して垂直方向に形成された、前記第 1 の電源配線と電氣的に接続されて
いる電源供給路の一端と接続される
ことを特徴とする半導体素子。

10

【請求項 2】

前記第 1 の基板には、前記第 1 の電源配線に対して垂直方向に形成された前記電源供給路
が、前記第 2 の基板に搭載されたモジュールの数と同数以上構成され、
前記第 2 の基板に搭載された全てのモジュールは、それぞれ、前記第 1 の電源配線に対し
て垂直方向に形成された前記電源供給路の一端と接続される
ことを特徴とする請求項 1 に記載の半導体素子。

【請求項 3】

前記第 1 の基板には、複数の前記第 2 の基板が搭載されている
ことを特徴とする請求項 1 に記載の半導体素子。

20

【請求項 4】

前記第 2 の基板は、前記第 1 の電源配線と電氣的に接続された第 2 の電源配線、および、
少なくとも 2 つの前記モジュールを有し、
前記第 2 の基板の前記モジュールのうち、少なくとも 1 つの前記モジュールには、前記第
2 の基板の前記第 2 の電源配線を介して電源が供給される
ことを特徴とする請求項 1 に記載の半導体素子。

【請求項 5】

電源配線を有する第 1 の基板と、
独立で動作する少なくとも 1 つのモジュールを有する第 2 の基板と、
前記第 1 の基板の前記電源配線に、外部からの電源を供給する電源供給部と
を備える半導体素子の素子配線方法において、
前記第 2 の基板は前記第 1 の基板上に搭載され、
前記第 2 の基板の前記モジュールのうち、少なくともひとつの前記モジュールが、前記電
源配線に対して垂直方向に形成された、前記電源配線と電氣的に接続された電源供給路の
一端と接続されるように、前記電源配線および前記電源供給路が構成される
ことを特徴とする素子配線方法。

30

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体素子および素子配線方法に関し、特に、チップ内モジュールへの電源供
給のための配線が、インターポーザに設けられている半導体素子および素子配線方法に関
する。

40

【0002】**【従来の技術】**

複数の半導体チップを、ビルドアップ基板やシリコン基板上に形成された配線を使って接
続しながら 1 つのパッケージに集積化する技術 (System in package: S
I P 技術) が広く用いられている。

【0003】

従来、集積回路において、二次基板の一方の能動基板上に形成された、スキューが最小と
なるようなクロック分配網を介して、クロック信号を一次基板に分配する技術がある (例

50

えば、特許文献 1)。

【0004】

また、同一の半導体チップをフェイスアップまたはフェイスダウンのいずれの状態でも搭載できるインターポーザに関する技術がある(例えば、特許文献 2)。

【0005】

【特許文献 1】

特開平 10 - 107065 号公報

【0006】

【特許文献 2】

特開 2001 - 53186 号公報

10

【0007】

また、半導体集積回路(IC)のなかで、素子数が1000万乃至10万程度のものであるLSI(Large Scale Integration)チップ内の電源供給は、供給元となるパッド部から、チップ内部の各モジュールにむけて、メタル配線で行われている。図1および図2を用いて、従来のSIP技術を用いた半導体パッケージの電源供給について説明する。

【0008】

図1は、シリコンインターポーザ基板1に対する断面図であり、図2は、シリコンインターポーザ基板1において、チップ22およびチップ23が搭載されている側から見た平面図である。

20

【0009】

シリコンインターポーザ基板1は、シリコンで構成されるシリコン基板12と、シリコン基板12上に構成され、電源や信号配線がプリントされるインターポーザ11により形成されている。シリコンインターポーザ基板1には、チップ21およびチップ23の2つの半導体チップが、非導電性素材である樹脂封し2によってパッケージされている。

【0010】

チップ21およびチップ23は、それぞれ、単体で機能する半導体チップである。チップ21およびチップ23は、複数のモジュールを有している。ここでは、図2に示されるように、チップ21にモジュール31およびモジュール32が含まれ、チップ23にモジュール33およびモジュール34が含まれているものとして説明する。

30

【0011】

チップ21およびチップ23は、モジュール31乃至モジュール24に電源を供給するために、チップ21はチップ側電源配線22を、チップ23はチップ側電源配線24を、それぞれ設けている。チップ側電源配線22およびチップ側電源配線24は、それぞれ、パンプ16を介して、インターポーザ側電源配線13およびインターポーザ側電源配線14と接続されている。

【0012】

チップ側電源配線22およびチップ側電源配線24は、必要な電流供給能力からその配線幅が決められてしまう。すなわち、半導体製造プロセスの進化とともに、チップサイズの縮小が可能になったとしても、チップ内のモジュールへの電流供給量は変えられないか、むしろ、増える傾向にあるため、チップ側電源配線22およびチップ側電源配線24の配線幅は縮小できず、チップサイズ縮小の妨げとなっている。

40

【0013】

チップ間配線15は、チップ21およびチップ23を結ぶ配線であり、各種信号などを通信する配線である。シリコンインターポーザ基板1のパッド4-1およびパッド4-2は、外部端子であり、ワイヤ3-1およびワイヤ3-2を介して、外部と電氣的に接続されている。

【0014】

パンプ16は、図1に示されるように、インターポーザ11に設けられているインターポーザ側電源配線13およびインターポーザ側電源配線14、並びに、チップ間配線15と

50

、チップ 2 1 に設けられているチップ側電源配線 2 2 および図示しない信号線、並びに、チップ 2 3 に設けられているチップ側電源配線 2 4 および図示しない信号線とを、それぞれ接続する。

【 0 0 1 5 】

次に、シリコンインターポーザ基板 1 における、チップ 2 1 のモジュール 3 1 およびモジュール 3 2 への電源供給、並びに、チップ 2 3 のモジュール 3 3 およびモジュール 3 4 への電源供給について説明する。

【 0 0 1 6 】

ワイヤ 3 - 1 を介して、パッド 4 - 1 に外部から電源が供給される。インターポーザ 1 1 に設けられた基板内配線であるインターポーザ側電源配線 1 3 は、ワイヤ 3 - 1 およびパッド 4 - 1 を介して供給される電源を、パンプ 1 6 を介して、チップ 2 1 のチップ側電源配線 2 2 に供給する。

10

【 0 0 1 7 】

チップ 2 1 のチップ側電源配線 2 2 は、供給された電源を、モジュール 3 1 およびモジュール 3 2 に供給する。

【 0 0 1 8 】

ワイヤ 3 - 2 を介して、パッド 4 - 2 に外部から電源が供給される。インターポーザ 1 1 に設けられた基板内配線であるインターポーザ側電源配線 1 4 は、ワイヤ 3 - 2 およびパッド 4 - 2 を介して供給される電源を、パンプ 1 6 を介してチップ 2 3 のチップ側電源配線 2 4 に供給する。

20

【 0 0 1 9 】

チップ 2 3 のチップ側電源配線 2 4 は、供給された電源をモジュール 3 3 およびモジュール 3 4 に供給する。

【 0 0 2 0 】

【 発明が解決しようとする課題 】

上述したように、クロックのスキューを最小にしたり、同一の半導体チップをフェイスアップまたはフェイスダウンのいずれの状態でも搭載することにより、半導体集積の信頼性を高めることができるようになされている。

【 0 0 2 1 】

しかしながら、S I P 技術において、搭載されているチップの電源は、ワイヤやパンプを用いて、インターポーザから各搭載チップの I / O パッドに供給され、それぞれのチップ内のモジュールには、チップ内に構成された配線によって供給されている。

30

【 0 0 2 2 】

近年のチップの消費電力の増加にともない、電源配線の幅を太くして電圧降下を抑制することや、E M (e l e c t r o m i g r a t i o n) などの信頼性を強化する必要性が強まっている。その結果、従来の構成のようにチップ内に電源配線を有している場合、配線幅を太くするためにチップサイズが増加してしまったり、チップ内に電源専用メタル層を設ける必要が生じて、L S I プロセス工程が増加してしまう。

【 0 0 2 3 】

また、エリアパンプ技術として、チップ表面全体の任意の位置にパンプを形成し、そこから電源を供給する技術があるが、これは、あくまで、I / O パッドの配置をチップの周辺からチップ全面に広げ、パンプの配置をアレー状とするか、または、等間隔とするものであるので、搭載チップ内には、従来同様の電源配線が存在する。従って、エリアパンプ技術は、チップの消費電力の増加にともなう電圧降下の抑制や E M 信頼性の向上のための、チップサイズの増加、あるいは L S I プロセス工程増などの問題に対する顕著な効果を奏するものではない。

40

【 0 0 2 4 】

本発明はこのような状況に鑑みてなされたものであり、S I P 技術において、インターポーザ基板に積載されるチップ内の電源配線比率を削減することができるようにするものである。

50

【0025】

【課題を解決するための手段】

本発明の半導体素子は、第1の電源配線を有する第1の基板と、独立で動作する少なくとも1つのモジュールを有する第2の基板と、第1の基板の第1の電源配線に、外部からの電源を供給する電源供給部とを備え、第2の基板は、第1の基板上に搭載され、第2の基板のモジュールのうち、少なくともひとつのモジュールは、第1の電源配線に対して垂直方向に形成された、第1の電源配線と電氣的に接続されている電源供給路の一端と接続されることを特徴とする。

【0026】

第1の基板には、第1の電源配線に対して垂直方向に形成された電源供給路が、第2の基板に搭載されたモジュールの数と同数以上構成されるものとするようにしてもよく、第2の基板に搭載された全てのモジュールには、それぞれ、第1の電源配線に対して垂直方向に形成された電源供給路の一端と接続させるようにしてもよい。

10

【0027】

第1の基板には、複数の第2の基板が搭載されているものとするようにしてもよい。

【0028】

第2の基板は、第1の電源配線と電氣的に接続された第2の電源配線、および、少なくとも2つのモジュールを有するものとしてもよく、第2の基板のモジュールのうち、少なくとも1つのモジュールには、第2の基板の第2の電源配線を介して電源が供給されるものとしてもよい。

20

【0029】

本発明の素子配線方法は、電源配線を有する第1の基板と、独立で動作する少なくとも1つのモジュールを有する第2の基板と、第1の基板の電源配線に、外部からの電源を供給する電源供給部とを備える半導体素子において、第2の基板は第1の基板上に搭載され、第2の基板のモジュールのうち、少なくともひとつのモジュールが、電源配線に対して垂直方向に形成された、電源配線と電氣的に接続された電源供給路の一端と接続されるように、電源配線および電源供給路が構成されることを特徴とする。

【0030】

本発明の半導体素子および素子配線方法においては、電源配線を有する第1の基板と、独立で動作する少なくとも1つのモジュールを有する第2の基板と、第1の基板の電源配線に、外部からの電源を供給する電源供給部が備えられ、第2の基板は第1の基板上に搭載され、第2の基板のモジュールのうち、少なくともひとつのモジュールが、第1の基板に構成された第1の電源配線から、第1の電源配線に対して垂直方向に形成された電源供給路の一端と接続されるように、電源配線および電源供給路が構成される。

30

【0031】

【発明の実施の形態】

以下、図を参照して、本発明の実施の形態について説明する。

【0032】

図3および図4は、本発明を適用した半導体パッケージの構成を示す図である。これらの図を用いて、シリコンインターポーザ基板51上に搭載されたチップ61およびチップ62それぞれに対する電源供給について説明する。図3は、シリコンインターポーザ基板51に対する断面図であり、図4は、シリコンインターポーザ基板51において、チップ61およびチップ62が搭載されている側から見た平面図である。

40

【0033】

なお、図4においては、インターポーザ52におけるインターポーザ側電源配線53およびインターポーザ側電源配線54の形状が分かりやすいように、図中点線で記載したチップ61およびチップ62を透過させて、インターポーザ側電源配線53およびインターポーザ側電源配線54の形状を図示する。

【0034】

なお、従来の場合と対応する部分には同一の符号を付してあり、その説明は適宜省略する

50

。

【0035】

すなわち、図3および図4のシリコンインターポーザ基板51は、インターポーザ11に代わって、図4に示されるようなインターポーザ側電源配線53およびインターポーザ側電源配線54を有するインターポーザ52を備え、チップ21およびチップ23に代わって、チップ側電源配線22またはチップ側電源配線24のようなチップ内の電源配線が形成されていないチップ61およびチップ62が設けられている以外は、基本的に、図1および図2を用いて説明した、シリコンインターポーザ基板1と同様の構成を有するものである。

【0036】

チップ61およびチップ62には、チップ側電源配線22またはチップ側電源配線24のようなチップ内の電源配線が形成されていないが、インターポーザ側電源配線53およびインターポーザ側電源配線54が、それぞれ、モジュール31乃至モジュール34のそれぞれに電源を供給するパンプ16の位置まで形成されている。パンプ16は、インターポーザ側電源配線53およびインターポーザ側電源配線54に対して垂直方向の電源供給経路として機能している。従って、モジュール31乃至モジュール34は、インターポーザ側電源配線53およびインターポーザ側電源配線54に対して略平行に設けられるチップ内電源配線を介することなく、垂直方向の電源供給経路であるパンプ16を介して、電源の供給を受ける。

10

【0037】

次に、シリコンインターポーザ基板51における、チップ61のモジュール31およびモジュール32への電源供給、および、チップ62のモジュール33およびモジュール34への電源供給について説明する。

20

【0038】

ワイヤ3-1を介して、パッド4-1に、外部から電源が供給される。インターポーザ52に設けられた基板内配線であるインターポーザ側電源配線53は、ワイヤ3-1およびパッド4-1を介して供給される電源を、垂直方向の電源供給経路であるパンプ16を介して、チップ61のモジュール31およびモジュール32に供給する。

【0039】

ワイヤ3-2を介して、パッド4-2に、外部から電源が供給される。インターポーザ52に設けられた基板内配線であるインターポーザ側電源配線54は、ワイヤ3-2およびパッド4-2を介して供給される電源を、垂直方向の電源供給経路であるパンプ16を介して、チップ62のモジュール33およびモジュール34に供給する。

30

【0040】

すなわち、チップ61およびチップ62においては、チップ内に電源配線を形成しなくても、モジュール31乃至モジュール34のそれぞれに、インターポーザ側電源配線53およびインターポーザ側電源配線54から直接、電源の供給を受けることができる。

【0041】

なお、インターポーザ52に形成されているインターポーザ側電源配線は、図4に示されるインターポーザ側電源配線53のように、チップ62に搭載されているモジュール33およびモジュール34に電源を供給するパンプ16の位置を含む大きさの長方形、あるいは正方形に形成されるようにしても良いし、インターポーザ側電源配線52のように、チップ61に搭載されているモジュール31およびモジュール32に電源を供給するそれぞれのパンプ16に接続されるように、ある程度の配線幅を持って形成されるようにしても良い。

40

【0042】

図3および図4を用いて説明した構成にすることにより、インターポーザ基板に搭載されるチップであるチップ61およびチップ62に、大きな領域を必要とする電源配線を設けることなく、チップ内の各モジュール(モジュール31およびモジュール32、並びに、モジュール33およびモジュール34)に電源を供給することができる。そのため、チッ

50

チップ61およびチップ62のチップサイズを縮小することが可能となり、コスト削減を行うことができる。また、インターポータ側の電源配線であるインターポータ側電源配線53およびインターポータ側電源配線54は、インターポータの性格上、配線の自由度が大きく、またプレーンとして作りこむこともできるため、電源として特性をよくすることができ、ノイズなどの影響を少なくすることが可能になる。

【0043】

なお、シリコンインターポータ基板51に搭載されているチップ61およびチップ62の電源配線を、必要に応じて、最低限の幅で残しておき、インターポータ52側の配線であるインターポータ側電源配線53およびインターポータ側電源配線54と併用することも可能である。これにより、チップ61およびチップ62の電源配線のチップ内の面積比をできるだけ削減するようにすることができる。

10

【0044】

以上説明したように、本発明を適用した半導体チップによれば、SIP技術において、インターポータ基板に積載されるチップ内の電源配線比率を削減することができるので、チップサイズが増加することなく、インターポータ基板側の電源配線の幅を太くして、電圧降下を抑制することが可能であり、LSIプロセス工程を増加してチップ内に電源専用メタル層を設けることなく、EM信頼性を強化することが可能である。

【0045】

【発明の効果】

このように、本発明によれば、チップ内のモジュールに電源を供給することができる。特に、インターポータ側に電源供給線を構成して、チップ内には、電源供給線を設けることなく、インターポータ側電源供給線から垂直方向に構成される電源供給路を介して、チップ内のモジュールに電源を供給することができるようにすることができる。

20

【図面の簡単な説明】

【図1】従来のSIP技術を用いた半導体パッケージの電源供給について説明するための断面図である。

【図2】従来のSIP技術を用いた半導体パッケージの電源供給について説明するための平面図である。

【図3】本発明を適用した半導体パッケージの電源供給について説明するための断面図である。

30

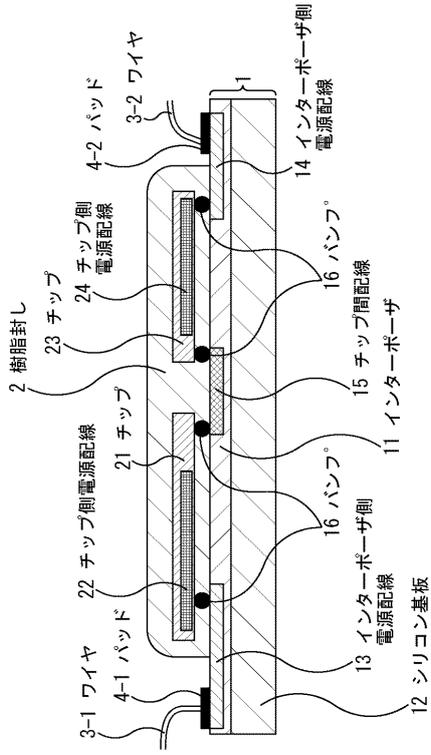
【図4】本発明を適用した半導体パッケージの電源供給について説明するための平面図である。

【符号の説明】

16 バンプ， 31乃至34 モジュール， 51 シリコンインターポータ基板，
52 インターポータ， 53，54 インターポータ側電源配線，
61，62 チップ

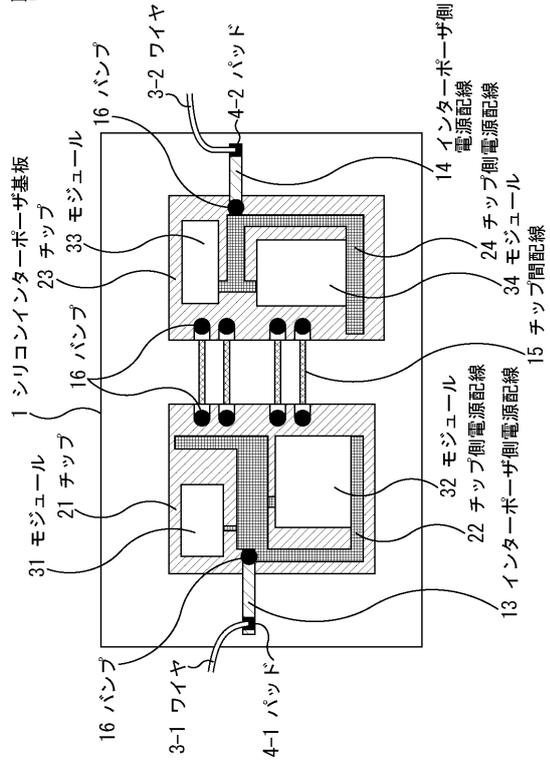
【図1】

図1



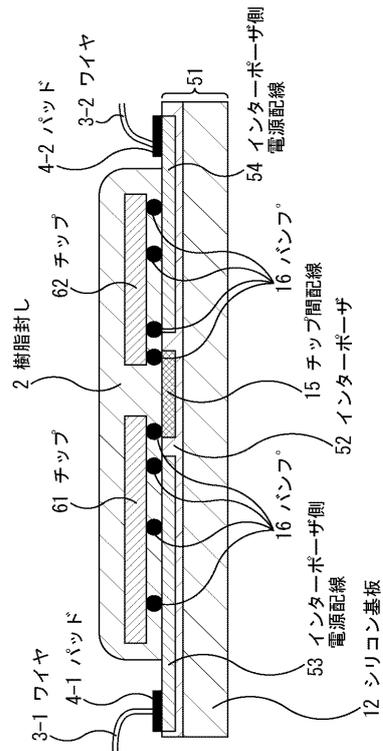
【図2】

図2



【図3】

図3



【図4】

図4

