

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

223193
(11) (B1)

(51) Int. Cl.⁵
G 06 F 3/00



ÚŘAD PRO VYNÁLEZY
A OBJEVY

(22) Přihlášeno 16 03 82
(21) (PV 1789-82)

(40) Zveřejněno 30 11 82

(45) Vydáno 15 03 86

(75)

Autor vynálezu

KUDRNOVSKÝ PAVEL ing., SVOBODA KAREL ing., PRAHA

(54) Zapojení spojovací části řídicího počítače

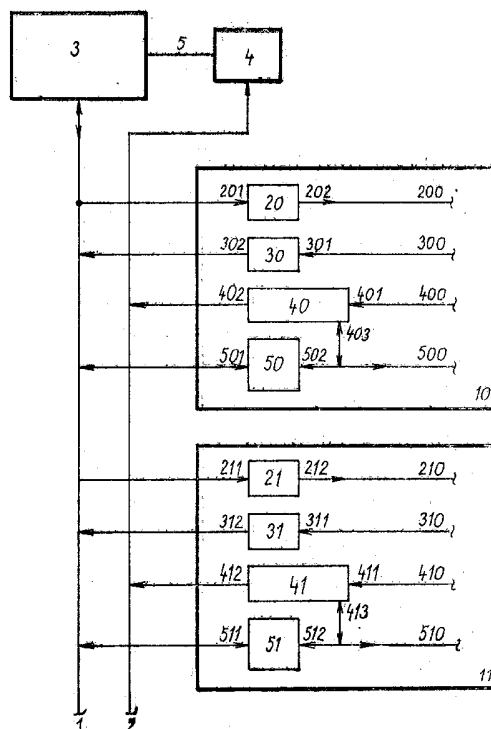
1

Vynález „Zapojení spojovací části řídicího počítače“ se týká oboru „Stroje na zpracování dat“. Vynález řeší problém rozšiřování a zálohování spojovací části řídicího počítače v závislosti na rozsahu zpracovávané řídicí úlohy.

Podstatou vynálezu je umístění spojovacích obvodů řídicího počítače do jednoho nebo několika nezávislých vstupních/výstupních bloků propojených obousměrnou datovou a řídicí sběrnicí připojenou rovněž na procesor, přičemž každý vstupní/výstupní blok obsahuje dekodéry vstupních/výstupních adres, kodéry žádostí o přerušení a další obvody, které jsou v jiných řešeních součástí procesoru.

Vynálezu může být rovněž využito v oboru „Přístroje pro automatickou regulaci a řízení“.

2



Vynález se týká zapojení spojovací části řídicího počítače a řeší problém rozšiřování a zálohování této spojovací části podle náročnosti zpracovávané řídicí úlohy.

Vhodnost řídicího počítače pro užití v nejrůznějších oborech lidské činnosti určují vlastnosti jeho spojovací části, která zprostředkovává styk počítače s řízeným prostředím. Spojovací část sestává z řídicích, adresovacích a datových obvodů, které jsou spojeny nejméně s jedním vstupním/výstupním modulem. Vstupní/výstupní modul napojený na jedné straně na řídicí, adresovací a datové obvody spojovací části a na druhé straně na vnější informační zdroje představuje kanál pro obousměrný přenos dat mezi procesorem a řízeným prostředím. Vstupní/výstupní modul, zpravidla deska s interfejsovými obvody, se umísťuje do některé z rezervovaných pozic spojovací části počítače a obsazuje jednu vstupní/výstupní adresu. Podle charakteru řízeného prostředí a rozsahu řídicí úlohy se mění i požadavky na rozsah spojovací části řídicího počítače, tj. na počet napojených vstupních/výstupních modulů.

Architektura počítače vytváří pro tuto variabilitu dostatečný prostor v podobě počtu připojitelných vstupních/výstupních adres. Z hlediska realizace řídicího počítače je však třeba tento prostor s ohledem na technologické možnosti výroby a její ekonomičnost omezit a stanovit minimalizovanou sestavu spojovací části, která svou výkonností podstatně nepřesáhne požadavky nejméně náročné řídicí aplikace. Takováto minimalizovaná sestava bude nejvýhodnější tehdy, bude-li ji možno dodatečně snadno a bezetrát rozšiřovat.

U známých zapojení spojovací části řídicího počítače s rychlým datovým kanálem jsou řídicí, adresovací i datové obvody spojovací části, tj. zejména dekodéry a kodéry vstupních/výstupních adres, rozdělení datové sběrnice na vstupní a výstupní a podobně, společné pro všechny připojitelné vstupní/výstupní adresy a jsou soustředěny v jednom místě, nejčastěji v procesoru. Nevýhodou tohoto řešení je zvětšení objemu procesoru o řídicí obvody spojovací části. Tento nepříznivý poměr je zvláště výrazný u menších sestav, u kterých zůstává větší část těchto obvodů nevyužita. Další nevýhoda tohoto řešení spočívá v obtížnosti dodatečného rozšiřování spojovací části. Vzhledem ke značnému množství vodičů mezi procesorem a rychlým datovým kanálem na jedné straně a spojovací částí na straně druhé je rozsah spojovací části určen pro konkrétní typ počítače jednoznačně výrobcem a jeho dodatečné rozšiřování je bez podstatného zásahu do mechanického uspořádání a elektrického propojení dílů vyloučeno. Nevýhodou je rovněž to, že porucha jednoho vstupního/výstupního modulu může prostřednictvím řídicích, adresovacích a datových obvodů společných pro celou spo-

jovací část řídicího počítače ovlivnit nepříznivé funkční schopnosti ostatních vstupních/výstupních modulů a tím ohrozit činnost celého počítače.

Tyto nevýhody odstraňuje zapojení spojovací části řídicího počítače, sestávající z jednoho nebo několika vstupních/výstupních bloků, podle vynálezu, jehož podstatou je, že každý vstupní/výstupní blok obsahuje obvody pro dekodování adresy napojené svými vstupy na obousměrnou datovou a řídicí sběrnici a dále obvody pro kódování žádostí o přerušení, připojené svými výstupy rovněž na obousměrnou datovou a řídicí sběrnici, jakož i oddělovací a posilovací obvody připojené svými prvními vstupy/výstupy rovněž na obousměrnou datovou a řídicí sběrnici a svými druhými vstupy/výstupy jednak na vnitřní obousměrné datové a řídicí sběrnice vstupních/výstupních bloků, a jednak na vstupy komparátorů žádostí o přenos prostřednictvím rychlého datového kanálu. Výstupy těchto komparátorů spojuje jednobitová sběrnice rychlého datového kanálu a na výstupy dekodérů adresy jsou napojeny sběrnice vnitřních výběrových signálů vstupních/výstupních bloků. Sběrnice žádostí o přerušení vstupních/výstupních bloků jsou připojeny na vstupy kodérů žádostí o přerušení a na vstupy komparátorů jsou připojeny sběrnice žádostí o přidělení rychlého datového kanálu vstupních/výstupních bloků. Obousměrná datová a řídicí sběrnice je spojena s procesorem, který je spojen obousměrnou sběrnici s rychlým datovým kanálem.

Výhodnými vlastnostmi se v zapojení spojovací části řídicího počítače podle vynálezu vyznačuje obousměrná datová a řídicí sběrnice na rozhraní mezi procesorem a spojovací částí. Tato sběrnice je v celém adresovacím rozsahu vstupních/výstupních adres a ve všech režimech komunikace s řízeným objektem indiferentní k vstupním/výstupním adresám obsluhovaných kanálů. Tato vlastnost sběrnice umožňuje takové mechanické uspořádání soustavy vstupních/výstupních bloků, při kterém není konstrukter ani uživatel při propojování vázán požadavkem na adresovou návaznost bloků. Výhodou uspořádání spojovací části podle vynálezu je rovněž univerzálnost vstupních/výstupních bloků.

V konkrétní aplikaci se může blok vstupů/výstupů vyskytnout jednou nebo několikrát, přičemž na všech vstupních/výstupních adresách realizovaných v těchto blocích jsou pro vstupní/výstupní moduly zachovány stejné funkční podmínky. Další výhodou je nezávislé nastavování částí rozsahu vstupních/výstupních adres u každého bloku vstupů/výstupů. Toto nezávislé nastavování umožňuje vícenásobnou realizaci částí adresovacího rozsahu nebo vynechání jeho částí, tj. zdvojení či zvícenásobování obsazení vstupních/výstupních adres, pří-

padně jejich vynechávání. Tato vlastnost podstatně rozvíjí stavebnicový charakter spojovací části a umožňuje řešit úlohy zálohování spojovacích prostředků.

Příklad zapojení spojovací části řídicího počítače podle vynálezu je znázorněn na přiloženém výkresu, který zobrazuje kromě propojení procesoru se dvěma vstupními/výstupními bloky i připojení rychlého datového kanálu.

Vstupní/výstupní bloky 10, 11 jsou spojeny jednak s obousměrnou datovou a řídicí sběrnicí 1, se kterou je spojen i procesor 3, a jednak s jednobitovou sběrnicí 2 žádostí o komunikaci prostřednictvím rychlého datového kanálu, která je spojena s rychlým datovým kanálem 4. Procesor 3 a rychlý datový kanál 4 jsou propojeny další obousměrnou sběrnicí 5. Každý vstupní/výstupní blok 10, 11 obsahuje obvody pro dekódování adresy 20, 21 napojené svými vstupy 201, 211 na obousměrnou datovou a řídicí sběrnicí 1, dále obvody 30, 31 pro kódování žádosti o přerušení připojené svými výstupy 302, 312 rovněž na obousměrnou datovou a řídicí sběrnicí 1. Dále vstupní/výstupní bloky 10, 11 obsahují oddělovací a posilovací obvody 50, 51 a komparátory 40, 41 žádostí o přenos prostřednictvím rychlého datového kanálu 4. Oddělovací a posilovací obvody 50, 51 jsou připojeny svými prvními vstupy/výstupy 501, 511 na obousměrnou datovou a řídicí sběrnicí 1 a svými druhými vstupy/výstupy 502, 512 jednak na vnitřní obousměrné datové a řídicí sběrnice 500, 510 a jednak na vstupy 403, 413 komparátorů 40, 41. Výstupy 402, 412 komparátorů 40, 41 spojuje jednobitová sběrnice 2 rychlého datového kanálu 4. Na výstupy 202, 212 dekódérů adresy 20, 21 jsou napojeny sběrnice 200, 210 vnitřních výběrových signálů vstupních/výstupních bloků 10, 11.

Sběrnice 300, 310 žádostí o přerušení vstupních/výstupních bloků 10, 11 jsou připojeny na vstupy 301, 311 kódérů 30, 31 žádostí o přerušení. Na vstupy 401, 411 komparátorů 40, 41 jsou připojeny vnitřní sběrnice 400, 410 žádostí o přidělení rychlého datového kanálu.

Obvody 20, 21 pro dekódování adresy pře-

vádějí adresový údaj z obousměrné datové a řídicí sběrnice 1 na vhodné výběrové signály sběrnic 200, 210 určené k adresování vstupních/výstupních modulů uvnitř vstupních/výstupních bloků 10, 11. Kódéry žádostí o přerušení 30, 31 zpracovávají žádosti o přerušení vznikající uvnitř jednotlivých vstupních/výstupních bloků 10, 11. Tyto žádosti, přiváděné na vstupy 301, 311 kódérů 30, 31 sběrnicemi 300, 310 se transformují do tvaru vhodného pro další zpracování.

Z výstupů 302, 312 kódérů 30, 31 se žádosti o přerušení přenášejí po obousměrné datové a řídicí sběrnicí 1 do procesoru 3. Žádosti o přidělení rychlého datového kanálu vznikající uvnitř vstupních/výstupních bloků 10, 11 se přivádějí sběrnicemi 400, 410 na vstupy 401, 411 komparátorů 40, 41. Úkolem komparátorů 40, 41 je porovnávat adresy žádostí s předem označenou adresou a v případě shody, tedy zjištění platnosti žádosti, sdělit tuto skutečnost po jednobitové sběrnicí 2 do obvodů rychlého datového kanálu 4. Protože komparátory 40, 41 jsou funkčně součástí obvodů rychlého datového kanálu 4 přijímají v procesu přenosu řídicích údajů z procesoru 3 do rychlého datového kanálu 4 stejné údaje jako rychlý datový kanál.

Přenos údajů mezi procesorem 3 a rychlým datovým kanálem 4 se děje po obousměrné sběrnicí 5, kdežto komparátorům 40, 41 je stejná informace poskytována v totéž časovém úseku na vstupech 403, 413 prostřednictvím vnitřních obousměrných datových a řídicích sběrnic 500, 510 vstupních a výstupních bloků 10, 11, aniž by se změnila časová náročnost operace přenosu řídicích údajů. Oddělovací a posilovací obvody 50, 51 slouží k oddělení signálů obousměrné datové a řídicí sběrnice 1 od vnitřních obousměrných datových a řídicích sběrnic 500, 510 jednotlivých vstupních/výstupních bloků 10, 11.

Počet zapojených vstupních/výstupních bloků se řídí charakterem řízení prostředků a rozsahem řídicí úlohy. Podobnými kritérii se řídí i počet napojených rychlých datových kanálů.

PŘEDMĚT VYNÁLEZU

Zapojení spojovací části řídicího počítače sestávající z jednoho nebo několika vstupních/výstupních bloků, vyznačené tím, že každý vstupní/výstupní blok (10, 11) obsahuje obvody pro dekódování adresy (20, 21) napojené svými vstupy (201, 211) na obousměrnou datovou a řídicí sběrnicí (1), dále obvody pro kódování žádostí o přerušení (30, 31), připojené svými výstupy (302, 312) na obousměrnou datovou a řídicí sběrnicí (1), jakož i oddělovací a posilovací obvody (50, 51) připojené svými prvními vstu-

py/výstupy (501, 511) rovněž na obousměrnou datovou a řídicí sběrnicí (1) a svými druhými vstupy/výstupy (502, 512) jednak na vnitřní obousměrné datové a řídicí sběrnice (500, 510) vstupních/výstupních bloků (10, 11) a jednak na vstupy (403, 413) komparátorů (40, 41) žádostí o přenos prostřednictvím rychlého datového kanálu (4), přičemž výstupy (402, 412) těchto komparátorů (40, 41) spojuje jednobitová sběrnice (2) rychlého datového kanálu (4) a na vý-

stupy (202, 212) dekodérů adresy (20, 21) jsou napojeny sběrnice (200, 210) vnitřních výběrových signálů vstupních/výstupních bloků (10, 11), zatímco sběrnice (300, 310) žádostí o přerušení vstupních/výstupních bloků (10, 11) jsou připojeny na vstupy (301, 311) kodérů (30, 31) žádostí o přerušení a na vstupy (401, 411) komparátorů (40, 41)

jsou připojeny sběrnice (400, 410) žádostí o přidělení rychlého datového kanálu (4) vstupních/výstupních bloků (10, 11), přičemž obousměrná datová a řídicí sběrnice (1) je spojena s procesorem (3), který je spojen obousměrnou sběrní (5) s rychlým datovým kanálem (4).

1 list výkresů

