

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月21日(21.04.2022)



(10) 国際公開番号

WO 2022/080495 A1

(51) 国際特許分類:

H01L 29/739 (2006.01) H01L 29/06 (2006.01)
H01L 21/336 (2006.01) H01L 29/12 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
H01L 27/06 (2006.01) H01L 29/861 (2006.01)
H01L 27/088 (2006.01) H01L 29/868 (2006.01)

(21) 国際出願番号: PCT/JP2021/038317

(22) 国際出願日: 2021年10月15日(15.10.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-174399 2020年10月16日(16.10.2020) JP

(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

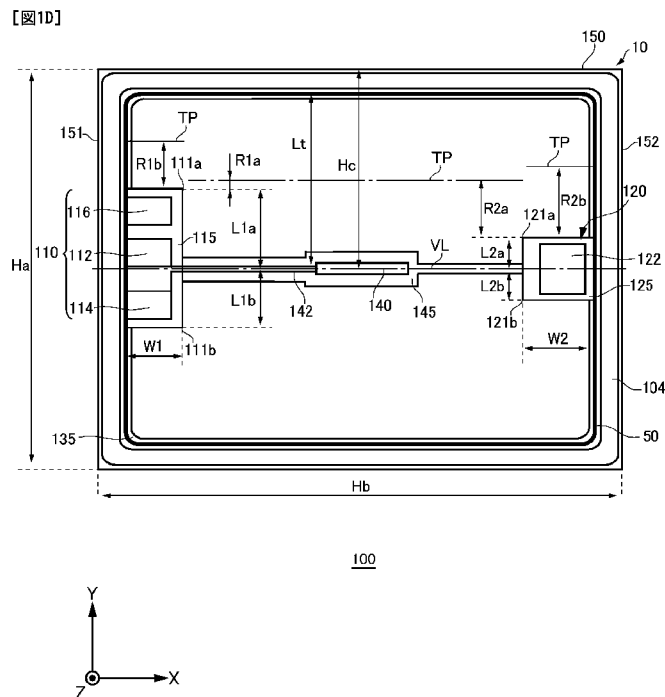
(72) 発明者: 小幡 智幸 (OBATA Tomoyuki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 龍華国際特許業務法人 (RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

outer periphery (151) of the semiconductor substrate to the inside of the semiconductor substrate in a top view; and a first well region (115) provided below the first control pad and provided to cover the first control pad in a top view, wherein in a top view, the shortest distance (R1a) between the first well region and a trench center position (TP) that is the center of the lengths of the plurality of trench parts in the stretching direction is 1000 μm or more.

(57) 要約：半導体基板 (10) に設けられた活性部 (102) と、ゲート導電部 (44) を有し、活性部において、予め定められた延伸方向に延伸して設けられ、予め定められた配列方向に配列された複数のトレンチ部 (40) であって、延伸方向におけるトレンチ長さ (L_t) に対する、ゲート導電部の配列方向における幅 (W_g) の導電部形状比が 1 0 0 0 以上である複数のトレンチ部と、上面視において、半導体基板の予め定められた第 1 外周辺 (151) から半導体基板の内側に張り出して設けられた第 1 制御パッド (110) と、第 1 制御パッドの下方に設けられ、上面視において第 1 制御パッドを覆って設けられた第 1 ウェル領域 (115) とを備え、上面視において、第 1 ウェル領域と、複数のトレンチ部の延伸方向における長さの中央であるトレンチ中央位置 (TP) との間の最短距離 (R1a) が 1 0 0 0 μm 以上である半導体装置 (100) を提供する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来、複数のトレンチ部を備える半導体装置であって、制御パッドの下方にウェル領域を設けた半導体装置が知られている。

[先行技術文献]

[特許文献]

[特許文献1] 国際公開第2019/078166号

[特許文献2] 特開2020-077674号公報

[特許文献3] 特開2019-186510号公報

[特許文献4] 国際公開第2018/154963号

解決しようとする課題

[0003] 半導体装置の破壊を回避することが好ましい。

一般的開示

[0004] 本発明の第1の態様においては、半導体基板に設けられた活性部と、ゲート導電部を有し、活性部において、予め定められた延伸方向に延伸して設けられ、予め定められた配列方向に配列された複数のトレンチ部であって、延伸方向におけるトレンチ長さに対する、ゲート導電部の配列方向における幅の導電部形状比が1000以上である複数のトレンチ部と、上面視において、半導体基板の予め定められた第1外周辺から半導体基板の内側に張り出して設けられた第1制御パッドと、第1制御パッドの下方に設けられ、上面視において第1制御パッドを覆って設けられた第1ウェル領域とを備え、上面視において、第1ウェル領域と、複数のトレンチ部の延伸方向における長さの中央であるトレンチ中央位置との間の最短距離が1000 μ m以上である半導体装置を提供する。

- [0005] 最短距離は、 $1500\mu\text{m}$ 以上であってよい。
- [0006] 最短距離は、 $2000\mu\text{m}$ 以上であってよい。
- [0007] 複数のトレンチ部の導電部形状比は、 3000 以上、 1×10^6 以下であってよい。
- [0008] 複数のトレンチ部は、ゲート電位に設定されたゲートトレンチ部を含んでよい。ゲートトレンチ部の導電部形状比は、 5000 以上、 3×10^5 以下であってよい。
- [0009] 第1制御パッドは、アノードパッド、カソードパッドおよびセンスパッドを含んでよい。
- [0010] 第1ウェル領域は、上面視で矩形を有し、第1ウェル領域の3辺が活性部と対向して設けられてよい。
- [0011] 第1ウェル領域は、第1外周辺から張り出して設けられた角部を有してよい。最短距離は、第1ウェル領域の角部と、トレンチ中央位置との距離であってよい。
- [0012] 第1外周辺と直交し、第1外周辺の中央を通る中央仮想線から、第1ウェル領域の角部までの距離 $L1a$ は、中央仮想線と直交する方向における中央仮想線から半導体基板の外周端までの長さの 40% 以上であってよい。
- [0013] 第1ウェル領域は、第1外周辺と直交して第1外周辺の中央を通る中央仮想線に対して対称に設けられてよい。
- [0014] 第1ウェル領域は、第1外周辺と直交して第1外周辺の中央を通る中央仮想線に対して非対称に設けられてよい。
- [0015] 第1ウェル領域は、上面視において、角の一部が切り取られた切欠部を備えてよい。
- [0016] 上面視において、第1外周辺と対向する第2外周辺から半導体基板の内側に張り出して設けられた第2制御パッドと、第2制御パッドの下方に設けられ、上面視において第2制御パッドを覆って設けられた第2ウェル領域とを備えてよい。第2ウェル領域は、第2外周辺から張り出して設けられた角部を有してよい。距離 $L1a$ は、延伸方向における中央仮想線から第2ウェル

領域の角部までの距離 L_2 a より長くてよい。

[0017] 第2制御パッドは、複数のトレンチ部をゲート電位に設定するためのゲートパッドを含んでよい。

[0018] 活性部は、トランジスタ部およびダイオード部を備えてよい。第1ウェル領域の角部は、上面視において、トランジスタ部に位置してよい。

[0019] 複数のトレンチ部がエミッタ電位に設定されたダミートレンチ領域を備えてよい。第1ウェル領域の角部は、上面視において、ダミートレンチ領域に位置してよい。

[0020] 活性部は、トランジスタ部およびダイオード部を備えてよい。第1ウェル領域の角部は、上面視において、ダイオード部に位置してよい。

[0021] 半導体装置は、半導体基板の上方に設けられた保護膜を備えてよい。ダイオード部は、半導体基板のおもて面側にライフタイム制御領域を有してよい。保護膜は、上面視において、ダイオード部を避けて設けられてよい。

[0022] 延伸方向は、上面視において、第1外周辺と平行であってよい。

[0023] 延伸方向は、上面視において、第1外周辺と直交してよい。

[0024] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0025] [図1A]実施例に係る半導体装置100の上面図の一例を示す。

[図1B]半導体装置100の上面の拡大図を示す。

[図1C]図1Bにおける $a-a'$ 断面の一例を示す図である。

[図1D]半導体装置100の上面のレイアウトを説明するための図である。

[図2A]半導体装置100の上面の拡大図を示す。

[図2B]半導体装置100の上面の拡大図を示す。

[図2C]半導体装置100の上面の拡大図を示す。

[図2D]切欠部118を備える半導体装置100の構成の一例を示す。

[図2E]切欠部118を備える半導体装置100の構成の一例を示す。

[図3]保護膜180が設けられた半導体装置100の上面図の一例である。

[図4A]実施例に係る半導体装置100の上面図の一例である。

[図4B]実施例に係る半導体装置100の上面図の一例である。

[図5]オフ状態で、角部111近傍でアバランシェ降伏が生じるときの、電界強度 $E(R)$ を示す模式図である。

[図6A]角部111の近傍における電界強度の最短距離 R 依存性を示す図である。

[図6B]最短距離 $R1a$ とターンオフ耐量の不良率(%)との関係を示すグラフである

[図6C]定格電圧 V_{rate} と定格電流密度 J_{rate} との関係を示すグラフである。

発明を実施するための形態

[0026] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0027] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

[0028] 本明細書では、 X 軸、 Y 軸および Z 軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、 Z 軸は地面に対する高さ方向を限定して示すものではない。なお、 $+Z$ 軸方向と $-Z$ 軸方向とは互いに逆向きの方向である。正負を記載せず、 Z 軸方向と記載した場合、 $+Z$ 軸および $-Z$ 軸に平行な方向を意味する。

[0029] 本明細書では、半導体基板の上面および下面に平行な直交軸を X 軸および Y 軸とする。また、半導体基板の上面および下面と垂直な軸を Z 軸とする。

本明細書では、Z軸の方向を深さ方向と称する場合がある。また、本明細書では、X軸およびY軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

[0030] 本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば10%以内である。

[0031] 本明細書においては、不純物がドーピングされたドーピング領域の導電型をP型またはN型として説明している。本明細書においては、不純物とは、特にN型のドナーまたはP型のアクセプタのいずれかを意味する場合があり、ドーパントと記載する場合がある。本明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、N型の導電型を示す半導体またはP型の導電型を示す半導体とすることを意味する。

[0032] 本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。本明細書においては、ネット・ドーピング濃度とは、ドナー濃度を正イオンの濃度とし、アクセプタ濃度を負イオンの濃度として、電荷の極性を含めて足し合わせた正味の濃度を意味する。一例として、ドナー濃度を N_D 、アクセプタ濃度を N_A とすると、任意の位置における正味のネット・ドーピング濃度は $N_D - N_A$ となる。本明細書では、ネット・ドーピング濃度を単にドーピング濃度と記載する場合がある。

[0033] ドナーは、半導体に電子を供給する機能を有している。アクセプタは、半導体から電子を受け取る機能を有している。ドナーおよびアクセプタは、不純物自体には限定されない。例えば、半導体中に存在する空孔(V)、酸素(O)および水素(H)が結合したVOH欠陥は、電子を供給するドナーとして機能する。本明細書では、VOH欠陥を水素ドナーと称する場合がある。

[0034] 本明細書においてP+型またはN+型と記載した場合、P型またはN型よりもドーピング濃度が高いことを意味し、P-型またはN-型と記載した場合、P型またはN型よりもドーピング濃度が低いことを意味する。また、本

明細書においてP++型またはN++型と記載した場合には、P+型またはN+型よりもドーピング濃度が高いことを意味する。本明細書の単位系は、特に断りがなければSI単位系である。長さの単位をcmあるいは μm で表示することがあるが、諸計算はメートル(m)に換算してから行ってよい。

[0035] 図1Aは、実施例に係る半導体装置100の上面図の一例を示す。半導体装置100は、トランジスタ部70およびダイオード部80を備える半導体チップである。半導体装置100は、IPM(Intelligent Power Module)等のモジュールに搭載されてよい。

[0036] トランジスタ部70は、半導体装置100においてトランジスタ動作をする領域である。トランジスタ部70は、IGBT(Insulated Gate Bipolar Transistor)等のトランジスタを含む。ダイオード部80は、半導体装置100において、回路の電流を還流させる等のダイオード動作をする領域である。ダイオード部80は、還流ダイオード(FWD:Free Wheel Diode)等のダイオードを含む。本例の半導体装置100は、トランジスタ部70およびダイオード部80を同一のチップに有する逆導通IGBT(RC-IGBT:Reverse Conducting IGBT)である。なお、各図面において、トランジスタ部70の領域を記号I、ダイオード部80の領域を記号Fで示す場合がある。

[0037] 半導体基板10は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム等の窒化物半導体基板等であってもよい。本例の半導体基板10は、シリコン基板である。半導体基板10は、活性部102および外周部104を有する。本明細書では、上面視における半導体基板10の外周の端部を、外周端150とする。上面視とは、半導体基板10のおもて面側から、当該おもて面と垂直な方向(Z軸方向)に見た場合を指す。

[0038] トランジスタ部70およびダイオード部80は、XY平面内において交互に周期的に配列されてよい。トランジスタ部70およびダイオード部80の間の領域において、半導体基板10の上方には、ゲート金属層50が設けら

れてよい。なお、本例のトランジスタ部 70 およびダイオード部 80 は、Y 軸方向に延伸して、X 軸方向に配列されたトレンチ部を有する。但し、トランジスタ部 70 およびダイオード部 80 は、X 軸方向に延伸して、Y 軸方向に配列されたトレンチ部を有していてもよい。なお、トランジスタ部 70 またはダイオード部 80 に隣接する領域には、後述する境界部 90 および境界部 92 が設けられてよい。境界部 92 は、活性部 102 のうち、上面視においてダイオード部 80 とゲート金属層 50 との間の領域であってよい。本例の境界部 92 は、Y 軸方向において、ダイオード部 80 とゲート金属層 50 との間の領域に設けられており、X 軸方向において、トランジスタ部 70 の間に設けられている。境界部 92 においては、半導体基板 10 の裏面に後述するコレクタ領域 22 が設けられてよい。

[0039] 活性部 102 は、トランジスタ部 70 およびダイオード部 80 を有する。活性部 102 は、半導体装置 100 をオン状態に制御した場合に、半導体基板 10 のおもて面と裏面との間で主電流が流れる領域である。即ち、半導体基板 10 のおもて面から裏面、または裏面からおもて面に、半導体基板 10 の内部を深さ方向に電流が流れる領域である。本明細書では、トランジスタ部 70 およびダイオード部 80 をそれぞれ素子部または素子領域と称する。

[0040] なお、上面視において、2つの素子部に挟まれた領域も活性部 102 とする。本例では、素子部に挟まれてゲート金属層 50 が設けられている領域も活性部 102 に含めている。

[0041] ゲート金属層 50 は、金属を含む材料で形成される。例えば、ゲート金属層 50 は、アルミニウム、アルミニウム - シリコン合金、またはアルミニウム - シリコン - 銅合金で形成される。ゲート金属層 50 は、トランジスタ部 70 のゲート導電部と電氣的に接続され、トランジスタ部 70 にゲート電圧を供給する。ゲート金属層 50 は、上面視で、活性部 102 の外周を囲うように設けられる。ゲート金属層 50 は、外周部 104 に設けられるゲートパッド 122 と電氣的に接続される。ゲート金属層 50 は、半導体基板 10 の外周端 150 に沿って設けられてよい。また、ゲート金属層 50 は、上面視

で、温度センス部140の周囲や、トランジスタ部70およびダイオード部80の間に設けられてよい。本例のゲート金属層50は、太線で示されている。

[0042] 外周部104は、上面視において、活性部102と半導体基板10の外周端150との間の領域である。外周部104は、上面視において、活性部102を囲んで設けられる。外周部104には、半導体装置100と外部の装置とをワイヤ等で接続するための1つ以上の金属のパッドが配置されてよい。なお、外周部104は、エッジ終端構造部を有してよい。エッジ終端構造部は、半導体基板10のおもて面側の電界集中を緩和する。例えば、エッジ終端構造部は、ガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

[0043] おもて面電極は、半導体基板10の上方に設けられる。おもて面電極は、後述するエミッタ電極52を含む。おもて面電極は、第1制御パッド110および第2制御パッド120を含んでよい。おもて面電極は、ワイヤボンディング等によって、半導体装置100の外部の電極と接続されてよい。なお、おもて面電極の個数および位置は、本例に限定されない。

[0044] 第1制御パッド110は、上面視において、半導体基板10の予め定められた第1外周辺151から半導体基板10の内側に張り出して設けられている。第1制御パッド110が第1外周辺151から半導体基板10の内側に張り出すとは、活性部102の内側に外周部104が延伸して設けられていることを指す。即ち、第1制御パッド110のY軸方向の正側または負側には、活性部102が設けられている。本例の第1制御パッド110は、アノードパッド112と、カソードパッド114と、センスパッド116とを備える。

[0045] 第2制御パッド120は、上面視において、第2外周辺152から半導体基板10の内側に張り出して設けられている。第2外周辺152は、第1外周辺151と対向する外周端150の辺である。なお、本例の第1外周辺151および第2外周辺152は、上面視において、トレンチ部の延伸方向（

本例ではＹ軸方向）と平行である。本例の第２制御パッド１２０は、ゲートパッド１２２を備える。

[0046] ウェル領域１１５は、第１制御パッド１１０の下方に設けられ、上面視において第１制御パッド１１０を覆って設けられている。本例のウェル領域１１５は、上面視で矩形を有し、ウェル領域１１５の３辺が活性部１０２と対向して設けられている。ウェル領域１１５は、第１外周辺１５１から張り出して設けられた角部１１１を有する。

[0047] ウェル領域１２５は、第２制御パッド１２０の下方に設けられ、上面視において第２制御パッド１２０を覆って設けられている。本例のウェル領域１２５は、上面視で矩形を有し、ウェル領域１２５の３辺が活性部１０２と対向して設けられている。ウェル領域１２５は、第２外周辺１５２から張り出して設けられた角部１２１を有する。

[0048] ウェル領域１３５は、上面視においてゲート金属層５０を覆うように設けられている。本例のウェル領域１３５は、外周部１０４に沿って、ゲート金属層５０を覆って設けられている。ウェル領域１３５は、ウェル領域１１５と接続されてよい。

[0049] ウェル領域１４５は、上面視においてゲート金属層５０を覆うように設けられている。本例のウェル領域１４５は、温度センス部１４０および温度センス配線１４２をさらに覆って設けられてよい。ウェル領域１４５は、ウェル領域１１５およびウェル領域１２５に接続されてよい。

[0050] ウェル領域１１５、ウェル領域１２５、ウェル領域１３５およびウェル領域１４５は、半導体基板１０のおもて面側に設けられた第２導電型の領域である。ウェル領域１１５、ウェル領域１２５、ウェル領域１３５およびウェル領域１４５の導電型は、一例としてＰ＋型である。ウェル領域１１５、ウェル領域１２５、ウェル領域１３５およびウェル領域１４５を設けることにより、半導体基板１０内のホールを引き抜きやすくなり、ラッチアップしにくくなる。これにより半導体装置１００の耐量を向上することができる。

[0051] ゲートパッド１２２は、ゲート金属層５０と電氣的に接続される。ゲート

パッド122は、ゲート金属層50を介してトランジスタ部70のゲート導電部と電氣的に接続される。ゲートパッド122は、ゲート電位に設定されている。本例のゲートパッド122は、上面視で矩形である。一例において、ゲートパッド122は、 $1000\mu\text{m}$ 以上、 $1500\mu\text{m}$ 以下の1辺を有してよいが、これに限定されない。

[0052] アノードパッド112は、温度センス部140のアノード領域と電氣的に接続される。アノードパッド112は、温度センス配線142によって、温度センス部140のアノード領域と電氣的に接続されている。本例のアノードパッド112は、上面視で矩形である。一例において、アノードパッド112は、 $500\mu\text{m}$ 以上、 $900\mu\text{m}$ 以下の短辺と、 $1000\mu\text{m}$ 以上、 $1500\mu\text{m}$ 以下の長辺とを有してよいが、これに限定されない。

[0053] カソードパッド114は、温度センス部140のカソード領域と電氣的に接続される。カソードパッド114は、温度センス配線142によって、温度センス部140のカソード領域と電氣的に接続されている。本例のカソードパッド114は、上面視で矩形である。カソードパッド114は、上面視において、アノードパッド112と同一の形状を有してもよい。

[0054] 温度センス部140は、活性部102の上方に配置され、半導体基板10の温度を検出する。本例の温度センス部140は、活性部102の温度を検知する。温度センス部140は、ポリシリコン等の半導体材料で形成されるダイオードを有してよい。温度センス部140は、半導体装置100の温度を検出して、半導体チップを過熱から保護するために用いられる。温度センス部140は、X軸方向に長手を有し、Y軸方向に短手を有するが、これに限られない。

[0055] 本例の温度センス部140は、上面視で、活性部102の中央付近に設けられる。温度センス部140は、トランジスタ部70およびダイオード部80のいずれの領域に設けられてもよい。即ち、温度センス部140が設けられた半導体基板10の裏面側には、第2導電型のコレクタ領域が設けられても第1導電型のカソード領域が設けられてもよい。

- [0056] 温度センス配線 142 は、アノードパッド 112 およびカソードパッド 114 を温度センス部 140 と電氣的に接続する。温度センス配線 142 は、活性部 102 の上方において、温度センス部 140 から外周部 104 まで延伸して設けられる。温度センス配線 142 は、おもて面電極と同一の材料で構成されてもよい。上面視において、温度センス部 140 および温度センス配線 142 と重なる半導体基板 10 の領域には、P+型のウェル領域が配置されてよい。
- [0057] 図 1B は、半導体装置 100 の上面の拡大図を示す。本例では、図 1A の領域 A の拡大図が示されている。
- [0058] トランジスタ部 70 は、半導体基板 10 の裏面側に設けられたコレクタ領域 22 を半導体基板 10 のおもて面に投影した領域であってよい。コレクタ領域 22 は、第 2 導電型を有する。本例のコレクタ領域 22 は、一例として P+型である。トランジスタ部 70 は、トランジスタ部 70 とダイオード部 80 の境界に位置する境界部 90 を含む。
- [0059] ダイオード部 80 は、半導体基板 10 の裏面側に設けられたカソード領域 82 を半導体基板 10 のおもて面に投影した領域であってよい。カソード領域 82 は、第 1 導電型を有する。本例のカソード領域 82 は、一例として N+型である。
- [0060] 本例の半導体装置 100 は、半導体基板 10 のおもて面において、ゲートトレンチ部 40 と、ダミートレンチ部 30 と、エミッタ領域 12 と、ベース領域 14 と、コンタクト領域 15 と、ウェル領域 145 とを備える。また、本例の半導体装置 100 は、半導体基板 10 のおもて面の上方に設けられたエミッタ電極 52 およびゲート金属層 50 を備える。
- [0061] エミッタ電極 52 は、ゲートトレンチ部 40、ダミートレンチ部 30、エミッタ領域 12、ベース領域 14、コンタクト領域 15 およびウェル領域 145 の上方に設けられている。また、ゲート金属層 50 は、ゲートトレンチ部 40 およびウェル領域 145 の上方に設けられている。
- [0062] エミッタ電極 52 およびゲート金属層 50 は、金属を含む材料で形成され

る。例えば、エミッタ電極 5 2 の少なくとも一部の領域は、アルミニウム、アルミニウム - シリコン合金、またはアルミニウム - シリコン - 銅合金で形成されてよい。エミッタ電極 5 2 は、アルミニウム等で形成された領域の下層にチタンやチタン化合物等で形成されたバリアメタルを有してよい。エミッタ電極 5 2 およびゲート金属層 5 0 は、互いに分離して設けられる。

[0063] エミッタ電極 5 2 およびゲート金属層 5 0 は、層間絶縁膜 3 8 を挟んで、半導体基板 1 0 の上方に設けられる。層間絶縁膜 3 8 は、図 1 A では省略されている。層間絶縁膜 3 8 には、コンタクトホール 5 4、コンタクトホール 5 5 およびコンタクトホール 5 6 が貫通して設けられている。

[0064] コンタクトホール 5 5 は、ゲート金属層 5 0 とトランジスタ部 7 0 内のゲート導電部とを接続する。コンタクトホール 5 5 の内部には、タングステン等で形成されたプラグが形成されてもよい。コンタクトホール 5 6 は、エミッタ電極 5 2 とダミートレンチ部 3 0 内のダミー導電部とを接続する。コンタクトホール 5 6 の内部には、タングステン等で形成されたプラグが形成されてもよい。

[0065] 接続部 2 5 は、エミッタ電極 5 2 またはゲート金属層 5 0 等のおもて面電極と、トレンチ部の内部に形成された導電部とを電氣的に接続する。一例において、接続部 2 5 は、ゲート金属層 5 0 とゲート導電部との間に設けられる。接続部 2 5 は、エミッタ電極 5 2 とダミー導電部との間にも設けられている。接続部 2 5 は、不純物がドーピングされたポリシリコン等の導電性の材料を含む。本例の接続部 2 5 は、N 型の不純物がドーピングされたポリシリコン（N+）である。接続部 2 5 は、酸化膜等の絶縁膜等を介して、半導体基板 1 0 のおもて面の上方に設けられる。

[0066] ゲートトレンチ部 4 0 は、所定の配列方向（本例では X 軸方向）に沿って所定の間隔で配列される。本例のゲートトレンチ部 4 0 は、半導体基板 1 0 のおもて面に平行であって配列方向と垂直な延伸方向（本例では Y 軸方向）に沿って延伸する 2 つの延伸部分 4 1 と、2 つの延伸部分 4 1 を接続する接続部分 4 3 を有してよい。ゲートトレンチ部 4 0 は、ゲート電位に設定され

ている。

- [0067] 接続部分43は、少なくとも一部が曲線状に形成されることが好ましい。ゲートトレンチ部40の2つの延伸部分41の端部を接続することで、延伸部分41の端部における電界集中を緩和できる。ゲートトレンチ部40の接続部分43において、ゲート金属層50がゲート導電部と接続されてよい。
- [0068] ダミートレンチ部30は、エミッタ電極52と電氣的に接続されたトレンチ部である。ダミートレンチ部30は、ゲートトレンチ部40と同様に、所定の配列方向（本例ではX軸方向）に沿って所定の間隔で配列される。本例のダミートレンチ部30は、ゲートトレンチ部40と同様に、半導体基板10のおもて面においてU字形状を有してよい。即ち、ダミートレンチ部30は、延伸方向に沿って延伸する2つの延伸部分31と、2つの延伸部分31を接続する接続部分33を有してよい。
- [0069] 本例のトランジスタ部70は、2つのゲートトレンチ部40と3つのダミートレンチ部30を繰り返し配列させた構造を有する。即ち、本例のトランジスタ部70は、2：3の比率でゲートトレンチ部40とダミートレンチ部30を有している。例えば、トランジスタ部70は、2本の延伸部分41の間に1本の延伸部分31を有する。また、トランジスタ部70は、ゲートトレンチ部40と隣接して、2本の延伸部分31を有している。
- [0070] 但し、ゲートトレンチ部40とダミートレンチ部30の比率は本例に限定されない。ゲートトレンチ部40とダミートレンチ部30の比率は、1：1であってもよく、2：4であってもよい。また、トランジスタ部70においてダミートレンチ部30を設けず、全てゲートトレンチ部40としたいいわゆるフルゲートトレンチ構造（オールゲートトレンチ構造）としてもよい。
- [0071] ウェル領域145は、後述するドリフト領域18よりも半導体基板10のおもて面側に設けられた第2導電型の領域である。ウェル領域145は、半導体装置100のエッジ側に設けられるウェル領域の一例である。ウェル領域145は、一例としてP+型である。ウェル領域145は、ゲート金属層50が設けられる側の活性領域の端部から、予め定められた範囲で形成され

る。ウェル領域 145 の拡散深さは、ゲートトレンチ部 40 およびダミートレンチ部 30 の深さよりも深くてよい。ゲートトレンチ部 40 およびダミートレンチ部 30 の、ゲート金属層 50 側の一部の領域は、ウェル領域 145 に形成される。ゲートトレンチ部 40 およびダミートレンチ部 30 の延伸方向の端の底は、ウェル領域 145 に覆われてよい。ウェル領域 145 は、ウェル領域 115 およびウェル領域 125 と同時に形成されてよい。ウェル領域 115、ウェル領域 125、ウェル領域 135 およびウェル領域 145 の拡散深さは同じ、または実質的に同じであってよい。ウェル領域 145 は、上面視でゲート金属層 50 を覆うように設けられてよい。ウェル領域 145 は、トランジスタ部 70 またはダイオード部 80 よりも外周側の、外周部 104 に近い位置でエミッタ電極 52 と電氣的に接続してよい。

[0072] コンタクトホール 54 は、層間絶縁膜 38 を開口して半導体基板 10 のおもて面 21 を露出した部分である。コンタクトホール 54 は、トランジスタ部 70 において、エミッタ領域 12 およびコンタクト領域 15 の各領域の上方に形成される。コンタクトホール 54 を介して、エミッタ領域 12 またはコンタクト領域 15 はエミッタ電極 52 と接触し、電氣的に接続する。

[0073] ダイオード部 80 において、コンタクトホール 54 はベース領域 14 の上方に設けられる。ダイオード部 80 におけるベース領域 14 は、コンタクトホール 54 を介してエミッタ電極 52 と接してよい。コンタクトホール 54 が形成されたおもて面 21 において、ベース領域 14 とエミッタ電極 52 との間に、コンタクト抵抗を低減するために、ベース領域 14 と同じ導電型の高濃度層を備えてもよい。

[0074] 境界部 90 において、コンタクトホール 54 はコンタクト領域 15 の上方に設けられる。コンタクトホール 54 は、Y 軸方向両端に設けられたウェル領域 145 の上方には設けられていなくてよい。このように、層間絶縁膜 38 には、1 又は複数のコンタクトホール 54 が形成されている。1 又は複数のコンタクトホール 54 は、延伸方向に延伸して設けられてよい。

[0075] 境界部 90 は、トランジスタ部 70 に設けられ、ダイオード部 80 と隣接

する領域である。境界部 90 は、コンタクト領域 15 を有してよい。本例の境界部 90 は、エミッタ領域 12 を有さない。一例において、境界部 90 のトレンチ部は、ダミートレンチ部 30 である。本例の境界部 90 は、X 軸方向における両端がダミートレンチ部 30 となるように配置されている。

[0076] メサ部 71、メサ部 91 およびメサ部 81 は、半導体基板 10 のおもて面と平行な面内において、トレンチ部に隣接して設けられたメサ部である。メサ部とは、隣り合う 2 つのトレンチ部に挟まれた半導体基板 10 の部分であって、半導体基板 10 のおもて面から、各トレンチ部の最も深い底部の深さまでの部分であってよい。各トレンチ部の延伸部分を 1 つのトレンチ部としてよい。即ち、2 つの延伸部分に挟まれる領域をメサ部としてよい。

[0077] メサ部 71 は、トランジスタ部 70 において、ダミートレンチ部 30 またはゲートトレンチ部 40 の少なくとも 1 つに隣接して設けられる。メサ部 71 は、半導体基板 10 のおもて面において、エミッタ領域 12 と、ベース領域 14 と、コンタクト領域 15 と、ウェル領域 145 とを有してよい。メサ部 71 では、エミッタ領域 12 およびコンタクト領域 15 が延伸方向において交互に設けられてよい。

[0078] メサ部 91 は、境界部 90 に設けられている。メサ部 91 は、半導体基板 10 のおもて面において、コンタクト領域 15 またはウェル領域 145 を有してよい。

[0079] メサ部 81 は、ダイオード部 80 において、隣り合うダミートレンチ部 30 に挟まれた領域に設けられる。メサ部 81 は、半導体基板 10 のおもて面において、ベース領域 14 と、コンタクト領域 15 または、ウェル領域 145 を有してよい。

[0080] ベース領域 14 は、トランジスタ部 70 およびダイオード部 80 において、半導体基板 10 のおもて面側に設けられた第 2 導電型の領域である。ベース領域 14 は、一例として P 型である。ベース領域 14 は、半導体基板 10 のおもて面において、メサ部 71 およびメサ部 91 の Y 軸方向における両端部に設けられてよい。なお、図 1 A は、当該ベース領域 14 の Y 軸方向の

一方の端部のみを示している。ベース領域 14 は、ウェル領域 145 よりもドーピング濃度が低くてよい。

[0081] エミッタ領域 12 は、ドリフト領域 18 よりもドーピング濃度の高い第 1 導電型の領域である。本例のエミッタ領域 12 は、一例として N+ 型である。エミッタ領域 12 のドーパントの一例はヒ素 (As) である。エミッタ領域 12 は、メサ部 71 のおもて面において、ゲートトレンチ部 40 と接して設けられる。エミッタ領域 12 は、メサ部 71 を挟んだ 2 本のトレンチ部の一方から他方まで、X 軸方向に延伸して設けられてよい。エミッタ領域 12 は、コンタクトホール 54 の下方にも設けられている。

[0082] また、エミッタ領域 12 は、ダミートレンチ部 30 と接してもよいし、接しなくてもよい。本例のエミッタ領域 12 は、ダミートレンチ部 30 と接している。エミッタ領域 12 は、境界部 90 のメサ部 91 には設けられなくてよい。

[0083] コンタクト領域 15 は、ベース領域 14 よりもドーピング濃度の高い第 2 導電型の領域である。本例のコンタクト領域 15 は、一例として P+ 型である。コンタクト領域 15 の深さ方向の厚さは、ベース領域 14 の深さ方向の厚さよりも薄くてよい。本例のコンタクト領域 15 は、メサ部 71 およびメサ部 91 のおもて面に設けられている。コンタクト領域 15 は、メサ部 71 またはメサ部 91 を挟んだ 2 本のトレンチ部の一方から他方まで、X 軸方向に設けられてよい。コンタクト領域 15 は、ゲートトレンチ部 40 と接してもよいし、接しなくてもよい。また、コンタクト領域 15 は、ダミートレンチ部 30 と接してもよいし、接しなくてもよい。本例においては、コンタクト領域 15 が、ダミートレンチ部 30 およびゲートトレンチ部 40 と接する。コンタクト領域 15 は、コンタクトホール 54 の下方にも設けられている。なお、コンタクト領域 15 は、メサ部 81 にも設けられてよい。

[0084] トレンチ長さ L_t は、複数のトレンチ部の延伸方向における長さである。本例のトレンチ長さ L_t は、トレンチ部の Y 軸方向の正側に設けられたゲート金属層 50 と、トレンチ部の Y 軸方向の負側に設けられたゲート金属層 5

0との間の距離に対応する。トレンチ長さ L_t は、 $2000\mu m$ 以上であってよく、 $3000\mu m$ 以上であってよく、 $4000\mu m$ 以上であってよく、 $4600\mu m$ 以上であってよく、 $6000\mu m$ 以上であってよい。また、トレンチ長さ L_t は、 $50000\mu m$ 以下であってよく、 $30000\mu m$ 以下であってよく、 $20000\mu m$ 以下であってよい。

[0085] 図1Cは、図1Bにおける $a-a'$ 断面の一例を示す図である。 $a-a'$ 断面は、トランジスタ部70において、エミッタ領域12を通過するXZ面である。本例の半導体装置100は、 $a-a'$ 断面において、半導体基板10、層間絶縁膜38、エミッタ電極52およびコレクタ電極24を有する。エミッタ電極52は、半導体基板10および層間絶縁膜38の上方に形成される。

[0086] ドリフト領域18は、半導体基板10に設けられた第1導電型の領域である。本例のドリフト領域18は、一例としてN型である。ドリフト領域18は、半導体基板10において他のドーピング領域が形成されずに残存した領域であってよい。即ち、ドリフト領域18のドーピング濃度は半導体基板10のドーピング濃度であってよい。

[0087] バッファ領域20は、ドリフト領域18の下方に設けられた第1導電型の領域である。本例のバッファ領域20は、一例としてN型である。バッファ領域20のドーピング濃度は、ドリフト領域18のドーピング濃度よりも高い。バッファ領域20は、ベース領域14の裏面側から広がる空乏層が、第2導電型のコレクタ領域22および第1導電型のカソード領域82に到達することを防ぐフィールドストップ層として機能してよい。

[0088] コレクタ領域22は、トランジスタ部70において、バッファ領域20の下方に設けられる。カソード領域82は、ダイオード部80において、バッファ領域20の下方に設けられる。コレクタ領域22とカソード領域82との境界は、トランジスタ部70とダイオード部80との境界としてよい。

[0089] コレクタ電極24は、半導体基板10の裏面23に形成される。コレクタ電極24は、金属等の導電材料で形成される。

- [0090] ベース領域 14 は、メサ部 71、メサ部 91 およびメサ部 81 において、ドリフト領域 18 の上方に設けられる第 2 導電型の領域である。ベース領域 14 は、ゲートトレンチ部 40 に接して設けられてよい。ベース領域 14 は、ダミートレンチ部 30 に接して設けられてよい。
- [0091] エミッタ領域 12 は、メサ部 71 において、ベース領域 14 とおもて面 21 との間に設けられる。エミッタ領域 12 は、ゲートトレンチ部 40 と接して設けられてよい。エミッタ領域 12 は、ダミートレンチ部 30 と接してもよいし、接しなくてもよい。なお、エミッタ領域 12 は、メサ部 91 に設けられなくてよい。
- [0092] コンタクト領域 15 は、メサ部 91 において、ベース領域 14 の上方に設けられる。コンタクト領域 15 は、メサ部 91 において、ゲートトレンチ部 40 に接して設けられる。他の断面において、コンタクト領域 15 は、メサ部 71 のおもて面 21 に設けられてよい。
- [0093] 蓄積領域 16 は、ドリフト領域 18 よりも半導体基板 10 のおもて面 21 側に設けられる第 1 導電型の領域である。本例の蓄積領域 16 は、一例として N+ 型である。蓄積領域 16 のドナー濃度は、ドリフト領域 18 のドナー濃度よりも大きい。蓄積領域 16 は、トランジスタ部 70 およびダイオード部 80 に設けられる。本例の蓄積領域 16 は、境界部 90 にも設けられている。これにより、半導体装置 100 は、蓄積領域 16 のマスクずれを回避できる。
- [0094] また、蓄積領域 16 は、ゲートトレンチ部 40 に接して設けられる。蓄積領域 16 は、ダミートレンチ部 30 に接してもよいし、接しなくてもよい。蓄積領域 16 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。蓄積領域 16 を設けることで、キャリア注入促進効果（IE 効果）を高めて、トランジスタ部 70 のオン電圧を低減できる。
- [0095] 1 つ以上のゲートトレンチ部 40 および 1 つ以上のダミートレンチ部 30 は、おもて面 21 に設けられる。各トレンチ部は、おもて面 21 からドリフト領域 18 まで設けられる。エミッタ領域 12、ベース領域 14、コンタク

ト領域 15 および蓄積領域 16 の少なくともいずれかが設けられる領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域 18 に到達する。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものも、トレンチ部がドーピング領域を貫通しているものに含まれる。

[0096] ゲートトレンチ部 40 は、おもて面 21 に形成されたゲートトレンチ、ゲート絶縁膜 42 およびゲート導電部 44 を有する。ゲート絶縁膜 42 は、ゲートトレンチの内壁を覆って形成される。ゲート絶縁膜 42 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 44 は、ゲートトレンチの内部においてゲート絶縁膜 42 よりも内側に形成される。ゲート絶縁膜 42 は、ゲート導電部 44 と半導体基板 10 とを絶縁する。ゲート導電部 44 は、ポリシリコン等の導電材料で形成される。ゲートトレンチ部 40 は、おもて面 21 において層間絶縁膜 38 により覆われる。

[0097] ゲート導電部 44 は、半導体基板 10 の深さ方向において、ゲート絶縁膜 42 を挟んでメサ部 71 側で隣接するベース領域 14 と対向する領域を含む。ゲート導電部 44 に所定の電圧が印加されると、ベース領域 14 のうちゲートトレンチに接する界面の表層に、電子の反転層によるチャネルが形成される。

[0098] ゲートトレンチ部 40 の幅は、 $0.5\ \mu\text{m}$ より大きくてよく、 $2.0\ \mu\text{m}$ より小さくてよい。本例のゲートトレンチ部 40 の幅は、 $1.0\ \mu\text{m}$ である。ゲート絶縁膜 42 の厚さは、 $0.05\ \mu\text{m}$ より厚くてよく、 $0.2\ \mu\text{m}$ より薄くてよい。本例のゲート絶縁膜 42 の厚さは、 $0.1\ \mu\text{m}$ である。

[0099] ゲート導電部 44 の幅 W_g は、ゲートトレンチ部 40 の幅からゲート絶縁膜 42 の厚さ（即ち、ゲート絶縁膜 42 の二層分）を引けばよい。ゲートトレンチ部 40 の幅は、深さ方向に一定であってよく、増加してよく、減少してよい。ゲート導電部 44 の幅 W_g は、ベース領域 14 においてドーピング濃度がピークとなる深さと同じ深さ位置における、ゲート導電部 44 の幅と

してよい。または、ゲート導電部44の幅 W_g は、ベース領域14がエミッタ領域12と接する深さ、即ちpn接合深さにおけるゲート導電部44の幅としてよい。

[0100] ダミートレンチ部30は、ゲートトレンチ部40と同一の構造を有してよい。ダミートレンチ部30は、おもて面21側に形成されたダミートレンチ、ダミー絶縁膜32およびダミー導電部34を有する。ダミー絶縁膜32は、ダミートレンチの内壁を覆って形成される。ダミー導電部34は、ダミートレンチの内部に形成され、且つ、ダミー絶縁膜32よりも内側に形成される。ダミー絶縁膜32は、ダミー導電部34と半導体基板10とを絶縁する。ダミートレンチ部30は、おもて面21において層間絶縁膜38により覆われる。

[0101] 層間絶縁膜38は、おもて面21に設けられている。層間絶縁膜38の上方には、エミッタ電極52が設けられている。層間絶縁膜38には、エミッタ電極52と半導体基板10とを電氣的に接続するための1又は複数のコンタクトホール54が設けられている。コンタクトホール55およびコンタクトホール56も同様に、層間絶縁膜38を貫通して設けられてよい。

[0102] ライフタイム制御領域130は、ダイオード部80において半導体基板10のおもて面21側に設けられてよい。半導体基板10のおもて面21側とは、半導体基板10の深さ方向における中央よりもおもて面21側の領域を指してよい。また、半導体基板10の異なる深さ位置にライフタイム制御領域が設けられている場合、最もおもて面21側のライフタイム制御領域を、ライフタイム制御領域130としてもよい。

[0103] ライフタイム制御領域130は、半導体基板10の内部に不純物を注入すること等により意図的にライフタイムキラーを導入した領域であってよい。意図的にライフタイムキラーを導入した領域の電子または正孔のキャリアのライフタイムの値は、意図的にライフタイムキラーを導入していない領域のキャリアのライフタイムよりも小さい。ライフタイムキラーは、キャリアの再結合中心であって、格子欠陥であってよく、空孔、複空孔、空孔等により

形成されたダングリングボンド、これらと半導体基板 10 を構成する元素との複合欠陥または転位であってよい。また、ライフタイムキラーは、ヘリウム、ネオンなどの希ガス元素または水素元素などでよく、白金または金などの遷移金属であってもよい。

[0104] ダイオード部 80 にライフタイム制御領域 130 を設けることで、ダイオード部 80 におけるキャリアライフタイムを調整して、逆回復時における損失を低減できる。なお、ライフタイム制御領域 130 は、電子線照射によって形成されてもよい。電子線照射の場合、透過力が強いため、半導体基板 10 のおもて面 21 から照射の場合も、裏面 23 から照射の場合も、おもて面 21 から裏面 23 にわたってライフタイムキラーは略一様の分布となる。しかし、おもて面 21 側の任意の位置をライフタイム制御領域 130 と考えれば、他のライフタイムキラーと同様の議論が成り立つ。

[0105] 本例のライフタイム制御領域 130 は、境界部 90 にも設けられる。これにより、ダイオード部 80 の逆回復時に、トランジスタ部 70 のベース領域 14 から、ダイオード部 80 のカソード領域 82 に正孔が流れるのを抑制でき、逆回復損失を低減できる。なお、ライフタイム制御領域 130 は、境界部 90 の途中で終端し、境界部 90 の全体に設けられなくてもよい。

[0106] 図 1 D は、半導体装置 100 の上面のレイアウトを説明するための図である。図 1 D では、半導体装置 100 の構造を説明するために、一部の構成が省略されている。

[0107] 中央仮想線 VL は、第 1 外周辺 151 と直交し、第 1 外周辺 151 の中央を通る。本例の中央仮想線 VL は、半導体基板 10 の Y 軸方向の中央を通り、X 軸方向に延伸する仮想線である。距離 H a は、中央仮想線 VL と直交する方向における半導体基板 10 の長さであり、第 1 外周辺 151 および第 2 外周辺 152 の長さに対応する。距離 H b は、中央仮想線 VL と平行な方向における半導体基板 10 の長さである。本例の距離 H b は、距離 H a よりも長い。距離 H a と同じであってよく、距離 H a よりも短くてもよい。距離 H c は、中央仮想線 VL と直交する方向における、中央仮想線 VL から半導

体基板 1 0 の外周端 1 5 0 までの距離である。即ち、距離 H_c は、距離 H_a の半分の長さである。

[0108] ウェル領域 1 1 5 は、角部 1 1 1 a および角部 1 1 1 b の 2 つの角部を含む。角部 1 1 1 a および角部 1 1 1 b は、中央仮想線 V_L を挟んで互いに反対の領域に設けられている。中央仮想線 V_L から遠い方の角部を角部 1 1 1 a として、中央仮想線 V_L から近い方の角部を角部 1 1 1 b としている。

[0109] 距離 $L_1 a$ は、中央仮想線 V_L から角部 1 1 1 a までの延伸方向における距離である。本例の距離 $L_1 a$ は、非対称に設けられたウェル領域 1 1 5 において、中央仮想線 V_L から離れた方の角部 1 1 1 a までの距離である。距離 $L_1 b$ は、中央仮想線 V_L から角部 1 1 1 b までの延伸方向における距離である。距離 $L_1 a$ は、距離 $L_1 b$ と同一であってもよいし、異なってもよい。本例の距離 $L_1 a$ は、距離 $L_1 b$ よりも大きい。即ち、本例のウェル領域 1 1 5 は、中央仮想線 V_L に対して非対称に設けられている。距離 $L_1 a$ は、距離 H_c の 30% 以上であってもよく、40% 以上であってもよい。距離 $L_1 a$ は、距離 H_c の 90% 以下であってもよく、80% 以下であってもよい。

[0110] ウェル領域 1 2 5 は、角部 1 2 1 a および角部 1 2 1 b の 2 つの角部を含む。延伸方向において、角部 1 1 1 a が設けられた側の角部を角部 1 2 1 a として、角部 1 1 1 b が設けられた側の角部を角部 1 2 1 b とする。即ち、角部 1 2 1 b は、中央仮想線 V_L を挟んで、角部 1 2 1 a と反対側に設けられている。なお、図 1 D では角部 1 1 1 a、角部 1 1 1 b、角部 1 2 1 a および角部 1 2 1 b を直角に記載しているが、角部の先端は曲線状であってもよい。あるいは、角部の先端の角を落として多角形状にしても構わない。これにより角部における電界強度の増加を抑えることができる。ウェル領域 1 2 5 の他の角部についても同様であってもよい。本例以降の角部 1 1 1 についても、同様である。

[0111] 距離 $L_2 a$ は、中央仮想線 V_L から角部 1 2 1 a までの延伸方向における距離である。距離 $L_2 b$ は、中央仮想線 V_L から角部 1 2 1 b までの延伸方

向における距離である。本例の距離 L_{2a} は、距離 L_{2b} と等しい。即ち、ウェル領域125は、中央仮想線 VL に対して対称に設けられている。距離 L_{1a} は、距離 L_{2a} より長くてよく、短くてもよい。

[0112] 最短距離 R_{1a} は、上面視における、ウェル領域115と、トレンチ中央位置 TP との間の最短距離である。トレンチ中央位置 TP は、複数のトレンチ部のトレンチ長さ L_t の中央位置である。最短距離 R_{1a} は、角部111aとトレンチ中央位置 TP との最短距離であってよい。距離 L_{1a} を大きくすると、最短距離 R_{1a} が短くなり、角部111aがトレンチ中央位置 TP に近づく。最短距離 R_{1a} は、 $1000\mu m$ 以上であってよく、 $1500\mu m$ 以上であってよく、 $2000\mu m$ 以上であってよい。

[0113] トレンチ長さ L_t を大きくすることにより、ゲートの遅延によってトレンチ中央位置 TP 付近でカレント・フィラメントが発生しやすくなる。一方、トレンチ長さ L_t が長くなる程、動作面積を大きくすることができ、大電流を制御できる。そこで、最短距離 R_{1a} を適切な範囲に設定することにより、長いトレンチ長さ L_t でも素子破壊を回避することができる。

[0114] ゲート導電部の幅 W_g も考慮して、トレンチ長さ L_t を幅 W_g で割った比を、導電部形状比 α とする。導電部形状比 α が大きい程、動作面積を大きくすることができ、大電流を制御できる。導電部形状比 α は、 1000 以上であってよく、 3000 以上であってよく、 5000 以上であってよく、 6000 以上であってよい。導電部形状比 α は、 1×10^6 以下であってよく、 3×10^5 以下であってよく、 1×10^5 以下であってよく、 50000 以下であってよい。これらの範囲の導電部形状比 α であれば、トレンチ長さ L_t は上記範囲であってよく、範囲外であってもよい。配列方向におけるメサ幅はゲートトレンチ部40の配列方向の幅より小さくてよい。なお、導電部形状比 α は、電流特性に加えて、ゲートの充放電に生じる遅延時間を総合的に考慮して決定されてよい。本例の半導体装置100では、最短距離 R_{1a} を適切に設定することにより、長いトレンチ長さ L_t でも素子破壊を回避することができるので、より広い範囲の導電部形状比 α を採用することができる。

なお、導電部形状比 α の値は、本例で開示される最短距離R 1 a、最短距離R 1 b、最短距離R 2 aおよび最短距離R 2 bのいずれの値とも組み合わせで用いられてもよい。

[0115] 最短距離R 1 bは、ウェル領域1 1 5と、延伸方向においてウェル領域1 1 5と隣接する活性部1 0 2のトレンチ中央位置T Pとの間の最短距離である。本例の最短距離R 1 bは、最短距離R 1 aよりも長い。最短距離R 1 bは、1 0 0 0 μ m以上であってよく、1 5 0 0 μ m以上であってよく、2 0 0 0 μ m以上であってよい。

[0116] 最短距離R 2 aは、上面視における、ウェル領域1 2 5と、延伸方向においてウェル領域1 2 5と隣接する活性部1 0 2のトレンチ中央位置T Pとの間の最短距離である。最短距離R 2 aは、角部1 2 1 aとトレンチ中央位置T Pとの最短距離であってよい。最短距離R 2 aは、1 0 0 0 μ m以上であってよく、1 5 0 0 μ m以上であってよく、2 0 0 0 μ m以上であってよい。

[0117] 最短距離R 2 bは、ウェル領域1 2 5と、延伸方向においてウェル領域1 2 5と隣接する活性部1 0 2のトレンチ中央位置T Pとの間の最短距離である。本例の最短距離R 2 bは、最短距離R 2 aよりも長い。最短距離R 2 bは、1 0 0 0 μ m以上であってよく、1 5 0 0 μ m以上であってよく、2 0 0 0 μ m以上であってよい。

[0118] P型のウェル領域の近傍において電流集中が発生すると、ウェル領域に電流が流れ込んで素子が破壊される場合がある。ターンオフ動作時にゲート信号のアンバランスが発生すると、トレンチの中央部に電流が集中してカレント・フィラメントが発生する。電界の強いP型のウェル領域にカレント・フィラメントが流れ込むと、酸化膜に電界がかかり、絶縁破壊が発生して、コレクタとエミッタとの間が短絡して素子が破壊される場合がある。

[0119] 本例の半導体装置1 0 0は、最短距離R 1 aおよび最短距離R 2 aを1 5 0 0 μ m以上とすることにより、P型のウェル領域へのカレント・フィラメントの流入を抑制することができる。これにより、P型のウェル領域の近傍

の素子破壊を回避できるので、ターンオフ耐量を向上することができる。

[0120] 図2Aは、半導体装置100の上面の拡大図を示す。本例では、図1Aの領域Bの拡大図が示されている。本例の角部111は、上面視において、トランジスタ部70に位置する。トランジスタ部70に位置するとは、角部111がゲートトレンチ部40で挟まれたメサ部71に設けられていることを指してよい。ウェル領域115の上方には、ゲートトレンチ部40が設けられてよい。本例の角部111は、トランジスタ部70のベース領域14と隣接している。ゲートトレンチ部40は、ゲート金属層50まで延伸して設けられる。ゲート金属層50は、ウェル領域115の外周に沿って設けられているが、これに限定されない。

[0121] 図2Bは、半導体装置100の上面の拡大図を示す。本例の半導体装置100は、角部111がダミートレンチ領域172に設けられる場合の一例である。

[0122] ダミートレンチ領域172は、複数のトレンチ部がエミッタ電位に設定された領域である。本例のダミートレンチ領域172は、エミッタ電位に設定されたダミートレンチ部30を備える。本例のダミートレンチ領域172は、エミッタ領域12とコンタクト領域15が交互に配列されたメサ部71を備える。ダミートレンチ領域172には、エミッタ領域12が設けられてもよいし、エミッタ領域12が設けられなくてもよい。ダミートレンチ領域172は、ゲートトレンチ部40によって電流をオンオフしないので、主電流が流れない。よって、ダミートレンチ領域172は、おもて面21における主電流の集中が少ない。

[0123] 角部111は、上面視において、ダミートレンチ領域172に位置する。角部111がダミートレンチ領域172に位置するとは、角部111に最も近いトレンチ部がダミートレンチ部30であることを指してよい。また、角部111がダミートレンチ領域172に位置するとは、角部111とゲートトレンチ部40との間に、少なくとも1つのダミートレンチ部30が設けられていることを指してもよい。本例の角部111は、隣接する2本のダミー

トレンチ部30の間において、ベース領域14と隣接して設けられる。

[0124] 本例の半導体装置100は、角部111の近傍をダミートレンチ領域172で覆うことにより、角部111の近傍における電流集中を抑制できる。

[0125] 図2Cは、半導体装置100の上面の拡大図を示す。本例の半導体装置100は、角部111がダイオード部80に設けられる場合の一例である。ダミートレンチ部30は、ウェル領域115の内側まで延伸して設けられる。即ち、ダミートレンチ部30のY軸方向の負側の端部は、ウェル領域115内に位置している。

[0126] 角部111は、上面視において、ダイオード部80に位置している。本例の角部111は、隣接する2本のダミートレンチ部30の間において、ベース領域14と隣接して設けられる。本例の半導体装置100は、角部111の近傍をダイオード部80で覆うことにより、角部111の近傍における電流集中を抑制できる。

[0127] 図2Dは、切欠部118を備える半導体装置100の構成の一例を示す。本例の切欠部118は、ウェル領域115に設けられている。本例の角部111は、上面視において、トランジスタ部70に位置する。

[0128] 切欠部118は、上面視において、ウェル領域115の角の一部が切り取られた領域である。本例の切欠部118は、ウェル領域115の角が円弧上に切り取られた形状を有するが、切欠部118の形状は本例に限られない。ウェル領域115が切欠部118を有する場合、切欠部118の円弧上の最も外側に張り出した位置を角部111としてよい。切欠部118を設けることにより、ウェル領域115とトレンチ中央位置TPとの距離を大きくすることができる。これにより、半導体装置100の破壊をさらに回避しやすくなる。

[0129] 切り欠き長さN1は、ウェル領域115において切欠部118が形成された領域の端部を結んだ距離である。切り欠き長さN1は、10 μ m以上でよく、30 μ m以上でよく、50 μ m以上でよく、100 μ m以上であってよい。切り欠き長さN1は、1000 μ m以下でよく、500 μ m以下であつ

てよく、 $200\mu\text{m}$ 以下であってよい。一例において、切り欠き長さN1は、 $100\mu\text{m}$ である。切り欠き長さN1を大きくすることにより、角部111近傍の電界強度の増加を抑える。これにより、カレント・フィラメントによるアバランシェ降伏の増強を抑えることができる。切欠部118の曲率半径は、 $10\mu\text{m}$ 以上でよく、 $20\mu\text{m}$ 以上でよく、 $50\mu\text{m}$ 以上でよく、 $100\mu\text{m}$ 以上であってよい。切欠部118の曲率半径は、 $1000\mu\text{m}$ 以下でよく、 $500\mu\text{m}$ 以下でよく、 $200\mu\text{m}$ 以下であってよい。

[0130] 図2Eは、切欠部118を備える半導体装置100の構成の一例を示す。本例の切欠部118は、ウェル領域115に設けられている。本例の角部111は、上面視において、ダイオード部80に位置する。切欠部118の形状は、図2Dの実施例と同様であってよい。本例の切欠部118は、ダイオード部80に位置するので、さらにウェル領域115とトレンチ中央位置TPとの距離を大きくしやすくなり、半導体装置100の破壊を回避しやすくなる。

[0131] なお、図2A～図2Eにおいては、ウェル領域115の角部111の近傍の構造について説明したが、ウェル領域125の角部121についても同様の構造が設けられてよい。即ち、角部121は、トランジスタ部70に位置してもよいし、ダミートレンチ領域172に位置してもよいし、ダイオード部80に位置してもよい。また、図2A～図2Eの角部111は、角部111aと角部111bのいずれであってよい。

[0132] 図3は、保護膜180が設けられた半導体装置100の上面図の一例である。本例の半導体装置100は、無効領域170を備える。

[0133] 無効領域170は、トランジスタ部70として機能しない領域である。無効領域170は、ダミートレンチ領域172またはダイオード部80であってよい。無効領域170を角部111の周囲に設けることにより、ウェル領域115へのカレント・フィラメントの流入を抑制することができる。本例の無効領域170は、角部121の周囲にも設けられ、ウェル領域125へのカレント・フィラメントの流入を抑制することができる。

- [0134] 保護膜 180 は、半導体基板 10 の上方に設けられる。例えば、保護膜 180 は、ポリイミドなどの絶縁性の保護膜である。保護膜 180 は、パッド上のはんだが他のパッド等にも流れるのを防止する。保護膜 180 は、上面視において、トランジスタ部 70 が形成された領域に設けられる。言い換えると、保護膜 180 は、無効領域 170 を避けて設けられてよい。例えば、保護膜 180 は、上面視において、ダイオード部 80 を避けて設けられる。本例では、保護膜 180 が設けられた領域をハッチングで示している。
- [0135] 非保護領域 185 は、上面視において、保護膜 180 が設けられていない領域である。非保護領域 185 においては、エミッタ電極 52 などのおもて面電極が露出していてよい。非保護領域 185 には、トランジスタ部 70、ダイオード部 80 またはダミートレンチ領域 172 の少なくとも 1 つが形成されてよい。なお、非保護領域 185 には、ハッチングが付されていない。
- [0136] ここで、ダイオード部 80 のライフタイム制御領域 130 は、保護膜 180 を形成した後に形成される場合がある。しかしながら、ダイオード部 80 の上方に保護膜 180 が設けられていると、保護膜 180 によってライフタイム制御領域 130 の深さ方向の位置を制御することが困難になる場合がある。本例の保護膜 180 は、ダイオード部 80 を避けて設けられることにより、ライフタイム制御領域 130 の深さ方向の位置を正確に制御することができる。
- [0137] 図 4 A は、実施例に係る半導体装置 100 の上面図の一例である。本例の半導体装置 100 は、中央仮想線 VL に対して対称に設けられたウェル領域 115 を備える点で図 1 A の半導体装置 100 と相違する。ウェル領域 115 は、延伸方向において、中央仮想線 VL に対して対称に設けられている。これにより、ウェル領域 115 とトレンチ中央位置 TP との最短距離 R1 を大きくとることができる。
- [0138] 図 4 B は、実施例に係る半導体装置 100 の上面図の一例である。本例の半導体装置 100 は、制御パッドが設けられる位置と、トレンチ部の延伸方向との位置関係が図 1 A の実施例と相違する。

[0139] 第1制御パッド110は、X軸方向に延伸する第1外周辺151から、半導体基板10の内側に張り出して設けられる。第2制御パッド120は、X軸方向に延伸する第2外周辺152から、半導体基板10の内側に張り出して設けられる。

[0140] 複数のトレンチ部は、上面視において、延伸方向（Y軸方向）に延伸している。即ち、本例の延伸方向は、上面視において、第1外周辺151と直交する。よって、複数のトレンチ部は、第1制御パッド110および第2制御パッド120の張り出し方向（Y軸方向）と同じ方向に延伸方向を有する。この場合も、角部111とトレンチ中央位置TPとの間の最短距離R1aが他の実施例と同様の条件を満たすことにより、角部111における電流集中を回避することができる。同様に、角部121とトレンチ中央位置TPとの間の最短距離R2aが他の実施例と同様の条件を満たすことにより、角部121における電流集中を回避することができる。

[0141] 図5は、オフ状態で、角部111近傍でアバランシェ降伏が生じるときの、電界強度E(R)を示す模式図である。E(R)は、角部111から距離R離れた位置における電界強度を示す。Rは、図5に記載の方向に限らず、上面視の平面（図のx-y平面）における任意の方位であってよい。本例のRは、トレンチ延伸方向における角部111からの距離を示している。角部111から十分離れたところでは、電界強度E(R)は、ウェル領域の角部111の影響によらず、平面接合近似で算出される最大電界強度Emに収束する。距離Rが角部111に近づくと、ウェル領域115の角部111の影響により、式(1)に表すポアソンの式に従い、電界強度は増加する。

$$\operatorname{div} \mathbf{E} = \left(q / \left(\varepsilon_0 \varepsilon_r \right) \right) \left(p + N_D \right) \quad \dots (1)$$

ここでqは電荷素量、 ε_0 は真空の誘電率、 ε_r は比誘電率、pは正孔濃度、 N_D はドナー濃度である。

E

は電界（ベクトル）で、

$$|E| = E$$

である。ターンオフの場合、ドリフト領域 18 の空乏層内部における電子濃度とアクセプタ濃度は十分小さいため、無視している。即ち、角部 111 の近傍において、上面の $x-y$ 平面の電界の湾曲により、電界強度 E の傾き ($\text{div } E$) が増加する。そのため、電界強度 E そのものも増加する。よって、 $E(R)$ は、角部 111 に近づくほど、 E_m から増加する。

[0142] 以上により、電界強度 $E(R)$ は R の指数関数に従うと考えられる。角部 111 でピーク電界強度 E_p に達すると、電界強度 $E(R)$ は次式で示される。

$$E(R) = E_p \times \exp(-R/\Delta R) + E_m \quad \dots \text{式 (2)}$$

E_p は角部 111 におけるピーク電界強度、 ΔR は電界強度が減衰する特徴的長さである。 E_p は、一例として臨界電界強度であってよい。本例では、 E_p を $6E5$ (V/cm) としている。 ΔR は、一例として $200\mu m \sim 400\mu m$ 程度である。本例の ΔR は、 $300\mu m$ である。ただし、 ΔR はこの範囲に限られない。

[0143] $x-y$ 平面の電界のゆがみが無い場合、 $E(R)$ は平面接合近似の値 E_m となる。 E_m は、ドリフト層の平均的なドナー濃度を N_{D0} 、印加電圧を V とし、ポアソンの式から E_m が次式で示される。

$$E_m = \{2V(q/(\epsilon_0 \epsilon_r)(p + N_{D0}))\}^{0.5} \quad \dots \text{式 (3)}$$

正孔濃度 p については、例えばトランジスタ部 70 がターンオフする場合を想定し、ここでは定格電流 J_{rate} 程度の電流が流れている場合を想定している。ターンオフでは電圧が印加されているので、空乏層 (即ち、空間電荷領域) 内の正孔の速度は v_{sat} で飽和しているとしてよく、正孔濃度 p が次の式 (4) を満たす。

$$p = J_{rate} / (q v_{sat}) \quad \dots \text{式 (4)}$$

v_{sat} は、例えばシリコン中の正孔では 8×10^6 (cm/s) である。本例では、 $N_{D0} = 5E13/cm^3$ 、印加電圧 $V = 600V$ 、定格電流密度 $J_{rate} = 500A/cm^2$ とし、 E_m は $2.83E5$ (V/cm) である。

[0144] 図6Aは、角部111から距離R離れた位置における電界強度 $E(R)$ の距離R依存性を示す図である。縦軸は電界強度 $E(R)$ (V/cm) および最大電界強度 E_m で規格化した比 $E(R)/E_m$ を示し、横軸は角部111からの距離R (μm) を示す。

[0145] 電界強度 $E(R)$ は、距離Rが $1500\mu m$ 以上の範囲では、最大電界強度 E_m 程度の電界強度を示す。一方、電界強度 $E(R)$ は、距離Rが $1500\mu m$ よりも短くなるにつれて急激に上昇する。距離Rが $1500\mu m$ よりも短くなると、電界強度の比 $E(R)/E_m$ が、1.1以上となる。アバランシェ降伏は臨界的な現象であり、インパクト・イオン化係数は電界強度に強く依存する。そのため、電界強度比 $E(R)/E_m$ が1.1倍以上になると、インパクト・イオン化係数は2倍以上になり、インパクト・イオン化率が上昇し、アバランシェ降伏が強く発生する。電界強度比 $E(R)/E_m$ は、距離Rが $1000\mu m$ よりも小さい場合に1.1以上となる。即ち、距離Rが $1000\mu m$ よりも短い領域では、 $1000\mu m$ 以上の領域よりも、アバランシェ降伏が起きやすいといえる。さらに、距離Rが $1500\mu m$ 以上の場合に、電界強度比 $E(R)/E_m$ が1.01以下となる。即ち、距離Rが $1500\mu m$ 以上の領域では、電界の空間的歪み（湾曲）による電界強度の増加は十分小さいといえる。以上により、アバランシェ降伏のインパクト・イオン化率は、距離Rが $1000\mu m$ よりも短い領域で高くなる。本例では、角部111 ($R=0$) で最も高いとしている。

[0146] ここで、距離Rを、角部111からトレンチ中央位置TPまでの最短距離 $R1a$ に置き換えてよい。即ち、角部111からトレンチ中央位置TPまでの最短距離 $R1a$ は、 $1000\mu m$ 以上であってよく、 $1500\mu m$ 以上であってよい。なお、本例では、距離Rを最短距離 $R1a$ に置き換えて説明するが、最短距離 $R1b$ 、最短距離 $R2a$ または最短距離 $R2b$ についても置き換えて説明することもできる。

[0147] ターンオフ時にゲート電圧が+から-にオフすると、電位はゲート金属層50からゲート導電部44に伝わる。ゲート導電部44がポリシリコンの場

合、アルミニウム合金等に比べて抵抗率が高い。一方、MOSゲートの反転層消滅（または生成）には、MOSキャパシタの充放電が必要である。MOSキャパシタの充放電には、ゲート絶縁膜42の厚さで決まる静電容量とゲート導電部44の抵抗により、遅延時間が生じる。ゲート金属層50の位置からトレンチ中央位置TPまでの長さが長い程、ゲート導電部44の抵抗が大きくなる。このため、トレンチ中央位置TPのMOSキャパシタの充電に必要な遅延時間が長くなる。この遅延時間の増加により、トレンチ中央位置TP近傍のゲートをオフするのが遅くなり、トレンチ中央位置TPにキャリアが集中して、カレント・フィラメントが発生する。一方、ターンオフのときにはドリフト領域18に空乏層が広がっており、カレント・フィラメントは空乏層の中に存在する。カレント・フィラメントにはキャリア（正孔）が多く残留しているので、空乏層の電界強度の傾きが増加し、電界強度が増加する。さらに、電流密度（特に正孔電流）が大きいので、インパクト・イオン化率も増加させ、アバランシェ降伏が増強される。

- [0148] トレンチ中央位置TPが角部111から1000 μm よりも短い領域に位置すると、最短距離R1aが1000 μm よりも短くなる。この場合、ターンオフにおいて、トレンチ中央位置TPにおける電界強度E(R1a)はEmの1.1倍よりも高くなる。このため、トレンチ中央位置TPではカレント・フィラメントだけでなく、電界の空間的歪みによっても電界強度が増加する。すると、角部111の近傍だけでなく、トレンチ中央位置TPにおいてもインパクト・イオン化率が上昇し、アバランシェ降伏が生じ易くなる。その結果、角部111およびトレンチ中央位置Tpを含む領域で電流が正帰還を起こし、破壊に至る可能性が高くなる。よって、最短距離R1aを1000 μm よりも長くすることで、トレンチ中央位置TPにおける角部111からの距離Rを1000 μm 以上とする。これにより、電界強度E(R1a)をEmの1.1倍よりも小さくし、角部111およびトレンチ中央位置TPにおけるアバランシェ降伏の増強を抑えることができ、ターンオフ時の破壊を防ぐことができる。さらに、最短距離R1aを1500 μm 以上として

よい。

[0149] また、導電部形状比 α が大きいほど、ゲート導電部44の幅 W_g は小さく、トレンチ長さ L_t が長くなるため、ゲート金属層50の位置からトレンチ中央位置TPまでのゲート導電部44の抵抗が大きくなる。即ち、トレンチ中央位置TP近傍におけるゲート導電部44の充放電に遅延時間が生じ、カレント・フィラメントが発生しやすくなる。よって、上述の導電部形状比 α の範囲であって、最短距離 R_{1a} を $1000\mu m$ 以上とする。これにより、角部111およびトレンチ中央位置TPにおけるアバランシェ降伏の増強を抑えることができ、ターンオフ時の破壊を防ぐことができる。最短距離 R_{1a} は、 $1500\mu m$ 以上であってよく、 $2000\mu m$ 以上であってよく、 $3000\mu m$ 以上であってよく、 $5000\mu m$ 以上であってよい。最短距離 R_{1a} は、 $20000\mu m$ 以下であってよく、 $15000\mu m$ 以下であってよく、 $10000\mu m$ 以上であってよい。

[0150] 図6Bは、最短距離 R_{1a} とターンオフ耐量の不良率(%)との関係を示すグラフである。ターンオフ耐量の不良率とは、ターンオフにより半導体装置が破壊する割合である。ターンオフの電流密度および印加電圧はさまざまよく、一例として上述の条件であってよい。本例では、導電部形状比 α が6250の場合と、導電部形状比 α が8750の場合のターンオフ耐量の不良率を示している。

[0151] 導電部形状比 α が6250の場合、トレンチ長さ L_t は $5000\mu m$ であり、ゲート導電部44の幅 W_g が $0.8\mu m$ である。最短距離 R_{1a} が $500\mu m$ の場合、ターンオフ耐量の不良率は50%である。不良率は、最短距離 R_{1a} が $1000\mu m$ で14%へ減少し、最短距離 R_{1a} が $1500\mu m$ で5%、最短距離 R_{1a} が $2000\mu m$ で2%である。

[0152] 導電部形状比 α が8750の場合、トレンチ長さ L_t が $7000\mu m$ であり、ゲート導電部44の幅 W_g が $0.8\mu m$ である。最短距離 R_{1a} が $500\mu m$ の場合にターンオフ耐量の不良率は62%で、最短距離 R_{1a} が $1000\mu m$ で21%へ減少する。さらに最短距離 R_{1a} が $1500\mu m$ 以上で

8%以下まで不良率が大きく減少する。ターンオフ耐量の不良率を30%より低くできることから、最短距離 $R1a$ は $1000\mu m$ 以上かそれよりも長くてもよく、 $1500\mu m$ 以上であってよく、 $2000\mu m$ 以上であってよく、 $3000\mu m$ 以上であってよく、 $5000\mu m$ 以上であってよい。なお、本例では、最短距離 $R1a$ について説明したが、最短距離 $R1b$ 、最短距離 $R2a$ または最短距離 $R2b$ についても同様に説明することができる。

[0153] 図6Cは、定格電圧 V_{rate} と定格電流密度 J_{rate} との関係を示すグラフである。縦軸は定格電流密度 J_{rate} (A/cm^2)を示し、横軸は定格電圧 (V)を示す。一例において、半導体装置100は、図6Cの上限 $P1$ および下限 $P2$ で挟まれた領域の定格電圧 V_{rate} および定格電流密度 J_{rate} を満たすように設計されてよい。

[0154] 例えば、半導体装置100は、定格電圧600 (V)において、400 (A/cm^2)以上、800 (A/cm^2)以下の定格電流密度を満たすように設計されてよい。また、半導体装置100は、定格電圧1200 (V)において、300 (A/cm^2)以上、600 (A/cm^2)以下の定格電流密度を満たすように設計されてよい。半導体装置100は、定格電圧1700 (V)において、200 (A/cm^2)以上、400 (A/cm^2)以下の定格電流密度を満たすように設計されてよい。

[0155] 本例の半導体装置100は、このような特性を実現するためにトレンチ長さ L_t を $2000\mu m$ 以上としたような場合であっても、P型のウェル領域とトレンチ中央位置 TP との距離を適切に設定することにより、P型のウェル領域へのカレント・フィラメントの流入による素子破壊を回避することができる。

[0156] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0157] 請求の範囲、明細書、および図面中において示した装置、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0158] 10・・・半導体基板、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、18・・・ドリフト領域、20・・・バッファ領域、21・・・おもて面、22・・・コレクタ領域、23・・・裏面、24・・・コレクタ電極、25・・・接続部、30・・・ダミートレンチ部、31・・・延伸部分、32・・・ダミー絶縁膜、33・・・接続部分、34・・・ダミー導電部、38・・・層間絶縁膜、40・・・ゲートレンチ部、41・・・延伸部分、42・・・ゲート絶縁膜、43・・・接続部分、44・・・ゲート導電部、50・・・ゲート金属層、52・・・エミッタ電極、54・・・コンタクトホール、55・・・コンタクトホール、56・・・コンタクトホール、70・・・トランジスタ部、71・・・メサ部、80・・・ダイオード部、81・・・メサ部、82・・・カソード領域、90・・・境界部、91・・・メサ部、92・・・境界部、100・・・半導体装置、102・・・活性部、104・・・外周部、110・・・第1制御パッド、111・・・角部、112・・・アノードパッド、114・・・カソードパッド、115・・・ウェル領域、116・・・センスパッド、118・・・切欠部、120・・・第2制御パッド、121・・・角部、122・・・ゲートパッド、125・・・ウェル領域、130・・・ライフタイム制御領域、135・・・ウェル領域、140・・・温度センサ部、142・・・温度センス配線、145・・・ウェル領域、150・・・外周端、151・・・第1外周辺、152・・・第2外周辺、170・・・

・無効領域、１７２・・・ダミートレンチ領域、１８０・・・保護膜、１８
５・・・非保護領域

請求の範囲

- [請求項1] 半導体基板に設けられた活性部と、
 ゲート導電部を有し、前記活性部において、予め定められた延伸方向に延伸して設けられ、予め定められた配列方向に配列された複数のトレンチ部であって、前記延伸方向におけるトレンチ長さに対する、前記ゲート導電部の前記配列方向における幅の導電部形状比が1000以上である複数のトレンチ部と、
 上面視において、前記半導体基板の予め定められた第1外周辺から前記半導体基板の内側に張り出して設けられた第1制御パッドと、
 前記第1制御パッドの下方に設けられ、上面視において前記第1制御パッドを覆って設けられた第1ウェル領域と
 を備え、
 上面視において、前記第1ウェル領域と、前記複数のトレンチ部の前記延伸方向における長さの中央であるトレンチ中央位置との間の最短距離が1000 μ m以上である
 半導体装置。
- [請求項2] 前記最短距離は、1500 μ m以上である
 請求項1に記載の半導体装置。
- [請求項3] 前記最短距離は、2000 μ m以上である
 請求項1または2に記載の半導体装置。
- [請求項4] 前記複数のトレンチ部の前記導電部形状比は、3000以上、 1×10^6 以下である
 請求項1から3のいずれか一項に記載の半導体装置。
- [請求項5] 前記複数のトレンチ部は、ゲート電位に設定されたゲートトレンチ部を含み、
 前記ゲートトレンチ部の前記導電部形状比は、5000以上、 3×10^5 以下である
 請求項1から4のいずれか一項に記載の半導体装置。

- [請求項6] 前記第1制御パッドは、アノードパッド、カソードパッドおよびセンスパッドを含む
- 請求項1から4のいずれか一項に記載の半導体装置。
- [請求項7] 前記第1ウェル領域は、上面視で矩形を有し、前記第1ウェル領域の3辺が前記活性部と対向して設けられる
- 請求項1から6のいずれか一項に記載の半導体装置。
- [請求項8] 前記第1ウェル領域は、前記第1外周辺から張り出して設けられた角部を有し、
- 前記最短距離は、前記第1ウェル領域の前記角部と、前記トレンチ中央位置との距離である
- 請求項1から7のいずれか一項に記載の半導体装置。
- [請求項9] 前記第1外周辺と直交し、前記第1外周辺の中央を通る中央仮想線から、前記第1ウェル領域の前記角部までの距離 $L1a$ は、前記中央仮想線と直交する方向における前記中央仮想線から前記半導体基板の外周端までの長さの40%以上である
- 請求項8に記載の半導体装置。
- [請求項10] 前記第1ウェル領域は、前記第1外周辺と直交して前記第1外周辺の中央を通る中央仮想線に対して対称に設けられる
- 請求項1から9のいずれか一項に記載の半導体装置。
- [請求項11] 前記第1ウェル領域は、前記第1外周辺と直交して前記第1外周辺の中央を通る中央仮想線に対して非対称に設けられる
- 請求項1から9のいずれか一項に記載の半導体装置。
- [請求項12] 前記第1ウェル領域は、上面視において、角の一部が切り取られた切欠部を備える
- 請求項1から11のいずれか一項に記載の半導体装置。
- [請求項13] 上面視において、前記第1外周辺と対向する第2外周辺から前記半導体基板の内側に張り出して設けられた第2制御パッドと、
- 前記第2制御パッドの下方に設けられ、上面視において前記第2制

御パッドを覆って設けられた第2ウェル領域と

を備え、

前記第2ウェル領域は、前記第2外周辺から張り出して設けられた角部を有し、

前記距離 $L1a$ は、前記延伸方向における前記中央仮想線から前記第2ウェル領域の角部までの距離 $L2a$ より長い

請求項9に記載の半導体装置。

[請求項14] 前記第2制御パッドは、前記複数のトレンチ部をゲート電位に設定するためのゲートパッドを含む

請求項13に記載の半導体装置。

[請求項15] 前記活性部は、トランジスタ部およびダイオード部を備え、

前記第1ウェル領域の角部は、上面視において、前記トランジスタ部に位置する

請求項1から14のいずれか一項に記載の半導体装置。

[請求項16] 前記複数のトレンチ部がエミッタ電位に設定されたダミートレンチ領域を備え、

前記第1ウェル領域の角部は、上面視において、前記ダミートレンチ領域に位置する

請求項1から14のいずれか一項に記載の半導体装置。

[請求項17] 前記活性部は、トランジスタ部およびダイオード部を備え、

前記第1ウェル領域の角部は、上面視において、前記ダイオード部に位置する

請求項1から14のいずれか一項に記載の半導体装置。

[請求項18] 前記半導体基板の上方に設けられた保護膜を備え、

前記ダイオード部は、前記半導体基板のおもて面側にライフタイム制御領域を有し、

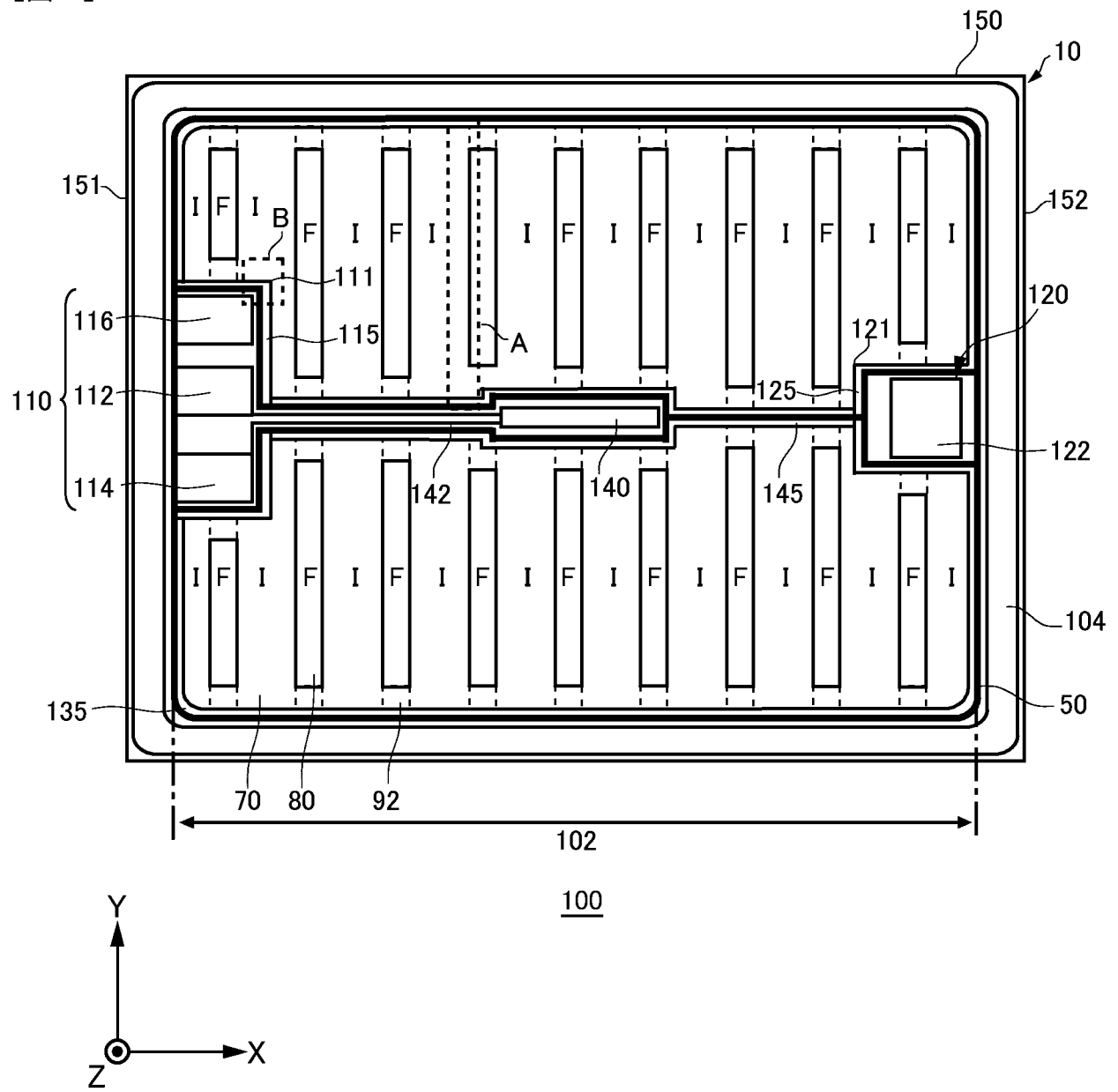
前記保護膜は、上面視において、前記ダイオード部を避けて設けられる

請求項 1 7 に記載の半導体装置。

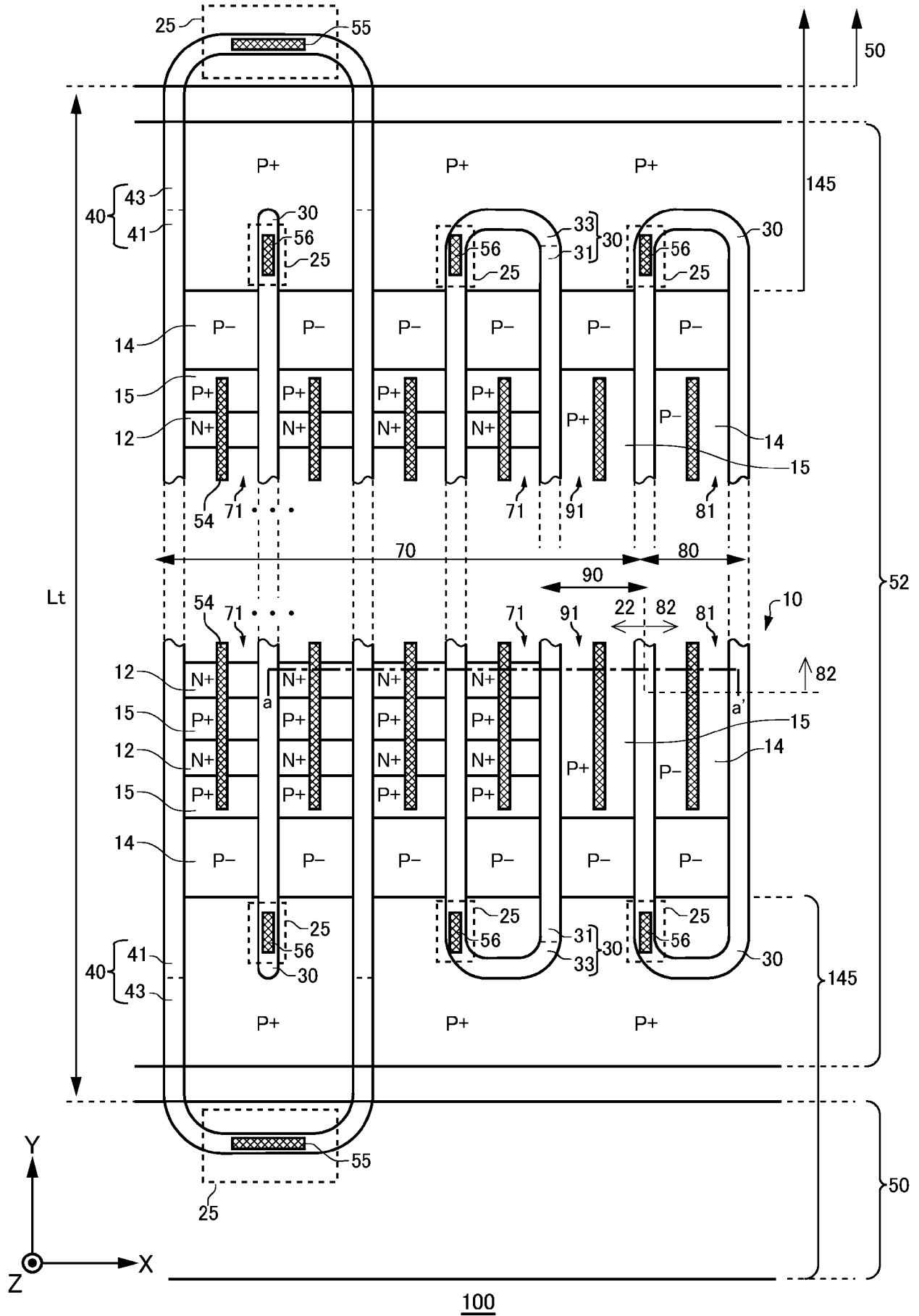
[請求項19] 前記延伸方向は、上面視において、前記第 1 外周辺と平行である
請求項 1 から 1 8 のいずれか一項に記載の半導体装置。

[請求項20] 前記延伸方向は、上面視において、前記第 1 外周辺と直交する
請求項 1 から 1 8 のいずれか一項に記載の半導体装置。

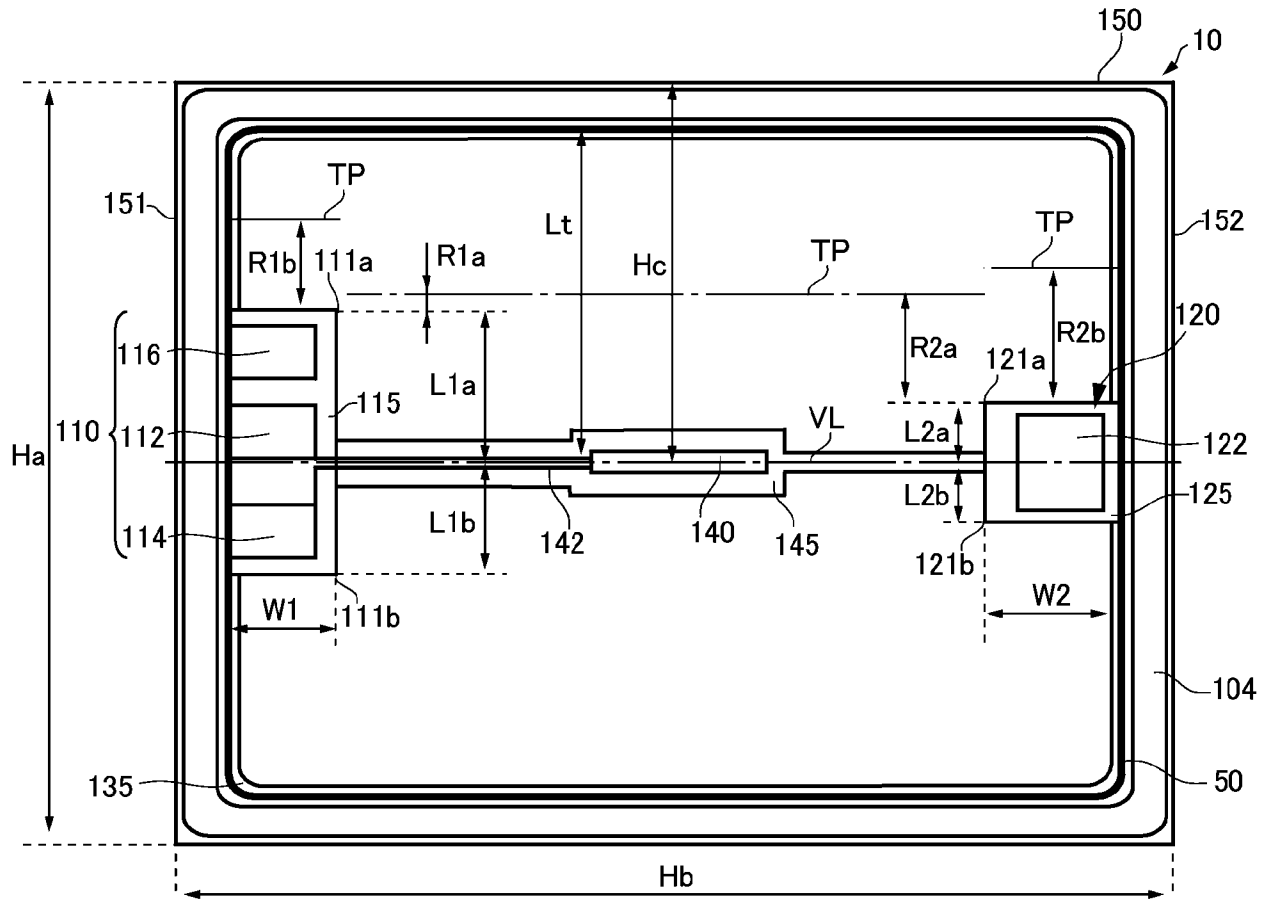
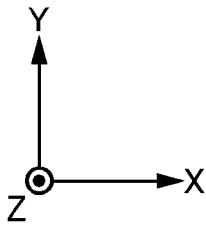
[図1A]



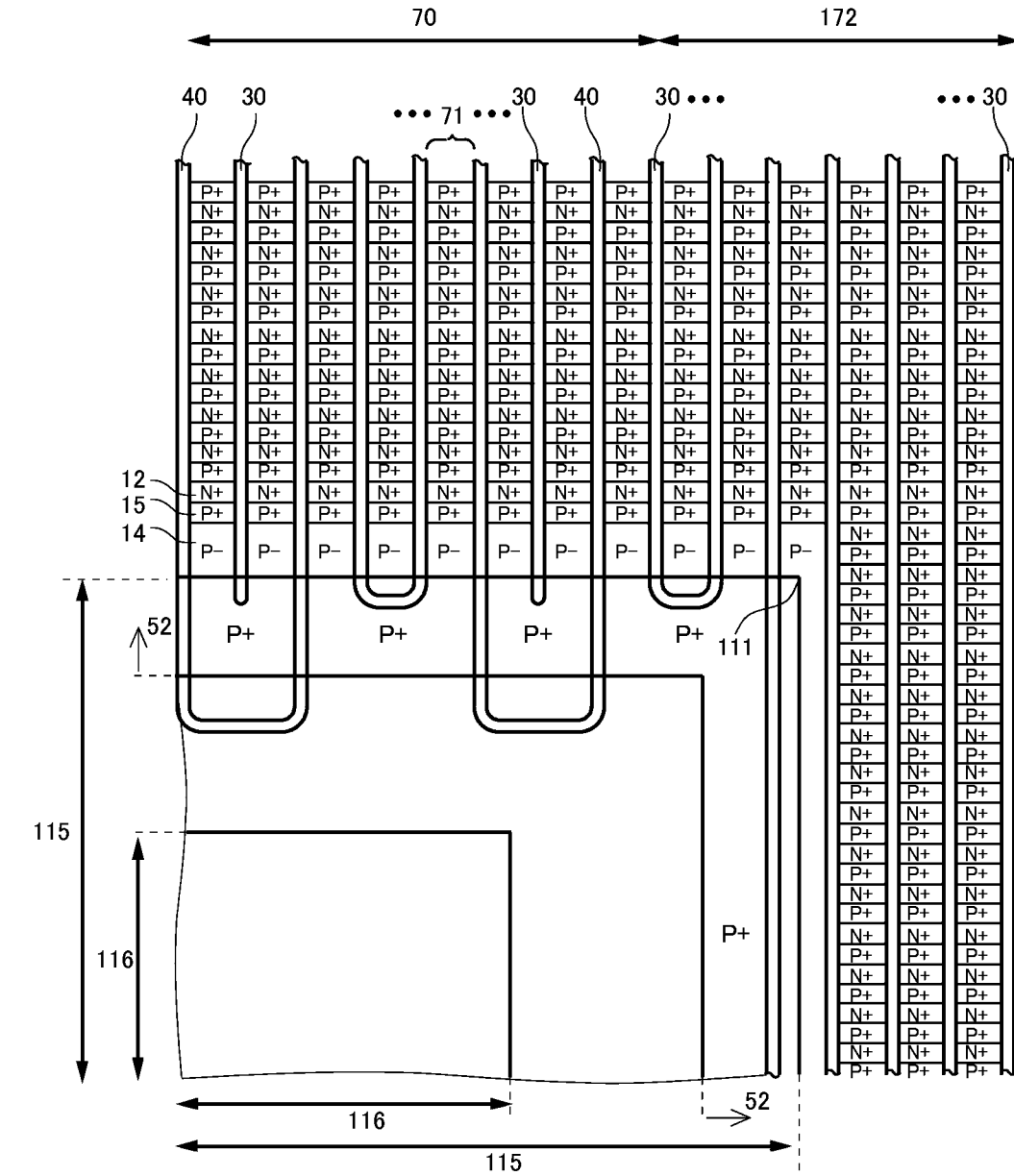
[図1B]



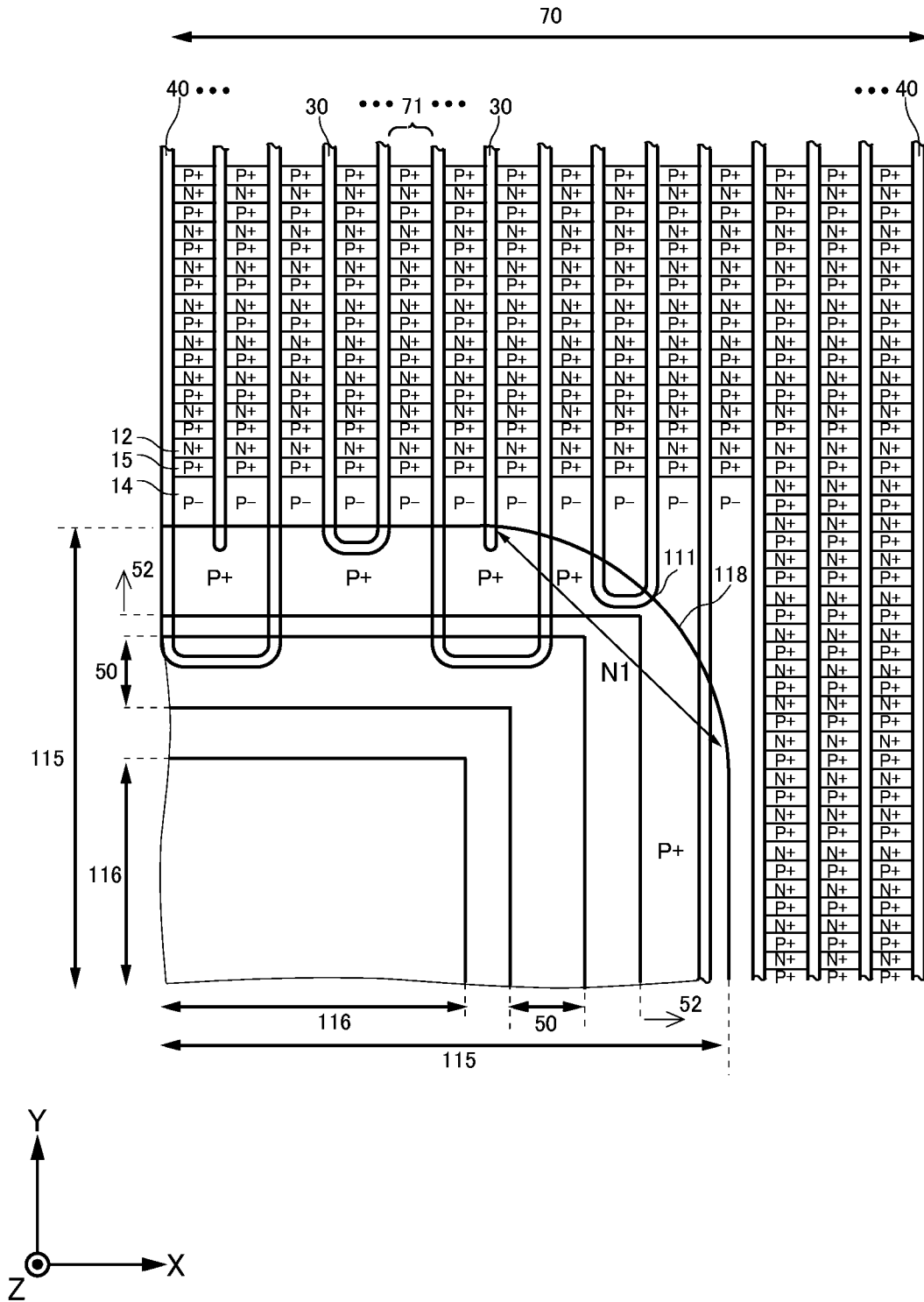
[図1D]

100

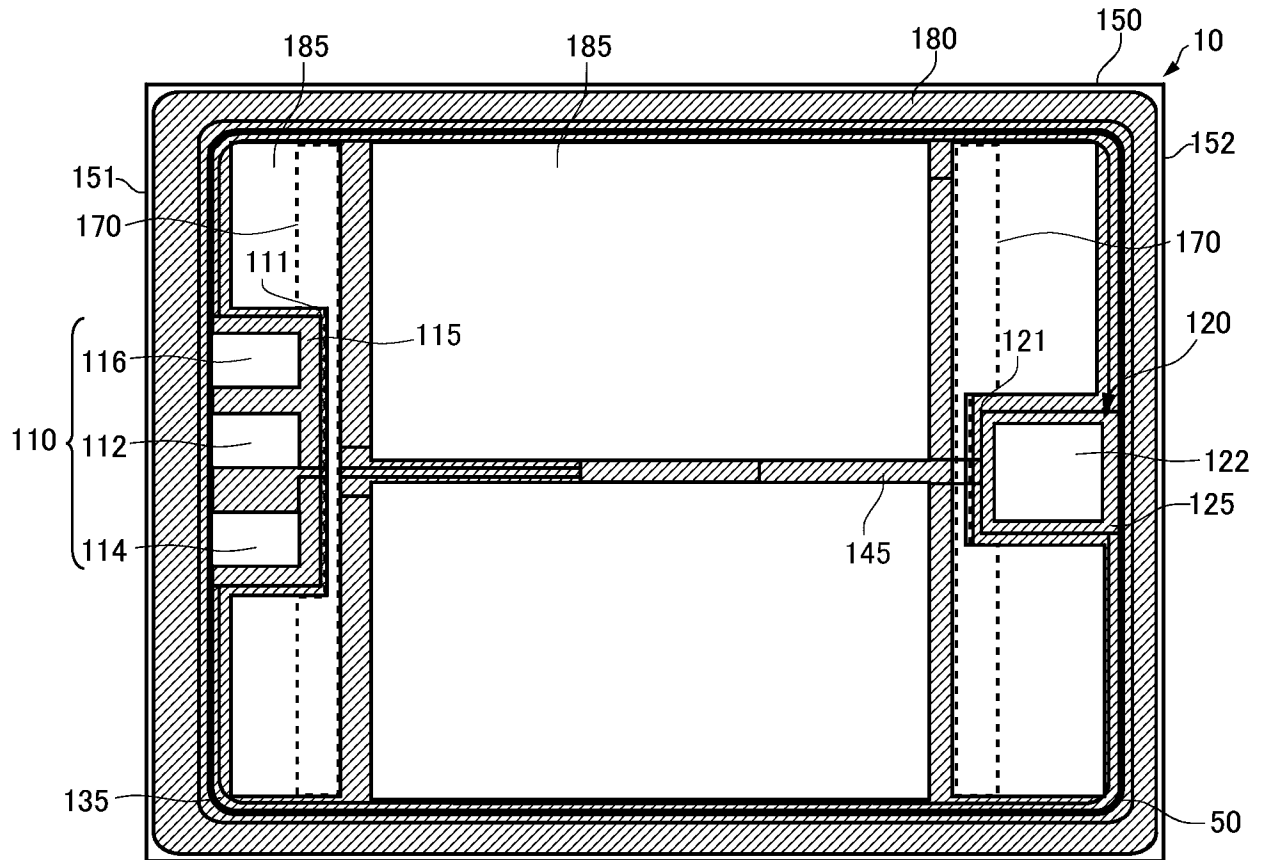
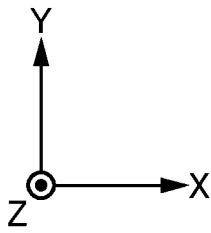
[図2B]



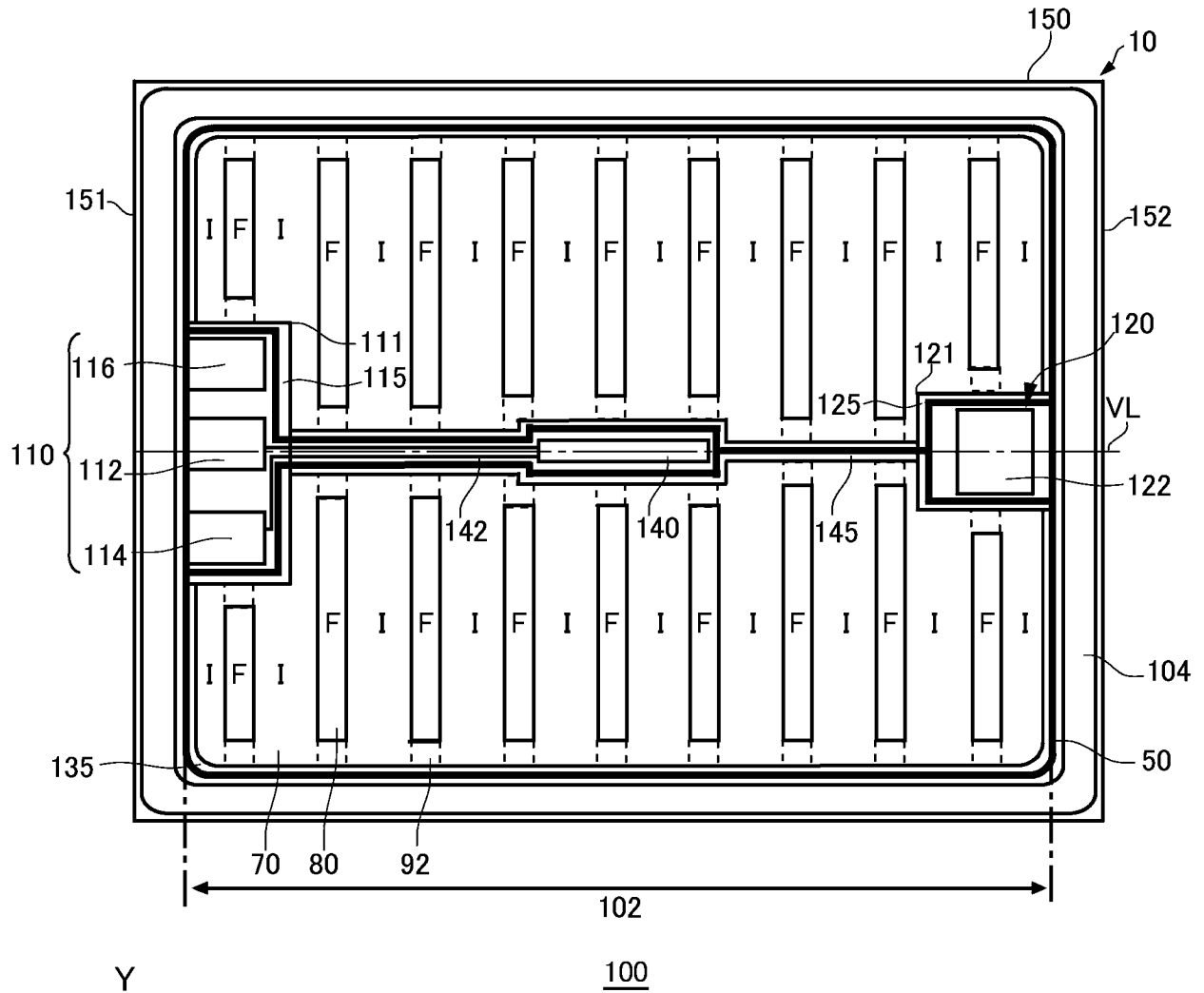
[図2D]



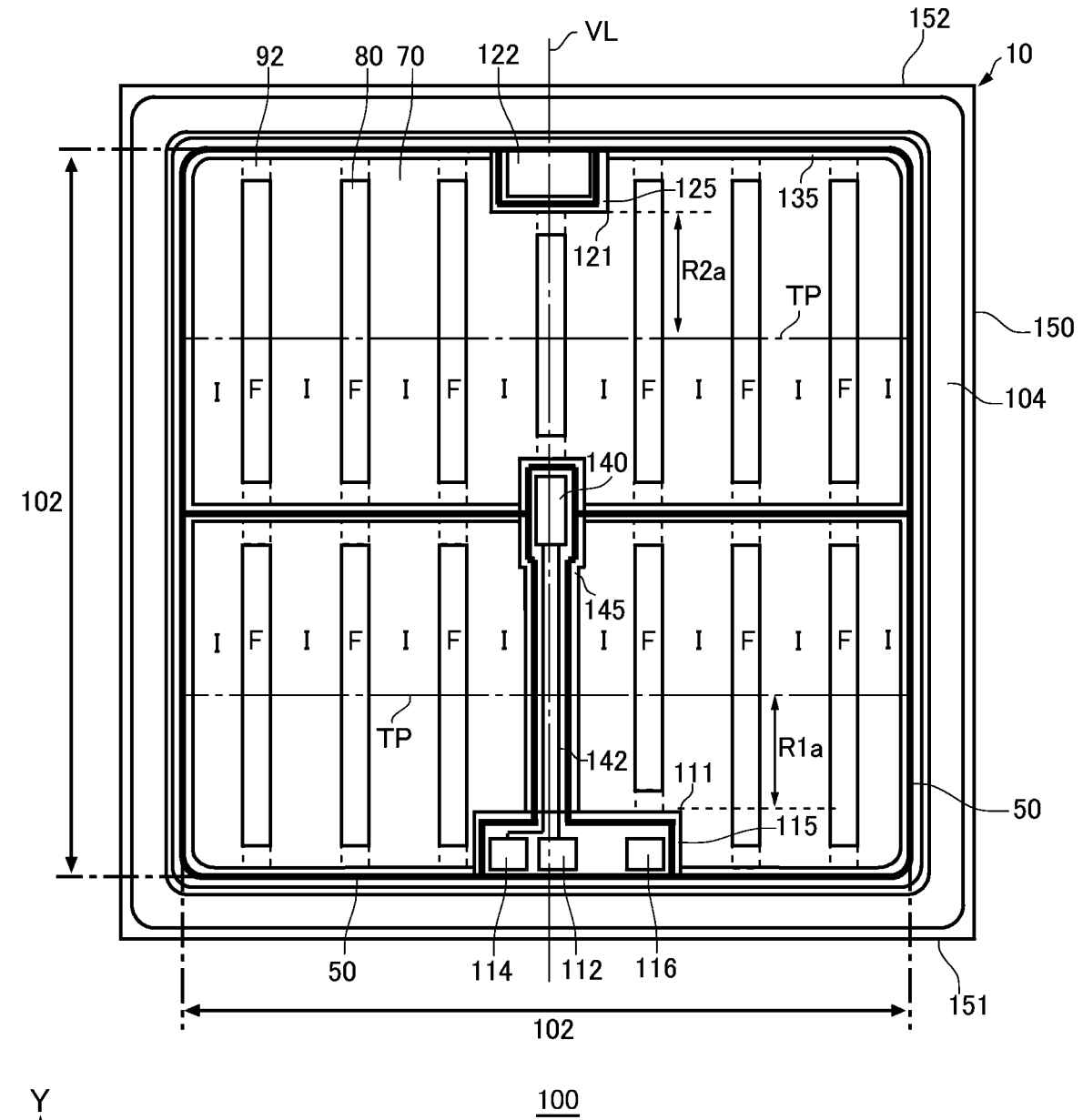
[図3]

100

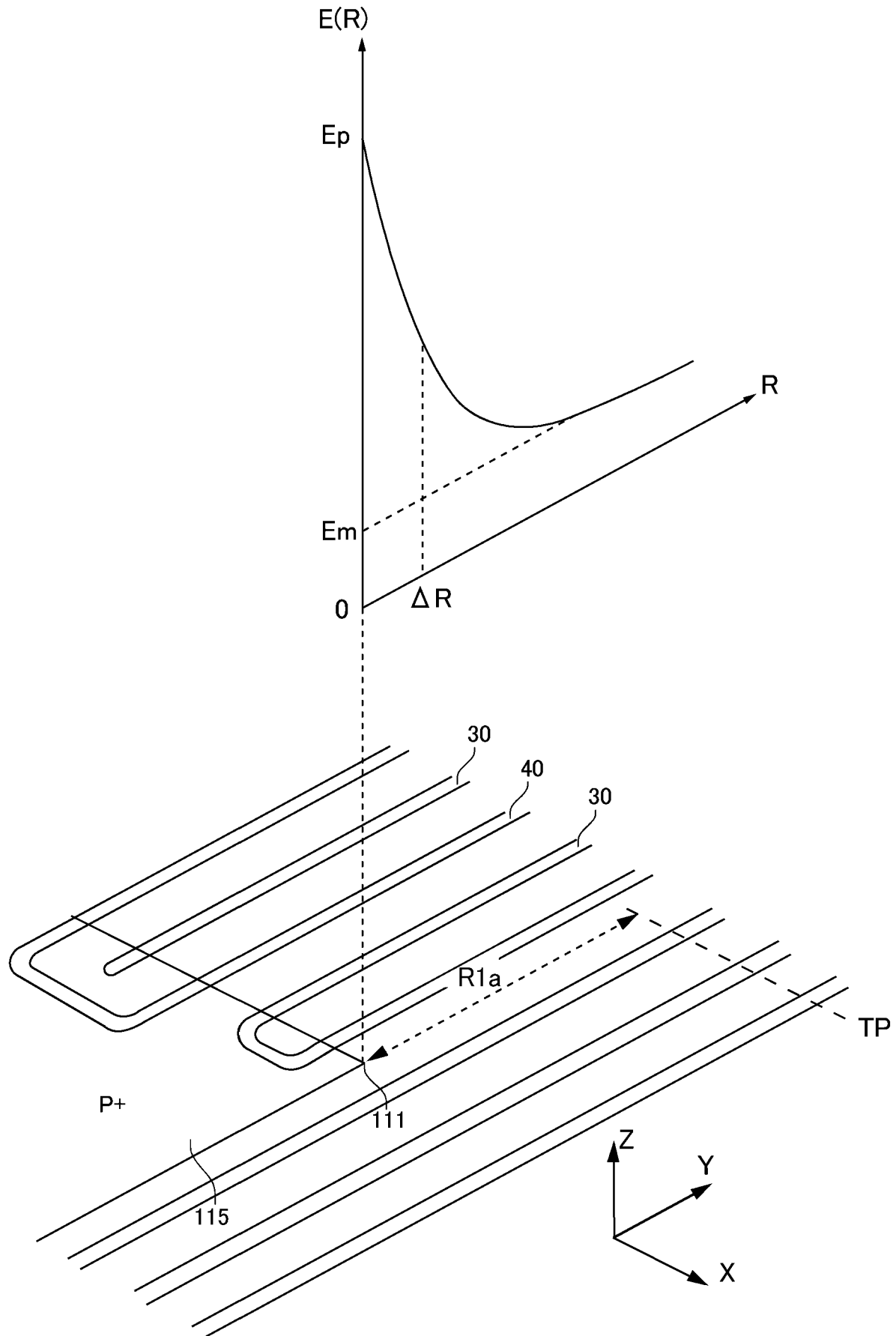
[図4A]



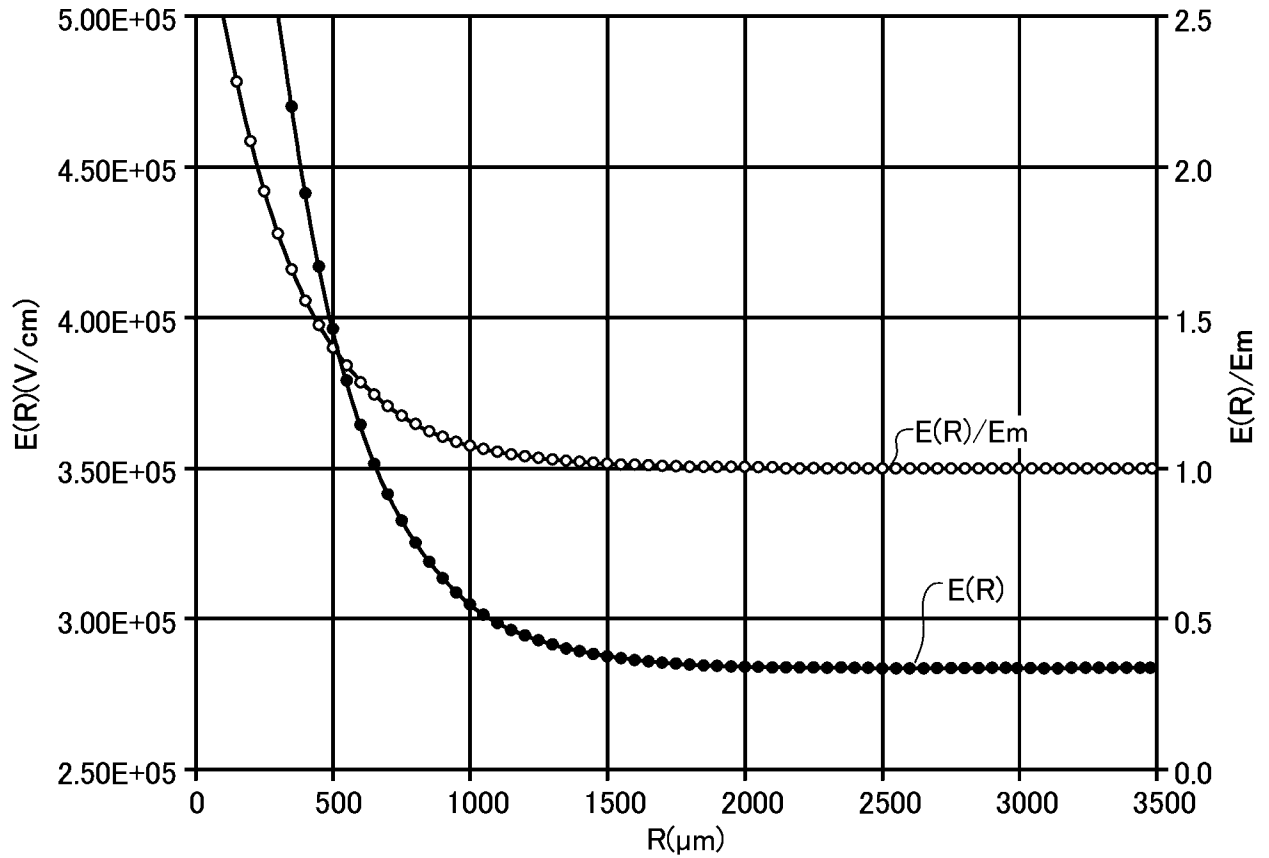
[図4B]



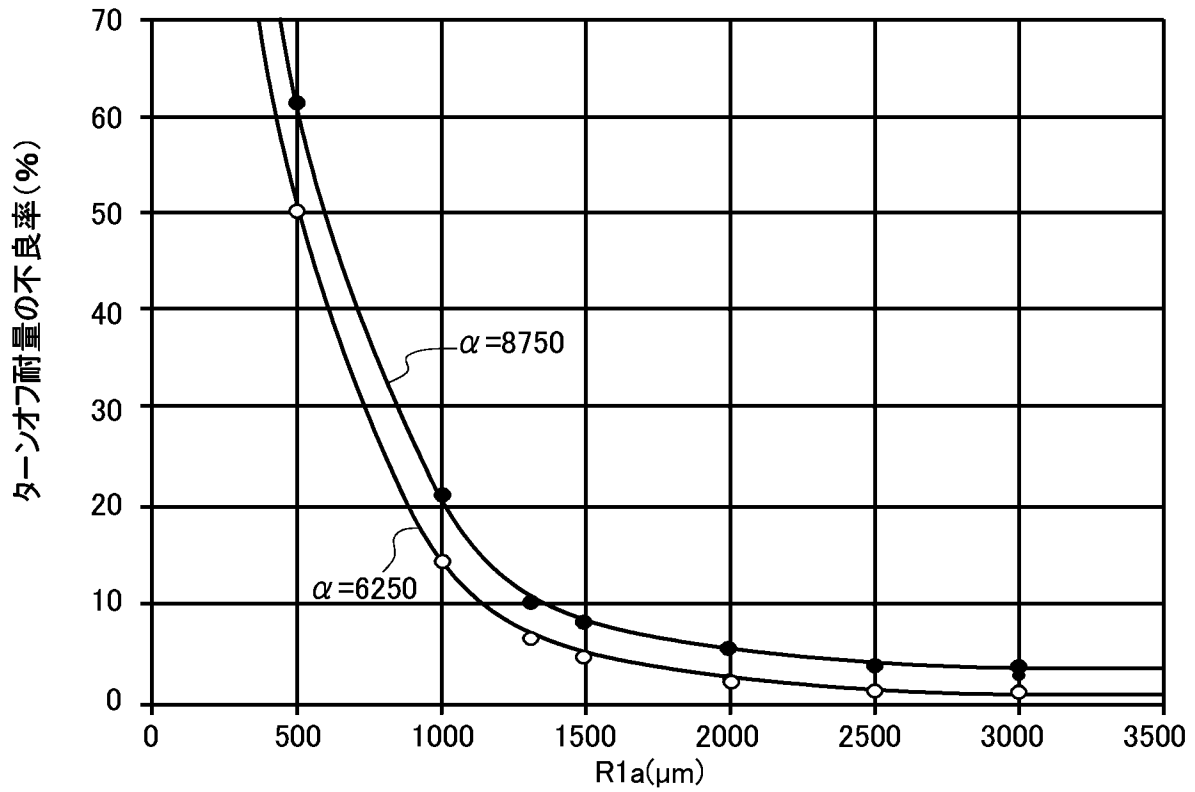
[図5]



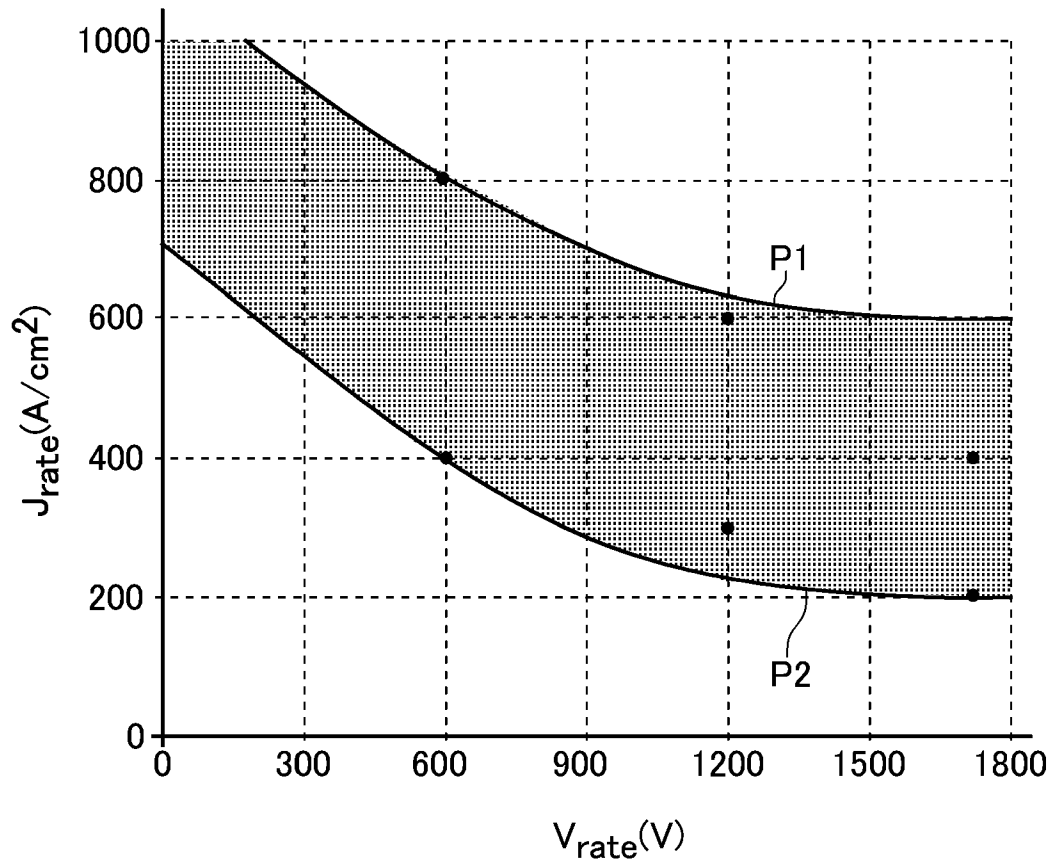
[図6A]



[図6B]



[図6C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/038317

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 29/739(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/78(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i FI: H01L29/78 655F; H01L27/06 102A; H01L27/088 331C; H01L29/06 301R; H01L29/06 301V; H01L29/78 652J; H01L29/78 652Q; H01L29/78 652T; H01L29/78 653A; H01L29/78 655B; H01L29/78 655G; H01L29/78 657A; H01L29/78 657D; H01L29/78 658H; H01L29/91 C; H01L29/91 F; H01L29/91 J According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/739; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/06; H01L29/12; H01L29/78; H01L29/861; H01L29/868		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-161199 A (ROHM CO., LTD.) 19 September 2019 (2019-09-19) entire text, all drawings	1-20
A	WO 2020/162013 A1 (FUJI ELECTRIC CO., LTD.) 13 August 2020 (2020-08-13) entire text, all drawings	1-20
A	JP 2019-186309 A (FUJI ELECTRIC CO., LTD.) 24 October 2019 (2019-10-24) entire text, all drawings	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
09 December 2021		21 December 2021
Name and mailing address of the ISA/JP		Authorized officer
Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/038317

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-161199	A	19 September 2019	US 2020/0243641 A1 entire text, all drawings WO 2018/212282 A1 DE 212018000102 U1 CN 110637374 A	
WO	2020/162013	A1	13 August 2020	EP 3817039 A1 entire text, all drawings US 2021/0151429 A1	
JP	2019-186309	A	24 October 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/739(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/78(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i FI: H01L29/78 655F; H01L27/06 102A; H01L27/088 331C; H01L29/06 301R; H01L29/06 301V; H01L29/78 652J; H01L29/78 652Q; H01L29/78 652T; H01L29/78 653A; H01L29/78 655B; H01L29/78 655G; H01L29/78 657A; H01L29/78 657D; H01L29/78 658H; H01L29/91 C; H01L29/91 F; H01L29/91 J														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/739; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/06; H01L29/12; H01L29/78; H01L29/861; H01L29/868 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2019-161199 A（ローム株式会社）19.09.2019（2019 - 09 - 19） 全文、全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>WO 2020/162013 A1（富士電機株式会社）13.08.2020（2020 - 08 - 13） 全文、全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2019-186309 A（富士電機株式会社）24.10.2019（2019 - 10 - 24） 全文、全図</td> <td>1-20</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2019-161199 A（ローム株式会社）19.09.2019（2019 - 09 - 19） 全文、全図	1-20	A	WO 2020/162013 A1（富士電機株式会社）13.08.2020（2020 - 08 - 13） 全文、全図	1-20	A	JP 2019-186309 A（富士電機株式会社）24.10.2019（2019 - 10 - 24） 全文、全図	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2019-161199 A（ローム株式会社）19.09.2019（2019 - 09 - 19） 全文、全図	1-20												
A	WO 2020/162013 A1（富士電機株式会社）13.08.2020（2020 - 08 - 13） 全文、全図	1-20												
A	JP 2019-186309 A（富士電機株式会社）24.10.2019（2019 - 10 - 24） 全文、全図	1-20												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日	国際調査報告の発送日													
09.12.2021	21.12.2021													
名称及びあて先	権限のある職員（特許庁審査官）													
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	上田 智志 5F 3664 電話番号 03-3581-1101 内線 3514													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/038317

引用文献			公表日	パテントファミリー文献			公表日
JP	2019-161199	A	19.09.2019	US	2020/0243641	A1	
				全文、全図			
				WO	2018/212282	A1	
				DE	212018000102	U1	
				CN	110637374	A	
WO	2020/162013	A1	13.08.2020	EP	3817039	A1	
				全文、全図			
				US	2021/0151429	A1	
JP	2019-186309	A	24.10.2019	(ファミリーなし)			