

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5385722号
(P5385722)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int.Cl.		F I			
G06F 13/38	(2006.01)	G06F 13/38	320A		
H04L 29/06	(2006.01)	H04L 13/00	305C		
		G06F 13/38	350		

請求項の数 5 (全 13 頁)

<p>(21) 出願番号 特願2009-190218 (P2009-190218)</p> <p>(22) 出願日 平成21年8月19日 (2009.8.19)</p> <p>(65) 公開番号 特開2011-43904 (P2011-43904A)</p> <p>(43) 公開日 平成23年3月3日 (2011.3.3)</p> <p>審査請求日 平成24年2月23日 (2012.2.23)</p>	<p>(73) 特許権者 303046277 旭化成エレクトロニクス株式会社 東京都千代田区神田神保町一丁目105番地</p> <p>(74) 代理人 100066980 弁理士 森 哲也</p> <p>(74) 代理人 100075579 弁理士 内藤 嘉昭</p> <p>(74) 代理人 100103850 弁理士 田中 秀▲てつ▼</p> <p>(72) 発明者 高島 遼一 神奈川県厚木市岡田3050番地 旭化成エレクトロニクス株式会社内</p> <p>審査官 木村 貴俊</p> <p style="text-align: right;">最終頁に続く</p>
------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

(54) 【発明の名称】 インターフェース回路

(57) 【特許請求の範囲】

【請求項1】

マスタ装置とスレーブ装置との間でクロック、データ、および前記スレーブ装置の選択信号を用いて第1のプロトコルに基づく通信を行う第1のモードと、前記マスタ装置と前記スレーブ装置との間でクロックおよびデータを用いて第2のプロトコルに基づく通信を行う第2のモードと、を切り換えるインターフェース回路であって、

前記クロックがハイレベルであり、かつ前記データがハイレベルからローレベルに変化する状態を判定し、判定信号を生成する判定手段と、

前記第1のプロトコルに使用される所定の信号の変化を検出し、前記第1のプロトコル動作であることを検出した時には動作検出信号を生成する動作検出手段と、

前記動作検出信号が生成された時には、前記判定信号の生成にかかわらず、前記第2のモードでのデータの送受を制限する信号を生成する制限手段と、

を備えることを特徴とするインターフェース回路。

【請求項2】

前記動作検出手段は、

前記クロックを計数し、当該計数に基づいて前記第1のプロトコルに使用される所定の信号を生成するカウンタを備えることを特徴とする請求項1に記載のインターフェース回路。

【請求項3】

前記動作検出手段は、

10

20

前記第1のプロトコルに使用される信号をトリガーとして前記動作検出信号を生成するフリップフロップを備えることを特徴とする請求項1または請求項2に記載のインターフェース回路。

【請求項4】

インターフェース回路を備えた電子装置であって、

前記インターフェース回路は、請求項1乃至請求項3のうちの何れか1項に記載のインターフェース回路であることを特徴とする電子装置。

【請求項5】

マスタ装置とスレーブ装置との間でクロック、データ、および前記スレーブ装置の選択信号を用いて第1のプロトコルに基づく通信を行う第1のモードと、前記マスタ装置と前記スレーブ装置との間でクロックおよびデータを用いて第2のプロトコルに基づく通信を行う第2のモードと、を切り換える方法であって、

前記選択信号のハイレベルからローレベルへの遷移の有無を検出する第1のステップと

、
前記第1のステップにおいて、前記選択信号のハイレベルからローレベルへの遷移があると検出された場合に、前記第2のモードによる動作を制限する制限フラグを設定し、前記スレーブ装置が前記第1のモードで動作を実行し、実行の終了後に前記第1のステップに戻る第2のステップと、

前記第1のステップにおいて、前記選択信号のハイレベルからローレベルへの遷移がないと検出された場合に、前記データの転送開始の遷移の有無を判定する第3のステップと

、
前記第3のステップにおいて、前記データの転送開始の遷移があると判定された場合には、前記制限フラグの設定の有無を判定し、前記制限フラグの設定があると判定された場合には、前記第1のステップに戻り、前記制限フラグの設定がないと判定された場合には、前記スレーブ装置が前記第2のモードで動作を実行し、実行の終了後に前記第1のステップに戻る第4のステップと、

を備えることを特徴とするプロトコルの切り換え方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、各種の電子装置で使用される2種類の標準プロトコルを自動的に切り換える機能を有するインターフェース回路などに関する。

【背景技術】

【0002】

図5は、モトローラ社によって開発された汎用のSPIインターフェースを用いて、マスタ装置（図示せず）との間でシリアル通信ができるスレーブ装置である電子装置100のブロック図である。

このスレーブ装置100は、図5に示すように、選択信号線102、クロック線106、およびデータ線104と接続されるようになっている。選択信号線102には、マスタ装置からスレーブ装置100を選択するための選択信号CSBが供給される。クロック線106には、マスタ装置からシリアルクロックSCLが供給される。データ線104は、マスタ装置との間で双方向の通信をするときに、データSDAの授受に使用される。

【0003】

このような構成のスレーブ装置100では、図6に示すようなタイミングで通信が行われる。すなわち、選択信号CSBが「ハイレベル」から「ローレベル」に遷移後に、クロックSCLに同期してデータSDAが供給される。

図7は、フィリップス社によって開発された汎用のI2Cインターフェースを用いて、マスタ装置（図示せず）との間で双方向の通信を行うことができるスレーブ装置である電子装置300のブロック図である。

【0004】

10

20

30

40

50

このスレーブ装置300は、図7に示すように、クロック線304およびデータ線302からなる双方向バスと接続されるようになっている。クロック線304には、マスタ装置からシリアルクロックSCLが供給される。データ線302は、マスタ装置との間で双方向の通信をするときに、データSDAの授受に使用される。

このような構成のスレーブ装置300では、図8に示すようなタイミングで通信が行われる。

【0005】

すなわち、この通信では、通信開始はデータ転送開始「START」、その終了はデータ転送終了「STOP」という固有の状態が発生する。そして、データ転送開始「START」は、クロックSCLが「ハイレベル」でデータSDAが「ハイレベル」から「ローレベル」への遷移である。一方、データ転送終了「STOP」は、クロックSCLが「ハイレベル」でデータSDAが「ローレベル」から「ハイレベル」への遷移である。データ転送開始「START」後に、クロックSCLに同期してデータSDAが供給される。

10

【0006】

ここで、SPIインターフェースとI2Cインターフェースの両方の機能を持ち、これらを自動的に切り換える電子装置、およびその機能の自動切り換え方法が知られている（例えば、特許文献1参照）。

図9は、特許文献1に記載された、従来のインターフェース・プロトコルを自動的に切り換える電子装置のブロック図である。

この電子装置500は、選択信号線502、クロック線506、およびデータ線504と接続されるようになっている。

20

【0007】

選択信号線502には、マスタ装置からスレーブ装置である電子装置500を選択するための選択信号CSBが供給される。クロック線506には、マスタ装置からクロックSCLが供給される。データ線504は、マスタ装置との間で双方向の通信をするときに、データSDAの授受に使用される。

このような電子装置500では、選択信号CSBの極性、言い換えると選択信号CSBのレベルで、SPIインターフェースとI2Cインターフェースの機能を自動的に切り換えるように構成されている。すなわち、選択信号CSBが「ローレベル」ではSPIインターフェースが選択され、選択信号CSBが「ハイレベル」ではI2Cインターフェースが選択される。

30

【0008】

図10は、特許文献1に記載された2つのプロトコルの切り換える方法に関するデータ送受のフローチャートであり、電子装置500の動作手順について以下に説明する。

ステップS1において、マスタ装置が選択信号502上とデータ線504上とクロック線506上に「ハイレベル」を供給することで、電子装置500はデフォルト（標準動作）としてインターフェースをI2Cモードに設定する。ステップS2において、電子装置500は入力信号についてインターフェースを監視する。ステップS3において、電子装置500は、選択信号線502上の選択信号CSBの「ハイレベル」から「ローレベル」への遷移の有無を検出する。

40

【0009】

ステップS3において、選択信号CSBの「ローレベル」への遷移が検出されないときには、ステップS8に進む。ステップS8では、電子装置500は、データ線504上のデータSDAについてデータ転送開始「START」に遷移があるか否かを判定する。この判定の結果、その遷移がない場合にはステップS2に戻り、その遷移がある場合にはステップS9に進む。ステップS9では、電子装置500はI2Cモードで読み出し動作や書き込み動作を実行し、その実行の終了後にステップS2に戻る。

【0010】

一方、ステップS3において、選択信号CSBの「ローレベル」への遷移が検出されると、次のステップS4に進む。ステップS4では、電子装置500はインターフェースを

50

SPIモードで動作するように設定する。ステップS5では、電子装置500は、SPIモードで読み出し動作や書き込み動作を実行する。電子装置500は、ステップS6において選択信号線502上の選択信号CSBの「ハイレベル」への遷移を検出すると、ステップS7でインターフェースをI2Cモードに設定して、ステップS2に戻る。

【0011】

図9で示すような電子装置500をスレーブ装置としてマスタ装置との間で通信を行う通信システムでは、1つのマスタ装置で多数の電子装置のアクティブ/非アクティブを制御することが要求される。図11は、このような通信システムの一例を示すブロック図である。

図11の通信システムは、1つのマスタ装置702と、スレーブ装置として機能する4つの電子装置704、706、708、710とからなり、マスタ装置702がその4つの電子装置のうちの1つと選択的に双方向通信する。

【0012】

このため、マスタ装置702と4つの電子装置704、706、708、710とは、クロックSCLを転送する共通のクロック線720およびデータSDAを転送する共通のデータ線722で接続されている。また、マスタ装置702と電子装置704、706、708、710とは、独立の選択信号線724、726、728、730により接続されている。そして、マスタ装置702との間で行われるSPIプロトコルに基づく通信における電子装置704、706、708、710のうちの何れかのアクティブ/非アクティブの制御には、選択信号CSB1、CSB2、CSB3、CSB4が使用される。

【0013】

図12は、1つのマスタ装置802が2つの電子装置804、806と選択的に双方向の通信を行う通信システムのブロック図である。

この通信システムにおいて、マスタ装置802が電子装置804との間でSPIプロトコルに従ったデータ送受を行う場合、クロック線814上のクロックSCL、データ線812のデータSDA、および選択信号線810上の選択信号CSB1が使用される。選択信号線810上の選択信号CSB1が「ローレベル」で、選択信号線816上の選択信号CSB2が「ハイレベル」となる。

このとき、電子装置804はSPIインターフェースが設定され、電子装置806はI2Cインターフェースが設定された状態である。そして、電子装置804へのデータ線812上の送受データSDAとクロック線814上のクロックSCLは、電子装置806にも入力される。

【0014】

このとき、選択信号CSB2が「ハイレベル」であって、クロックSCLが「ハイレベル」で送受データSDAが「ハイレベル」から「ローレベル」への遷移が行われると、電子装置806はI2Cインターフェースのデータ転送開始「START」を認識して(図8参照)、I2Cモードで読み出し動作や書き込み動作を開始する。

このように、クロックSCLと転送データSDAによって、電子装置806がI2Cモードで読み出し動作や書き込み動作を開始する誤動作を生じる。そしてさらに、電子装置804へのデータ送受が妨害される、という不具合が発生する。

【0015】

図12では、2つの電子装置を用いたデータ送受の例を示したが、このような誤動作は図11のように多数の電子装置を制御する場合にも同様である。

このような誤動作は、たとえば、電子装置806がデータ転送開始「START」を認識しないタイミング、つまりクロックSCLが「ハイレベル」で送受データSDAの「ハイレベル」から「ローレベル」への遷移が生じないようにマスタ装置802が信号を発行した場合であっても、起こりうる。この理由について、以下に図面を参照して説明する。

【0016】

図13は、図12の電子装置の内部回路の概要を示し、インターフェースコア回路906と、スタートストップ判定回路908とを備えている。

10

20

30

40

50

図13に示す電子装置904では、スタートストップ判定回路908は、データ線812上のデータSDAとクロック線814上のクロックSCLに基づき、データ転送開始「START」を認識し、スタート判定信号を生成する。このスタート判定信号と選択信号線810上の選択信号CSBとを用いて、図10のフローチャートのステップS3、S8の判定処理を行う。そして、これら判定処理に基づき、インターフェースコア回路906は、I2CモードまたはSPIモードで読み出し動作や書き込み動作を実行する(図10のステップS5、S9)。

【0017】

ここで、マスタ装置802から電子装置904に向けて転送されるクロック線814上のクロックSCLとデータ線812上のデータSDAとは、マスタ装置802の発生直後には、例えば図14(A)(B)に示すようなタイミングにある。

10

しかし、そのクロックSCLとデータSDAは、マスタ装置802からスタートストップ判定回路908に至るまでに遅延がある。この遅延の原因としては、内部回路に起因する遅延(図13では、この遅延を抵抗914、916で表現)、または配線に起因する遅延(図13では、この遅延を抵抗910、912で表現)がある。

【0018】

そして、データSDAの遅延がクロックSCLの遅延よりも大きな場合には(データSDAの遅延>クロックSCLの遅延)、クロックSCLとデータSDAは図14(C)(D)のようになる。このため、スタートストップ判定回路908は、データ転送開始「START」を認識し、スタート判定信号を生成し、この結果、電子装置904はI2Cモードで読み出し動作や書き込み動作を開始する誤動作を生じる。

20

【先行技術文献】

【特許文献】

【0019】

【特許文献1】特開2002-232508号公報

【発明の概要】

【発明が解決しようとする課題】

【0020】

そこで、本発明の目的は、マスタ装置が複数のスレーブ装置との間でデータとクロックについて共用の信号線を使用し、複数のプロトコルのうちの1つを選択して通信する場合に、スレーブ装置の誤動作を防止できるインターフェース回路などを提供することにある。

30

【課題を解決するための手段】

【0021】

上記の課題を解決し本発明の目的を達成するために、各発明は以下のような構成からなる。

第1の発明は、マスタ装置とスレーブ装置との間でクロック、データ、および前記スレーブ装置の選択信号を用いて第1のプロトコルに基づく通信を行う第1のモードと、前記マスタ装置と前記スレーブ装置との間でクロックおよびデータを用いて第2のプロトコルに基づく通信を行う第2のモードと、を切り換えるインターフェース回路であって、前記クロックがハイレベルであり、かつ前記データがハイレベルからローレベルに変化する状態を判定し、判定信号を生成する判定手段と、前記第1のプロトコルに使用される所定の信号の変化を検出し、前記第1のプロトコル動作であることを検出した時には動作検出信号を生成する動作検出手段と、前記動作検出信号が生成された時には、前記判定信号の生成にかかわらず、前記第2のモードでのデータの送受を制限する信号を生成する制限手段と、を備える。

40

【0022】

第2の発明は、第1の発明において、前記動作検出手段は、前記クロックを計数し、当該計数に基づいて前記第1のプロトコルに使用される所定の信号を生成するカウンタを備える。

50

第3の発明は、第1または第2の発明において、前記動作検出手段は、前記第1のプロトコルに使用される信号をトリガーとして前記動作検出信号を生成するフリップフロップを備える。

第4の発明は、インターフェース回路を備えた電子装置であって、前記インターフェース回路は、第1～第3の発明のうちの何れか1のインターフェース回路である。

【0023】

第5の発明は、マスタ装置とスレーブ装置との間でクロック、データ、および前記スレーブ装置の選択信号を用いて第1のプロトコルに基づく通信を行う第1のモードと、前記マスタ装置と前記スレーブ装置との間でクロックおよびデータを用いて第2のプロトコルに基づく通信を行う第2のモードと、を切り換える方法であって、前記選択信号のハイレベルからローレベルへの遷移の有無を検出する第1のステップと、前記第1のステップにおいて、前記選択信号のハイレベルからローレベルへの遷移があると検出された場合に、前記第2のモードによる動作を制限する制限フラグを設定し、前記スレーブ装置が前記第1のモードで動作を実行し、実行の終了後に前記第1のステップに戻る第2のステップと、前記第1のステップにおいて、前記選択信号のハイレベルからローレベルへの遷移がないと検出された場合に、前記データの転送開始の遷移の有無を判定する第3のステップと、前記第3のステップにおいて、前記データの転送開始の遷移があると判定された場合には、前記制限フラグの設定の有無を判定し、前記制限フラグの設定があると判定された場合には、前記第1のステップに戻り、前記制限フラグの設定がないと判定された場合には、前記スレーブ装置が前記第2のモードで動作を実行し、実行の終了後に前記第1のステップに戻る第4のステップと、を備える。

【発明の効果】

【0024】

このような構成の本発明によれば、マスタ装置が複数のスレーブ装置との間でデータとクロックについて共用の信号線を使用し、複数のプロトコルのうちの1つを選択して通信する場合に、スレーブ装置の誤動作を防止できる。

【図面の簡単な説明】

【0025】

【図1】本発明のインターフェース回路の実施形態を適用した電子装置の一例を示すブロック図である。

【図2】本発明のインターフェース回路の実施形態の動作例を説明するフローチャートである。

【図3】図1のSPI動作検出回路の構成を具体化した、電子装置の構成を示すブロック図である。

【図4】図3の実施形態の動作時における各部の波形例を説明するタイミングチャートである。

【図5】SPIプロトコルによるデータの送受が可能な電子装置のブロック図である。

【図6】SPIプロトコルに従ったデータの送受のタイミングチャートである。

【図7】I2Cプロトコルによるデータの送受が可能な電子装置のブロック図である。

【図8】I2Cプロトコルに従ったデータの送受のタイミングチャートである。

【図9】SPIとI2Cプロトコルの両者のデータの送受を自動的に切り換える電子装置のブロック図である。

【図10】SPIとI2Cプロトコルの両者に従ったデータの送受の動作を示すフローチャートである。

【図11】マスタ装置と複数の電子装置間における通信システムを示すブロック図である。

【図12】マスタ装置と2つの電子装置間における通信システムを示すブロック図である。

【図13】電子装置の内部回路と、電子装置の設計や通信システムの構築において生じる配線遅延などを説明するブロック図である。

10

20

30

40

50

【図14】図13による配線遅延による不具合を説明するためのタイミングチャートである。

【発明を実施するための形態】

【0026】

以下、本発明の実施形態について、図面を参照して説明する。

(インターフェース回路の実施形態)

図1は、本発明のインターフェース回路を適用した電子装置の一例を示すブロック図である。

このインターフェース回路に係る実施形態は、マスタ装置(図示せず)との間で双方向の通信を行う各種の電子装置1100に適用されるものである。

電子装置1100は、図示しないマスタ装置との間でSPIプロトコルに基づく通信を行うSPIモードと、マスタ装置との間でI2Cプロトコルに基づく通信を行うI2Cモードとを有する。そして、その2つのモードで通信を行うとともに、その2つのモードがインターフェース回路によって自動的に切り換わるようになっている。

【0027】

このため、電子装置1100は、図1に示すように、インターフェースコア回路1102と、スタートストップ判定回路1104と、SPI動作検出回路1106と、インバータ回路1109と、オア回路1108とを少なくとも備え、これらが本発明のインターフェース回路の実施形態を構成する。

インターフェースコア回路1102は、図示しないマスタ装置との間でSPIプロトコルとI2Cプロトコルに従うデータの送受とを自動的に切り換えて行うために、図2に示すような各種の処理や動作を行う。

【0028】

また、インターフェースコア回路1102は、選択信号線1110、データ線1112、およびクロック線1114によって図示しないマスタ装置と接続される。選択信号線1110には、マスタ装置から電子装置1100を選択するための選択信号が供給される。データ線1112は、データSDAの転送に使用される。クロック線1114には、マスタ装置からクロックCSBが供給される。

【0029】

スタートストップ判定回路1104は、データ線1112上のデータSDAとクロック線1114上のクロックSCLを監視し、これに基づいてデータ転送開始「START」の有無を判定し、スタート判定信号を生成して出力する。スタート判定信号は、データ転送開始「START」があることを判定したときには例えば「ハイレベル」になる。

SPI動作検出回路1106は、SPIプロトコルで使用される所定の信号の極性変化(レベル変化)を検出し、SPIプロトコル動作のときには動作検出信号I2CDISを出力する。動作検出信号I2CDISは、SPIプロトコル動作のときには例えば「ハイレベル」になる。

【0030】

スタートストップ判定回路1104から出力されるスタート判定信号はインバータ回路1109で論理値が反転され、その反転信号がオア回路1108に入力される。オア回路1108は、インバータ回路1109の出力信号とSPI動作検出回路1106から出力される動作検出信号I2CDISとの論理和演算を行い、その結果を出力する。

このように、この実施形態では、SPI動作検出回路1106がSPIプロトコルのアクセスを検出したときには、動作検出信号I2CDISが「ハイレベル」になり、スタートストップ判定回路1104から出力されるスタート判定信号の有無にかかわらず、オア回路1108から出力される制限信号は「ハイレベル」になる。このため、インターフェースコア回路1102は、SPIプロトコルで動作する場合には、I2Cプロトコルでの動作が制限される。

【0031】

(実施形態の動作例)

10

20

30

40

50

次に、このような構成の実施形態の動作例について、図2のフローチャートを参照して説明する。

ステップS21において、マスタ装置が選択信号線1110上とデータ線1112上とクロック線1114上に「ハイレベル」を供給することで、インターフェースコア回路1102は、デフォルト(標準動作)としてインターフェースをI2Cモードに設定する。ステップS22において、インターフェースコア回路1102は、動作検出信号I2CDISを「ローレベル」に設定する。これにより、動作開始時においてSPIプロトコルとI2Cプロトコルの両方のプロトコルが選択可能となる。

【0032】

ステップS23において、インターフェースコア回路1102は、入力信号についてインターフェースを監視する。ステップS24では、インターフェースコア回路1102は、選択信号線1110上の選択信号CSBの「ハイレベル」から「ローレベル」への遷移の有無を検出する。

ステップS24において、選択信号CSBの「ハイレベル」から「ローレベル」への遷移が検出されると、次のステップS25に進む。ステップS25では、インターフェースコア回路1102は、インターフェースをSPIモードで動作するように設定する。ステップS26では、インターフェースコア回路1102は、動作検出信号I2CDISを「ハイレベル」に設定する。この設定により、マスタ装置から電子装置1100へのデータ転送はSPIプロトコルのみが使用可能となる。

【0033】

ステップS27では、インターフェースコア回路1102は、SPIモードで読み出し動作や書き込み動作を実行する。インターフェースコア回路1102は、ステップS28において選択信号線1110上の選択信号CSBの立ち上がりエッジを検出すると、ステップS29でインターフェースをI2Cモードに設定して、ステップS23に戻る。

一方、ステップS24において、選択信号CSBの「ハイレベル」から「ローレベル」への遷移が検出されないときには、ステップS30に進む。ステップS30では、インターフェースコア回路1102は、データ線1110上のデータSDAについてデータ転送開始「START」に遷移があるか否かを判定する。この判定の結果、その遷移がない場合にはステップS23に戻り、その遷移がある場合にはステップS31に進む。

【0034】

ステップS31では、インターフェースコア回路1102は、動作検出信号I2CDISが「ローレベル」であるか否かを判定する。

この判定の結果、動作検出信号I2CDISが「ローレベル」でないと判定された場合、すなわち、動作検出信号I2CDISが「ハイレベル」であってSPIプロトコルによるデータ転送であると判定された場合には、ステップS23に戻る。

一方、ステップS31において、動作検出信号I2CDISが「ローレベル」であると判定された場合には、ステップS32に進む。ステップS32では、インターフェースコア回路1102は、I2Cモードで読み出し動作や書き込み動作を実行し、その実行の終了後にステップS23に戻る。

【0035】

図3は、図1のSPI動作検出回路1106の構成を具体化した、電子装置1100の構成を示すブロック図である。

SPI動作検出回路1106は、8ビットのアドレスと8ビットのデータとを16ビットで送受するSPIプロトコルの場合を想定したものであり、図3に示すように、カウンタ1116と、フリップフロップ1118とを備えている。

カウンタ1116は、インターフェースコア回路1102に供給されるクロックSCLEのエッジ数で状態遷移するための5ビットのカウンタ[4:0]、すなわち、そのエッジに同期して計数動作を行う5ビットのカウンタである。フリップフロップ1118は、5ビットのカウンタ1116のMSBビット(最上位ビット)の値をそのクロックとして用いる。

10

20

30

40

50

なお、図3の電子装置1100において、カウンタ1116およびフリップフロップ1118以外の部分の構成は、図1の電子装置の構成と実質的に同様である。

【0036】

次に、図3に示すインターフェース回路の実施形態の動作例について、図4を参照して説明する。

図4は、SPIプロトコルの入力信号のタイミングチャートである。

カウンタ1116は、SPIプロトコルに従って入力されるクロックSCLの立ち上がり同期して計数動作を行う(図4(B)(D)参照)。そして、カウンタ1116のMSBビットの値は、クロックSCLの16発目の立ち上がりエッジに同期して「ローレベル」から「ハイレベル」に変化する(図4(B)(E)参照)。カウンタ1116のMSBビットの値はフリップフロップ1118に入力されるので、フリップフロップ1118から出力される動作検出信号I2CDISは「ローレベル」から「ハイレベル」に変化する(図4(E)(F)参照)。

10

オア回路1108は、インバータ回路1109の出力信号とフリップフロップ1118から出力される動作検出信号I2CDISとの論理和演算を行い、その結果を出力する。このため、オア回路1108からは、インターフェースコア回路1102がI2Cプロトコルで動作することを制限するための制限信号が出力される。

【0037】

すなわち、カウンタ1116およびフリップフロップ1118が、SPIプロトコルのアクセスを検出すると、フリップフロップ1118から出力される動作検出信号I2CDISが「ハイレベル」になる。これにより、スタートストップ判定回路1104から出力されるスタート判定信号の有無にかかわらず、オア回路1108の出力信号は「ハイレベル」になる。このため、インターフェースコア回路1102は、SPIプロトコルで動作する場合には、I2Cプロトコルでの動作が制限される。

20

このように、この実施形態では、マスタ装置が電子装置1100との間でSPIプロトコルに従ったデータの送受を行ないたいときには、電子装置1100が自動的にI2Cモードでの読み出し動作や書き込み動作が常に無効となるようにしたので、SPIモードでの動作を確保することができる。

【0038】

(SPI動作検出回路の変形例)

30

図3では、SPI動作検出回路は、カウンタ1116とフリップフロップ1118で構成し、動作検出信号I2CDISを生成するようにしたが、このような構成に限定されるものではない。

また、フリップフロップ1118のトリガーは、カウンタ1118のMSBビットを使用したが、これはカウンタ1118のMSBビットに限定するものではなく、さらにカウンタ1118に限定するものではない。

フリップフロップ1118のトリガーとしては、例えばカウンタ1118のLSBビットの値、または選択信号線1110上の選択信号CSBの「ハイレベル」から「ローレベル」への遷移を検出した信号を使用することができる。

つまり、SPI動作検出回路は、SPIアクセスのみで極性の変化する所定の信号を検出し、これに基づいてフリップフロップ1118のトリガーなどとして使用することで、動作検出信号I2CDISを生成することができれば良い。

40

【産業上の利用可能性】

【0039】

本発明のインターフェース回路は、例えばADコンバータ、DAコンバータや通信用ICと接続する場合に適用することができる。

【符号の説明】

【0040】

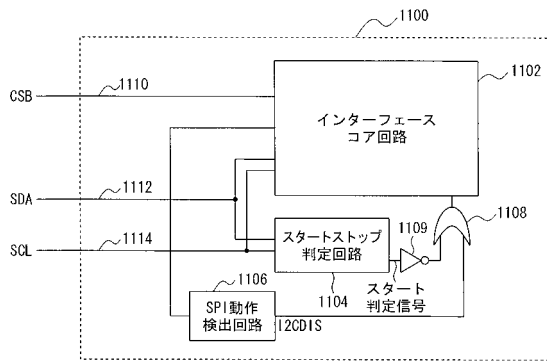
1100・・・電子装置

1102・・・インターフェースコア回路

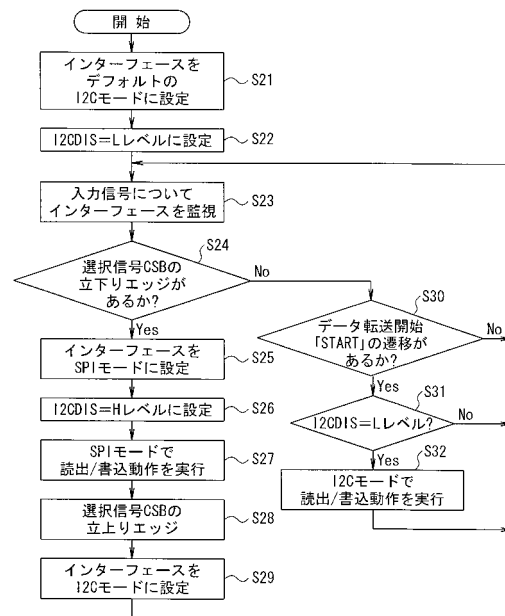
50

- 1 1 0 4 . . . スタートストップ判定回路
- 1 1 0 6 . . . S P I 動作検出回路
- 1 1 0 8 . . . オア回路
- 1 1 0 9 . . . インバータ回路
- 1 1 1 0 . . . 選択信号線
- 1 1 1 2 . . . データ線
- 1 1 1 4 . . . クロック線
- 1 1 1 6 . . . カウンタ
- 1 1 1 8 . . . フリップフロップ

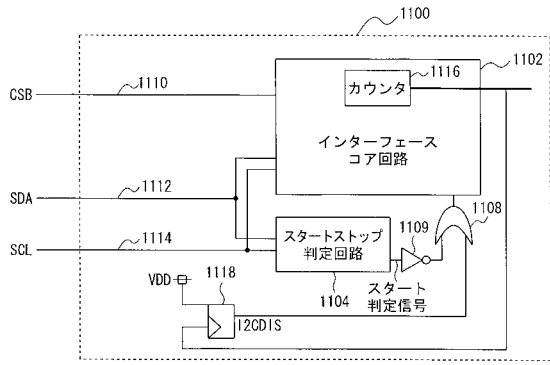
【 図 1 】



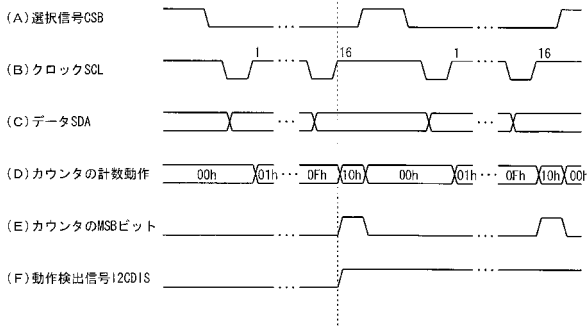
【 図 2 】



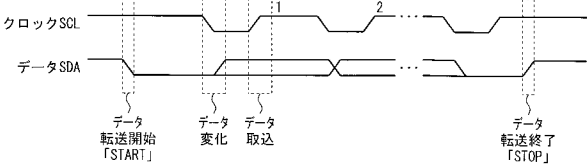
【図3】



【図4】



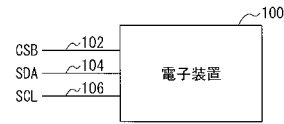
【図8】



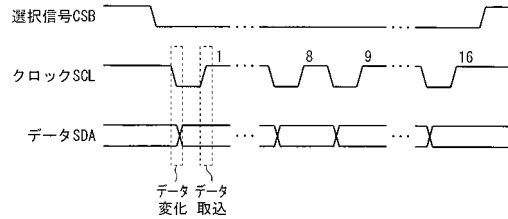
【図9】



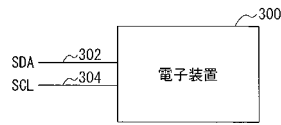
【図5】



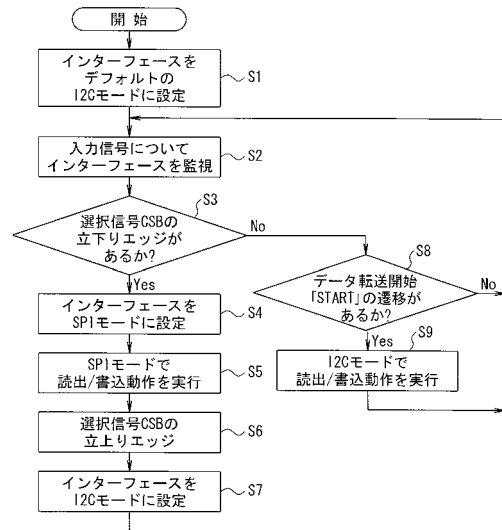
【図6】



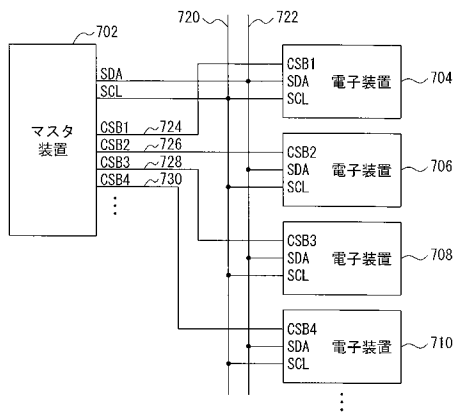
【図7】



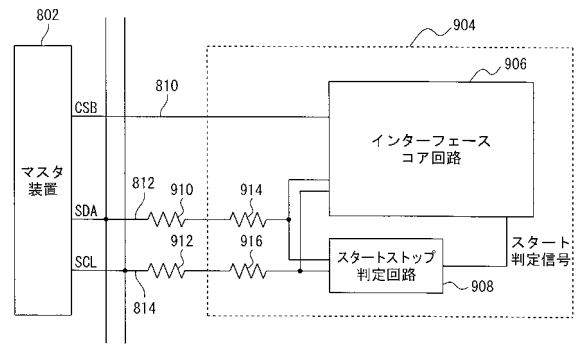
【図10】



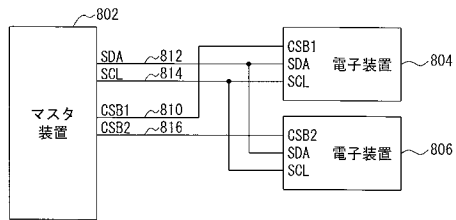
【図11】



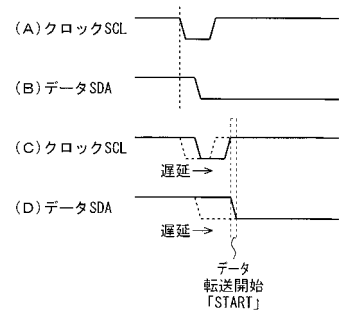
【図13】



【図12】



【図14】



フロントページの続き

(56)参考文献 特開昭63-250759(JP,A)
特開2002-232508(JP,A)
特開2008-029823(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 13/00 - 13/38
H04L 29/06