



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202249279 A

(43)公開日：中華民國 111 (2022) 年 12 月 16 日

(21)申請案號：111108119

(22)申請日：中華民國 111 (2022) 年 03 月 07 日

(51)Int. Cl. :

*H01L29/10 (2006.01)**H01L29/16 (2006.01)**H01L29/66 (2006.01)**H01L29/739 (2006.01)**H01L29/78 (2006.01)**H01L23/482 (2006.01)**H01L21/768 (2006.01)*

(30)優先權：2021/03/08

美國

17/194,846

(71)申請人：美商半導體元件工業有限責任公司(美國) SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC (US)

美國

(72)發明人：奈爾 湯瑪士 NEYER, THOMAS (DE)；德 弗萊舒維爾 赫伯特 DE VLEESCHOUWER, HERBERT (BE)；阿勒斯坦 弗雷德里克 ALLERSTAM, FREDRIK (SE)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：12 項 圖式數：10 共 46 頁

(54)名稱

具有閘極連接格柵之垂直電晶體

(57)摘要

在一大致態樣中，一種半導體裝置可包括複數個垂直電晶體區段，其等經設置在一半導體區域之一主動區域中。該複數個垂直電晶體區段可包括各別的閘極電極。一第一介電質可設置在該主動區域上。一導電格柵可設置在該第一介電質上。該導電格柵可使用透過該第一介電質形成之複數個導電接觸件與該等各別的閘極電極電耦接。一第二介電質可設置在該導電格柵及該第一介電質上。一導電金屬層可設置在該第二介電層上。該導電金屬層可包括一部分，該部分使用透過該第二介電質形成之至該導電格柵的至少一導電接觸件透過該導電格柵與該等各別的閘極電極電耦接。

In a general aspect, a semiconductor device can include a plurality of vertical transistor segments disposed in an active region of a semiconductor region. The plurality of vertical transistor segments can include respective gate electrodes. A first dielectric can be disposed on the active region. An electrically conductive grid can be disposed on the first dielectric. The electrically conductive grid can be electrically coupled with the respective gate electrodes using a plurality of conductive contacts formed through the first dielectric. A second dielectric can be disposed on the electrically conductive grid and the first dielectric. A conductive metal layer can be disposed on the second dielectric layer. The conductive metal layer can include a portion that is electrically coupled with the respective gate electrodes through the electrically conductive grid using at least one conductive contact to the electrically conductive grid formed through the second dielectric.

指定代表圖：

符號簡單說明：

100:半導體裝置

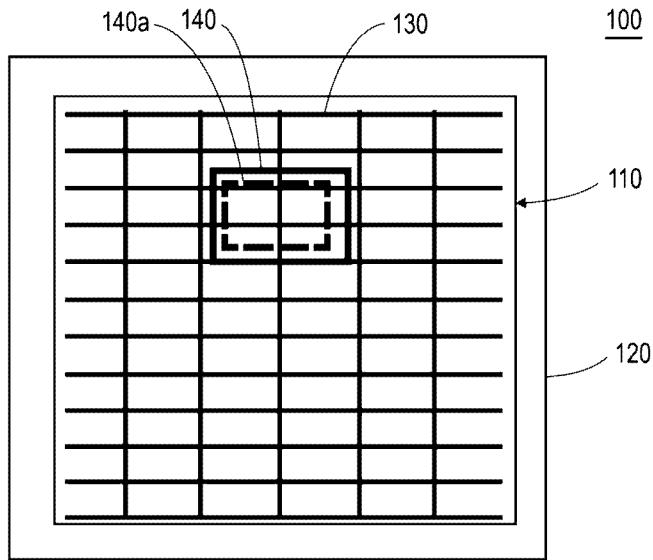
110:主動區

120:隔離或終止區域

130:閘極連接格柵

140:閘極墊區

140a:閘極墊連接區



【圖1A】

## 【發明摘要】

### 【中文發明名稱】

具有閘極連接格柵之垂直電晶體

### 【英文發明名稱】

VERTICAL TRANSISTORS WITH GATE CONNECTION GRID

### 【中文】

在一大致態樣中，一種半導體裝置可包括複數個垂直電晶體區段，其等經設置在一半導體區域之一主動區域中。該複數個垂直電晶體區段可包括各別的閘極電極。一第一介電質可設置在該主動區域上。一導電格柵可設置在該第一介電質上。該導電格柵可使用透過該第一介電質形成之複數個導電接觸件與該等各別的閘極電極電耦接。一第二介電質可設置在該導電格柵及該第一介電質上。一導電金屬層可設置在該第二介電層上。該導電金屬層可包括一部分，該部分使用透過該第二介電質形成之至該導電格柵的至少一導電接觸件透過該導電格柵與該等各別的閘極電極電耦接。

### 【英文】

In a general aspect, a semiconductor device can include a plurality of vertical transistor segments disposed in an active region of a semiconductor region. The plurality of vertical transistor segments can include respective gate electrodes. A first dielectric can be disposed on the active region. An electrically conductive grid can be disposed on the first dielectric. The electrically conductive grid can be electrically coupled with the respective gate electrodes using a plurality of conductive contacts formed through the first dielectric. A second

dielectric can be disposed on the electrically conductive grid and the first dielectric. A conductive metal layer can be disposed on the second dielectric layer. The conductive metal layer can include a portion that is electrically coupled with the respective gate electrodes through the electrically conductive grid using at least one conductive contact to the electrically conductive grid formed through the second dielectric.

【指定代表圖】

圖1A

【代表圖之符號簡單說明】

100:半導體裝置

110:主動區

120:隔離或終止區域

130:閘極連接格柵

140:閘極墊區

140a:閘極墊連接區

## 【發明說明書】

### 【中文發明名稱】

具有閘極連接格柵之垂直電晶體

### 【英文發明名稱】

VERTICAL TRANSISTORS WITH GATE CONNECTION GRID

### 【技術領域】

### 【先前技術】

【0001】 垂直電晶體（諸如，以半導體晶粒實施之垂直功率電晶體）係用在廣泛多樣的應用中。這些應用包括工業應用、消費性電子產品應用等。在一些實施方案中，包括功率電晶體的半導體裝置中可包括金屬軌道或澆道，其中此類金屬軌道或澆道可用以路由用於電晶體的控制信號（例如，閘極信號）。

【0002】 然而，存在與使用此類金屬軌道相關聯的某些缺點。例如，用以路由金屬軌道之半導體晶粒的面積可不用以實施裝置之主動部分，相對於可用的半導體晶粒面積，其在一些實施方案中可使相關聯電晶體的主動區減少至多15%。在一些技術（諸如碳化矽(SiC)、氮化鎵(GaN)等）中，此類主動區的減少可至少由於用於生產此類電晶體之半導體晶圓的成本而顯著增加產品成本。再者，用於閘極連接之此類金屬軌道的佈線可需要中斷用於其他電晶體連接的金屬路由（諸如，用於垂直場效電晶體(field-effect transistor, FET)的源極金屬路由及/或用於絕緣閘型雙極電晶體(insulated gate bipolar transistor, IGBT)的射極金屬路由）。當封裝相關聯半導體晶粒時，金屬路由中的此類中斷可增加相關聯的電阻及/或可使形成電氣連接（諸如，線接合或導電夾）變得複雜。

**【發明內容】**

**【0003】** 在一大致態樣中，半導體裝置可包括一垂直電晶體，其具有一第一電晶體區段及一第二電晶體區段。該第一電晶體區段可包括一第一本體區域、一第一源極區域、及一第一閘極電極。該第二電晶體區段可包括一第二本體區域、一第二源極區域、及一第二閘極電極。該半導體裝置可進一步包括一第一介電層及一導電格柵，該第一介電層經設置在該垂直電晶體上，該導電格柵經設置在該第一介電層上。該導電格柵可使用透過該第一介電層形成之至少一第一導電接觸件與該第一閘極電極及該第二閘極電極電耦接。該半導體裝置亦可包括一第二介電層及一導電金屬層，該第二介電層經設置在該導電格柵及該第一介電層上，該導電金屬層經設置在該第二介電層上。該導電金屬層可包括一第一部分及一第二部分。該第一部分可使用透過該第一介電層及該第二介電層形成之至少一第二導電接觸件與該第一本體區域、該第一源極區域、該第二本體區域、及該第二源極區域電耦接。該第二部分可使用透過該第二介電層形成之至少一第三導電接觸件與該導電格柵電耦接。

**【0004】** 在另一大致態樣中，一種半導體裝置可包括一半導體區域、一主動區域、及一隔離區域，該主動區域經設置在該半導體區域中，該隔離區域經設置在該半導體區域中。該隔離區域可至少部分地環繞該主動區域。該半導體裝置亦可包括複數個垂直電晶體區段，其等經設置在該主動區域中。該複數個垂直電晶體區段可包括各別的閘極電極。該半導體裝置亦可包括一第一介電層及一導電格柵，該第一介電層經設置在該主動區域上，該導電格柵經設置在該第一介電層上。該導電格柵可使用透過該第一介電層形成之複數個導電接觸件與該等各別的閘極電極電耦接。該半

導體裝置可進一步包括一第二介電層及一導電金屬層，該第二介電層經設置在該導電格柵及該第一介電層上，該導電金屬層經設置在該第二介電層上。該導電金屬層可包括一部分，該部分使用透過該第二介電層形成之至少該導電格柵的至少一導電接觸件透過該導電格柵與該等各別的閘極電極電耦接。

**【0005】** 在另一大致態樣中，一種用於生產一半導體裝置之方法可包括在一半導體區域中形成一垂直電晶體。該垂直電晶體可包括一第一電晶體區段及一第二電晶體區段。該第一電晶體區段可具有一第一本體區域、一第一源極區域、及一第一閘極電極。該第二電晶體區段可具有一第二本體區域、一第二源極區域、及一第二閘極電極。該方法可進一步包括在該垂直電晶體上形成一第一介電層及在該第一介電層上形成一導電格柵。該導電格柵可使用透過該第一介電層形成之至少一第一導電接觸件與該第一閘極電極及該第二閘極電極電耦接。該方法亦可包括在該導電格柵及該第一介電層上形成一第二介電層及在該第二介電層上形成一導電金屬層。該導電金屬層可包括一第一部分，該第一部分可使用透過該第一介電層及該第二介電層形成之至少一第二導電接觸件與該第一本體區域、該第一源極區域、該第二本體區域、及該第二源極區域電耦接。該導電金屬層亦可包括一第二部分，該第二部分可使用透過該第二介電層形成之至少一第三導電接觸件與該導電格柵電耦接。

### **【圖式簡單說明】**

#### **【0006】**

〔圖1A〕及〔圖1B〕係示意地繪示包括閘極連接格柵之半導體裝置的圖。

〔圖2〕係示意地繪示具有與閘極連接格柵耦接之平面閘極電極的垂直電晶體區段之截面圖的圖。

〔圖3〕係示意地繪示具有與閘極連接格柵耦接之溝槽閘極電極的垂直電晶體區段之截面圖的圖。

〔圖4〕係繪示實施包括閘極連接格柵之垂直電晶體的半導體裝置之一部分的圖。

〔圖5〕係示意地繪示垂直電晶體的閘極電極及相關聯的主體區域/本體區域以及源極區域/射極區域的圖。

〔圖6〕至〔圖8〕係示意地繪示垂直電晶體平面閘極電極及相關聯的主體區域/本體區域以及源極區域/射極區域之各種配置的圖。

〔圖9A〕至〔圖9G〕係示意地繪示用於具有平坦閘極電極之垂直電晶體之製造程序的截面圖。

〔圖10〕係示意地繪示具有溝槽閘極電極之垂直裝置的截面圖，其可使用類似於圖9A至圖9G之程序的程序生產。

**【0007】** 在該等圖式中，其未必按比例繪製，類似的元件符號能指示在不同視圖中類似及/或相似的組件（元件、結構等）。該等圖式大致上係以舉實例但非限制的方式來繪示本揭露中所討論之各種實施方案。在一個圖式中顯示的元件符號在相關視圖中可能不針對相同、及/或相似元件重複說明。在多個圖式中重複的元件符號可能不根據彼等圖式之各者來具體討論，但係針對相關視圖之間的前後關係而提供。再者，當在一給定圖中繪示一元件的多個情況時，在該等圖式中並非所有類似元件皆係以一元件符號來具體參照。

#### **【實施方式】**

[相關申請案之交互參照]

【0008】本申請案係2021年3月8日提出申請之發明名稱為「VERTICAL TRANSISTORS WITH GATE CONNECTION GRID」之美國非臨時專利申請案第17/194,846號的延續案並主張對該案之優先權，其揭露之全文係以引用方式併入本文中。

【0009】本揭露係關於垂直電晶體實施方案。為了說明及討論之目的，本文所繪示之實例大致上係就實施為具有平面閘極電極的n通道垂直電晶體描述。然而，在一些實施方案（諸如圖3及圖10之實施方案）中，本文所述之方法可以包括溝槽閘極電極之垂直電晶體實施。再者，在一些實施方案中，本文所討論的半導體導電性類型可相反（例如，可使n型及p型導電性相反以產生p通道垂直電晶體）。

【0010】本文所述之實施方案可解決目前上述實施方案的至少一些缺點。例如，本文所述之實施方案包括閘極連接格柵，以提供至閘極電極（例如，相關聯電晶體（諸如垂直功率電晶體）之經摻雜多晶矽閘極電極）的低電阻電氣連接。使用此一閘極連接格柵允許從以半導體晶粒實施之功率電晶體排除或消除用於攜載閘極控制信號之金屬軌道或澆道。據此，與可用的半導體晶粒面積相比，相關聯電晶體的主動區可增加至可用半導體晶粒面積的百分之一或將近百分之百。在一些實施方案中，可用的半導體晶粒面積可係對應的半導體晶粒之隔離或終止區域內的半導體面積。可圍繞對應的半導體晶粒之周界的至少一部分設置之此一隔離或終止區域可幫助調節相關聯功率電晶體的崩潰電壓。例如，此一隔離區域可例如藉由在電晶體操作期間終止高電場而防止低於電晶體額定電壓時發生崩潰。

【0011】再者，在本文所述之實例實施方案中，由於金屬軌道或澆道並未用以攜載功率電晶體的電信號（例如，閘極控制信號），用於至電晶體之其他連接（諸如，源極及/或射極連接）的信號金屬可係連續的。也就是說，由於未使用此類金屬澆道，用以容納此類金屬軌道之路由的信號金屬破裂在本文所述之實施方案中得以避免。此允許增加源極及/或射極信號金屬的相關聯面積，其繼而可增加電流攜載能力並改善相關聯電晶體的性能（例如，針對與目前實施方案相同的晶粒大小），且亦可在針對使用而封裝裝置時簡化製作至信號金屬的電氣連接（諸如電夾或線接合連接）。

【0012】本文所述之方法亦可提供其他優點。例如，在一些實施方案中，相關聯半導體內部之閘極連接的電阻可輕易地以毫歐姆範圍內的準確度進行調整或調諧。由於在閘極連接格柵（例如，鎢或其他金屬格柵）與電晶體區段的閘極電極（例如，經摻雜多晶矽閘極電極）之間製作數個電氣接觸件而可達成此類調整。再者，使用閘極連接格柵及消除閘極金屬軌道或澆道可允許在相關聯半導體程序中排除場氧化物的形成，因為此類場氧化物在目前方法中可用於金屬閘極軌道的電氣隔離。出於本揭露之目的，閘極連接格柵亦可稱為導電(electrically conductive)格柵或傳導(conductive)格柵。

【0013】圖1A及圖1B係示意地繪示包括閘極連接格柵130之半導體裝置100的圖。在此實例中，半導體裝置100包括主動區110及隔離或終止區域120。在此實例中，終止區域120環繞主動區110。也就是說，終止區域120界定主動區110之外部周界。在一些實施方案中，終止區域120可包括植入物及/或溝槽結構，以終止與以半導體裝置100之主動區110實施之

電晶體操作相關聯的電場。

**【0014】** 如圖1A所示，半導體裝置100包括閘極連接格柵130及經設置在主動區110中的閘極墊區140。在此實例中，閘極連接格柵130包括導電材料之規律配置的列及行，其等可以鎢或其他金屬材料實施。也就是說，在本文所述之實施方案中，閘極連接格柵（導電格柵）可包括導電材料之列及行的矩陣。在一些實施方案中，閘極連接格柵可具有其他配置。例如，列及行可不規則地隔開、可分段等。閘極連接格柵之特定配置（諸如閘極連接格柵130）將取決於特定實施方案。如圖1A所繪示，閘極連接格柵130可在主動區110的全部或將近全部的上方延伸，針對相關聯的半導體程序與主動區110具有適當間距。閘極連接格柵130之配置允許從閘極連接格柵130至主動區110中所包括之相關聯電晶體的電晶體區段之閘極電極的低電阻連接，該等電晶體區段經設置在閘極連接格柵130下方。例如，如上文所述，閘極連接格柵130可使用鎢來實施，其電阻比經摻雜多晶矽小大約一百倍。

**【0015】** 半導體裝置100亦包括閘極墊區140及閘極墊連接區140a。如圖1A所示，閘極墊連接區140a可具有小於閘極墊區140的面積。在此實例中，可係半導體裝置100之信號分布層的部分之閘極墊金屬150可設置在閘極墊區140中（諸如圖1B所示者）。閘極墊金屬150在閘極墊連接區140a中可例如使用另一金屬層、導電通孔、及/或導電接觸件（諸如在本文所述之方法中）與閘極連接格柵130電耦接。據此，在此實例中，閘極墊金屬150可透過閘極連接格柵130、以及透過閘極連接格柵130與閘極電極之間的電氣連接及閘極墊金屬150與閘極連接格柵130之間的電氣連接與半導體裝置100之相關聯電晶體的閘極電極電耦接。再者，在此實例

中，如圖1B所示，可係包括閘極墊金屬150之分布層的部分之源極墊金屬160可設置在未以閘極墊金屬150覆蓋之主動區110的部分上或在該等部分上方，其中源極墊金屬160與閘極墊金屬150及終止區域120經適當地隔開。

**【0016】** 在此類方法中，由於已消除金屬閘極軌道，與終止區域120具有適當間距之半導體裝置100的整個主動區110可包括主動電晶體區段。據此，先前用以實施金屬閘極軌道的區可消除或用於主動電晶體區。因此，具有較小面積之半導體晶粒可用以生產半導體裝置，該半導體裝置具有等效於包括金屬閘極軌道之半導體裝置的電晶體主動區之電晶體主動區。也就是說，可消除用於實施閘極金屬軌道的面積，且對應的晶粒大小可減少用以實施此類閘極金屬軌道的面積量（例如，相關聯主動區的至多15%）。換言之，在一些實施方案中，閘極連接格柵（諸如，本文所述之實例實施方案）可不減少對應的半導體裝置（諸如，本文所述之垂直電晶體）之主動區域內的主動區。

**【0017】** 圖2係示意地繪示具有與閘極連接格柵230耦接之平面閘極的垂直電晶體區段200之截面圖的圖。垂直電晶體區段200可在第三維度中延伸進出頁面。在一些實施方案中，圖2所示之複數個垂直電晶體區段200可包括在半導體晶粒中，且閘極連接格柵230可用以將各別的閘極電極耦接在一起以實施包括複數個垂直電晶體區段的垂直電晶體。取決於垂直電晶體區段200之元件的特定配置及/或垂直電晶體區段200之元件的摻雜輪廓，垂直電晶體區段200可實施垂直場效電晶體(FET)或絕緣閘型雙極電晶體(IGBT)。舉實例而言，垂直電晶體區段200大致係描述為垂直FET。

【0018】 在圖2之實例實施方案中，垂直電晶體區段200包括基材201，其可係經重摻雜的n型基材（諸如SiC基材）或另一半導體基材。垂直電晶體區段200亦包括磊晶層202，其可係具有摻雜濃度小於基材201之摻雜濃度的n型磊晶層。在此實例實施方案中，基材201可包括或實施垂直電晶體區段200的汲極端子（或IGBT實施方案中的集極端子）。磊晶層202可實施垂直電晶體區段200之漂移區域。圖2中的線270指示當處於操作期間的導通狀態時，用於垂直電晶體區段200的多數載子流方向。在此實例中，多數載子流將係電子，然而若垂直電晶體區段200的導電性類型相反，使n型及p型導電性交換則將係電洞。

【0019】 亦如圖2所示，垂直電晶體區段200可包括本體區域203，其可係亦可稱為主體區域之p型井區域。源極區域204（用於IGBT實施方案之射極區域）可分別設置在本體區域203中。在此實例中，源極區域204可係經重摻雜的n型植入物。垂直電晶體區段200可進一步包括分別設置在本體區域203中之重度本體區域205（或次接觸區域）。重度本體區域205可係經重摻雜的p型植入物，其促進從源極信號金屬層（或用於IGBT實施方案之射極信號金屬層）至本體區域203的歐姆接觸件之形成，其中源極信號金屬亦可形成至源極區域204的歐姆接觸件。

【0020】 垂直電晶體區段200亦包括閘極結構206。閘極結構206包括閘極介電質206a及閘極電極206b。如圖2所示，閘極結構206在源極區域204之間延伸，部分在源極區域204之各者上方延伸。在操作中，施加適當偏壓至閘極結構206之閘極電極206b形成導電通道，其從源極區域204通過本體區域203至磊晶層202（例如，至垂直電晶體區段200之漂移區域）。如上文所述，閘極結構206（具體係閘極電極206b）可與在本文

中描述其實例之閘極連接格柵230電耦接，且閘極連接格柵230可耦接至額外垂直電晶體區段（例如，垂直電晶體區段200的複製例）的閘極結構。

【0021】 在一些實施方案中，可在半導體裝置100的主動區110各處複製垂直電晶體區段200的例子，使得複製的垂直電晶體區段佔據主動區110的全部或將近全部。在此實例中，最接近終止區域120之複製電晶體區段可與終止區域120適當地隔開。此類垂直電晶體區段之間的電氣互連可使用本文所述之方法實施。例如，此類電晶體區段的閘極結構（閘極結構206）可透過閘極連接格柵230互連，而本體區域203、源極區域204、及重度本體區域205可透過導電金屬層互連。

【0022】 圖3係示意地繪示具有與閘極連接格柵330耦接之溝槽閘極的垂直電晶體區段300之截面圖的圖。如垂直電晶體區段200的情況，垂直電晶體區段300可在第三維度中延伸進出頁面。在一些實施方案中，圖3所示之複數個垂直電晶體區段300可包括在半導體晶粒中，且閘極連接格柵330可用以將各別的閘極電極電耦接在一起以實施包括複數個垂直電晶體區段的垂直電晶體。取決於垂直電晶體區段300之元件的特定配置及/或垂直電晶體區段300之元件的摻雜輪廓，垂直電晶體區段300可實施垂直場效電晶體(FET)或絕緣閘型雙極電晶體(IGBT)。舉實例而言，垂直電晶體區段300大致係描述為垂直FET。

【0023】 在圖3之實例實施方案中，垂直電晶體區段300包括基材301，其可係經重摻雜的n型基材（諸如SiC基材）或另一半導體基材。垂直電晶體區段300亦包括磊晶層302，其可係具有摻雜濃度小於基材301之摻雜濃度的n型磊晶層。在此實例實施方案中，基材301可包括或實施垂

直電晶體區段300的汲極端子（或IGBT實施方案中的集極端子）。磊晶層302可實施垂直電晶體區段300之漂移區域。圖3中的線370指示當處於操作期間的導通狀態時，用於垂直電晶體區段300的多數載子流方向。在此實例中，多數載子流將係電子，然而若垂直電晶體區段300的導電性類型相反，使n型及p型導電性交換則將係電洞。

【0024】亦如圖3所示，垂直電晶體區段300可進一步包括本體區域303，其可係形成在磊晶層302中的p型井區域。本體區域303亦可稱為主體區域。源極區域304（用於IGBT實施方案之射極區域）可分別設置在本體區域303中，並相鄰於溝槽閘極結構306。在此實例中，源極區域304可係經重摻雜的n型植入物。垂直電晶體區段300可進一步包括設置在本體區域303中且分別相鄰於源極區域304之重度本體區域305（或次接觸區域）。重度本體區域305可係經重摻雜的p型植入物，其促進從源極信號金屬層（或用於IGBT實施方案之射極信號金屬層）至本體區域303的歐姆接觸件之形成，其中源極信號金屬亦可形成至源極區域304的歐姆接觸件。

【0025】如上文所述，垂直電晶體區段300亦包括溝槽閘極結構306。溝槽閘極結構306包括閘極介電質306a及閘極電極306b，其中閘極介電質306a為溝槽306c加襯，且306b經設置在閘極介電質306a內。如圖3所示，閘極結構306（例如，溝槽306c）延伸通過本體區域303至磊晶層302之n型部分中。在一些實施方案中，溝槽可延伸至基材301中。在操作中，施加適當偏壓至閘極結構306之閘極電極306b形成導電通道，其從源極區域304通過本體區域303至磊晶層302的n型部分（例如，至垂直電晶體區段300之漂移區域）。如上文所述，閘極結構306（具體係閘極電極

306b) 可與在本文中描述其實例之閘極連接格柵330電耦接，且閘極連接格柵330可耦接至額外垂直電晶體區段（例如，垂直電晶體區段300的複製例）的閘極結構。

**【0026】** 在一些實施方案中，可在半導體裝置100的主動區110各處複製垂直電晶體區段300的例子，使得複製的垂直電晶體區段佔據主動區110的全部或將近全部。在此實例中，最接近終止區域120之複製電晶體區段可與終止區域120適當地隔開。此類垂直電晶體區段之間的電氣互連可使用本文所述之方法實施。例如，此類電晶體區段的閘極結構（閘極結構306）可透過閘極連接格柵330互連，而本體區域（本體區域303）、源極區域304、及重度本體區域305可透過導電金屬層互連。

**【0027】** 圖4係繪示實施包括閘極連接格柵430之垂直電晶體的半導體裝置400之一部分的等角圖。圖4所繪示之半導體裝置400的部分係經由實例給定，以繪示閘極連接格柵430的實例配置及閘極連接格柵430至對應的垂直電晶體區段之閘極結構406的連接。在圖4之實例中，並未具體地顯示下伏半導體區域（諸如，基材及/或磊晶層）。額外地，半導體裝置400之其他元件並未顯示於圖4中，以不遮掩所繪示的結構。此類元件可包括介電層、金屬層、通孔等，其等可用以實施半導體裝置400之垂直電晶體區段之間的互連，並可設置在如圖4所示之半導體裝置400之部分的上表面上。亦在圖4中，出於說明的目的，本體區域、重度本體區域、及源極（或射極）區域係顯示為各別的單一區域，其等在本文中稱為源極/本體區域405。源極/本體區域405中之各別源極（或射極）區域的配置可類似於圖2所示之配置，針對源極區域204在本體區域203中。

**【0028】** 如圖4所示，半導體裝置400包括閘極結構406，其可類似

於圖2所示之閘極結構206，並設置在源極/本體區域405經設置在其中的半導體區域上。在半導體裝置400中，介電層415可設置在閘極結構406上。除了閘極結構406與閘極連接格柵430之間形成接觸件430a處以外，介電層415可電氣隔離閘極結構406與閘極連接格柵430。在一些實施方案中，閘極結構406可透過閘極連接格柵430及接觸件430a及/或透過用以形成閘極結構406之閘極電極的摻雜多晶矽之任一者彼此全部電耦接。在此類實施方案中，閘極結構406可作用如用於電晶體之單一電晶體閘極，該電晶體包括對應的電晶體區段。

**【0029】** 在此實例中，閘極連接格柵430可設置在介電層415上（例如，在介電層415之上表面上）或在形成於介電層415中的凹部中。此一凹入圖案可使用微影蝕刻技術來形成。亦如圖4所示，接觸件430a可透過介電層415形成，以將閘極連接格柵430與閘極結構406之一或多者電耦接。如上文所討論，在一些實施方案中，閘極連接格柵430及接觸件430a可使用鎢及/或其他導電之低電阻金屬材料形成。如半導體裝置400之電晶體區段之其他元件的情況，接觸件430a可延伸進出頁面。進一步地，閘極連接格柵430與閘極結構406之間的接觸件430a可形成在閘極連接格柵430之不同位置處（諸如，位處進入或出於圖4的頁面的位置）。據此，此類接觸件在圖4中並不可見。

**【0030】** 如進一步於圖4所示，至源極/本體區域405的電氣接觸件465可透過介電層415製作，其中接觸件465延伸透過閘極連接格柵430的開口並與閘極連接格柵430隔開。在半導體裝置400中，電氣接觸件465可從半導體裝置400之繪示部分向上延伸（諸如，通過第二介電層）。例如，如針對圖9E至圖9G中之電氣接觸件965所示，電氣接觸件465可電耦

接源極/本體信號金屬層與本體區域405。

【0031】圖5係示意地繪示垂直電晶體的閘極電極506及相關聯的主體/本體區域以及源極/射極區域（其等稱為源極/本體區域505）的截面圖。如圖4，下伏半導體區域（例如，基材及/或磊晶層）並未顯示於圖式中。再者，如源極/本體區域405的情況，圖5中的源極/本體區域505可類似地與閘極電極506配置，如本體區域203、源極區域204、及重度本體區域205與垂直電晶體區段200的閘極結構206配置般。圖5之截面圖亦示意性地繪示剖面圖，其係圖6至圖8沿著圖式各者（其等各在下文敘述）中所示之剖面線5-5之實例實施方案的閘極電極及源極/本體區域。

【0032】具體地，圖6至圖8係示意地繪示垂直電晶體平面閘極電極及可包括在垂直電晶體中之相關聯的主體/本體區域以及源極/射極區域之各種配置的圖。在圖6至圖8的各者中，如圖4及圖5的情況，源極/本體區域係顯示為可類似地與其等之對應閘極電極配置，如200之本體區域203、源極區域204、及重度本體區域205相對於閘極電極206配置般。

【0033】例如，圖6繪示閘極電極606（華夫餅(waffle)形狀的閘極電極）的一部分，其包括源極/本體區域605透過其暴露的開口。圖6之閘極電極606可稱為完全連接閘極電極，因為閘極電極606可由連續的摻雜多晶矽特徵形成。至源極/本體區域605的電氣接觸件可透過閘極電極606中的開口製作。圖6中之剖面線5-5指示源極/本體區域605及閘極電極606的一部分，其與圖5的截面圖相對應。亦顯示於圖6係閘極連接格柵630及從閘極連接格柵630至閘極電極606之接觸件630a的一部分。據此，在此實例實施方案中，閘極電極606的區段可透過閘極電極606的摻雜多晶矽及透過閘極連接格柵630與各兩者電耦接。

【0034】圖7繪示垂直電晶體之一部分的閘極電極706。如圖7所示，閘極電極706大致經配置為條帶，其中一些相鄰條帶經互連。也就是說，圖7中之閘極電極706的一些相鄰條帶可使用連續的摻雜多晶矽特徵形成，而閘極電極706之其他相鄰條帶可形成為分開的摻雜多晶矽特徵。如圖7所示，源極/本體區域705係透過相鄰條帶之間間隔暴露，且至源極/本體區域605的電氣接觸件可沿著閘極電極706之間間隔製作。如圖6中之剖面線5-5的情況，圖7中之剖面線5-5指示源極/本體區域705及閘極電極706的一部分，其與圖5的截面圖相對應。雖然未具體地顯示於圖7，閘極電極706可諸如使用本文所述之方法與閘極連接格柵耦接。

【0035】圖8繪示閘極電極806的一部分，其包括完全連接六邊形多晶矽特徵（例如，互連六邊形），具有源極/本體區域805透過其暴露的六邊形開口。至源極/本體區域805的電氣接觸件可透過閘極電極806中的開口製作。圖8中之剖面線5-5指示源極/本體區域805及閘極電極806的一部分，其與圖5的截面圖相對應。

【0036】圖9A至圖9G係示意地繪示用於生產具有平坦閘極電極之垂直電晶體的製造程序之操作的截面圖。在圖9A至圖9G中，如圖4及圖5，下伏半導體區域並未具體地顯示。再者，由圖9A至圖9G繪示之處理操作序列可稱為後端(back-of-line, BOL)處理操作。也就是說，圖9A至圖9G的處理操作繪示經設置在半導體區域中之垂直電晶體區段的互連，其中用於生產電晶體區段的處理操作可稱為前端(front-of-line, FOL)處理。具體地，參照圖9A，源極/本體區域905（諸如，上文關於圖4至圖8所討論者）及對應的閘極電極906已存在（例如，作為FOL處理操作的結果）。在一些實施方案中，圖9A至圖9G的電晶體可使用包括在主動區

(諸如，半導體裝置100的主動區110)中的電晶體區段(諸如，垂直電晶體區段200)實施。如上文就例如圖2所討論者，閘極電極906可具有下伏閘極介電層，其並未具體地顯示於圖9A至圖9G中。

**【0037】** 參照圖9A，BOL處理可包括例如始於在FOL處理期間所生產的垂直電晶體區段上形成介電層915。介電層915(以及本文所討論的其他介電層)可包括玻璃材料(諸如，硼磷矽玻璃(borophosphosilicate glass, BPSG))、沉積氧化物、或其他介電材料。如圖9B所示，在形成介電層915之後，至對應的閘極電極906之一或多者之至少一電氣接觸件930a可透過介電層915形成。雖然在圖9B(及相關視圖)中僅可見到單一電氣接觸件930a，如上文所述，可在相關聯電晶體裝置中於其他位置處(諸如，在第三維度中的位置處、進出頁面之任一者、或在圖9B之視圖的側向位置處(例如，在實施於所示區段的左側及/或右側之電晶體區段中))製作至閘極電極906的其他電氣接觸件930a。

**【0038】** 參照圖9C，在形成電氣接觸件930a及其他此類接觸件之後，閘極連接格柵930可形成在介電層915及相關聯電氣接觸件(諸如，電氣接觸件930a)上，以將閘極連接格柵930與閘極電極906電耦接。移動至圖9D，介電層925可形成在閘極連接格柵930及介電層915上。在一些實施方案中(諸如在此實例中)，介電層925可經平坦化(如亦可係在形成電氣接觸件930a及閘極連接格柵930之前以介電質915完成者)。此類平坦化可包括化學機械研磨操作。

**【0039】** 參照圖9E，在平坦化介電層925之後，可形成至閘極連接格柵930的電氣接觸件930b以及至本體區域905的電氣接觸件965。再次，雖然僅在圖9E以及一或多個相關視圖中顯示單一電氣接觸件930b及965，

但可在相關聯電晶體裝置中於其他位置處（諸如，在第三維度中的位置處、進出頁面之任一者、或在圖9E視圖的側向位置）形成其他此類電氣接觸件。在一些實施方案中，該等接觸件可使用相同的微影蝕刻光罩形成，或者可使用不同的微影蝕刻光罩形成。在實施方案中，形成電氣接觸件930b及電氣接觸件965的順序將取決於特定處理實施方案。

**【0040】** 如圖9F所示，在形成接觸件930b及965之後，可形成信號金屬層（第一信號金屬層），其包括與電氣接觸件930b電耦接及亦可與其他此類接觸電耦合之第一部分951，以將第一信號金屬層之第一部分951電耦接至閘極連接格柵930。據此，第一部分951係透過電氣接觸件930b、閘極連接格柵930、及電氣接觸件930a電耦接至閘極電極906。第一信號金屬層亦可包括第二部分961，其與電氣接觸件965電耦接，且亦可與其他此類接觸件電耦接。據此，第二部分961係透過電氣接觸件965電耦接至源極/本體區域905。

**【0041】** 參照圖9G，在形成第一信號金屬層之後，介電層945可形成在第一信號金屬層及介電層925上，且第二信號金屬層可形成在第一信號金屬層及介電層945上。如圖9G所示，第二信號金屬層包括第一部分950，其與第一信號金屬層之第一部分951電耦接。在此實例中，第二信號金屬層之第一部分950係透過導電通孔950a與第一信號金屬層之第一部分951電耦接，然而其他方法係可行的。例如，第二信號金屬層之第一部分950可至少部分地直接設置在第一信號金屬層之第一部分951上。在此實例中，第二信號金屬層之第一部分950可稱為閘極墊金屬，並透過如圖9G所示及上文所述之包括閘極連接格柵930的互連結構電耦接至閘極電極906。

【0042】亦如圖9G所示，第二信號金屬層包括第二部分960，其與第一信號金屬層之第一部分961電耦接。在此實例中，由於至少部分地直接設置在第一信號金屬層之第二部分961上，第二信號金屬層之第二部分960係與第一信號金屬層之第二部分961電耦接。在此實例中，第二信號金屬層之第二部分960可稱為源極墊金屬（或射極墊金屬），並透過圖9G所示及上述之互連結構電耦接至本體區域905。

【0043】在圖9G中，FOL處理期間所生產的第二複製電晶體單元係繪示在圖9A至圖9F所示之單元的左側或側向。據此，圖9F展示在相關聯半導體裝置之主動區中的垂直電晶體單元之複製。如圖9G所示，複製單元並未顯示為包括至閘極信號金屬之接觸件930b，因為複製單元中之閘極連接格柵930的部分經設置在源極金屬（例如，第一信號金屬層之第二部分961）下方。然而，如本文所述，包括在複製單元中的閘極電極906可透過閘極連接格柵930與第一信號金屬層之第一部分951電耦接，因為閘極連接格柵930可在相關聯的主動區上方延伸（諸如圖1所示者）。

【0044】亦如圖9G所示，第一信號金屬層之第一部分951可在第二信號金屬層之第一部分950下方延伸，其增加源極信號金屬（或射極信號）金屬的量，並可增加相關聯電晶體之電流攜載能力。如上文所述，第二信號金屬層（包括第一部分950及第二部分960）可稱為信號分布或再分布層。

【0045】圖10係示意地繪示具有溝槽閘極電極之垂直裝置的截面圖，其可使用類似於圖9A至圖9G之程序的BOL程序生產。由於生產圖10之垂直電晶體的程序類似於圖9A至圖9G之程序，該程序之細節此處不再詳細描述。取而代之地，下文描述圖10之電晶體結構與圖9G電晶體相比

的差異。簡而言之，圖10之電晶體包括源極/本體區域1005（或射極/本體區域）、溝槽閘極結構1006、介電層1015、閘極連接格柵1030、接觸件1030a、接觸件1030b、接觸件1065、第一信號金屬層之一第一部分1051、第一信號金屬層之第二部分1061、第二信號金屬層之第一部分1050、導電通孔1050a、及第二信號金屬層1061之第二部分1060。圖10所示之電晶體亦包括其他類似於圖9G電晶體的元件，其等並未具體地在圖10中提及。再者，圖10中以1000系列編號提及的元件分別與圖9中以相似900系列編號提及的元件相對應。

【0046】 參照圖10，在進一步參照圖9G的情況下，與圖9A至圖9G所示之包括閘極電極906的平面閘極結構相比，圖10中的閘極結構1006係溝槽閘極結構。亦在圖10中，介電層1015具有平面狀上表面，其可係溝槽閘極結構1006之實施方案及/或介電層1015之平坦化的結果。據此，與介電層915之表面上之閘極連接格柵930的適形形狀相比，閘極連接格柵1030係平面狀。

【0047】 亦如圖10所示，在其中實施半導體裝置1000的半導體基材或半導體區域可沿著平面P配置。在圖10的實例中，閘極連接格柵1030的至少一部分及主動區A的一部分（例如，垂直電晶體之一或多個區段的各別部分）可沿著正交於平面P的線L配置。也就是說，包括在閘極連接格柵1030中的導體可沿著線L直接設置在半導體裝置1000之垂直電晶體的主動部分上方。

【0048】 在一大致態樣中，一半導體裝置可包括一垂直電晶體，其具有一第一電晶體區段及一第二電晶體區段。該第一電晶體區段可包括一第一本體區域、一第一源極區域、及一第一閘極電極。該第二電晶體區段

可包括一第二本體區域、一第二源極區域、及一第二閘極電極。該半導體裝置可進一步包括一第一介電層及一導電格柵，該第一介電層經設置在該垂直電晶體上，該導電格柵經設置在該第一介電層上。該導電格柵可使用透過該第一介電層形成之至少一第一導電接觸件與該第一閘極電極及該第二閘極電極電耦接。該半導體裝置亦可包括一第二介電層及一導電金屬層，該第二介電層經設置在該導電格柵及該第一介電層上，該導電金屬層經設置在該第二介電層上。該導電金屬層可包括一第一部分及一第二部分。該第一部分可使用透過該第一介電層及該第二介電層形成之至少一第二導電接觸件與該第一本體區域、該第一源極區域、該第二本體區域、及該第二源極區域電耦接。該第二部分可使用透過該第二介電層形成之至少一第三導電接觸件與該導電格柵電耦接。

**【0049】** 實施方案可包括下列特徵之一或多者。例如，第一閘極電極可係第一平面閘極電極，且第二閘極電極可係第二平面閘極電極。第一閘極電極可係第一溝槽閘極電極，且第二閘極電極可係第二溝槽閘極電極。

**【0050】** 垂直電晶體可包括在半導體基材中。半導體基材可配置在一平面中。閘極連接格柵之至少一部分及垂直電晶體之第一區段的一部分可沿著正交於該平面的線配置。

**【0051】** 金屬層可係第一金屬層，且半導體裝置可包括經設置在第一金屬層及第二介電層上之第三介電層以及經設置在第三介電層上之第二金屬層。第二金屬層可包括第一部分，其透過第三介電層與第一金屬層之第一部分電耦接。第二金屬層可包括第二部分，其透過第三介電層與第一金屬層之第二部分電耦接。第二金屬層之第一部分可設置在第一金屬層之

第一部分上。第二金屬層之第二部分可使用透過第三介電層形成之至少一導電通孔與第一金屬層之第二部分電耦接。

**【0052】** 導電格柵及第一導電接觸件可包括鎢。第一閘極電極及第二閘極電極可包括摻雜多晶矽。

**【0053】** 垂直電晶體可包括在碳化矽(SiC)半導體區域中。第一本體區域及第二本體區域可屬於第一導電性類型，並可設置在SiC半導體區域中。SiC半導體區域、第一源極區域、及第二源極區域可屬於相反於第一導電性類型的第二導電性類型。第一源極區域可設置在第一本體區域中，且第二源極區域可設置在第二本體區域中。

**【0054】** 垂直電晶體可包括垂直場效電晶體(FET)。SiC半導體區域可包括垂直FET之漂移區域及垂直FET之汲極區域。

**【0055】** 垂直電晶體可包括垂直絕緣閘型雙極電晶體(IGBT)。第一源極區域可係垂直IGBT之第一射極區域，且第二源極區域可係垂直IGBT之第二射極區域。SiC半導體區域可包括垂直IGBT之漂移區域及垂直IGBT之集極區域。

**【0056】** 第一閘極電極可係摻雜多晶矽閘極電極之第一部分，且第二閘極電極可係摻雜多晶矽閘極電極之第二部分。第一閘極電極可係第一摻雜多晶矽閘極電極，且第二閘極電極係第二摻雜多晶矽閘極電極。第一摻雜多晶矽閘極電極可經由導電格柵及至導電格柵之各別電氣接觸件與第二摻雜多晶矽閘極電極電耦接。

**【0057】** 透過第一介電層形成之至少一第一導電接觸件可包括透過第一介電層形成之第一複數個導電接觸件。透過第一介電層及第二介電層形成之至少一第二導電接觸件可包括透過第一介電層及第二介電層形成之

第二複數個導電接觸件。透過第二介電層形成之至少一第三導電接觸件可包括透過第二介電層形成之第三複數個導電接觸件。

**【0058】** 在另一大致態樣中，一種半導體裝置可包括一半導體區域、一主動區域、及一隔離區域，該主動區域經設置在該半導體區域中，該隔離區域經設置在該半導體區域中。該隔離區域可至少部分地環繞該主動區域。該半導體裝置亦可包括複數個垂直電晶體區段，其等經設置在該主動區域中。該複數個垂直電晶體區段可包括各別的閘極電極。該半導體裝置亦可包括一第一介電層及一導電格柵，該第一介電層經設置在該主動區域上，該導電格柵經設置在該第一介電層上。該導電格柵可使用透過該第一介電層形成之複數個導電接觸件與該等各別的閘極電極電耦接。該半導體裝置可進一步包括一第二介電層及一導電金屬層，該第二介電層經設置在該導電格柵及該第一介電層上，該導電金屬層經設置在該第二介電層上。該導電金屬層可包括一部分，該部分使用透過該第二介電層形成之至少該導電格柵的至少一導電接觸件透過該導電格柵與該等各別的閘極電極電耦接。

**【0059】** 實施方案可包括下列特徵之一或多者。例如，金屬層可係第一金屬層。半導體裝置可包括經設置在第一金屬層及第二介電層上之第三介電層，且第二金屬層可包括透過第三介電層與第一金屬層之部分電耦接的一部分。

**【0060】** 各別閘極電極可包括各別平面閘極電極。各別閘極電極可包括各別溝槽閘極電極。複數個垂直電晶體區段可包括複數個垂直場效電晶體區段或複數個垂直絕緣閘型雙極電晶體區段中之一者。閘極連接格柵可不減少主動區域之主動區。

【0061】 在另一大致態樣中，一種用於生產一半導體裝置之方法可包括在一半導體區域中形成一垂直電晶體。該垂直電晶體可包括一第一電晶體區段及一第二電晶體區段。該第一電晶體區段可具有一第一本體區域、一第一源極區域、及一第一閘極電極。該第二電晶體區段可具有一第二本體區域、一第二源極區域、及一第二閘極電極。該方法可進一步包括在該垂直電晶體上形成一第一介電層及在該第一介電層上形成一導電格柵。該導電格柵可使用透過該第一介電層形成之至少一第一導電接觸件與該第一閘極電極及該第二閘極電極電耦接。該方法亦可包括在該導電格柵及該第一介電層上形成一第二介電層；及在該第二介電層上形成一導電金屬層。該導電金屬層可包括一第一部分，該第一部分可使用透過該第一介電層及該第二介電層形成之至少一第二導電接觸件與該第一本體區域、該第一源極區域、該第二本體區域、及該第二源極區域電耦接。該導電金屬層亦可包括一第二部分，該第二部分可使用透過該第二介電層形成之至少一第三導電接觸件與該導電格柵電耦接。

【0062】 實施方案可包括下列特徵之一或多者。例如，金屬層可係第一金屬層。該方法可包括在該第一金屬層及該第二介電層上形成一第三介電層，及在該第三介電層上形成一第二金屬層。該第二金屬層可包括一第一部分及一第二部分，該第一部分透過該第三介電層與該第一金屬層之該第一部分電耦接，該第二部分透過該第三介電層與該第一金屬層的該第二部分電耦接。

【0063】 針對本揭露之目的，也將瞭解當元件（諸如，層、區域、或基材）稱為在另一元件上、設置在另一元件上、連接至另一元件、電連接至另一元件、耦接或電耦接至另一元件時，則其可直接在另一元件上、

連接或耦接至另一元件、或可存在一或多個中間元件。相反地，當元件稱為直接在另一元件或層上、直接設置在另一元件或層上、直接連接至或直接耦接至另一元件或層時，則沒有中間元件或層存在。雖然用語直接在…上(directly on)、直接連接至(directly connected to)、或直接耦接至(directly coupled to)可能不在實施方式各處使用，但可如此稱呼顯示為直接在…上、直接連接至、或直接耦接至的元件。本申請案之申請專利範圍可經修改成敘述在本說明書中描述或圖式中所展示之例示性關係。

**【0064】** 當用於本說明書中時，單數形式可包括複數形式，除非在內文中明確指示特定情況。除了圖式中所描繪之定向之外，空間相對用語（例如，之上(over)、上方(above)、上部(upper)、下(under)、底下(beneath)、下方(below)、下部(lower)等）旨在涵蓋裝置在使用中或操作中的不同定向。在一些實施方案中，相對用語上方(above)及下方(below)分別地包括垂直上方及垂直下方。在一些實施方案中，用語相鄰(adjacent)可包括側向地相鄰於、垂直地相鄰於、或水平地相鄰於。

**【0065】** 一些實施方案可使用各種半導體處理及/或封裝技術來實施。一些實施方案可使用與半導體基材關聯的各種類型的半導體處理技術來實施，該等半導體基材包括，但不限於，例如，矽(Si)、砷化鎵(GaAs)、氮化鎵(GaN)、碳化矽(SiC)、及/或等等。

**【0066】** 雖然各種實例實施方案的某些特徵已如本文所描述而說明，但所屬技術領域中具有通常知識者現將想到許多修改、替換、改變、及均等物。因此，應當理解，隨附申請專利範圍旨在涵蓋落於實施方案範圍內的所有此類修改及改變。應當理解，其等僅以實例（非限制）方式呈現，並且可進行各種形式及細節改變。本文所描述之設備及/或方法之任

何部分可以任何組合進行組合，除了互斥組合之外。本文所描述之實施方案可包括所描述之不同實施方案之功能、組件及/或特徵的各種組合及/或子組合。

**【符號說明】**

**【0067】**

5-5:剖面線

100:半導體裝置

110:主動區

120:隔離或終止區域

130:閘極連接格柵

140:閘極墊區

140a:閘極墊連接區

150:閘極墊金屬

160:源極墊金屬

200:垂直電晶體區段

201:基材

202:磊晶層

203:本體區域

204:源極區域

205:重度本體區域

206:閘極結構；閘極電極

206a:閘極介電質

206b:閘極電極

230:閘極連接格柵  
270:線  
300:垂直電晶體區段  
301:基材  
302:磊晶層  
303:本體區域  
304:源極區域  
305:重度本體區域  
306:溝槽閘極結構；閘極結構  
306a:閘極介電質  
306b:閘極電極  
306c:溝槽  
330:閘極連接格柵  
370:線  
400:半導體裝置  
405:源極/本體區域  
406:閘極結構  
415:介電層  
430:閘極連接格柵  
430a:接觸件  
465:接觸件  
505:源極/本體區域  
506:閘極電極

605:源極/本體區域  
606:閘極電極  
630:閘極連接格柵  
630a:接觸件  
705:源極/本體區域  
706:閘極電極  
805:源極/本體區域  
806:閘極電極  
900:半導體裝置  
905:源極/本體區域  
906:閘極電極  
915:介電層  
925:介電層  
930:閘極連接格柵  
930a:電氣接觸件  
930b:接觸件  
945:介電層  
950:第一部分  
950a:導電通孔  
951:第一部分  
960:第二部分  
961:第二部分；第一部分  
965:接觸件

1000:半導體裝置

1005:源極/本體區域

1006:溝槽閘極結構；閘極結構

1015:介電層

1030:閘極連接格柵

1030a:接觸件

1030b:接觸件

1050:第一部分

1050a:導電通孔

1051:第一部分

1060:第二部分

1061:第二部分；第二信號金屬層

1065:接觸件

A:主動區

L:線

P:平面

## 【發明申請專利範圍】

### 【請求項1】

一種半導體裝置，其包含：

一垂直電晶體，其包括：

一第一電晶體區段，其具有一第一本體區域、一第一源極區域、及一第一閘極電極；

一第二電晶體區段，其具有一第二本體區域、一第二源極區域、及一第二閘極電極；

一第一介電層，其經設置在該垂直電晶體上；

一導電格柵，其經設置在該第一介電層上，該導電格柵使用透過該第一介電層形成之至少一第一導電接觸件與該第一閘極電極及該第二閘極電極電耦接；

一第二介電層，其經設置在該導電格柵及該第一介電層上；及

一金屬層，其經設置在該第二介電層上，該金屬層包括：

一第一部分，其使用透過該第一介電層及該第二介電層形成之至少一第二導電接觸件與該第一本體區域、該第一源極區域、該第二本體區域、及該第二源極區域電耦接；及

一第二部分，其使用透過該第二介電層形成之至少一第三導電接觸件與該導電格柵電耦接。

### 【請求項2】

如請求項1之半導體裝置，其中：

該第一閘極電極係一第一平面閘極電極或一第一溝槽閘極電極中之一者；且

該第二閘極電極係一第二平面閘極電極或一第二溝槽閘極電極中之一者。

**【請求項3】**

如請求項1之半導體裝置，其中：

該垂直電晶體係包括在一半導體基材中，該半導體基材經配置在一平面中；且

該導電格柵之至少一部分及該垂直電晶體之該第一電晶體區段的一部分沿著正交於該平面的一線配置。

**【請求項4】**

如請求項1之半導體裝置，其中該金屬層係一第一金屬層，該半導體裝置進一步包含：

一第三介電層，其經設置在該第一金屬層及該第二介電層上；及

一第二金屬層，其經設置在該第三介電層上，該第二金屬層包括：

一第一部分，其透過該第三介電層與該第一金屬層之該第一部分電耦接；及

一第二部分，其透過該第三介電層與該第一金屬層之該第二部分電耦接，

其中：

該第二金屬層之該第一部分經設置在該第一金屬層之該第一部分上；及

該第二金屬層之該第二部分係使用透過該第三介電層形成之至少一導電通孔與該第一金屬層的該第二部分電耦接。

**【請求項5】**

如請求項1之半導體裝置，其中：

該垂直電晶體係包括在一碳化矽(SiC)半導體區域中；

該第一本體區域及該第二本體區域：

屬於一第一導電性類型；及

經設置在該SiC半導體區域中；

該SiC半導體區域，該第一源極區域、及該第二源極區域屬於相反於該第一導電性類型的一第二導電性類型；

該第一源極區域經設置在該第一本體區域中；及

該第二源極區域經設置在該第二本體區域中。

#### 【請求項6】

如請求項1之半導體裝置，其中：

該第一閘極電極係一第一摻雜多晶矽閘極電極；且

該第二閘極電極係一第二摻雜多晶矽閘極電極，

該第一摻雜多晶矽閘極電極經由該導電格柵及至該導電格柵之各別電氣接觸件與該第二摻雜多晶矽閘極電極電耦接。

#### 【請求項7】

如請求項1之半導體裝置，其中：

透過該第一介電層形成之該至少一第一導電接觸件包括透過該第一介電層形成之第一複數個導電接觸件；

透過該第一介電層及該第二介電層形成之該至少一第二導電接觸件包括透過該第一介電層及該第二介電層形成之第二複數個導電接觸件；且

透過該第二介電層形成之該至少一第三導電接觸件包括透過該第二介電層形成之第三複數個導電接觸件。

**【請求項8】**

一種半導體裝置，其包含：

一半導體區域；

一主動區域，其經設置在該半導體區域中；

一隔離區域，其經設置在該半導體區域中，該隔離區域至少部分地環繞該主動區域；

複數個垂直電晶體區段，其等經設置在該主動區域中，該複數個垂直電晶體區段包括各別的閘極電極；

一第一介電層，其經設置在該主動區域上；

一導電格柵，其經設置在該第一介電層上，該導電格柵使用透過該第一介電層形成的複數個導電接觸件與該等各別的閘極電極電耦接；

一第二介電層，其經設置在該導電格柵及該第一介電層上；及

一金屬層，其經設置在該第二介電層上，該金屬層包括一部分，該部分使用透過該第二介電層形成之至該導電格柵的至少一導電接觸件透過該導電格柵與該等各別的閘極電極電耦接。

**【請求項9】**

如請求項8之半導體裝置，其中該導電格柵並未減少該主動區域之一主動區。

**【請求項10】**

如請求項8之半導體裝置，其中該複數個垂直電晶體區段包括下列中之一者：

複數個垂直場效電晶體區段；或

複數個垂直絕緣閘型雙極電晶體區段。

**【請求項11】**

一種用於生產一半導體裝置之方法，該方法包含：

在一半導體區域中形成一垂直電晶體，其包括：

一第一電晶體區段，其具有一第一本體區域、一第一源極區域、及一第一閘極電極；

一第二電晶體區段，其具有一第二本體區域、一第二源極區域、及一第二閘極電極；

在該垂直電晶體上形成一第一介電層；

在該第一介電層上形成一導電格柵，該導電格柵使用透過該第一介電層形成之至少一第一導電接觸件與該第一閘極電極及該第二閘極電極電耦接；

在該導電格柵及該第一介電層上形成一第二介電層；及

在該第二介電層上形成一金屬層，該金屬層包括：

一第一部分，其使用透過該第一介電層及該第二介電層形成之至少一第二導電接觸件與該第一本體區域、該第一源極區域、該第二本體區域、及該第二源極區域電耦接；及

一第二部分，其使用透過該第二介電層形成之至少一第三導電接觸件與該導電格柵電耦接。

**【請求項12】**

如請求項11之方法，其中該金屬層係一第一金屬層，該方法進一步包含：

在該第一金屬層及該第二介電層上形成一第三介電層；及

在該第三介電層上形成一第二金屬層，該第二金屬層包括：

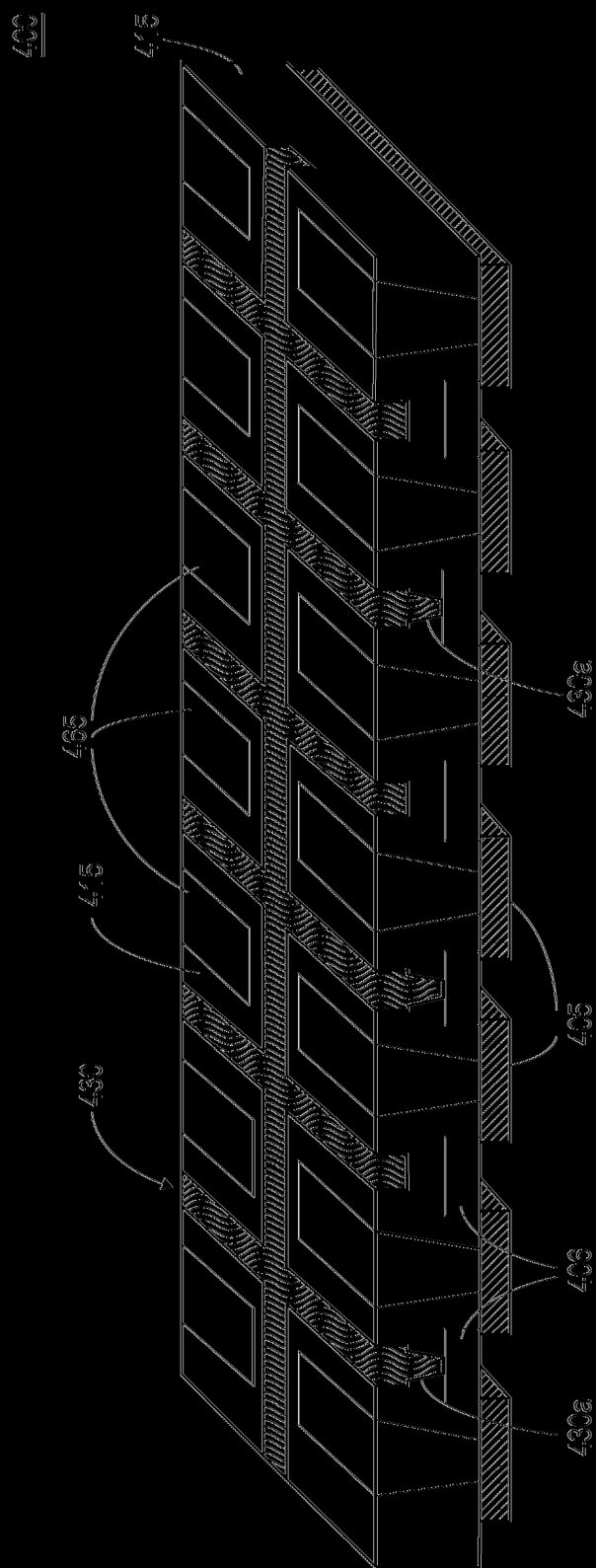
一第一部分，其透過該第三介電層與該第一金屬層之該第一部分電耦接；及

一第二部分，其透過該第三介電層與該第一金屬層之該第二部分電耦接。

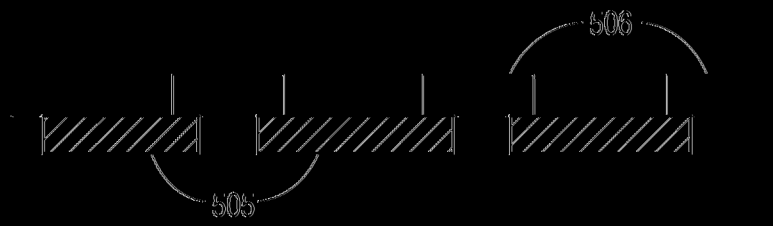




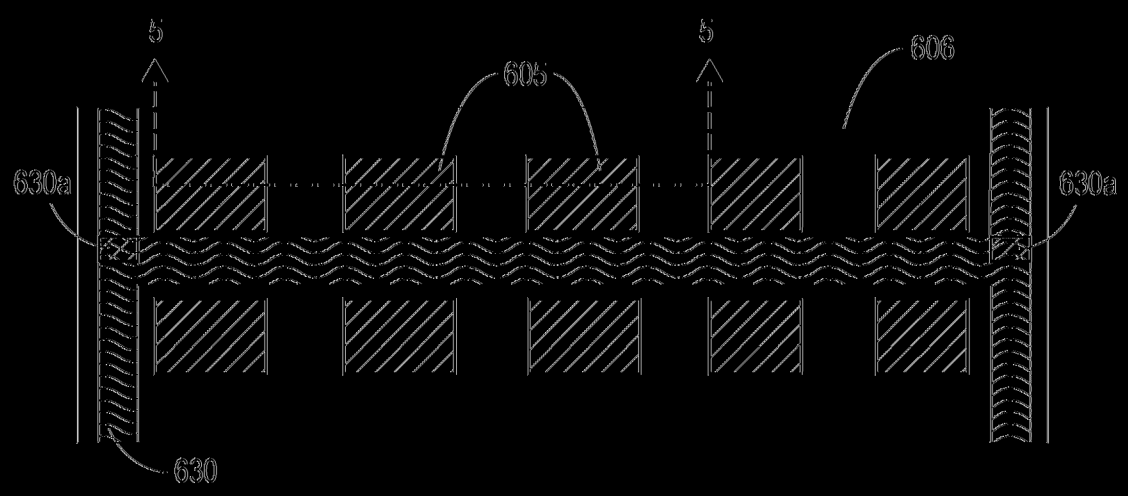




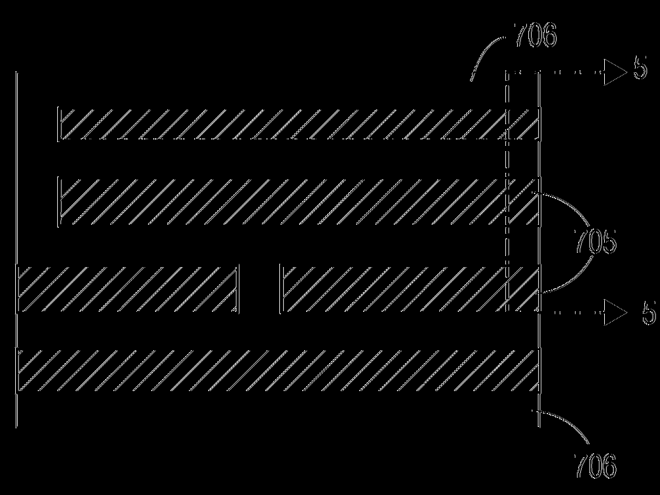
【圖7】



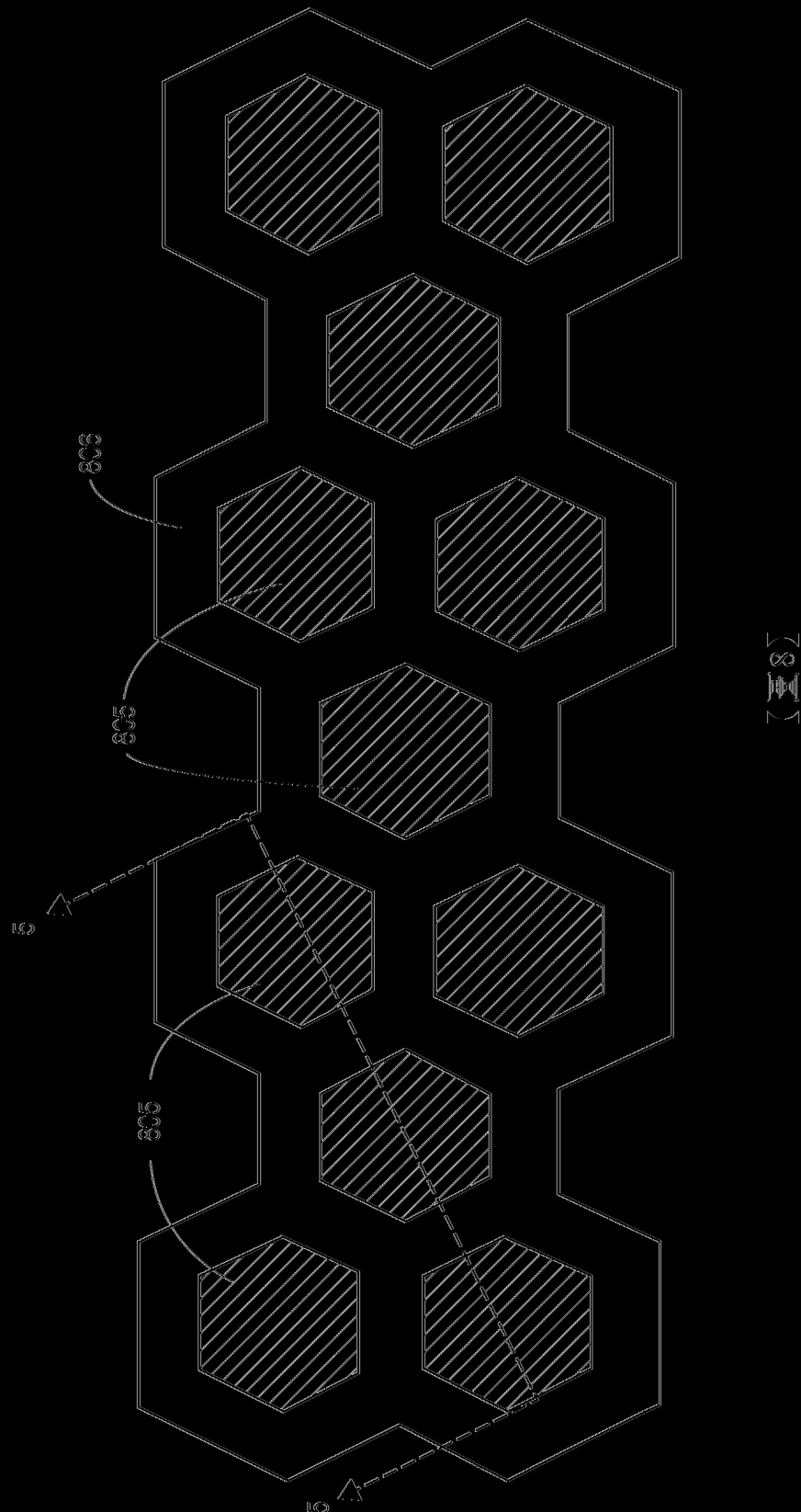
(圖5)

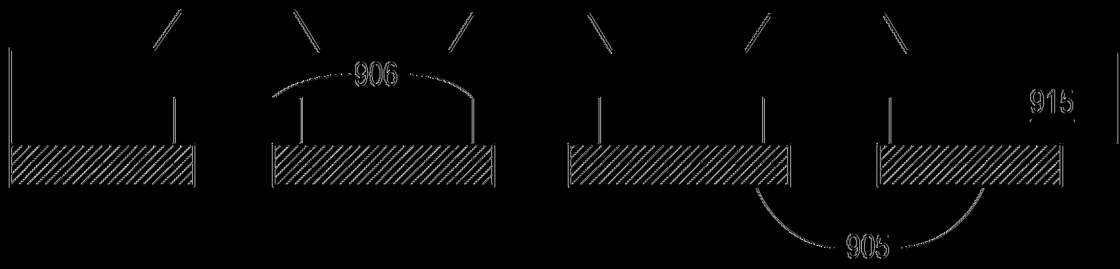


(圖6)

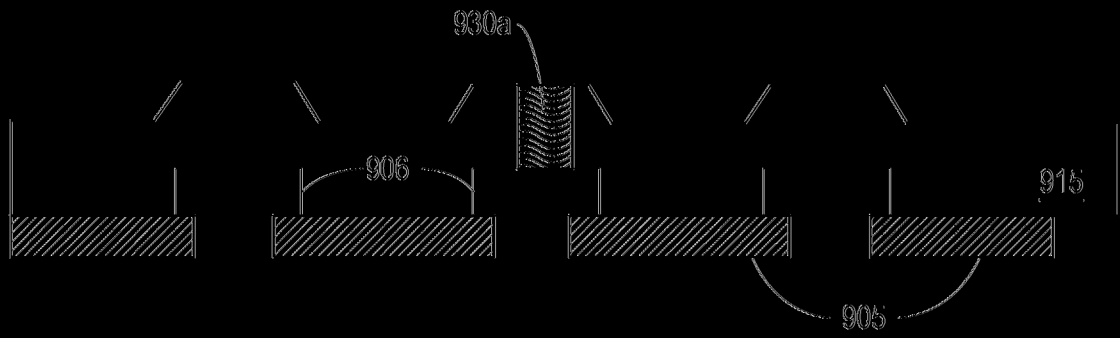


(圖7)

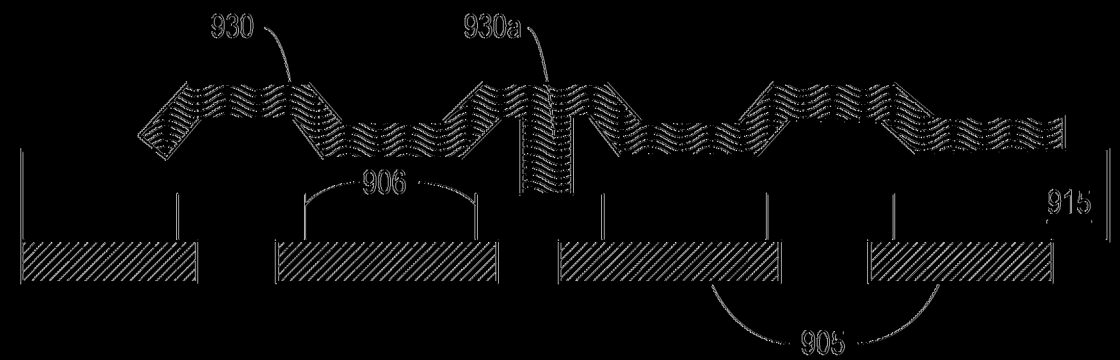




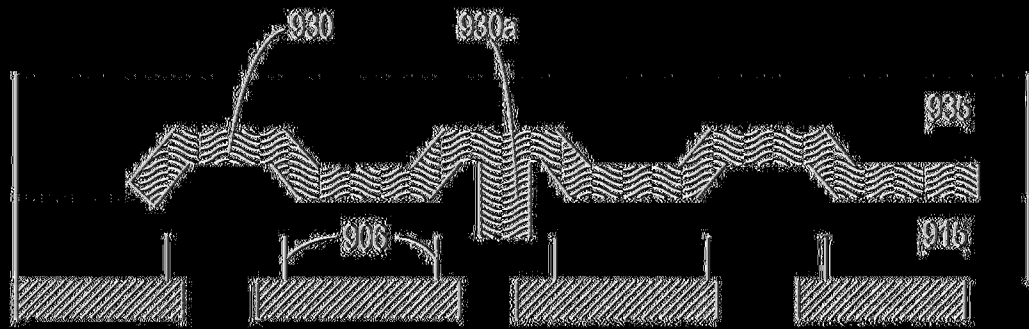
[(圖)9A]



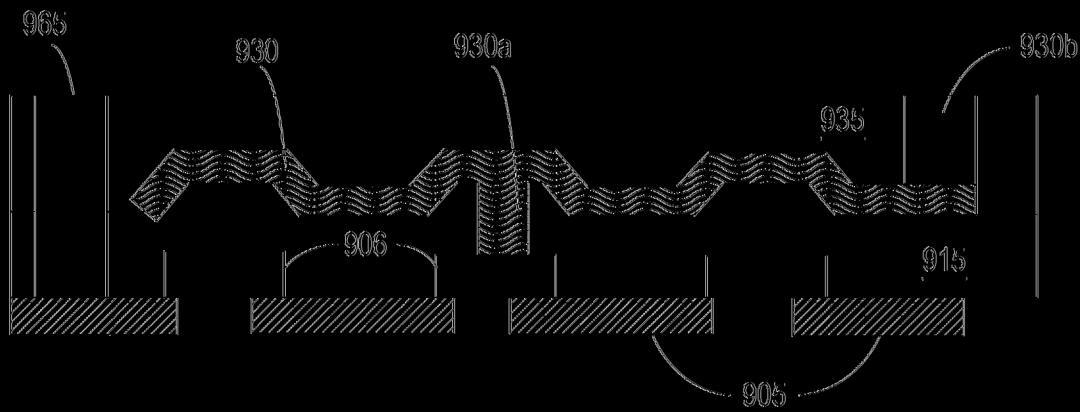
[(圖)9B]



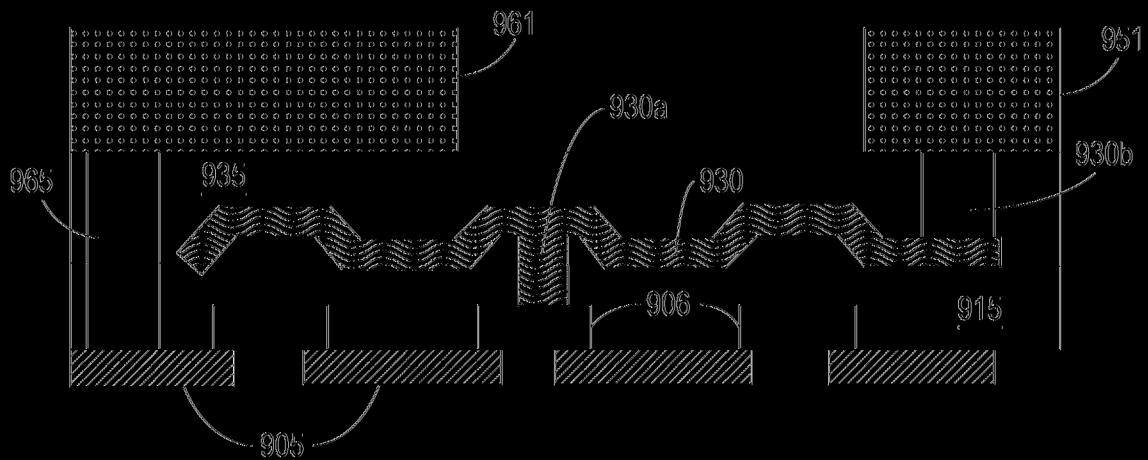
[(圖)9C]



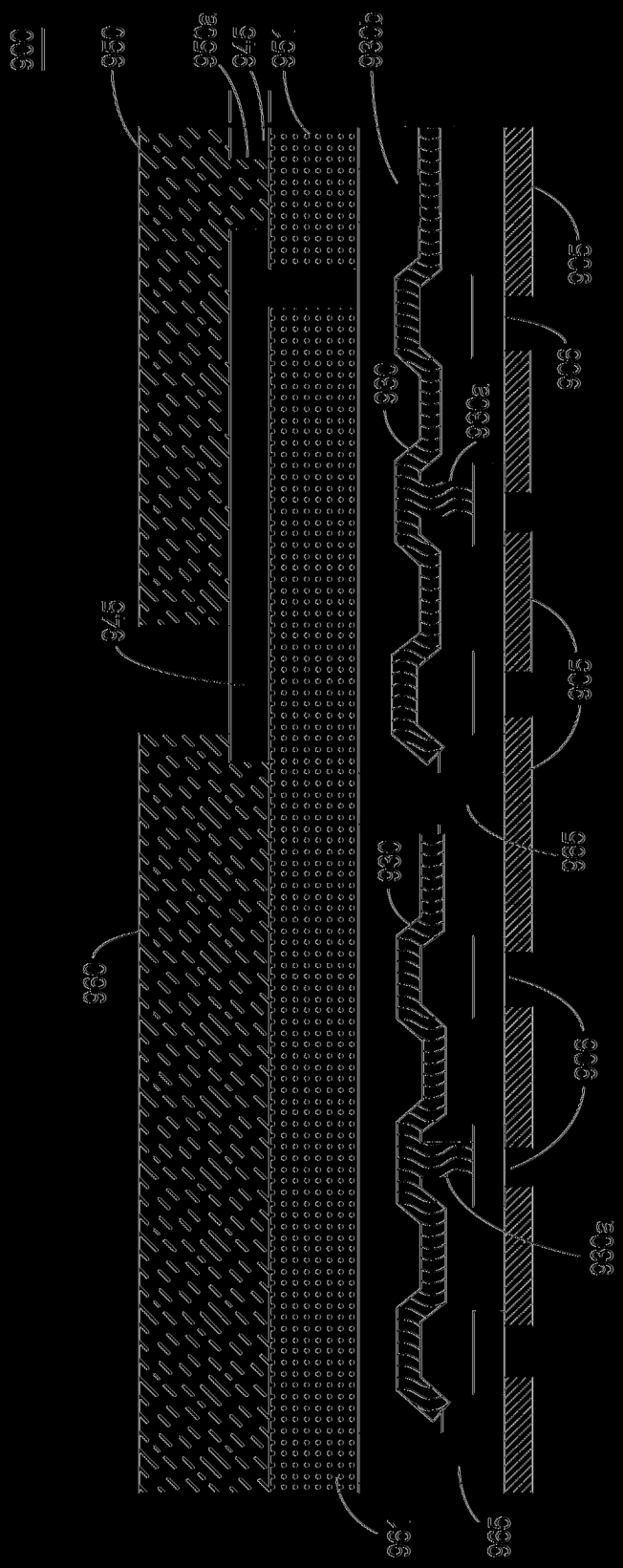
(圖9D)



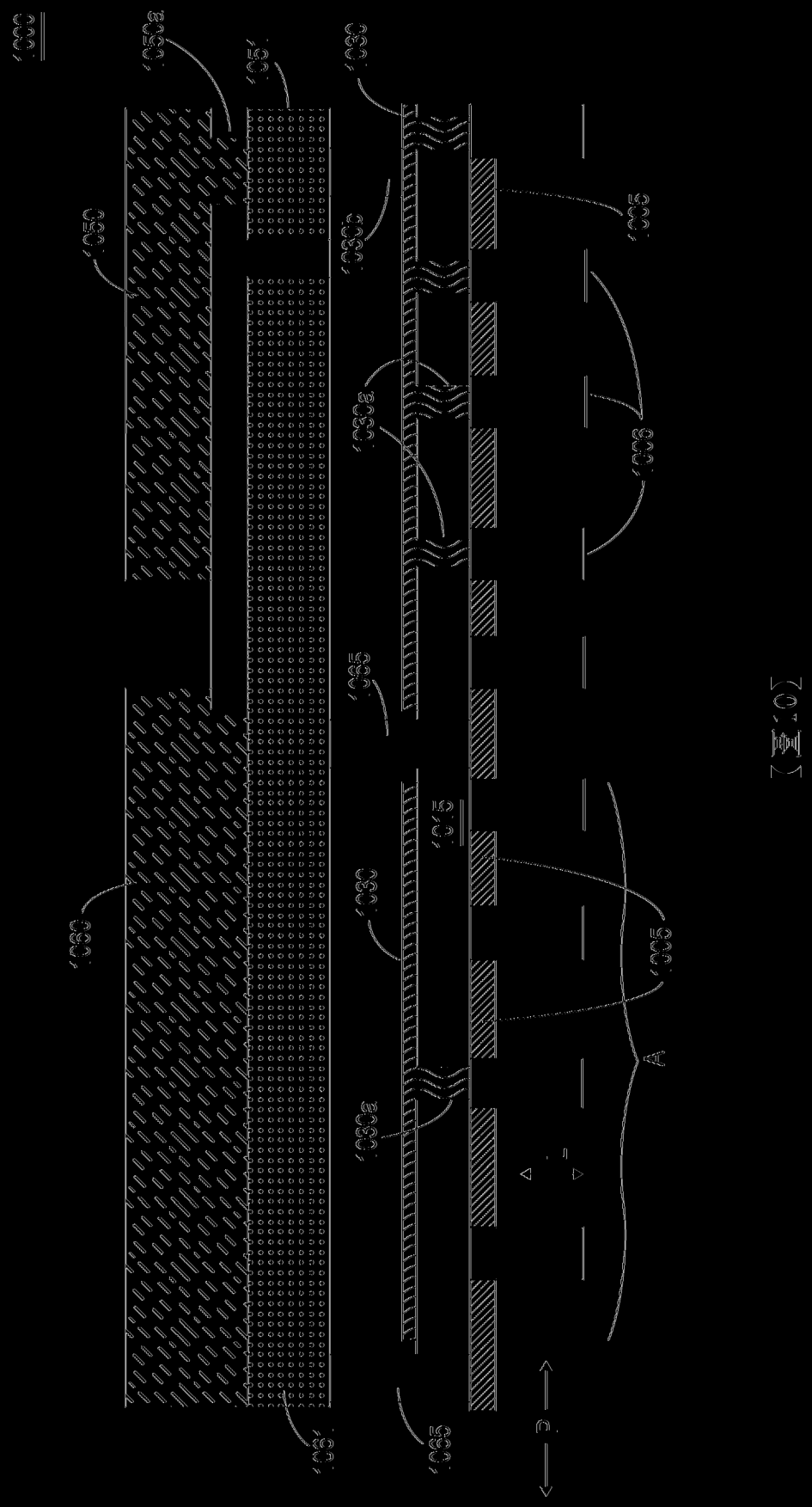
(圖9E)



(圖9F)



(圖9C)



[078]