

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月19日(19.12.2024)



(10) 国際公開番号

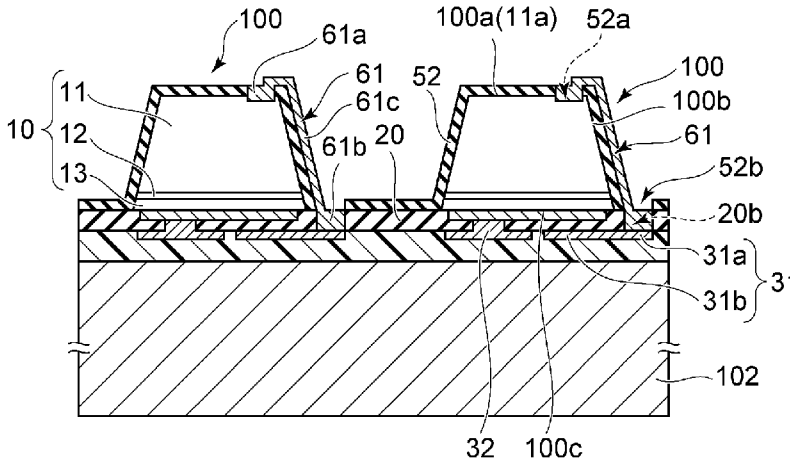
WO 2024/257619 A1

- (51) 国際特許分類:
H01L 33/38 (2010.01) H01L 33/22 (2010.01)
H01L 33/10 (2010.01) H01L 33/42 (2010.01)
- (21) 国際出願番号: PCT/JP2024/019848
- (22) 国際出願日: 2024年5月30日(30.05.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-096360 2023年6月12日(12.06.2023) JP
- (71) 出願人: 日亜化学工業株式会社 (NICHIA CORPORATION) [JP/JP]; 〒7748601 徳島県阿南市上中町岡491番地100 Tokushima (JP).
- (72) 発明者: 山本 亮太 (YAMAMOTO, Ryota); 〒7748601 徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内 Tokushima (JP).
- (74) 代理人: 弁理士法人 i X (IX PATENT LAW FIRM, P.C.); 〒2318966 神奈川県横浜市中区桜木町一丁目1番地8 日石横浜ビル Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: METHOD FOR MANUFACTURING LIGHT EMITTING ELEMENT, AND LIGHT EMITTING ELEMENT

(54) 発明の名称: 発光素子の製造方法及び発光素子

【図13】



(57) Abstract: The present invention provides: a method for manufacturing a light emitting element, with which it is possible to improve luminance; and a light emitting element. This method for manufacturing a light emitting element comprises: a step for preparing a wafer which has a first insulating film that is disposed on a second semiconductor layer of a semiconductor structure, a first electrode that is disposed on the first insulating film, and a second electrode that is disposed on the first insulating film and is connected to the second semiconductor layer in an opening of the first insulating film; a step for removing a part of the semiconductor structure from the upper surface side of the first semiconductor layer, and separating the semiconductor structure into a plurality of light emitting units so that the first electrode has a first portion that is positioned outside the outer edges of the light emitting units in a plan view; a step for removing a part of the first insulating film so as to expose the first portion of the first electrode from the first insulating film, and removing

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

a part of a second insulating film that covers the light emitting units so as to expose a part of the first semiconductor layer from the second insulating film; and a step for forming, on the second insulating film, a first wiring line that electrically connects the part of the first semiconductor layer exposed from the second insulating film and the first portion of the first electrode exposed from the first insulating film.

(57) 要約: 輝度を向上できる発光素子の製造方法及び発光素子を提供すること。発光素子の製造方法は、半導体構造体の第2半導体層上に配置された第1絶縁膜と、第1絶縁膜上に配置された第1電極と、第1絶縁膜上に配置され、第2半導体層と第1絶縁膜の開口で接続する第2電極とを有するウェハを準備する工程と、第1半導体層の上面側から半導体構造体の一部を除去し、平面視において第1電極が発光部の外縁よりも外側に位置する第1部分を有するように半導体構造体を複数の発光部に分離する工程と、第1絶縁膜の一部を除去し、第1電極の第1部分を第1絶縁膜から露出させ、且つ発光部を覆う第2絶縁膜の一部を除去し、第1半導体層の一部を第2絶縁膜から露出させる工程と、第2絶縁膜から露出する第1半導体層の一部と、第1絶縁膜から露出する第1電極の第1部分とを電氣的に接続する第1配線を第2絶縁膜上に形成する工程とを備える。

明 細 書

発明の名称：発光素子の製造方法及び発光素子

技術分野

[0001] 本発明は、発光素子の製造方法及び発光素子に関する。

背景技術

[0002] 特許文献1には、発光層における光の主な取り出し面に配置された第1の電極と、発光層における光の主な取り出し面の反対側に位置する面に配置された第2の電極と、を有する発光素子が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-32809号公報

発明の概要

発明が解決しようとする課題

[0004] 本発明は、輝度を向上できる発光素子の製造方法及び発光素子を提供することを目的とする。

課題を解決するための手段

[0005] 本発明の一態様によれば、発光素子の製造方法は、第1基板と、前記第1基板上に配置され、第1半導体層と、前記第1半導体層よりも前記第1基板から離れた第2半導体層と、前記第1半導体層と前記第2半導体層との間に位置する活性層とを有する半導体構造体と、前記第2半導体層上に配置され、前記第2半導体層の上方に位置する開口を有する第1絶縁膜と、前記第1絶縁膜上に配置された第1電極と、前記第1絶縁膜上に前記第1電極と離隔して配置され、前記第2半導体層と前記開口で電氣的に接続する第2電極と、を有するウェハを準備する工程と、前記ウェハにおける前記第2電極及び前記第1電極が配置された側を第2基板に接合する工程と、前記ウェハと前記第2基板とを接合する工程の後、前記第1基板を除去し、前記第1半導体層の上面を露出させる工程と、前記第1半導体層の前記上面側から前記半導

体構造体の一部を除去し、前記半導体構造体を複数の発光部に分離する工程であって、平面視において前記第1電極が前記発光部の外縁よりも外側に位置する第1部分を有するように、前記半導体構造体を前記複数の発光部に分離する工程と、前記発光部を覆う第2絶縁膜を形成する工程と、前記第1絶縁膜の一部を除去し、前記第1電極の前記第1部分を前記第1絶縁膜から露出させ、且つ前記第2絶縁膜の一部を除去し、前記発光部の前記第1半導体層の一部を前記第2絶縁膜から露出させる工程と、前記第2絶縁膜から露出する前記第1半導体層の前記一部と、前記第1絶縁膜から露出する前記第1電極の前記第1部分とを電氣的に接続する第1配線を、前記第2絶縁膜上に形成する工程と、前記第1配線を形成した後、前記発光部と前記第2基板とを分離する工程と、を備える。

[0006] 本発明の一態様によれば、発光素子は、第1面と、前記第1面の反対側に位置する第2面と、前記第1面と前記第2面とを接続する側面とを有する半導体構造体であって、前記第1面側に位置する第1半導体層と、前記第2面側に位置する第2半導体層と、前記第1半導体層と前記第2半導体層との間に位置する活性層と、を有する前記半導体構造体と、前記第2面上に配置され、平面視において前記第2面と重なる位置に配置される開口を有する第1絶縁膜と、前記第1絶縁膜上に配置され、前記第2面と接続しない第1電極であって、平面視において前記半導体構造体の外縁よりも外側に位置する第1部分を有する前記第1電極と、前記第1絶縁膜上に前記第1電極と離隔して配置され、前記第2面において前記第2半導体層と前記開口で電氣的に接続する第2電極と、前記半導体構造体の前記第1面上及び前記側面上に配置された第2絶縁膜と、前記第2絶縁膜上に配置され、前記第2絶縁膜から露出する前記第1半導体層の一部と、前記第1絶縁膜から露出する前記第1電極の前記第1部分とを電氣的に接続する第1配線と、を備える。

発明の効果

[0007] 本発明によれば、輝度を向上できる発光素子の製造方法及び発光素子を提供することができる。

図面の簡単な説明

[0008] [図1A]第1実施形態に係る発光素子の模式上面図である。

[図1B]第1実施形態に係る発光素子の模式下面図である。

[図2]図1のII-II線における模式断面図である。

[図3]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図4]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図5]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図6]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図7]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図8]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図9]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図10]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式上面図である。

[図11]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図12]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図13]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図14]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図15]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図16]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図17]第1実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図18]第2実施形態に係る発光素子の模式断面図である。

[図19]第2実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図20]第2実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図21A]第3実施形態に係る発光素子の模式下面図である。

[図21B]図2 1 AのXXIB-XXIB線における模式断面図である。

[図22]第3実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図23]第3実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図24]第3実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

[図25]第3実施形態に係る発光素子の製造方法の一工程を説明するための模式断面図である。

発明を実施するための形態

[0009] 以下、図面を参照し、実施形態について説明する。実施形態に記載されている構成部の寸法、材料、形状、相対的配置などは、特定の記載がない限り、そのみに限定する趣旨ではなく、単なる説明例にすぎない。なお、各図面が示す部材の大きさ、位置関係などは、説明を明確にするため誇張していることがある。また、以下の説明において、同一の名称、符号については、同一もしくは同質の部材を示しており、詳細説明を適宜省略する。また、

断面図として、切断面のみを示す端面図を示す場合がある。また、断面図において、半導体構造体の各層の境界を見やすくするために、半導体構造体の断面にはハッチングを付していない。

[0010] 以下の説明において、特定の方向又は位置を示す用語（例えば、「上」、「下」、及びそれらの用語を含む別の用語）を用いる場合がある。しかしながら、それらの用語は、参照した図面における相対的な方向又は位置を分かり易さのために用いているに過ぎない。参照した図面における「上」、「下」等の用語による相対的な方向又は位置の関係が同一であれば、本開示以外の図面、実際の製品等において、参照した図面と同一の配置でなくてもよい。本明細書において「上（又は下）」と表現する位置関係は、例えば、2つの部材があると仮定した場合に、2つの部材が接している場合と、2つの部材が接しておらず一方の部材が他方の部材の上方（又は下方）に位置している場合を含む。また、本明細書において、特定の記載がない限り、部材が被覆対象を覆うとは、部材が被覆対象に接して被覆対象を直接覆う場合と、部材が被覆対象に非接触で被覆対象を間接的に覆う場合を含む。

[0011] [第1実施形態]
(発光素子)

図1A、図1B、及び図2を参照して、第1実施形態に係る発光素子1について説明する。図1Aに示す発光素子1の上面視及び図1Bに示す発光素子1の下面視において、互いに直交する2つの方向を第1方向X及び第2方向Yとする。また、第1方向X及び第2方向Yに直交する方向を第3方向Zとする。図2は、図1のII-II線における模式断面図である。

[0012] 発光素子1は、半導体構造体10と、第1絶縁膜20と、第1電極31と、第2電極32と、第2絶縁膜52と、第1配線61とを備える。

[0013] <半導体構造体>

半導体構造体10は、第1面10bと、第3方向Zにおいて第1面10bの反対側に位置する第2面10aと、第1面10bと第2面10aとを接続する側面10cとを有する。半導体構造体10は、第1面10b側に位置す

る第1半導体層11と、第2面10a側に位置する第2半導体層13と、第1半導体層11と第2半導体層13との間に位置する活性層12とを有する。活性層12は、光を発する発光層であり、例えば複数の障壁層と、複数の井戸層を含むMQW (Multiple Quantum well) 構造を有する。活性層12は、例えば、ピーク波長が210nm以上580nm以下の光を発する。例えば、第1半導体層11はn型不純物を含む半導体層を有し、第2半導体層13はp型不純物を含む半導体層を有する。活性層12が発する光は、主に、第1面10b及び側面10cから半導体構造体10の外部に出射する。

[0014] 第2面10a側において、第1半導体層11は、第2半導体層13及び活性層12から露出する部分を有さない。第1半導体層11における第1面10bの反対側に位置する面の全面に活性層12が接している。これにより、第1半導体層11が第2面10a側において第1半導体層11の一部を第2半導体層13及び活性層12から露出させる開口部を有する場合に比べて、活性層12の平面視における面積を大きくでき、発光素子1の輝度を向上できる。

[0015] 第1面10bは、第1半導体層11における活性層12の反対側に位置する面である。第2面10aは、第2半導体層13における活性層12の反対側に位置する面である。半導体構造体10の側面10cは、第1半導体層11の側面、活性層12の側面、及び第2半導体層13の側面を含む。平面視において、第2面10aの面積は、第1面10bの面積よりも大きい。活性層12は、第1面10bよりも第2面10aに近い位置に位置している。そのため、平面視において第2面10aの面積が第1面10bの面積よりも大きいことで、平面視において第1面10bの面積が第2面10aの面積よりも大きい場合と比較して、活性層12の平面視における面積を大きくすることができる。図2に示す例では、断面視において、第1面10bと側面10cとは鈍角をなし、第2面10aと側面10cとは鋭角をなすように、側面10cが第1面10b及び第2面10aに対して傾斜している。

[0016] 発光素子1の平面視（図1Aに示す上面視または図1Bに示す下面視）に

において、半導体構造体 10 の外縁 10 d の形状は、例えば、四角形状である。また、外縁 10 d は、第 2 面 10 a の外縁である。外縁 10 d の 1 辺の長さは、例えば、 $5\text{ }\mu\text{m}$ 以上 $150\text{ }\mu\text{m}$ 以下である。例えば、外縁 10 d の角部は丸みを帯びることができ、その場合の外縁 10 d の 1 辺の長さは、外縁 10 d の 1 辺のうち、直線である部分の長さである。

[0017] 半導体構造体 10 は、窒化物半導体からなる。本明細書において「窒化物半導体」とは、例えば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x + y \leq 1$) なる化学式において組成比 x 及び y をそれぞれの範囲内で変化させた全ての組成の半導体を含むものとする。また、上記化学式において、N (窒素) 以外の V 族元素もさらに含むもの、導電型などの各種の物性を制御するために添加される各種の元素をさらに含むものも「窒化物半導体」に含まれるものとする。

[0018] <第 1 絶縁膜>

第 1 絶縁膜 20 は、半導体構造体 10 の第 2 面 10 a 上に配置され、第 2 面 10 a を覆っている。図 1 B に示すように、第 1 絶縁膜 20 は、平面視において、半導体構造体 10 の第 2 面 10 a と重なる位置に配置される第 1 開口 20 a を有する。図 1 B に示す例では第 1 絶縁膜 20 は 1 つの第 1 開口 20 a を有するが、第 1 絶縁膜 20 は複数の第 1 開口 20 a を有してよい。平面視において、第 1 絶縁膜 20 の外縁 20 d は、半導体構造体 10 の外縁 10 d よりも外側に位置する。また、第 1 絶縁膜 20 は、半導体構造体 10 の外縁 10 d よりも外側に位置する部分に第 2 開口 20 b を有する。

[0019] 第 1 絶縁膜 20 として、例えば、シリコン酸化膜またはシリコン窒化膜を用いることができる。また、第 1 絶縁膜 20 は、誘電体多層膜を含むことができる。この場合、活性層 12 から第 2 面 10 a 側に向かった光を誘電体多層膜で反射させて、第 1 面 10 b 及び側面 10 c に向かわせることができる。これにより、発光素子 1 の輝度を向上させることができる。活性層 12 が発する光のピーク波長に対する誘電体多層膜の反射率は、例えば、60% 以上、好ましくは 70% 以上である。第 1 絶縁膜 20 は、誘電体多層膜として

、例えば、交互に積層された SiO_2 層と Nb_2O_5 層とを含むことができる。誘電体多層膜として、例えば、厚さが 10nm 以上 100nm 以下の Nb_2O_5 層と、厚さが 10nm 以上 100nm 以下の SiO_2 層とのペアを2以上6以下のペア数で形成することができる。誘電体多層膜の各層の膜厚及び積層数を、このように設定することで、良好な光反射性にすることができる。

[0020] <第1電極>

図2に示すように、第1電極31は、第1絶縁膜20上に配置されている。第1電極31は、半導体構造体10の第2面10aと接続しない。第1電極31と第2面10aとの間に第1絶縁膜20が位置する。図1Bに示すように、第1電極31は、平面視において、半導体構造体10の外縁10dよりも外側に位置する第1部分31aを有する。後述するように、第1電極31は、第1配線61を介して第1半導体層11と電氣的に接続する。

[0021] 第1電極31は、例えば、Ti、Rh、Au、Pt、Al、Ag、Rh、若しくはRuを含む単層の金属層、または、これら金属層のうち少なくとも2つを含む積層構造とすることができる。

[0022] <第2電極>

第2電極32は、第1絶縁膜20上に配置されている。図1Bに示すように、第2電極32は、第1電極31と離隔している。図2に示すように、第2電極32の一部は、第1絶縁膜20の第1開口20aに配置されている。第2電極32は、半導体構造体10の第2面10aにおいて、第2半導体層13と第1開口20aで電氣的に接続する。図2には、第2電極32が、後述する導電層41を介して第2半導体層13と電氣的に接続する例を示す。または、第2電極32は、第1開口20aにおいて第2半導体層13と直接接することで電氣的に接続してもよい。

[0023] 第2電極32は、第1電極31と同じ材料の単層の金属層、または、これら金属層のうち少なくとも2つを含む積層構造とすることができる。

[0024] <第2絶縁膜>

第2絶縁膜52は、半導体構造体10の第1面10b上及び側面10c上

に配置されている。第2絶縁膜52は、第1面10b及び側面10cを覆っている。また、第2絶縁膜52は、第1絶縁膜20のうち平面視において半導体構造体10の外縁10dよりも外側に位置する部分の上に配置されている。活性層12が発する光のピーク波長に対する第2絶縁膜52の透過率は、例えば、60%以上、好ましくは70%以上である。第2絶縁膜52として、例えば、シリコン酸化膜またはシリコン窒化膜を用いることができる。

[0025] 第2絶縁膜52は、半導体構造体10の第1面10bの上方に位置する第3開口52aを有する。第3開口52aは、半導体構造体10の側面10cの上方に位置してもよい。また、第2絶縁膜52は、第1絶縁膜20の第2開口20bの上方に位置する第4開口52bを有する。

[0026] <第1配線>

第1配線61は、第2絶縁膜52上に配置され、第3開口52aにおいて第2絶縁膜52から露出する第1半導体層11の一部と、第2開口20bにおいて第1絶縁膜20から露出する第1電極31の第1部分31aとを電氣的に接続している。

[0027] 第1配線61は、第2絶縁膜52の第3開口52aに配置され、第1面10bにおいて第1半導体層11と電氣的に接続された第1接続部61aを有する。第3開口52aが半導体構造体10の側面10cの上方に位置する場合、第1配線61は、側面10cにおいて第1半導体層11と電氣的に接続される。また、第1配線61は、第1絶縁膜20の第2開口20bに配置され、第1電極31の第1部分31aと電氣的に接続された第2接続部61bを有する。また、第1配線61は、第1接続部61aと第2接続部61bとを接続し、半導体構造体10の側面10cを覆う第2絶縁膜52上に位置する中間部61cを有する。中間部61cの下端部は、第2絶縁膜52の第4開口52bに配置され、第2接続部61bと接続されている。中間部61cは、第2絶縁膜52に接している。第1配線61は、透光性導電膜または金属膜からなる。

[0028] 発光素子1は、半導体構造体10の第2面10a側を配線基板に向けて配

線基板上に配置することができる。第2面10a側に配置された第1電極31及び第2電極32のそれぞれを、例えばはんだ等の接続部材を介して、配線基板の導電部と電氣的に接続させることができる。第2電極32は、第2面10a側において、第1絶縁膜20の第1開口20aを通じて第2半導体層13と電氣的に接続されている。これに対して、第1電極31は、第2面10a側において第1半導体層11と電氣的に接続されず、第1配線61を介して、第1面10b側において第1半導体層11と電氣的に接続されている。したがって、半導体構造体10は活性層12が除去されることなく第1電極31及び第2電極32と電氣的に接続されているため、平面視における活性層12の面積を大きく確保でき、発光素子1の輝度を向上できる。

[0029] 第1半導体層11を配線基板の導電部と電氣的に接続させる構成の参照例として、第1面10bと配線基板の導電部とをワイヤで接続する構成が考えられ得る。本実施形態によれば、第1半導体層11は、半導体構造体10の側面10cを覆う第2絶縁膜52上に配置した第1配線61、及び第2面10a側に配置した第1電極31を介して、配線基板の導電部と電氣的に接続される。このような本実施形態の構成によれば、参照例に比べて、発光素子を配線基板に対して配置及び接続するための領域の面積を低減することができる。これにより、発光素子及び配線基板を含む発光装置の小型化が可能になる。また、配線基板上に複数の発光素子を高密度に配置しやすくなる。

[0030] 前述したように、活性層12が発する光は、半導体構造体10の第1面10b及び側面10cから出射される。そのため、図1Aに示すように、平面視において、第1配線61の第2方向Yにおける幅は、第1面10bの第2方向Yの幅及び側面10cの第2方向Yにおける幅よりも小さいことが好ましい。これにより、活性層12が発する光の第1配線61における吸収を低減し、発光素子1の輝度を向上させることができる。

[0031] 第1接続部61aの平面視における面積は、第1面10bの面積の1%以上20%以下が好ましい。第1接続部61aがこのような面積であることで、第1配線61による活性層12が発する光の吸収を低減することができる。

。また、中間部 6 1 c の第 2 方向 Y における幅は、第 1 接続部 6 1 a の第 2 方向 Y における幅よりも小さくすることが好ましい。これにより、中間部 6 1 c による活性層 1 2 が発する光の吸収を低減することができる。中間部 6 1 c の第 2 方向 Y における幅を、第 1 接続部 6 1 a の第 2 方向 Y における幅よりも小さくする場合、例えば、中間部 6 1 c の第 2 方向 Y における幅は、第 1 接続部 6 1 a の第 2 方向 Y における幅の 5 % 以上 5 0 % 以下である。また、第 1 配線 6 1 は、透光性導電膜からなることが好ましい。これにより、活性層 1 2 が発する光の第 1 配線 6 1 における吸収を低減し、発光素子 1 の輝度を向上させることができる。第 1 配線 6 1 の透光性導電膜の材料として、例えば、ITO (Indium Tin Oxide)、ZnO (Zinc Oxide)、 In_2O_3 (Indium Oxide) などを用いることができる。活性層 1 2 が発する光のピーク波長に対する透光性導電膜の透過率は、例えば、6 0 % 以上、好ましくは 7 0 % 以上である。また、これら材料を用いた透光性導電膜は、金属膜を用いた場合に比べて、第 1 面 1 0 b における半導体構造体 1 0 との接触抵抗を低減することができる。

[0032] 第 2 面 1 0 a 側において第 1 半導体層 1 1 と第 1 電極 3 1 とを接続させる場合、平面視において、第 1 半導体層 1 1 を第 2 半導体層 1 3 及び活性層 1 2 から露出させる面積の第 2 面 1 0 a の全面積に対する割合は、発光素子 1 のサイズが小さくなるほど大きくなる傾向がある。したがって、活性層 1 2 を除去しない本実施形態の構成は、例えば、発光素子 1 の平面視における一辺の長さが $100\text{ }\mu\text{m}$ 以下の場合において、活性層 1 2 の平面視における面積を大きく確保できる効果が大きく、輝度を向上させやすい。

[0033] 図 1 B に示すように、平面視において、第 1 電極 3 1 は、半導体構造体 1 0 の外縁 1 0 d よりも内側に位置する第 2 部分 3 1 b をさらに有する。第 2 部分 3 1 b 及び第 1 部分 3 1 a は、同材料で一体に構成することができる。第 1 電極 3 1 が平面視において半導体構造体 1 0 の外縁 1 0 d よりも内側に位置する第 2 部分 3 1 b を有することで、平面視において、発光素子 1 のサイズを低減しつつ、第 1 電極 3 1 の面積を大きくすることができる。平面視

における第1電極31の面積を大きくすることで、第1電極31と配線基板の導電部との接触面積を大きくでき、発光素子1の順方向電圧を低減できる。また、半導体構造体10が発する熱を、第2部分31bを介して配線基板に放熱しやすくできる。第2部分31bは、平面視において半導体構造体10の第2面10aに重なる。

[0034] 平面視において、第1部分31a及び第2部分31bを有する第1電極31の面積は、第2電極32の面積に対して、例えば、80%以上120%以下とすることができる。このようにすることで、平面視における第1電極31の面積と第2電極32の面積との差を小さくし、発光素子1をはんだ等の接続部材を介して配線基板に配置する際に生じる位置ずれを低減できる。

[0035] 平面視において、半導体構造体10の外縁10dよりも外側に位置する第1部分31aの面積は、第2部分31bの面積よりも小さいことが好ましい。これにより、発光素子1のサイズを低減できる。また、平面視において、第2部分31bの面積が、第1部分31aの面積よりも大きいことにより、前述した、発光素子1の配線基板への配置のしやすさ、順方向電圧の低減効果、及び放熱効果を向上できる。平面視において、第1部分31aの面積は、例えば、第2部分32bの面積の5%以上20%以下である。

[0036] 平面視において、第2部分31bの面積と、第2電極32の面積との合計は、第2面10aの面積の60%以上90%以下とすることが好ましい。このような値とすることで、活性層12からの光のうち第2面10a側に向かう光を第2部分31b及び第2電極32により反射させやくできるので光取り出し効率を向上できる。

[0037] <導電層>

図2に示すように、発光素子1は、半導体構造体10の第2面10aに配置された導電層41をさらに備えることができる。導電層41は、第2面10aにおいて第2半導体層13と電氣的に接続されている。導電層41は、第1絶縁膜20に覆われている。導電層41の一部が、第1開口20aにおいて第1絶縁膜20から露出し、第2電極32と電氣的に接続されている。

[0038] 図1Bに示すように、平面視において、導電層41の外縁41aは、半導体構造体10の外縁10dよりも内側に位置する。平面視において、導電層41の面積は、第1開口20aの面積よりも大きい。第1開口20aを通じて第2電極32が第2面10aに直接接続する場合に比べて、導電層41により、第2電極32を通じて供給される電流を第2半導体層13の面方向に拡散させやすくなる。

[0039] 導電層41の材料として、例えば、透光性導電膜を用いることができる。透光性導電膜として、例えば、ITO、ZnO、 In_2O_3 など透光性導電膜が挙げられる。これら材料を用いることで、金属材料を用いた場合に比べて、導電層41と第2面10aとの接触抵抗を低減して、発光素子1の順方向電圧を低減することができる。また、導電層41の材料として、金属材料を用いてもよい。導電層41の金属材料として、例えば、第1電極31に用いる材料と同様の材料が挙げられる。これらの材料を用いることで、透光性導電膜を用いた場合に比べて、活性層12からの光を反射しやすくでき、発光素子1の光取り出し効率を向上することができる。

[0040] <第3絶縁膜>

発光素子1は、第3絶縁膜53をさらに備えることができる。第3絶縁膜53は、第1配線61を覆っている。第3絶縁膜53として、例えば、シリコン酸化膜またはシリコン窒化膜を用いることができる。

[0041] (発光素子の製造方法)

図3～図17を参照して、第1実施形態に係る発光素子の製造方法について説明する。第1実施形態に係る発光素子の製造方法は、ウェハを準備する工程と、ウェハを第2基板に接合する工程と、第1半導体層の上面を露出させる工程と、半導体構造体を複数の発光部に分離する工程と、第2絶縁膜を形成する工程と、第1電極の第1部分を第1絶縁膜から露出させ且つ第1半導体層の一部を第2絶縁膜から露出させる工程と、第1配線を形成する工程と、発光部と第2基板とを分離する工程と、を備える。

[0042] <ウェハを準備する工程>

図6は、ウェハWの一部を表す。ウェハWは、第1基板101と、半導体構造体10と、第1絶縁膜20と、第1電極31と、第2電極32とを有する。

[0043] 第1基板101として、例えば、C面、R面、及びA面のいずれかを主面とするサファイアまたはスピネル ($MgAl_2O_4$) のような絶縁性基板を用いることができる。また、第1基板101として、SiC (6H、4H、3Cを含む)、ZnS、ZnO、GaAs、Siなどの導電性の基板を用いても良い。本実施形態においては、C面を主面とするサファイア基板を第1基板101に用いている。半導体構造体10は、第1基板101の主面上に配置されている。半導体構造体10は、第1半導体層11と、第1半導体層よりも第1基板101から離れた第2半導体層13と、第1半導体層11と第2半導体層13との間に位置する活性層12とを有する。

[0044] 第1半導体層11において活性層12側に位置する面は、第2半導体層13及び活性層12から露出する部分を有さない。これにより、前述したように活性層12の平面視における面積を大きくできる。

[0045] また、半導体構造体10における第2半導体層13が位置する上面側において、第1半導体層11の一部を第2半導体層13及び活性層12から露出させないことが好ましい。これにより、以降の工程でウェットエッチング等の液体を用いた処理がある場合に、第1電極31または第2電極32に含まれる金属が液体中でイオン化し、第1半導体層11の一部（露出部）と第2半導体層13との間の電位差による金属のマイグレーションの発生を低減できる。したがって、意図しない部分への金属の析出を起こりにくくでき、発光素子の信頼性を向上させることができる。

[0046] 第1絶縁膜20は、第2半導体層13上に配置され、第2半導体層13の上方に位置する第1開口20aを有する。第1電極31は、第1絶縁膜20上に配置されている。第2電極32は、第1絶縁膜20上に第1電極31と離隔して配置され、第2半導体層13と第1開口20aで電氣的に接続している。また、ウェハWは、第2半導体層13上に配置され、第2電極32と

電氣的に接続する導電層 4 1 をさらに有してよい。

- [0047] ウェハ W を準備する工程において、図 6 に示すウェハ W を購入して準備することができる。
- [0048] また、ウェハ W を準備する工程は、図 3 ～ 図 6 に示す工程を含んでもよい。以下、図 3 ～ 図 6 に示す各工程について説明する。
- [0049] 図 3 に示す工程において、第 1 基板 1 0 1 上に半導体構造体 1 0 が形成される。例えば MOCVD (Metal Organic Chemical Vapor Deposition) 法により、第 1 基板 1 0 1 上に、第 1 半導体層 1 1、活性層 1 2、及び第 2 半導体層 1 3 を順に形成することで半導体構造 1 0 が形成される。本実施形態においては、第 1 基板 1 0 1 上に半導体構造体 1 0 を形成した後、第 2 半導体層 1 3 の一部及び活性層 1 2 の一部を除去して、第 1 半導体層 1 1 の一部を第 2 半導体層 1 3 及び活性層 1 2 から露出させる工程が行われない。
- [0050] ウェハ W を準備する工程は、図 4 に示すように、導電層 4 1 を第 2 半導体層 1 3 上に形成する工程を有することができる。導電層 4 1 は、第 2 半導体層 1 3 の上面に接し、第 2 半導体層 1 3 と電氣的に接続される。導電層 4 1 は、例えば、スパッタリング法または蒸着法により形成することができる。導電層 4 1 は形成しなくてもよい。以下の説明では、導電層 4 1 を形成した場合について説明する。
- [0051] ウェハ W を準備する工程は、図 5 に示すように、導電層 4 1 の上方に位置する第 1 開口 2 0 a を有する第 1 絶縁膜 2 0 を、第 2 半導体層 1 3 上及び導電層 4 1 上に形成する工程を有する。導電層 4 1 の一部は、第 1 開口 2 0 a において第 1 絶縁膜 2 0 から露出する。第 1 絶縁膜 2 0 は、例えば、CVD (Chemical Vapor Deposition) 法またはスパッタリング法により形成することができる。第 1 開口 2 0 a は、例えば、第 1 絶縁膜 2 0 の一部をエッチングにより除去することで形成することができる。
- [0052] ウェハ W を準備する工程は、図 6 に示すように、第 1 電極 3 1 及び第 2 電極 3 2 を形成する工程を有する。第 2 電極 3 2 は、第 1 絶縁膜 2 0 上及び第 1 開口 2 0 a 内に形成され、第 1 開口 2 0 a において導電層 4 1 と電氣的に

接続される。第2電極32は、導電層41を介して第2半導体層13と電氣的に接続される。第1電極31は、第2電極32と離隔して、第1絶縁膜20上に形成される。図6に示す工程において、第1電極31は、第1半導体層11と電氣的に接続されない。第1電極31及び第2電極32は、例えば、スパッタリング法または蒸着法により形成することができる。第1電極31及び第2電極32は、同じ材料を用いて同時に形成することができる。

[0053] <ウェハを第2基板に接合する工程>

図7に示すように、ウェハWにおける第2電極32及び第1電極31が配置された側を、接合部材51を介して第2基板102に接合する。図7に示すウェハWの上下の位置は、図6に示すウェハWの上下の位置と逆に表している。

[0054] 接合部材51は、第1絶縁膜20と第2基板102との間に配置される。また、接合部材51は、第1電極31及び第2電極32を覆う。接合部材51として、例えば、エポキシ樹脂、アクリル樹脂、又はポリイミド樹脂から主として構成される樹脂部材を用いることができる。第2基板102として、例えば、第1基板101と同様の基板を用いることができる。

[0055] <第1半導体層の上面を露出させる工程>

ウェハWと第2基板102とを接合する工程の後、第1基板101を除去し、図8に示すように、第1半導体層11の上面11aを露出させる。第1基板101は、例えば、LLO (Laser Lift Off) 法、研削、研磨、エッチング等の方法によって除去することができる。

[0056] <半導体構造体を複数の発光部に分離する工程>

第1基板101を除去した後、露出した第1半導体層11の上面11a側から半導体構造体10の一部を除去し、図9及び図10に示すように、半導体構造体10を複数の発光部100に分離する。図9は、図10のIX-IX線における模式断面図である。

[0057] 半導体構造体10を複数の発光部100に分離する工程において、図10に示すように、平面視において第1電極31が発光部100の外縁100d

よりも外側に位置する第1部分31aを有するように半導体構造体10を複数の発光部100に分離する。すなわち、平面視において第1電極31の一部（第1部分31aとなる部分）に重なる半導体構造体10を除去する。

[0058] 半導体構造体10を複数の発光部100に分離する工程において、半導体構造体10の一部が除去されることで、第1絶縁膜20の上面が半導体構造体10（発光部100）から露出する。半導体構造体10の一部を除去することで、第1絶縁膜20上に第1方向X及び第2方向Yに延びる溝が形成され、半導体構造体10は第1方向X及び第2方向Yに並ぶ複数の発光部100に分離される。

[0059] 半導体構造体10の一部は、マスクを用いてドライエッチングにより除去することができる。ドライエッチングとして、例えば、RIE（Reactive Ion Etching）法が挙げられる。RIE法において、例えば、 Cl_2 、 SiCl_4 などの塩素を含むガスを用いることができる。ドライエッチングはウェットエッチングと比較して、エッチング量を制御しやすいため、ドライエッチングにより半導体構造体10の一部を除去することで発光部100の形状を所望の形状とすることができる。または、半導体構造体10の一部を、マスクを用いてウェットエッチングにより除去することもできる。

[0060] 発光部100は、上面100aと、第3方向Zにおいて上面100aの反対側に位置する下面100cと、上面100aと下面100cとを接続する側面100bとを有する。発光部100の上面100aは、第1半導体層11の上面11aである。発光部100の下面100cは、第2半導体層13の下面である。発光部100の側面100bは、図2に示す半導体構造体10の側面10cに相当する。発光部100の下面100cの面積は、発光部100の上面100aの面積よりも大きい。発光部100の側面100bは、第1半導体層11の側面、活性層12の側面、及び第2半導体層13の側面を含む。

[0061] 図9に示すように、発光部100の断面形状は、略台形状にすることができる。活性層12は、発光部100の上面100aよりも下面100cに近

い位置に位置する。また、発光部100の下面100cの面積は、発光部100の上面100aの面積よりも大きい。従って、上面100aの面積が下面100cの面積よりも大きい場合と比較して、活性層12の面積が大きい発光部100とすることができる。側面100bは、上面100aに対して傾斜している。側面100bと下面100cとがなす角は鋭角であり、側面100bと上面100aとがなす角は鈍角である。

[0062] <第2絶縁膜を形成する工程>

半導体構造体10を複数の発光部100に分離する工程の後、図11に示すように、発光部100を覆う第2絶縁膜52を形成する。第2絶縁膜52は、発光部100の上面100a及び側面100bを覆う。また、第2絶縁膜52は、発光部100から露出する第1絶縁膜20の上面を覆う。なお、第2絶縁膜52は、第1絶縁膜20の上面を覆わなくてもよい。第2絶縁膜52は、例えば、CVD法またはスパッタリング法により形成することができる。

[0063] <第1電極の第1部分を第1絶縁膜から露出させ且つ第1半導体層の一部を第2絶縁膜から露出させる工程>

第2絶縁膜52を形成する工程の後、図12に示すように、第1絶縁膜20の一部を除去し、第1電極31の第1部分31aを第1絶縁膜20から露出させ、且つ第2絶縁膜52の一部を除去し、発光部100の第1半導体層11の一部を第2絶縁膜52から露出させる。

[0064] 例えば、マスクを用いたRIE法により、第1絶縁膜20の一部及び第2絶縁膜52の一部を除去することができる。RIE法におけるガスとして、例えば、フッ素を含むガスを用いることができる。

[0065] 発光部100の上面100aである第1半導体層11の上面11aを覆う第2絶縁膜52の一部を除去することで、第2絶縁膜52に第3開口52aが形成される。第3開口52aにおいて、第1半導体層11の上面11aの一部が第2絶縁膜52から露出する。第2絶縁膜52において、側面10cが露出する位置に第3開口52aを形成してもよい。

[0066] 第1電極31の第1部分31aの上方に位置する第1絶縁膜20の一部を除去することで、第1絶縁膜20に第2開口20bが形成される。第2開口20bにおいて、第1電極31の第1部分31aが第1絶縁膜20から露出する。

[0067] 第2絶縁膜52が第1絶縁膜20の上面を覆っている場合には、第1絶縁膜20に第2開口20bを形成する前に、第1電極31の第1部分31aの上方に位置する第2絶縁膜52の一部を除去することで、第2絶縁膜52に第4開口52bを形成する。第2絶縁膜52に第4開口52bを形成した後、第4開口52bにおいて第2絶縁膜52から露出する第1絶縁膜20の一部を除去して、第4開口52bの下方に第2開口20bを形成する。第1電極31の第1部分31aは、第2開口20b及び第4開口52bにおいて、第1絶縁膜20及び第2絶縁膜52から露出する。

[0068] <第1配線を形成する工程>

第1電極31の第1部分31aを第1絶縁膜20から露出させ且つ第1半導体層11の一部を第2絶縁膜52から露出させる工程の後、図13に示すように、第2絶縁膜52上に第1配線61を形成する。例えば、スパッタリング法または蒸着法により、第1配線61を形成することができる。

[0069] 第1配線61は、第2絶縁膜52から露出する第1半導体層11の一部と、第1絶縁膜20から露出する第1電極31の第1部分31aとを電氣的に接続する。これにより、発光部100の下面100c側において第1半導体層11の一部を第2半導体層13及び活性層12から露出させなくても、発光部100の下面100c側に配置された第1電極31を、第1半導体層11の上面11a側において第1半導体層11と電氣的に接続させることができる。

[0070] 第2絶縁膜52に形成した第3開口52aにおいて、第1配線61の第1接続部61aが第1半導体層11の上面11aと電氣的に接続される。第3開口52aが半導体構造体10の側面10cの上方に位置する場合、第1配線61は、側面10cにおいて第1半導体層11と電氣的に接続される。第

1 絶縁膜 20 に形成した第 2 開口 20 b において、第 1 配線 61 の第 2 接続部 61 b が第 1 電極 31 の第 1 部分 31 a と電氣的に接続される。第 1 配線 61 において第 1 接続部 61 a と第 2 接続部 61 b とを接続する中間部 61 c は、発光部 100 の側面 100 b を覆う第 2 絶縁膜 52 上に形成される。中間部 61 c は、第 2 絶縁膜 52 に接している。

[0071] <第 3 絶縁膜を形成する工程>

第 1 配線 61 を形成した後、第 1 実施形態に係る発光素子の製造方法は、図 14 に示すように、第 1 配線 61 を覆う第 3 絶縁膜 53 を形成する工程を備えてもよい。第 3 絶縁膜 53 は、例えば、CVD 法またはスパッタリング法により形成することができる。

[0072] <発光部と第 2 基板とを分離する工程>

第 1 配線 61 を形成した後、発光部 100 と第 2 基板 102 とを分離する。発光部 100 と第 2 基板 102 とを分離する工程は、図 15～図 17 に示す工程を有することができる。

[0073] 第 1 配線 61 を形成した後、平面視において発光部 100 間の領域に位置する第 1 絶縁膜 20 を除去することで、図 15 に示す第 1 溝 71 を第 1 絶縁膜 20 に形成する。第 1 溝 71 において、接合部材 51 の上面が第 2 絶縁膜 52 及び第 1 絶縁膜 20 から露出する。平面視において発光部 100 間の領域に第 2 絶縁膜 52 も配置されている場合、第 2 絶縁膜 52 が除去された後、第 1 絶縁膜 20 が除去される。第 2 絶縁膜 52 の除去には、第 1 絶縁膜 20 の除去と同様の方法を用いることができる。

[0074] 第 1 溝 71 を形成した後、図 16 に示す工程において、第 1 溝 71 の下方の接合部材 51 を除去して、第 1 溝 71 の下方に第 2 溝 72 を形成する。第 1 溝 71 及び第 2 溝 72 によって第 2 基板 102 上で互いに分離された複数の発光素子 1 が得られる。各発光素子 1 は、発光部 100、第 1 電極 31、第 2 電極 32、第 1 絶縁膜 20、第 2 絶縁膜 52、及び第 1 配線 61 を有する。また、発光素子 1 は、必要に応じて、導電層 41 及び第 3 絶縁膜 53 を有することができる。

[0075] 第1溝71及び第2溝72は、例えば、RIE法により形成することができる。第1溝71をRIE法により形成した後、ガスを切り替えて第2溝72をRIE法により形成することができる。第1溝71は、例えば、フッ素を含むガスを用いたRIE法により形成することができる。第2溝72は、例えば、酸素を含むガスを用いたRIE法により形成することができる。第1溝71及び第2溝72は、同じガスを用いたRIE法により連続して形成してもよい。

[0076] 発光素子1は、接合部材51を介して第2基板102上に支持されている。例えば、第2基板102側からレーザ光を照射して接合部材51を除去することで、発光素子1と第2基板102とを分離することができる。図17に示すように、第2基板102と分離した発光素子1における発光部100の上面100a側が、例えば粘着性のある支持部材103に接着される。発光素子1は、支持部材103に接着させた後、第2基板102から分離してもよい。発光素子1を第2基板102から分離した後、第1電極31及び第2電極32側に接合部材51が残っている場合、例えば、接合部材51をRIE法により除去して、第1電極31及び第2電極32を露出させてよい。第1電極31及び第2電極32は、配線基板の導電部に接合される外部接続端子として機能する。

[0077] 半導体構造体10を複数の発光部100に分離する工程において、図10に示すように、平面視において第1電極31が発光部100の外縁100dよりも内側に位置する第2部分31bを有するように、半導体構造体10を複数の発光部100に分離することができる。これにより、発光素子のサイズを低減しつつ、第1電極31の面積を大きくすることができる。第1電極31の面積を大きくすることで、前述したように、発光素子を配線基板に配置した際に、順方向電圧を低減、及び放熱効果を向上できる。

[0078] 平面視において、第1部分31aの面積は第2部分31bの面積よりも小さいことが好ましい。これにより、発光素子のサイズを低減できる。また、平面視において、第2部分31bの面積が第1部分31aの面積よりも大き

いことにより、前述した、発光素子の配線基板への配置のしやすさ、順方向電圧の低減効果、及び放熱効果を向上できる。

[0079] また、第1配線61を形成する工程において、第1配線61を透光性導電膜で形成することが好ましい。これにより、活性層12が発する光の第1配線61における吸収を低減できる。

[0080] [第2実施形態]

図18は、第2実施形態に係る発光素子2の模式断面図である。

[0081] 第2実施形態に係る発光素子2において、半導体構造体10の第1面10bは複数の凸部10b1を含み、半導体構造体10の側面10cは複数の凸部10c1を含む。これにより、第1面10b及び側面10cからの光の取り出し効率を向上させることができる。

[0082] 複数の凸部10b1を含む第1面10bの算術平均高さは、複数の凸部10c1を含む側面10cの算術平均高さよりも大きくすることができる。これにより、側面10cよりも第1面10bから光が取り出されやすくなり、第1面10bの直上方向に高い指向性を持つ配光特性を得ることができる。

[0083] また、第1面10bを覆う第2絶縁膜52の表面に凸部10b1に沿った形状の凸部が形成され、側面10cを覆う第2絶縁膜52の表面に側面10cの凸部10c1に沿った形状の凸部が形成される。これにより、第1面10b及び側面10cから第2絶縁膜52を介して取り出される光の取り出し効率を向上させることができる。さらに、側面10cを覆う第2絶縁膜52上に配置される第1配線61の表面及び第1配線61を覆う第3絶縁膜53の表面に、凸部10c1に沿った形状の凸部が形成される。これにより、側面10cから第1配線61及び第3絶縁膜53を介して取り出される光の取り出し効率を向上させることができる。

[0084] 図8、図19及び図20を参照し、発光素子2における半導体構造体10の第1面10b及び側面10cに、複数の凸部を形成する第1の方法を説明する。

[0085] 第1の方法においては、図8に示す第1半導体層11の上面11aを露出

させる工程の後、図19に示すように、半導体構造体10を複数の発光部100に分離する前に、第1半導体層11の上面11aを粗面化する。例えば、 Cl_2 、 SiCl_4 などの塩素を含むガスによるドライエッチング、またはTMAH (Tetramethylammonium hydroxide) 等のアルカリ溶液を使用したウェットエッチングにより、第1半導体層11の上面11aを粗面化することができる。

[0086] 第1半導体層11の上面11aを粗面化した後、図20に示すように、半導体構造体10の一部を除去して、半導体構造体10を複数の発光部100に分離する。例えば、第1半導体層11の上面11aに配置されるマスクを用いて、半導体構造体10の一部をドライエッチングにより除去する。ドライエッチングとしては、例えば、RIE法が挙げられる。RIE法において、例えば、 Cl_2 、 SiCl_4 などの塩素を含むガスを用いることができる。ドライエッチングはエッチング制御性が良く、エッチング後の発光部100の形状を所望の形状にさせやすい。

[0087] 半導体構造体10の一部を除去して発光部100に分離する工程において、ドライエッチングはマスクから露出する粗面化された第1半導体層11の上面11aから進行していく。そのため、上面11aがあらかじめ粗面化されていない場合よりも、半導体構造体10におけるドライエッチングされた面の表面粗さが大きくなる。したがって、図20に示すように、半導体構造体10の一部を除去することで露出する発光部100の側面100bを粗面化することができる。これにより、半導体構造体10を複数の発光部100に分離する工程と、発光部100の側面100bの粗面化とを1つの工程で行うことができるため、光取り出し効率が向上された発光素子を効率良く製造することができる。図20に示す半導体構造体10の一部を除去することで露出する発光部100の側面100bは、図18に示す発光素子2における半導体構造体10の側面10cに相当する。

[0088] また、半導体構造体10の一部をウェットエッチングにより除去して発光部100に分離してもよい。ウェットエッチングは、ドライエッチングに比

べて、側面 10c の表面粗さを大きくしやすく、側面 10c からの光の取り出し効率を向上させやすい。

[0089] 図 9 及び図 20 を参照し、発光素子 2 における半導体構造体 10 の第 1 面 10b 及び側面 10c に、複数の凸部を形成する第 2 の方法を説明する。

[0090] 第 2 の方法によれば、図 9 に示す半導体構造体 10 を複数の発光部 100 に分離する工程の後、図 20 に示すように、発光部 100 の上面 100a 及び側面 100b を粗面化する。

[0091] 例えば、塩素を含むガスによるドライエッチング、または TMAH 等のアルカリ溶液を使用したウェットエッチングにより、発光部 100 の上面 100a 及び側面 100b が粗面化される。第 2 の方法によれば、発光部 100 の上面 100a 及び側面 100b を 1 つの工程で粗面化することができるため、光取り出し効率が向上された発光素子を効率良く製造することができる。図 20 における発光部 100 の上面 100a 及び側面 100b は、図 18 に示す発光素子 2 における半導体構造体 10 の第 1 面 10b 及び側面 10c にそれぞれ相当する。

[0092] 第 2 の方法によれば、第 1 半導体層 11 の上面 11a が粗面化されていない状態で半導体構造体 10 の一部を除去し、複数の発光部 100 に分離する。このような第 2 の方法によれば、第 1 の方法に比べて、発光部 100 の第 1 面 100a となる第 1 半導体層 11 の上面 11a が高い平坦性を有する状態でエッチングされるため、発光部 100 の形状を所望の形状にしやすい。

[0093] また、第 1 基板 101 としてサファイア基板の C 面上に半導体構造体 10 を成長させた場合には、発光部 100 の上面 100a と、発光部 100 の側面 100b との結晶方位が異なる。従って、発光部 100 に分離した後に、発光部 100 の上面 100a と、発光部 100 の側面 100b とに粗面化工程を行うことで、発光部 100 の上面 100a の表面粗さを発光部 100 の側面 100b の表面粗さよりも大きくすることができる。これにより、発光素子 2 における半導体構造体 10 の側面 10c よりも第 1 面 10b から光が取り出されやすくなり、第 1 面 10b の直上方向に高い指向性を持つ配光

特性を得ることができる。

[0094] [第3実施形態]

図21Aは、第3実施形態に係る発光素子3の模式下面図である。図21Bは、図21AのXXIB-XXIB線における模式断面図である。

[0095] 第3実施形態に係る発光素子3は、第2半導体層13と第2電極32との間に配置された反射膜42をさらに備える。反射膜42は、活性層12が発する光に対する反射性を有する。反射膜42の材料として、例えば、金属を用いることができる。反射膜42は、例えば、Al膜、Ti膜、またはこれらの積層構造を含むことができる。活性層12から半導体構造体10の第2面10a側に向かった光を反射膜42で反射させて、第1面10b及び側面10cに向かわせることができる。これにより、発光素子3の輝度を向上させることができる。活性層12が発する光のピーク波長に対する反射膜42の反射率は、例えば、60%以上、好ましくは70%以上である。

[0096] 反射膜42は、例えば、導電層41と第2部分31bとの間に配置することができる。反射膜42と導電層41との間、反射膜42と第2電極32との間、及び反射膜42と第1電極31の第2部分31bとの間には、第1絶縁膜20が位置する。

[0097] 図21Aに示すように、平面視において、反射膜42の外縁42aは、例えば、導電層41の外縁41aよりも内側に位置することができる。平面視において、反射膜42は、第2電極32が第1絶縁膜20の第1開口20aにおいて導電層41に接続する部分に重ならない。

[0098] 平面視において、反射膜42は、第1電極31と、第2電極32との間の領域に重なる位置に配置されることが好ましい。このように反射膜42が配置されていることで、第1電極31と、第2電極32との間の領域において、活性層12からの光のうち第2面10a側に向かう光を第1面10b側に反射することができるので、発光素子3の光取り出し効率を向上することができる。また、平面視において、反射膜42の面積は、第2面10aの面積の60%以上90%以下とすることができる。これにより、発光素子3の光

取り出し効率を向上することができる。

[0099] 第3実施形態に係る発光素子3の製造方法におけるウェハを準備する工程は、図22～図25に示す工程を有することができる。

[0100] 図22に示すように、第2半導体層13の上面に配置された導電層41上の第2半導体層13の上面上に、第1絶縁膜20の第1層21が形成される。

[0101] 第1層21を形成した後、図23に示すように、第1層21上に反射膜42を形成する。反射膜42は、例えば、スパッタリング法または蒸着法により形成することができる。

[0102] 反射膜42を形成した後、図24に示すように、反射膜42を覆うように、第1層21上に、第1絶縁膜20の第2層22を形成する。第2層22を形成した後、第1絶縁膜20に第1開口20aが形成される。第1開口20aは、導電層41の上方において反射膜42が配置されていない部分に形成される。

[0103] 第1開口20aを形成した後、図25に示すように、第1開口20a内及び第2層22上に第2電極32が形成される。また、第2層22上に第1電極31が形成される。

[0104] 第2実施形態の発光素子2の構造と第3実施形態の発光素子3の構造とを組み合わせ、粗面化された第1面10b及び側面10cを含む半導体構造体10と、反射膜42と、を備える発光素子とすることもできる。

[0105] 本発明の実施形態は、以下の発光素子の製造方法及び発光素子を含む。

[0106] [項1]

第1基板と、前記第1基板上に配置され、第1半導体層と、前記第1半導体層よりも前記第1基板から離れた第2半導体層と、前記第1半導体層と前記第2半導体層との間に位置する活性層とを有する半導体構造体と、前記第2半導体層上に配置され、前記第2半導体層の上方に位置する開口を有する第1絶縁膜と、前記第1絶縁膜上に配置された第1電極と、前記第1絶縁膜上に前記第1電極と離隔して配置され、前記第2半導体層と前記開口で電気

的に接続する第2電極と、を有するウェハを準備する工程と、

前記ウェハにおける前記第2電極及び前記第1電極が配置された側を第2基板に接合する工程と、

前記ウェハと前記第2基板とを接合する工程の後、前記第1基板を除去し、前記第1半導体層の上面を露出させる工程と、

前記第1半導体層の前記上面側から前記半導体構造体の一部を除去し、前記半導体構造体を複数の発光部に分離する工程であって、平面視において前記第1電極が前記発光部の外縁よりも外側に位置する第1部分を有するように、前記半導体構造体を前記複数の発光部に分離する工程と、

前記発光部を覆う第2絶縁膜を形成する工程と、

前記第1絶縁膜の一部を除去し、前記第1電極の前記第1部分を前記第1絶縁膜から露出させ、且つ前記第2絶縁膜の一部を除去し、前記発光部の前記第1半導体層の一部を前記第2絶縁膜から露出させる工程と、

前記第2絶縁膜から露出する前記第1半導体層の前記一部と、前記第1絶縁膜から露出する前記第1電極の前記第1部分とを電氣的に接続する第1配線を、前記第2絶縁膜上に形成する工程と、

前記第1配線を形成した後、前記発光部と前記第2基板とを分離する工程と、

を備える、発光素子の製造方法。

[項2]

前記半導体構造体を前記複数の発光部に分離する工程において、平面視において前記第1電極が前記発光部の前記外縁よりも内側に位置する第2部分を有するように、前記半導体構造体を前記複数の発光部に分離する、項1に記載の発光素子の製造方法。

[項3]

平面視において、前記第1部分の面積は、前記第2部分の面積よりも小さい、項2に記載の発光素子の製造方法。

[項4]

前記第 1 半導体層の前記上面を露出させる工程の後、前記第 1 半導体層の前記上面を粗面化する工程をさらに備える、項 1 ～ 3 のいずれか 1 つに記載の発光素子の製造方法。

[項 5]

前記半導体構造体を前記複数の発光部に分離する工程の後、前記発光部の上面及び側面を粗面化する工程をさらに備える、項 1 ～ 3 のいずれか 1 つに記載の発光素子の製造方法。

[項 6]

前記第 1 配線を形成する工程において、前記第 1 配線を透光性導電膜で形成する、項 1 ～ 5 のいずれか 1 つに記載の発光素子の製造方法。

[項 7]

前記ウェハを準備する工程において、前記第 2 半導体層上に配置され、前記第 2 電極と電氣的に接続する導電層をさらに有する前記ウェハを準備する、項 1 ～ 6 のいずれか 1 つに記載の発光素子の製造方法。

[項 8]

前記ウェハを準備する工程において、前記導電層と前記第 2 電極との間に配置された反射膜をさらに有する前記ウェハを準備する、項 7 に記載の発光素子の製造方法。

[項 9]

平面視において、前記反射膜の面積は、前記導電層の面積の 60%以上 90%以下である、項 8 に記載の発光素子の製造方法。

[項 10]

第 1 面と、前記第 1 面の反対側に位置する第 2 面と、前記第 1 面と前記第 2 面とを接続する側面とを有する半導体構造体であって、前記第 1 面側に位置する第 1 半導体層と、前記第 2 面側に位置する第 2 半導体層と、前記第 1 半導体層と前記第 2 半導体層との間に位置する活性層と、を有する前記半導体構造体と、

前記第 2 面上に配置され、平面視において前記第 2 面と重なる位置に配置

される開口を有する第 1 絶縁膜と、

前記第 1 絶縁膜上に配置され、前記第 2 面と接続しない第 1 電極であって、平面視において前記半導体構造体の外縁よりも外側に位置する第 1 部分を有する前記第 1 電極と、

前記第 1 絶縁膜上に前記第 1 電極と離隔して配置され、前記第 2 面において前記第 2 半導体層と前記開口で電氣的に接続する第 2 電極と、

前記半導体構造体の前記第 1 面上及び前記側面上に配置された第 2 絶縁膜と、

前記第 2 絶縁膜上に配置され、前記第 2 絶縁膜から露出する前記第 1 半導体層の一部と、前記第 1 絶縁膜から露出する前記第 1 電極の前記第 1 部分とを電氣的に接続する第 1 配線と、

を備える、発光素子。

[項 1 1]

平面視において、前記第 1 電極は、前記半導体構造体の前記外縁よりも内側に位置する第 2 部分を有する、項 1 0 に記載の発光素子。

[項 1 2]

平面視において、前記第 1 部分の面積は、前記第 2 部分の面積よりも小さい、項 1 1 に記載の発光素子。

[項 1 3]

前記半導体構造体の前記第 1 面及び前記側面は、複数の凸部を含む、項 1 0 ～ 1 2 のいずれか 1 つに記載の発光素子。

[項 1 4]

前記複数の凸部を含む前記半導体構造体の前記第 1 面の算術平均高さは、前記複数の凸部を含む前記半導体構造体の前記側面における算術平均高さよりも大きい、項 1 3 に記載の発光素子。

[項 1 5]

前記第 1 配線は、透光性導電膜からなる、項 1 0 ～ 1 4 のいずれか 1 つに記載の発光素子。

[項 1 6]

前記半導体構造体の前記第 2 面に配置され、前記第 2 半導体層及び前記第 2 電極と電氣的に接続された導電層をさらに備える、項 1 0～1 5 のいずれか 1 つに記載の発光素子。

[項 1 7]

前記導電層と前記第 2 電極との間に配置された反射膜をさらに備える、項 1 6 に記載の発光素子。

[項 1 8]

平面視において、前記反射膜の面積は、前記導電層の面積の 6 0 % 以上 9 0 % 以下である、項 1 7 に記載の発光素子。

[0107] 以上、具体例を参照しつつ、本発明の実施形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。本発明の上述した実施形態を基にして、当業者が適宜設計変更して実施し得る全ての形態も、本発明の要旨を包含する限り、本発明の範囲に属する。その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものである。

符号の説明

[0108] 1～3…発光素子、1 0…半導体構造体、1 0 a…第 2 面、1 0 b…第 1 面、1 0 c…側面、1 0 d…外縁、1 1…第 1 半導体層、1 2…活性層、1 3…第 2 半導体層、2 0…第 1 絶縁膜、2 0 a…第 1 開口、2 0 b…第 2 開口、2 1…第 1 層、2 2…第 2 層、3 1…第 1 電極、3 1 a…第 1 部分、3 1 b…第 2 部分、3 2…第 2 電極、4 1…導電層、4 2…反射膜、5 1…接合部材、5 2…第 2 絶縁膜、5 2 a…第 3 開口、5 2 b…第 4 開口、5 3…第 3 絶縁膜、6 1…第 1 配線、1 0 0…発光部、1 0 0 d…外縁、1 0 1…第 1 基板、1 0 2…第 2 基板、W…ウェハ

請求の範囲

[請求項1]

第1基板と、前記第1基板上に配置され、第1半導体層と、前記第1半導体層よりも前記第1基板から離れた第2半導体層と、前記第1半導体層と前記第2半導体層との間に位置する活性層とを有する半導体構造体と、前記第2半導体層上に配置され、前記第2半導体層の上方に位置する開口を有する第1絶縁膜と、前記第1絶縁膜上に配置された第1電極と、前記第1絶縁膜上に前記第1電極と離隔して配置され、前記第2半導体層と前記開口で電氣的に接続する第2電極と、を有するウェハを準備する工程と、

前記ウェハにおける前記第2電極及び前記第1電極が配置された側を第2基板に接合する工程と、

前記ウェハと前記第2基板とを接合する工程の後、前記第1基板を除去し、前記第1半導体層の上面を露出させる工程と、

前記第1半導体層の前記上面側から前記半導体構造体の一部を除去し、前記半導体構造体を複数の発光部に分離する工程であって、平面視において前記第1電極が前記発光部の外縁よりも外側に位置する第1部分を有するように、前記半導体構造体を前記複数の発光部に分離する工程と、

前記発光部を覆う第2絶縁膜を形成する工程と、

前記第1絶縁膜の一部を除去し、前記第1電極の前記第1部分を前記第1絶縁膜から露出させ、且つ前記第2絶縁膜の一部を除去し、前記発光部の前記第1半導体層の一部を前記第2絶縁膜から露出させる工程と、

前記第2絶縁膜から露出する前記第1半導体層の前記一部と、前記第1絶縁膜から露出する前記第1電極の前記第1部分とを電氣的に接続する第1配線を、前記第2絶縁膜上に形成する工程と、

前記第1配線を形成した後、前記発光部と前記第2基板とを分離する工程と、

を備える、発光素子の製造方法。

[請求項2] 前記半導体構造体を前記複数の発光部に分離する工程において、平面視において前記第1電極が前記発光部の前記外縁よりも内側に位置する第2部分を有するように、前記半導体構造体を前記複数の発光部に分離する、請求項1に記載の発光素子の製造方法。

[請求項3] 平面視において、前記第1部分の面積は、前記第2部分の面積よりも小さい、請求項2に記載の発光素子の製造方法。

[請求項4] 前記第1半導体層の前記上面を露出させる工程の後、前記第1半導体層の前記上面を粗面化する工程をさらに備える、請求項1～3のいずれか1つに記載の発光素子の製造方法。

[請求項5] 前記半導体構造体を前記複数の発光部に分離する工程の後、前記発光部の上面及び側面を粗面化する工程をさらに備える、請求項1～3のいずれか1つに記載の発光素子の製造方法。

[請求項6] 前記第1配線を形成する工程において、前記第1配線を透光性導電膜で形成する、請求項1～3のいずれか1つに記載の発光素子の製造方法。

[請求項7] 前記ウェハを準備する工程において、前記第2半導体層上に配置され、前記第2電極と電氣的に接続する導電層をさらに有する前記ウェハを準備する、請求項1～3のいずれか1つに記載の発光素子の製造方法。

[請求項8] 前記ウェハを準備する工程において、前記導電層と前記第2電極との間に配置された反射膜をさらに有する前記ウェハを準備する、請求項7に記載の発光素子の製造方法。

[請求項9] 平面視において、前記反射膜の面積は、前記導電層の面積の60%以上90%以下である、請求項8に記載の発光素子の製造方法。

[請求項10] 第1面と、前記第1面の反対側に位置する第2面と、前記第1面と前記第2面とを接続する側面とを有する半導体構造体であって、前記第1面側に位置する第1半導体層と、前記第2面側に位置する第2半

導体層と、前記第 1 半導体層と前記第 2 半導体層との間に位置する活性層と、を有する前記半導体構造体と、

前記第 2 面上に配置され、平面視において前記第 2 面と重なる位置に配置される開口を有する第 1 絶縁膜と、

前記第 1 絶縁膜上に配置され、前記第 2 面と接続しない第 1 電極であって、平面視において前記半導体構造体の外縁よりも外側に位置する第 1 部分を有する前記第 1 電極と、

前記第 1 絶縁膜上に前記第 1 電極と離隔して配置され、前記第 2 面において前記第 2 半導体層と前記開口で電氣的に接続する第 2 電極と、

前記半導体構造体の前記第 1 面上及び前記側面上に配置された第 2 絶縁膜と、

前記第 2 絶縁膜上に配置され、前記第 2 絶縁膜から露出する前記第 1 半導体層の一部と、前記第 1 絶縁膜から露出する前記第 1 電極の前記第 1 部分とを電氣的に接続する第 1 配線と、

を備える、発光素子。

[請求項11] 平面視において、前記第 1 電極は、前記半導体構造体の前記外縁よりも内側に位置する第 2 部分を有する、請求項 10 に記載の発光素子。

[請求項12] 平面視において、前記第 1 部分の面積は、前記第 2 部分の面積よりも小さい、請求項 11 に記載の発光素子。

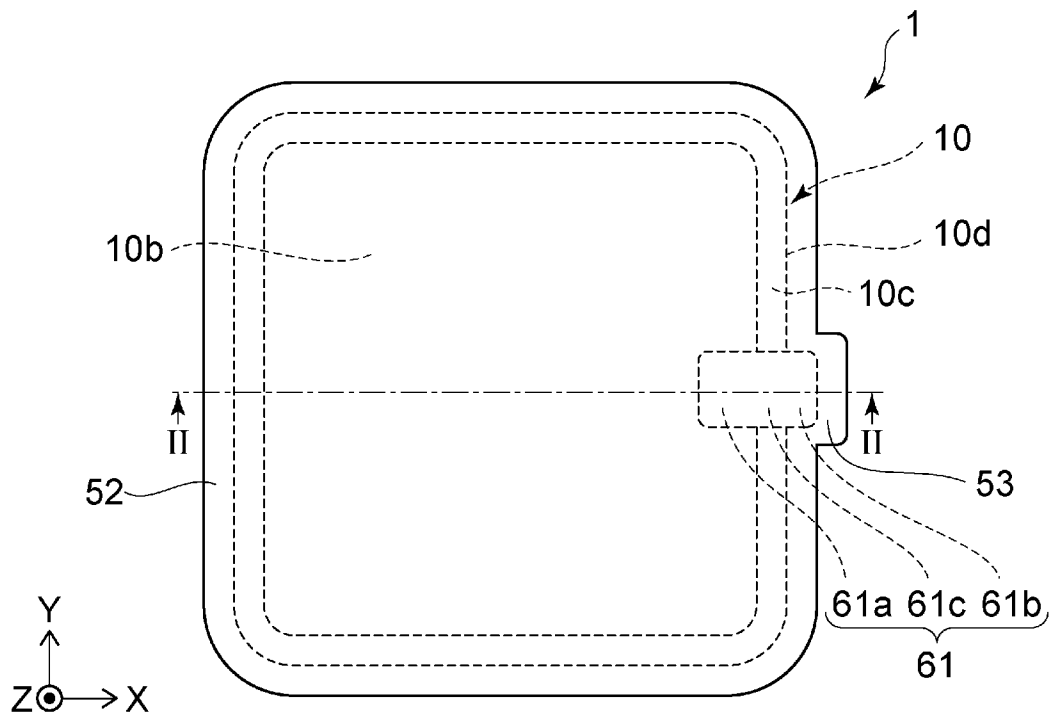
[請求項13] 前記半導体構造体の前記第 1 面及び前記側面は、複数の凸部を含む、請求項 10～12 のいずれか 1 つに記載の発光素子。

[請求項14] 前記複数の凸部を含む前記半導体構造体の前記第 1 面の算術平均高さは、前記複数の凸部を含む前記半導体構造体の前記側面における算術平均高さよりも大きい、請求項 13 に記載の発光素子。

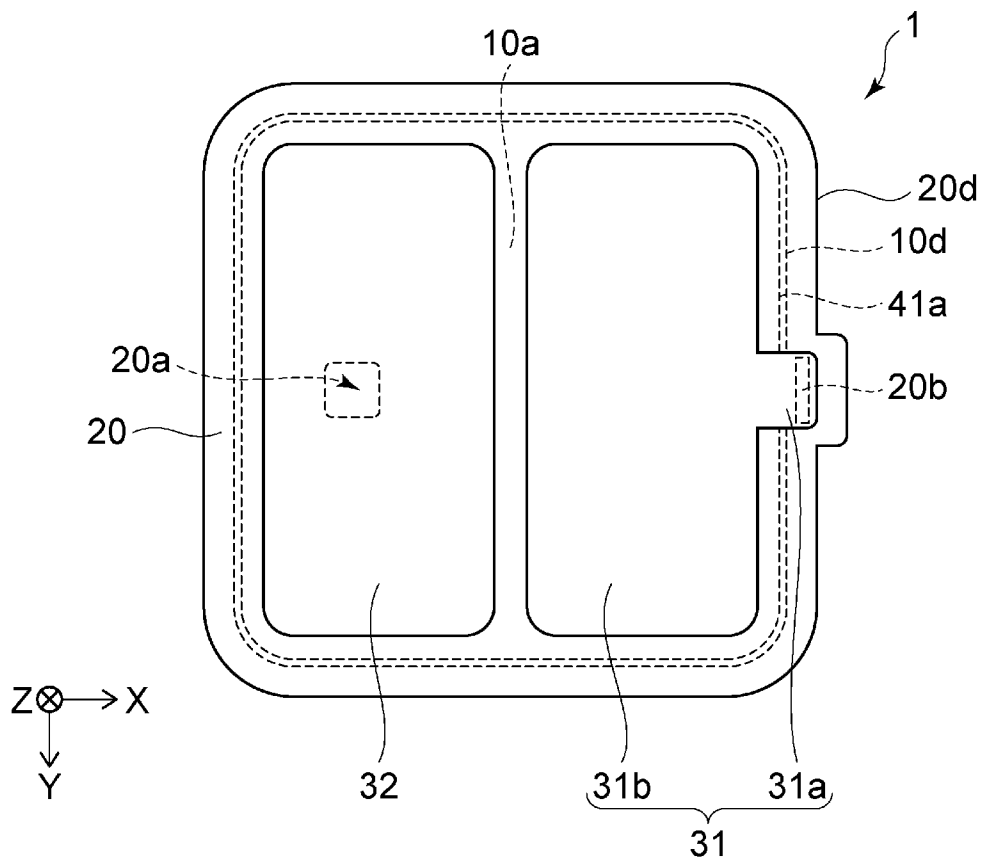
[請求項15] 前記第 1 配線は、透光性導電膜からなる、請求項 10～12 のいずれか 1 つに記載の発光素子。

- [請求項16] 前記半導体構造体の前記第2面に配置され、前記第2半導体層及び前記第2電極と電氣的に接続された導電層をさらに備える、請求項10～12のいずれか1つに記載の発光素子。
- [請求項17] 前記導電層と前記第2電極との間に配置された反射膜をさらに備える、請求項16に記載の発光素子。
- [請求項18] 平面視において、前記反射膜の面積は、前記導電層の面積の60%以上90%以下である、請求項17に記載の発光素子。

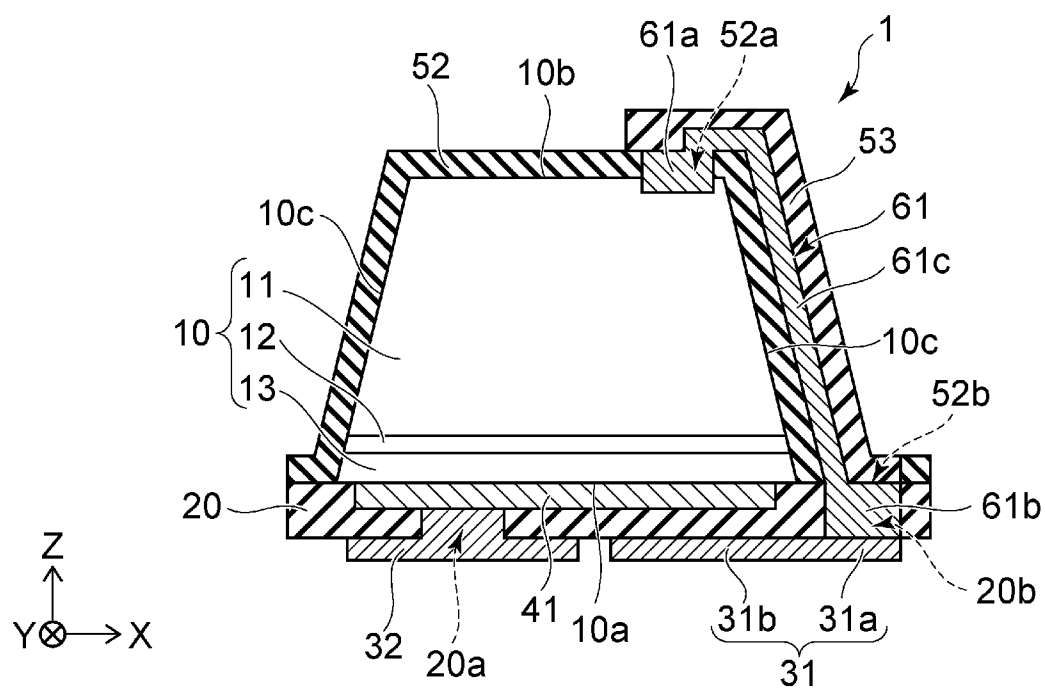
[図1A]



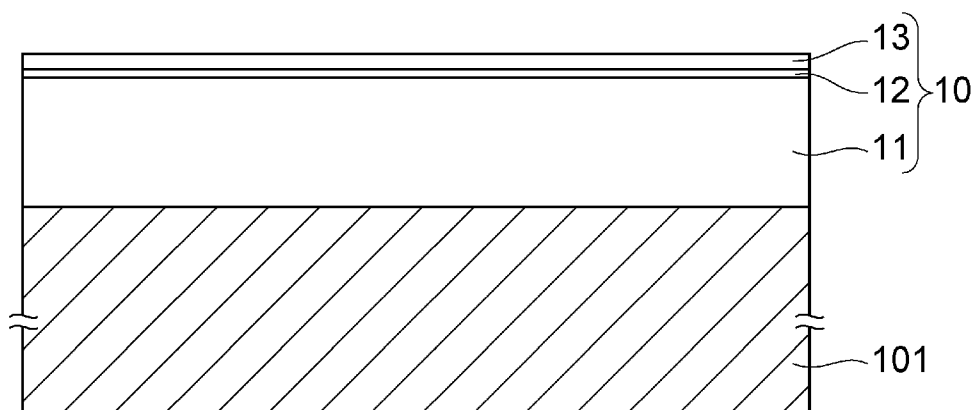
[図1B]



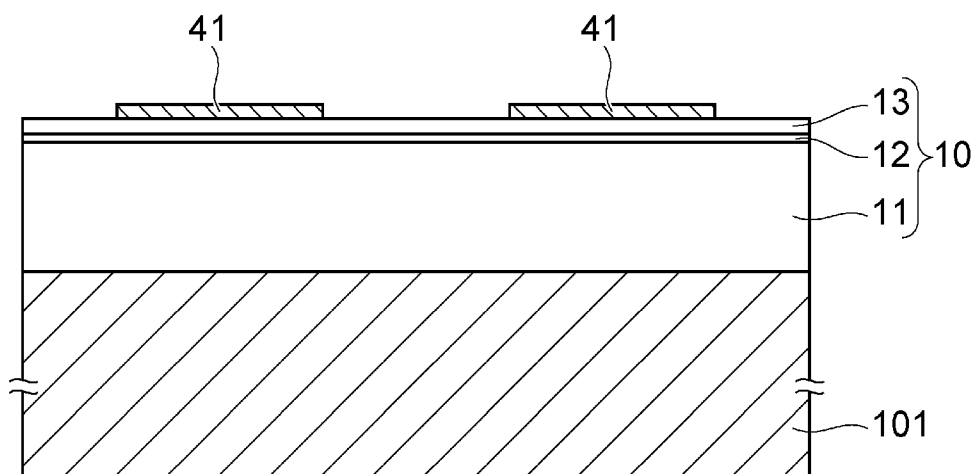
[図2]



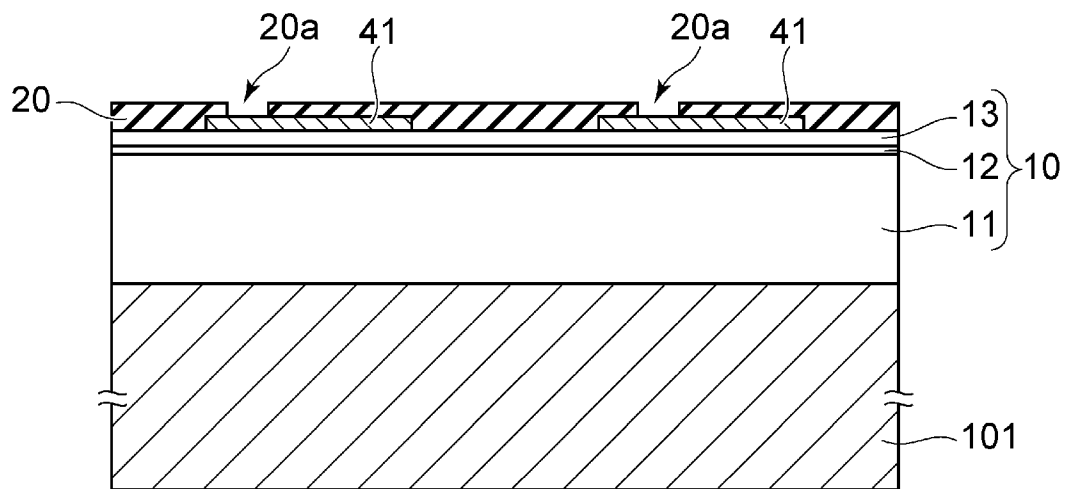
[図3]



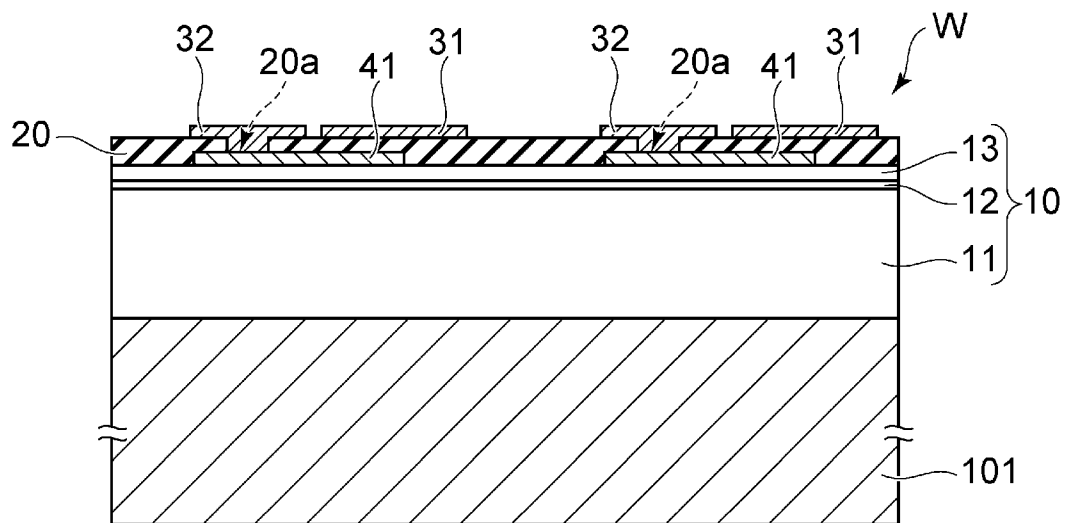
[図4]



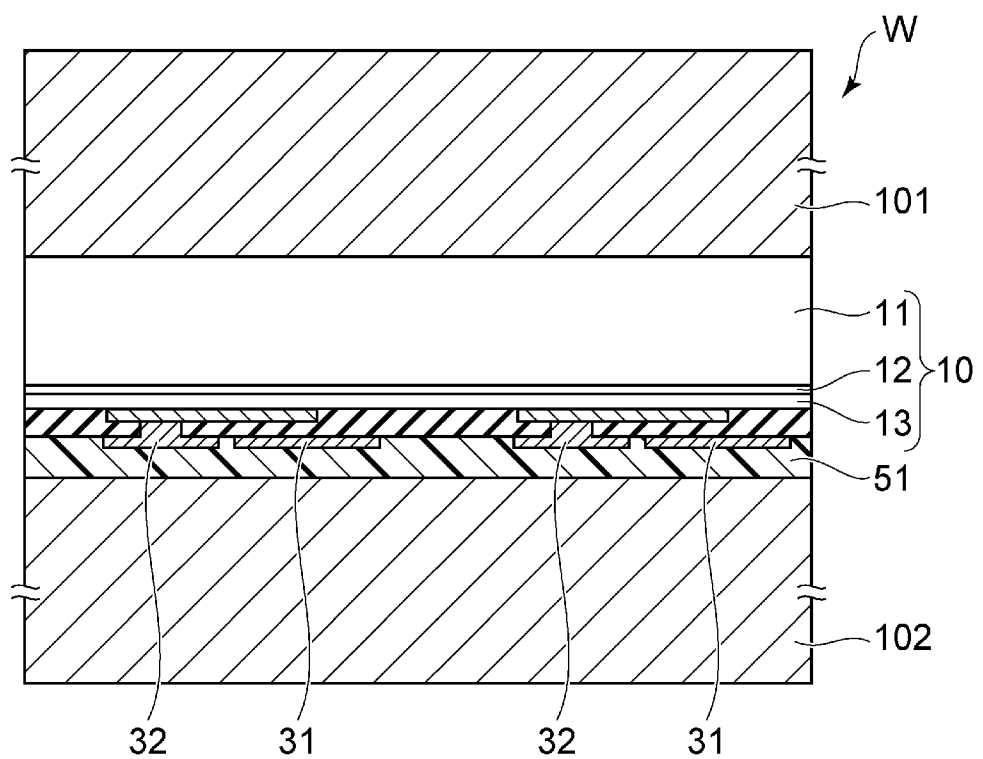
[図5]



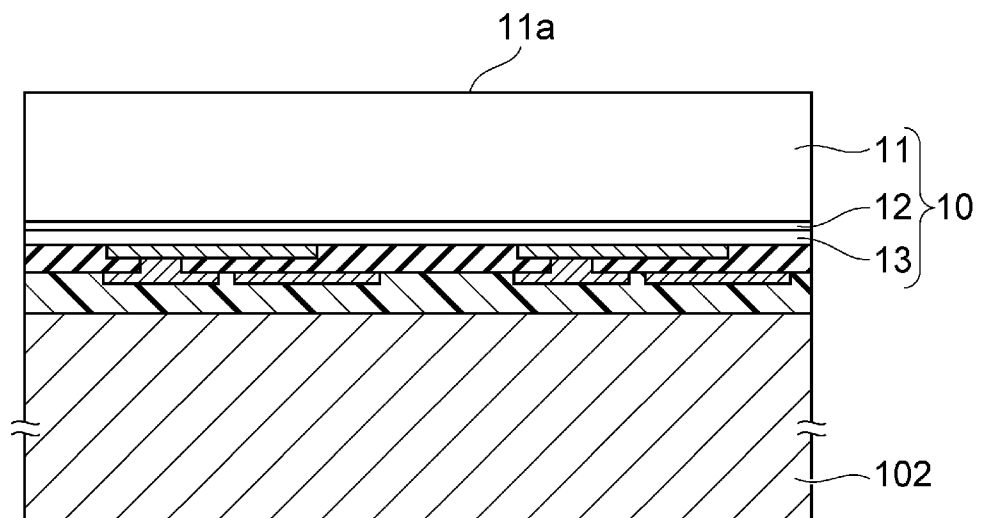
[図6]



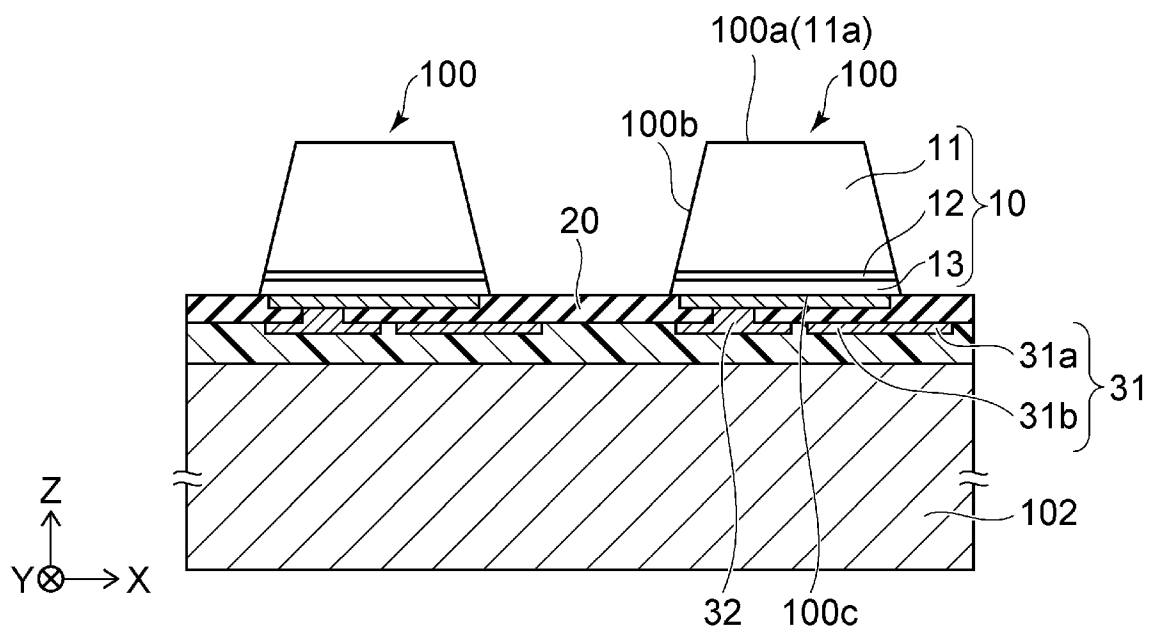
[図7]



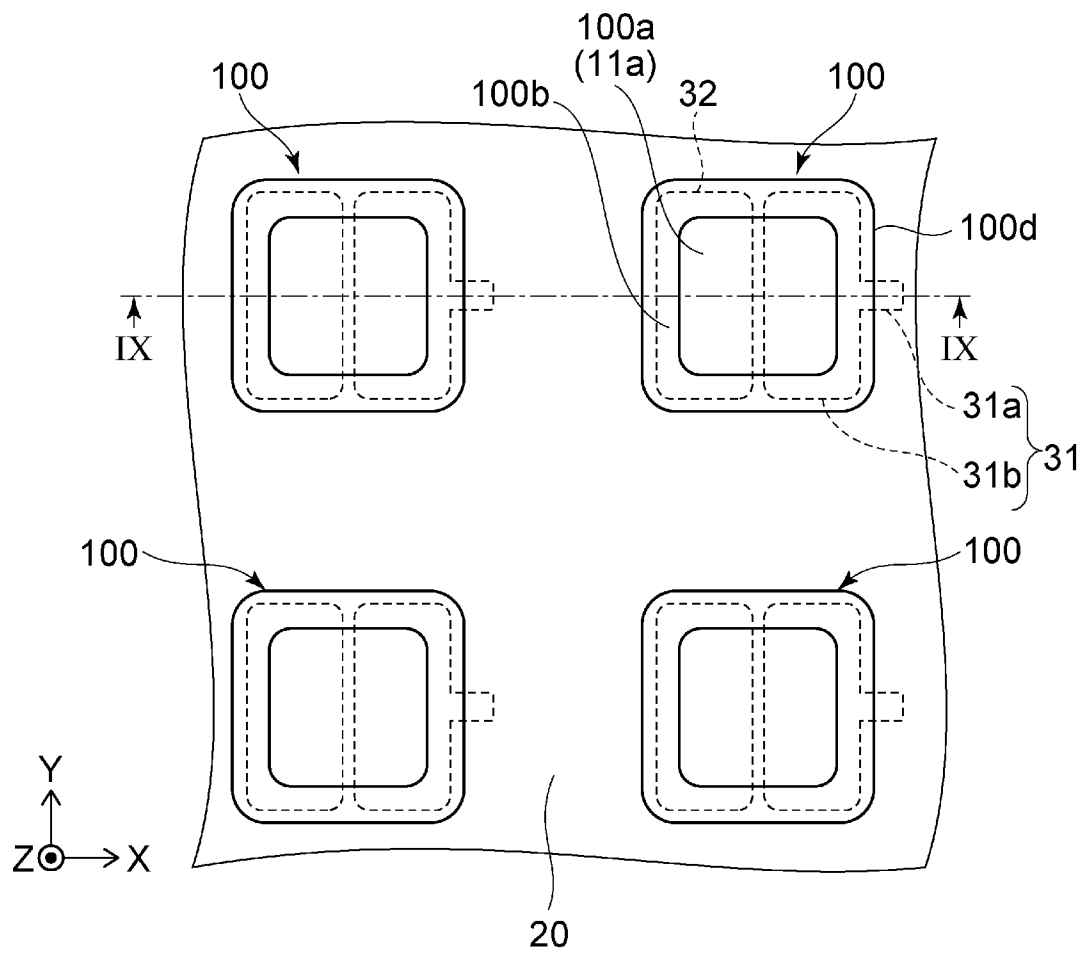
[図8]



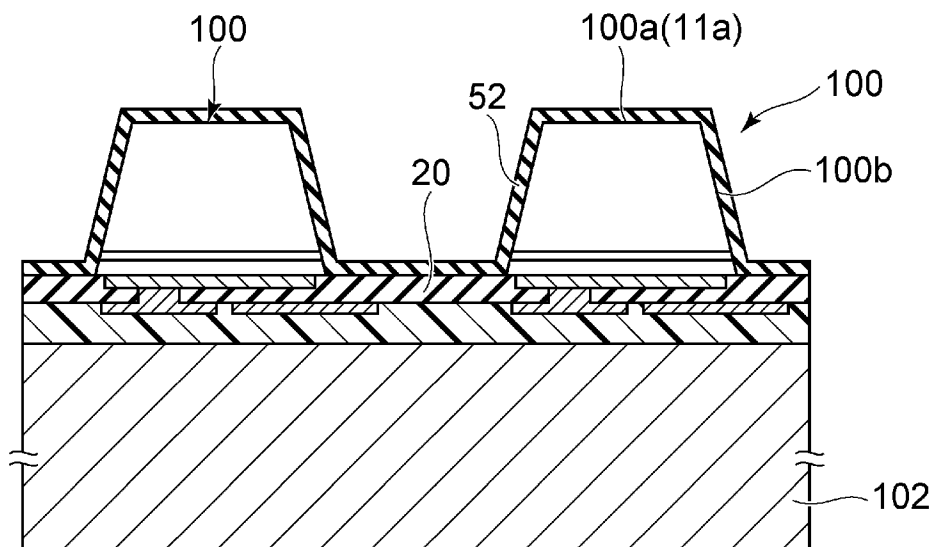
[図9]



[図10]



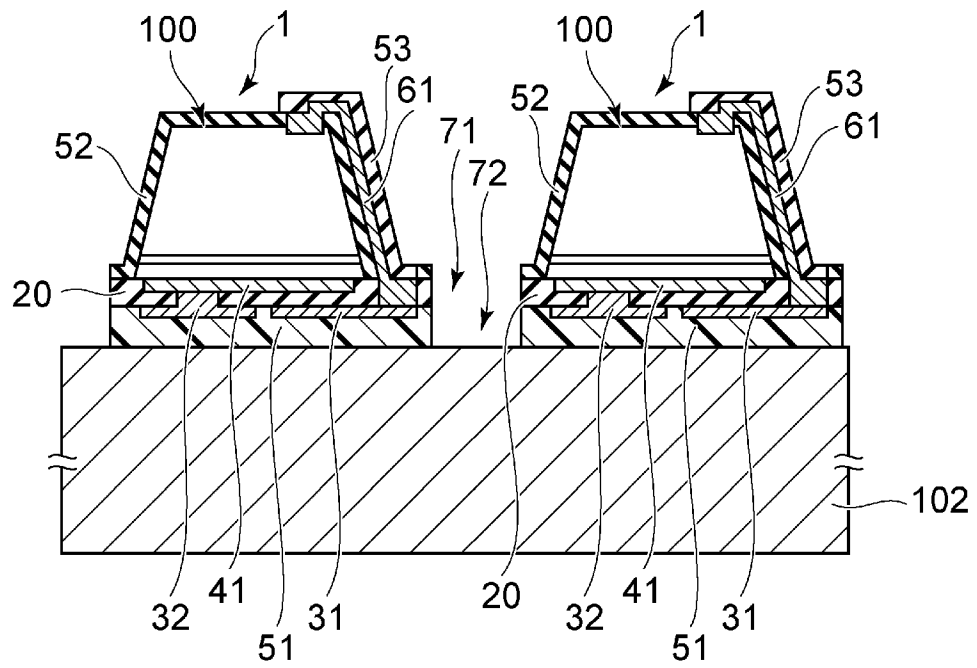
[図11]



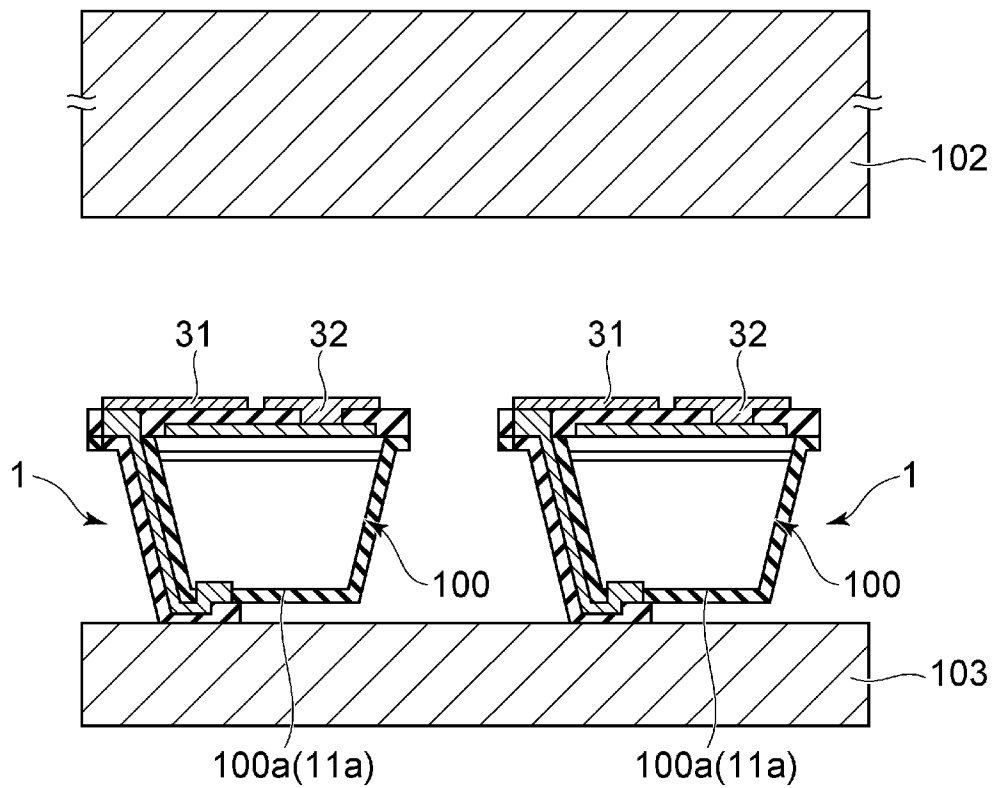
This cross-sectional view shows a trench structure in a semiconductor substrate 102. The trench is filled with a channel layer 32. The trench is defined by a gate stack 100, which includes a gate dielectric layer 11, a gate conductive layer 12, and a gate insulating layer 13. The gate conductive layer 12 is patterned to form a gate electrode 100a(11a). The gate insulating layer 13 is patterned to form a gate spacer 52a. The gate dielectric layer 11 is patterned to form a gate cap 52b. The gate stack 100 is formed on a base layer 20. The base layer 20 is formed on the semiconductor substrate 102. The base layer 20 includes a base dielectric layer 31a and a base conductive layer 31b. The base conductive layer 31b is patterned to form a base electrode 32. The base dielectric layer 31a is patterned to form a base spacer 52b. The base conductive layer 31b is patterned to form a base cap 52a. The base stack 20 is formed on the semiconductor substrate 102. The base stack 20 includes a base dielectric layer 31a and a base conductive layer 31b. The base conductive layer 31b is patterned to form a base electrode 32. The base dielectric layer 31a is patterned to form a base spacer 52b. The base conductive layer 31b is patterned to form a base cap 52a.

This cross-sectional view shows a substrate 102 with a base layer 31 (31a, 31b) and a patterned layer 100 (100a, 100b, 100c) with a top layer 52 (52a, 52b) and a side layer 61 (61a, 61b, 61c). A dashed line 32 indicates a boundary.

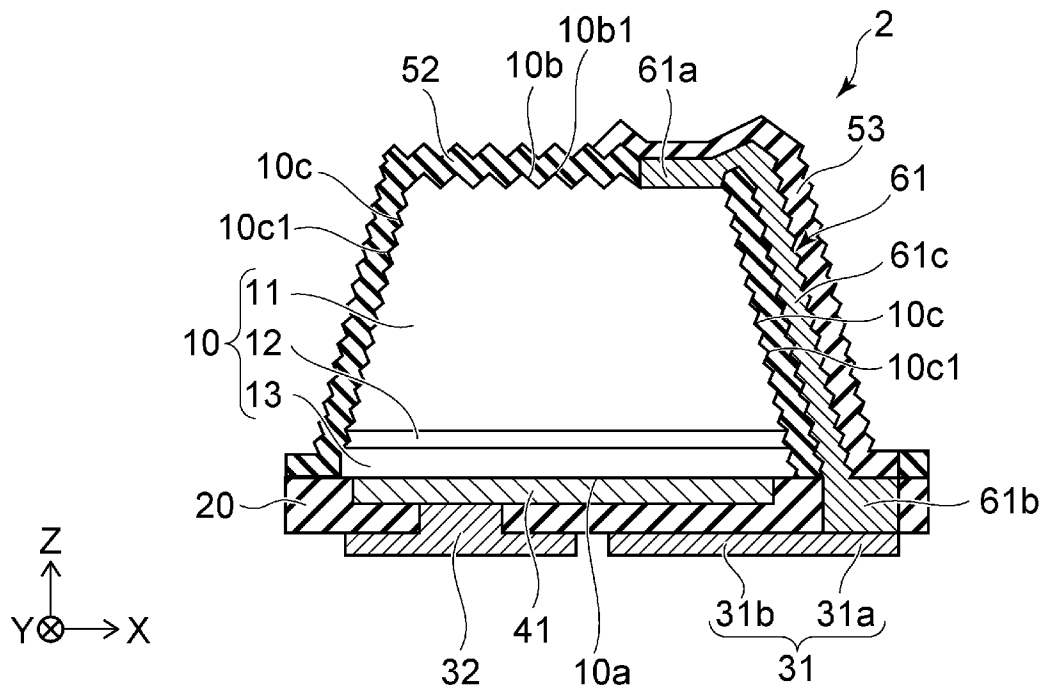
[図16]



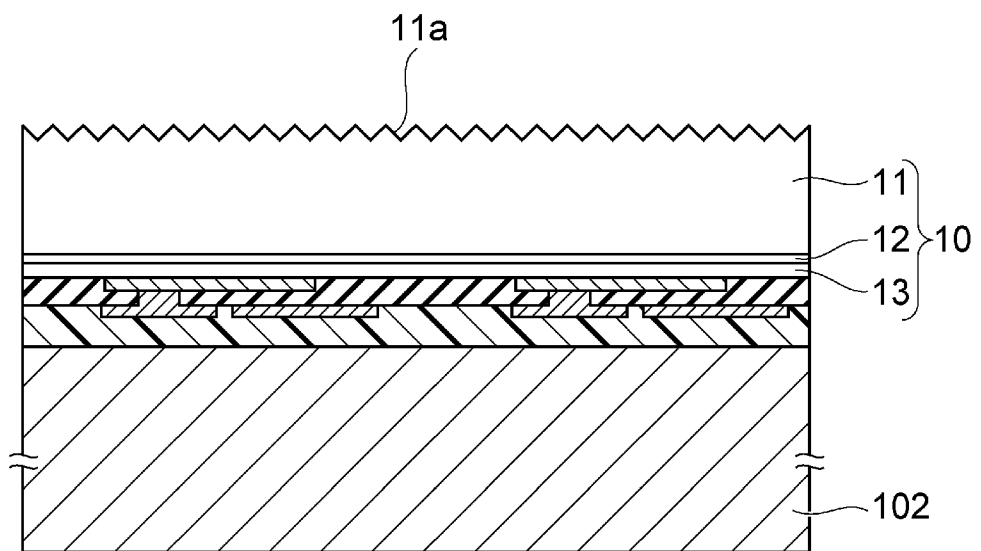
[図17]



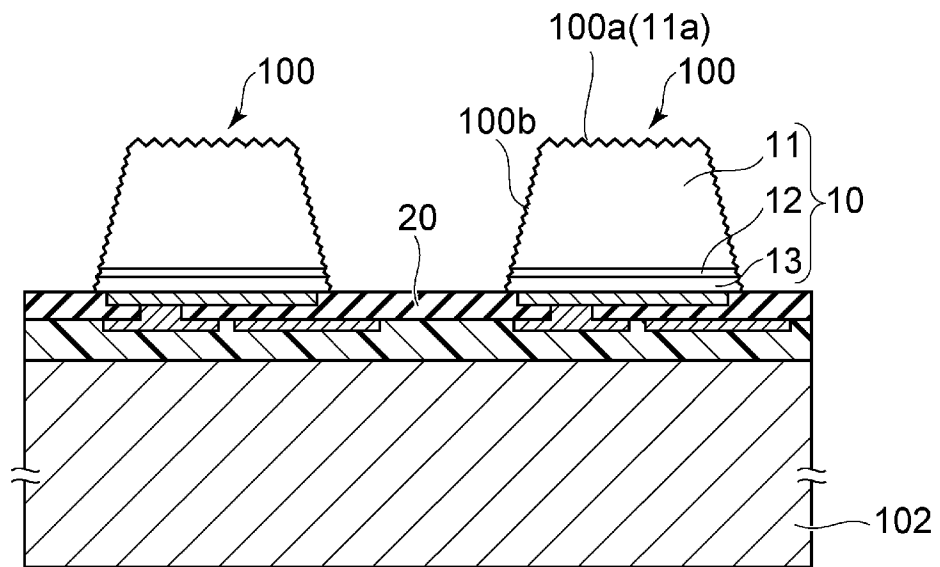
[図18]



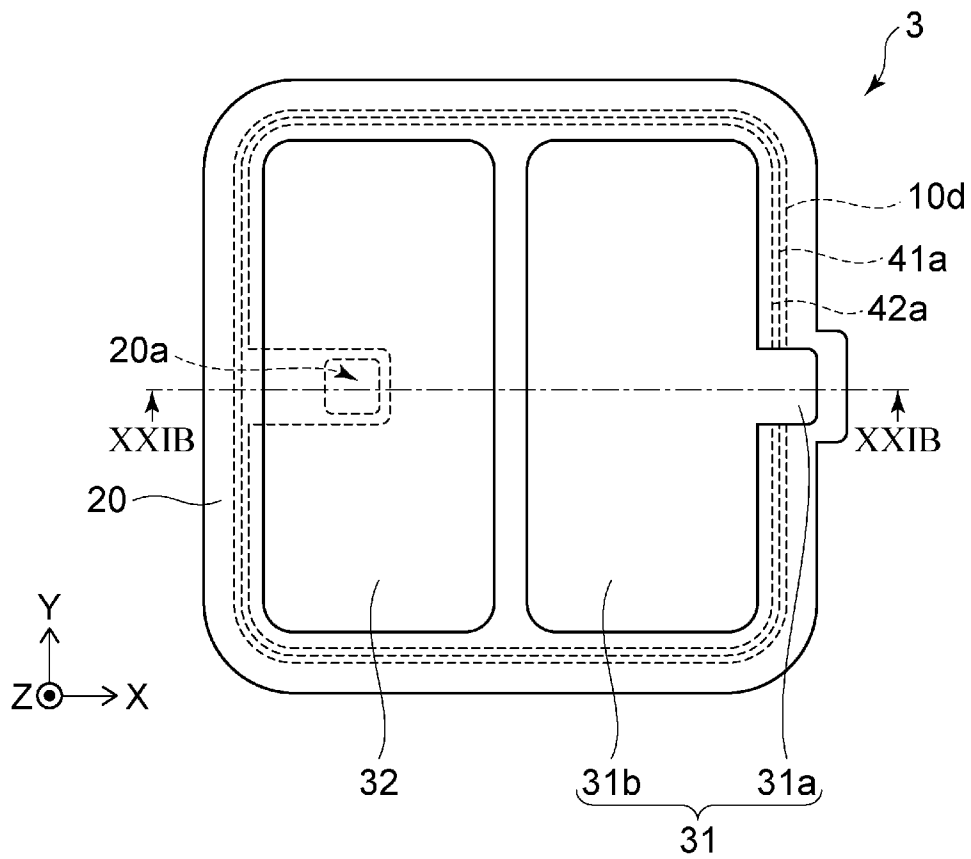
[図19]



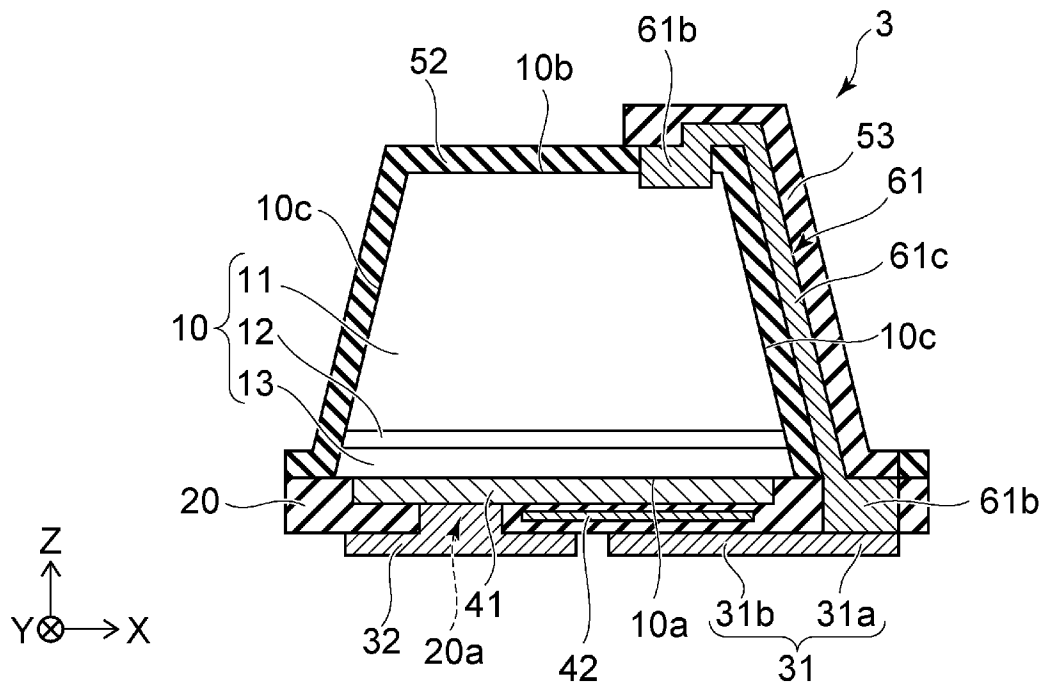
[図20]



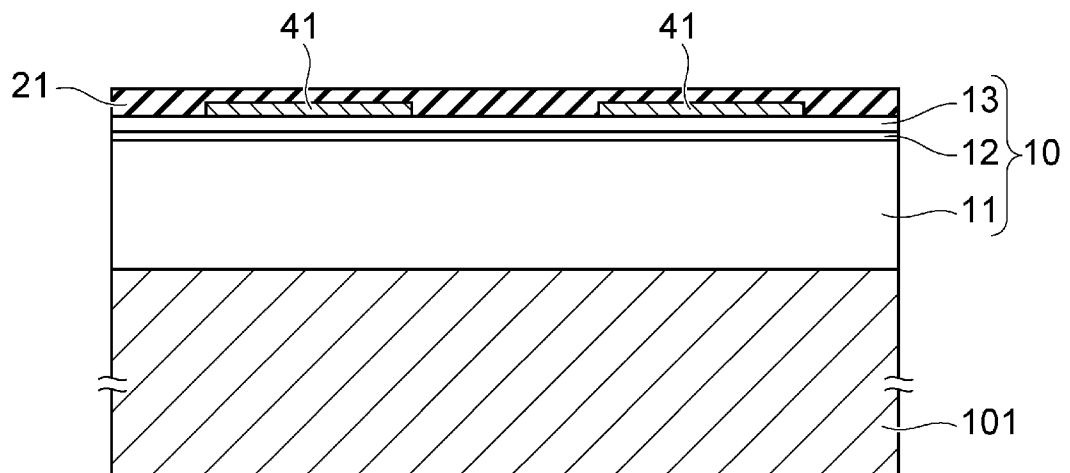
[図21A]



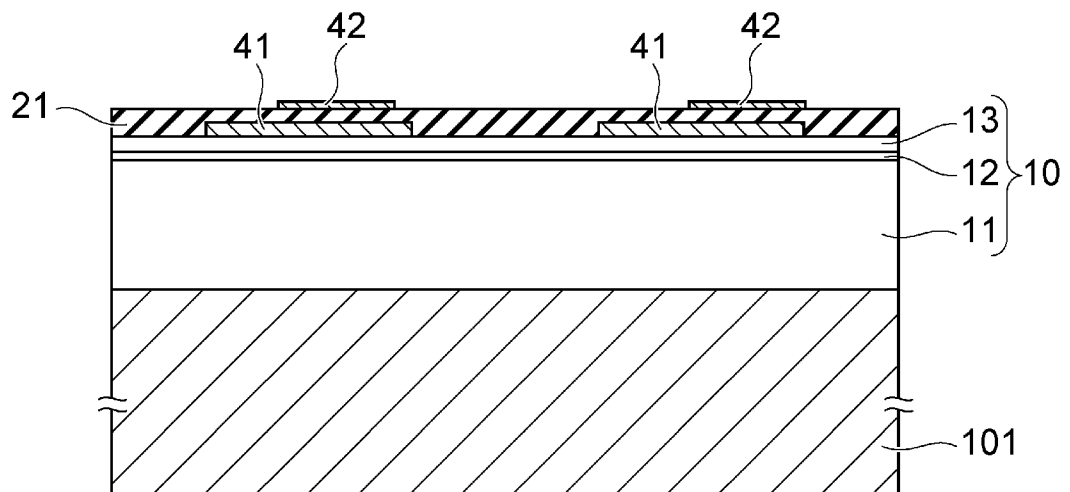
[図21B]



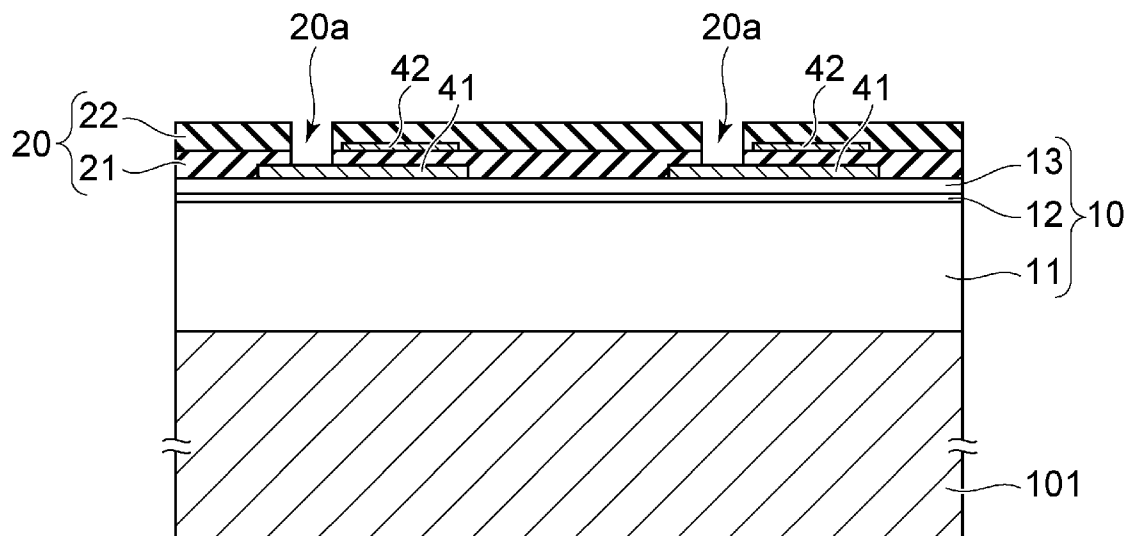
[図22]



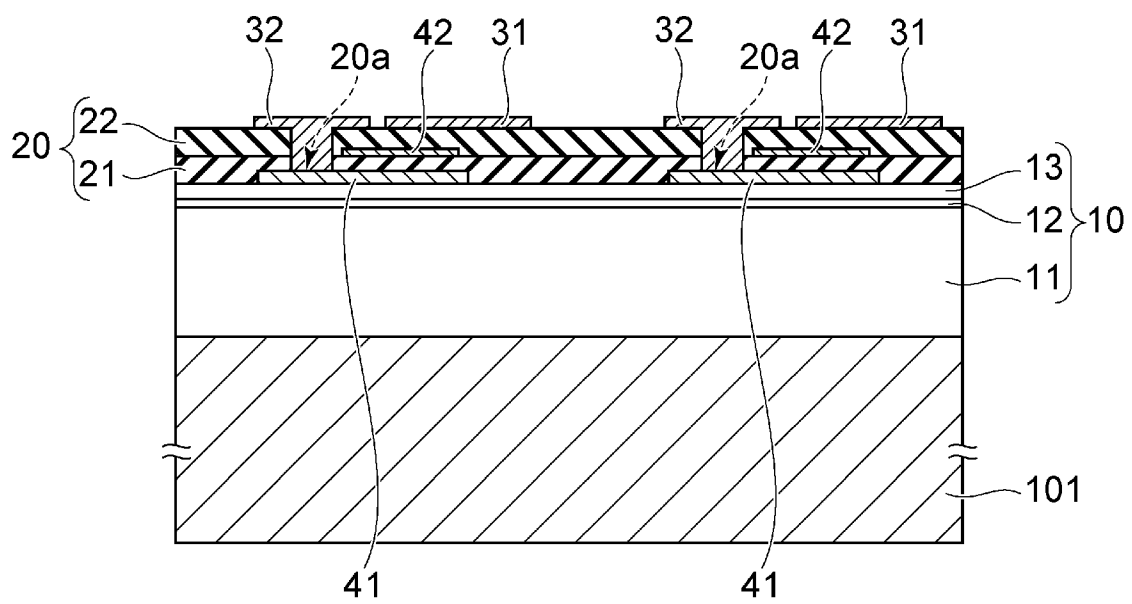
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/019848

A. CLASSIFICATION OF SUBJECT MATTER H01L 33/38 (2010.01)i; H01L 33/10 (2010.01)i; H01L 33/22 (2010.01)i; H01L 33/42 (2010.01)i FI: H01L33/38; H01L33/22; H01L33/42; H01L33/10 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L33/00-33/46 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2020/044991 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 05 March 2020 (2020-03-05) in particular, fig. 1	10-16
A	in particular, fig. 1	1-9, 17-18
Y	JP 2006-190854 A (SONY CORPORATION) 20 July 2006 (2006-07-20) in particular, fig. 1	10-16
Y	JP 2002-359399 A (SHIN-ETSU HANDOTAI CO., LTD.) 13 December 2002 (2002-12-13) in particular, fig. 1	13-14
Y	JP 2009-289965 A (ROHM CO., LTD.) 10 December 2009 (2009-12-10) paragraph [0027], fig. 1	15
A	US 2020/0357955 A1 (GENESIS PHOTONICS INC.) 12 November 2020 (2020-11-12) entire text, all drawings	1-18
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 26 June 2024		Date of mailing of the international search report 16 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/019848

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/044991	A1	05 March 2020	US 2021/0320226 A1 in particular, fig. 1 KR 10-2021-0044789 A	
JP	2006-190854	A	20 July 2006	(Family: none)	
JP	2002-359399	A	13 December 2002	(Family: none)	
JP	2009-289965	A	10 December 2009	(Family: none)	
US	2020/0357955	A1	12 November 2020	CN 111725375 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 33/38(2010.01)i; H01L 33/10(2010.01)i; H01L 33/22(2010.01)i; H01L 33/42(2010.01)i

FI: H01L33/38; H01L33/22; H01L33/42; H01L33/10

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L33/00-33/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2020/044991 A1（ソニーセミコンダクタソリューションズ株式会社）05.03.2020 （2020 - 03 - 05） 特に、図1	10-16
A	特に、図1	1-9, 17-18
Y	JP 2006-190854 A（ソニー株式会社）20.07.2006（2006 - 07 - 20） 特に、図1	10-16
Y	JP 2002-359399 A（信越半導体株式会社）13.12.2002（2002 - 12 - 13） 特に、図1	13-14
Y	JP 2009-289965 A（ローム株式会社）10.12.2009（2009 - 12 - 10） 0027, 図1	15
A	US 2020/0357955 A1（GENESIS PHOTONICS INC.）12.11.2020（2020 - 11 - 12） 全文全図	1-18

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日26.06.2024

国際調査報告の発送日16.07.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

佐藤 美紗子 2K 4015

電話番号 03-3581-1101 内線 3255

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/019848

引用文献			公表日	パテントファミリー文献			公表日
WO	2020/044991	A1	05.03.2020	US	2021/0320226	A1	
				特に、図1			
				KR 10-2021-0044789 A			
JP	2006-190854	A	20.07.2006	(ファミリーなし)			
JP	2002-359399	A	13.12.2002	(ファミリーなし)			
JP	2009-289965	A	10.12.2009	(ファミリーなし)			
US	2020/0357955	A1	12.11.2020	CN	111725375	A	