

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl. (45) 공고일자 2006년10월26일  
*H03H 7/38 (2006.01)* (11) 등록번호 10-0638755  
(24) 등록일자 2006년10월19일

(21) 출원번호	10-2001-7010807	(65) 공개번호	10-2001-0104352
(22) 출원일자	2001년08월24일	(43) 공개일자	2001년11월24일
번역문 제출일자	2001년08월24일		
(86) 국제출원번호	PCT/US2000/004858	(87) 국제공개번호	WO 2000/51232
국제출원일자	2000년02월23일	국제공개일자	2000년08월31일

(81) 지정국 국내특허 : 가나, 감비아, 시에라리온, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 캐나다, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니아드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 남아프리카, 인도네시아, 그라나다, 크로아티아, 인도, 짐바브웨, 세르비아 앤 몬테네그로,

AP ARIPO특허 : 캐나다, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 탄자니아,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스,

OA OAPI특허 : 부르키나파소, 베냉, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우,

(30) 우선권주장 09/258,184 1999년02월25일 미국(US)

(73) 특허권자 폼팩터, 인크.  
미국, 캘리포니아 94551, 리버모어, 7005 싸우스프론트 로드

(72) 발명자 밀러, 찰스, 에이.  
미국94539캘리포니아주프리몬트세밀론드라이브48881

(74) 대리인 주성민  
장수길

심사관 : 강성철

## (54) 집적 회로 인터페이스용 필터 구조물

---

### 요약

본 발명은 본딩 와이어 및 패키지 레그 등의 유도성 전도체와 인쇄 회로 기판(PCB)의 표면 상의 트레이스를 통해, PCB 트레이스 상에 장착된 디스크리트(discrete) 집적 회로(IC)들의 본딩 패드들 사이에서 고주파 신호를 전달하는 형태의 상호 접속 시스템의 주파수 응답을 최적화하는 방법이다. 상호 접속 시스템을 개선하기 위하여, 커패시턴스가 트레이스에 추가되고, 인덕턴스가 전도체에 추가되며, 추가된 트레이스 커패시턴스 및 전도체 인덕턴스는 상호 접속 시스템 임피던스 정합 주파수 응답을 최적화하도록 서로 그리고 여러 다른 상호 접속 시스템 임피던스와 관련하여 적절한 크기로 되어 있다.

### 대표도

도 4

### 색인어

커패시턴스, 인덕턴스, 집적 회로, 필터, 주파수 응답

### 명세서

#### 기술분야

본 발명은 회로 기판 상에 장착된 집적 회로들을 상호 접속시키는 시스템에 관한 것으로, 특히 필터 및 임피던스 정합 기능을 제공하는 상호 접속 시스템에 관한 것이다.

#### 배경기술

외부 회로들과 교신하기 위한 것인 집적 회로(IC)의 각각의 노드(node)는 IC 칩의 표면 상의 본딩 패드(bond pad)에 연결된다. 패키징된 IC에서, 본딩 와이어(bond wire)는 통상적으로 본딩 패드를 IC 칩 둘레의 패키지로부터 연장되는 전도성 레그(leg)에 연결한다. IC가 인쇄 회로 기판(PCB) 상에 장착된 때, 패키지 레그는 PCB의 표면 상의 마이크로스트립 PCB 트레이스(microstrip PCB trace)에 납땜된다. PCB 상에 장착된 하나 이상의 다른 IC의 본딩 패드가 PCB 트레이스에 연결된 때, 본딩 패드, 본딩 와이어, 패키지 레그 및 PCB 트레이스는 2개 이상의 IC의 노드들 사이에서 신호를 전달하는 상호 접속 시스템을 형성한다.

고주파수 적용에 있어서, 상호 접속 시스템은 신호를 감쇠시키고 왜곡시킨다. 상호 접속 시스템에 의해 야기되는 신호 왜곡량 및 감쇠량을 감소시키기 위한 종래의 시도는 상호 접속 시스템의 직렬 인덕턴스(series inductance) 및 병렬(shunt) 커패시턴스(shunt capacitance)를 최소화시키는 것이었다. 인덕턴스의 상당 부분은 본딩 와이어 및 패키지 레그로부터 발생되고, 이러한 인덕턴스는 본딩 와이어 및 패키지 레그를 가능한 한 짧게 유지함으로써 최소화될 수 있다. 본딩 패드의 커패시턴스는 본딩 패드의 표면적을 최소화시킴으로써 어느 정도 감소될 수 있다. PCB 트레이스의 커패시턴스는 PCB 트레이스의 크기, 이들의 접지 평면으로부터의 이격도, 및 회로 기판을 형성하는 절연재의 유전 성질을 포함하는 기판의 물리적 특성을 적절히 선택함으로써 감소될 수 있다. 회로 기판을 통해 PCB의 여러 층 상의 상호 접속 PCB 트레이스까지 수직 관통하는 전도체인 비아(via)는 PCB 트레이스에서의 커패시턴스의 소스(source)일 수 있다. 설계자는 종종 고주파수 적용에 있어서 비아의 사용을 회피하는데, 그 이유는 비아는 상호 접속 시스템에 상당한 커패시턴스를 추가할 수 있기 때문이다. 비아가 불가피할 때, 설계자는 통상적으로 커패시턴스를 최소화하도록 비아를 구성한다. 본딩 와이어 및 패키지 레그의 인덕턴스와, 본딩 패드 및 PCB의 커패시턴스를 최소화하는 것은 대역폭(bandwidth)을 증가시키고 주파수 응답을 평탄화하며 신호 왜곡을 감소시키는 것을 돋보인다. 상호 접속 시스템의 인덕턴스 및 커패시턴스를 완전하게 제거하는 것은 불가능하다. 따라서, 신호 주파수가 충분히 높을 때, 어느 정도 수준의 신호 왜곡 및 감쇠는 불가피하다.

요구되는 것은 고주파수 신호의 왜곡 및 감쇠를 감소시키도록 상호 접속 시스템의 주파수 응답을 실질적으로 개선하는 방법이다.

## 발명의 상세한 설명

본 발명은 인쇄 회로 기판(PCB) 상에 장착된 집적 회로(IC)들을 상호 접속하는 종래의 시스템에 대한 개량이다. 종래의 상호 접속 시스템은 IC들이 PCB 상의 PCB 트레이스를 통해 서로 교신할 수 있도록 각각의 IC의 표면 상의 본딩 패드를 PCB 트레이스에 연결하기 위한 전도체(통상적으로는 본딩 와이어 및 패키지 레그)를 채용한다. 본딩 와이어 및 패키지 레그의 인덕턴스와, 본딩 패드 및 PCB 트레이스의 커패시턴스와, 패드에 연결된 IC 장치들의 임피던스와, PCB 트레이스의 임피던스는 신호가 IC 본딩 패드들 사이를 통과할 때 신호가 상호 접속 시스템에 의해 왜곡, 반사 및 감쇠되게 한다.

본 발명에 따르면, 상호 접속 시스템은 IC들 사이를 통과하는 신호의 특성에 대해 최적화된 필터 기능을 제공하도록 구성됨으로써 개선된다. 상호 접속 시스템은 예컨대 회로 기판 PCB 트레이스에 커패시턴스를 추가하고, 본딩 와이어 인덕턴스, IC 패드 커패시턴스 및 서로에 대한 추가의 회로 기판 커패시턴스를 적절히 조절함으로써 필터 기능을 제공하도록 구성된다. 상호 접속 시스템 주파수 응답의 관련 특성을 최적화하기 위해 구성 엘리먼트들의 값들이 조절된다. 예를 들면, 왜곡을 회피하는 것이 가장 중요하게 되는 저주파수 아날로그 신호를 사용하여 IC들이 교신할 때, "최적" 주파수 응답은 춥지만 최대로 평탄한 통과 대역(passband)을 가질 수 있다. 또는, 다른 예로서, IC들이 고주파수 디지털 신호를 통해 교신할 때, 최적 주파수 응답은 최대로 넓은 통과 대역을 가질 수 있다. 커패시턴스를 최소화하기보다는 오히려 회로 기판 PCB 트레이스에 커패시턴스를 추가하고, 상호 접속 시스템의 다른 구성 엘리먼트들의 임피던스와 관련하여 커패시턴스를 조절함으로써, 상호 접속 시스템 주파수 응답에서 상당한 개선이 얻어질 수 있다.

따라서, 본 발명의 목적은 상호 접속 시스템의 주파수 응답이 IC들 사이를 통과하는 신호들의 특성에 대해 최적화되는, 인쇄 회로 기판 상에 장착된 집적 회로들을 상호 접속시키는 시스템을 제공하는 것이다.

본 명세서의 종결부는 본 발명의 주제를 특별히 지적하고 명확하게 청구하고 있다. 그러나, 당해 기술 분야의 숙련자는 동일 도면 부호가 동일 엘리먼트를 나타내는 첨부 도면과 관련하여 명세서의 나머지 부분을 읽음으로써 본 발명의 이점 및 목적과 더불어 본 발명의 구성 및 동작 방법을 가장 잘 이해할 수 있을 것이다.

## 도면의 간단한 설명

도1은 한 쌍의 집적 회로들이 상부에 장착된 종래 기술의 인쇄 회로 기판의 일부분의 단순화된 정단면도이다.

도2는 도1의 IC들 및 이들을 상호 접속하는 종래 기술의 구조물을 모델링한 등가 회로 선도이다.

도3은 도1 및 도2의 종래 기술의 상호 접속 시스템의 주파수 응답 특성을 도시한다.

도4는 집적 회로들이 본 발명에 따라 상호 접속된, 한 쌍의 집적 회로들이 상부에 장착된 인쇄 회로 기판의 일부분의 단순화된 정단면도이다.

도5는 도4의 IC들 및 이들을 상호 접속하는 구조물을 모델링한 등가 회로 선도이다.

도6은 도4 및 도5의 상호 접속 시스템의 주파수 응답 특성을 도시한다.

## 실시예

### 종래 기술의 상호 접속 시스템

본 발명은 인쇄 회로 기판 상에 장착된 집적 회로들 사이에서 신호를 전달하는 종래 기술의 상호 접속 시스템에 대한 개량이다. 도1은 한 쌍의 집적 회로(IC; 12, 14)들이 상부에 장착된 인쇄 회로 기판(PCB; 10)을 포함한, 종래 기술의 상호 접속 시스템의 단순화된 정단면도이다. IC(12)는 IC 패키지(18) 내에 수납된 집적 회로 칩(16)을 포함한다. 칩(16)의 표면 상의 본딩 패드(20)는 칩(16)으로 들어오거나 이로부터 나오는 신호들을 위한 입출력(I/O) 단자로서 작용한다. 통상의 IC는 수개의 본딩 패드를 포함하지만, 도1에서는 간결성을 위해 단 하나만이 도시되어 있다. 본딩 와이어(22)는 본딩 패드(20)를 패키지(18)로부터 외측으로 연장되는 전도성 레그(24)에 연결한다. 레그(24)는 통상적으로 PCB(10)의 표면 상의 마이크로스트립 PCB 트레이스(26) 상으로 납땜된다. 본딩 와이어(22) 및 레그(24)는 본딩 패드(20)와 PCB 트레이스(26) 사이에서 신호를 전달하는 경로를 함께 형성한다. IC(14) 내의 본딩 패드(28)가 유사한 방식으로 본딩 와이어(27) 및 패키지 레그

(29)를 통해 마이크로스트립 PCB 트레이스(26)에 연결된 때, IC(12, 14)들은 PCB 트레이스(26)를 통해 서로 신호를 전송할 수 있다. 또한, PCB(10)는 접지 및 전력을 PCB(10) 전체에 걸쳐 전달하기 위하여 유전 재료충들 사이에서 전도성 접지 평면(30) 및 전도성 전력 평면(32)을 포함한다.

도2는 도1의 PCB(10) 및 IC(12, 14)와, 이들을 상호 접속하는 여러 구조물들을 모델링한 등가 회로 선도이다. IC(12)는 저항기( $R_1$ )를 통해 신호를 전송하는 이상적인 신호원(signal source; 40)으로서 모델링되어 있다. 본딩 패드(20)에 연결된 드라이버 및 임의의 정전기 방전(ESD) 보호 장치의 커패시턴스를 포함한, 본딩 패드(20)에서의 접지에 대한 커패시턴스가 단일 커패시터(C1)로서 모델링되어 있다. 본딩 와이어(22) 및 패키지 레그(24)는 높은 신호 주파수에서 주로 유도성을 갖는 전송 라인을 형성한다. 따라서, 본딩 와이어(22) 및 패키지 레그(24)는 단일 인덕터(L1)로서 모델링되어 있다. IC(14)는 본딩 패드(28)에 연결된 입력 임피던스( $R_2$ )를 갖는 이상적인 신호 수신기(42)로서 모델링되어 있다. 패드(28)에 연결된 임의의 드라이버, ESD 또는 다른 장치의 커패시턴스를 포함하는 본딩 패드(28)에서의 커패시턴스는 커패시터(C2)로서 모델링되어 있다. 본딩 와이어(27, 29)의 인덕턴스는 단일 인덕턴스(L2)로서 모델링되어 있다. 트레이스(26)는 직렬 특성 임피던스( $Z_0$ )를 갖는 마이크로스트립 전송 라인으로서 모델링되어 있다.

커패시터(C1, C2), 인덕터(L1, L2), 저항기( $R_1, R_2$ ) 및 임피던스( $Z_0$ )에 의해 형성된 회로는 드라이버(40)와 수신기(42) 사이를 통과하는 신호들을 실질적으로 감쇠 및 왜곡시킬 수 있는 반응 임피던스를 갖는다. 고주파수 적용에 있어서 신호 왜곡 및 감쇠의 양을 감소시키기 위한 종래의 시도는 본딩 와이어 인덕턴스(L1, L2) 및 커패시턴스(C1, C2)를 최소화하는 것이었다. 인덕턴스(L1, L2)는 본딩 와이어(20, 27) 및 패키지 레그(24, 29)를 가능한 한 작게 유지함으로써 최소화된다. 커패시턴스(C1, C2)는 본딩 패드(20, 28)를 가능한 한 작게 유지함으로써 최소화된다.

아래의 표 1은 고주파수 적용에 있어서 통상적인 도2의 종래 기술의 등가 회로의 다양한 상호 접속 시스템 구성 엘리먼트들의 임피던스 값들을 나열하고 있다.

[표 1]

엘리먼트	임피던스
L1	1 nH
L2	1 nH
C1	2 pF
C2	2 pF
$Z_0$	50 Ω
$R_1$	50 Ω
$R_2$	50 Ω

도3은 구성 엘리먼트들이 표 1에 나타낸 값들로 설정된 때 도1 및 도2의 종래 기술의 상호 접속 시스템의 주파수 응답 특성을 도시한다. 상호 접속 시스템에 대한 요구되는 주파수 응답 특성은 그 적용에 좌우된다. 예컨대, 상호 접속 시스템이 작은 왜곡 또는 노이즈를 갖는 아날로그 신호를 전달하는 것일 때, 통과 대역이 예상되는 최고 주파수 신호를 통과시키는 데 필요할 정도로만 넓고 통과 대역이 신호 왜곡을 방지할 수 있는 정도로 평탄하며 저지 대역(stopband)의 모든 영역이 고주파 노이즈를 차단하도록 최대 감쇠를 갖는 것이 통상적으로 바람직하다. 3 GHz까지의 성분을 갖는 아날로그 신호를 전달하기 위해 도2의 상호 접속 시스템을 사용하려는 것으로 가정한다. 먼저, 통과 대역(약 2GHz)이 적용을 위하여 충분히 넓지 않음을 알아야 한다. 또한, 통과 대역이 1 GHz 내지 2 GHz에서 특별히 평탄하지 않음을 알아야 한다. 따라서, 상호 접속 시스템은 2 GHz 이상의 신호 주파수 성분을 심각하게 감쇠시킬 것이다. 또한, 저지 대역이 2 GHz 이상의 몇몇 주파수에서 큰 피크를 갖는다는 것과, 이를 주파수에서 노이즈를 충분히 감쇠시키지 못할 수 있음을 알아야 한다.

#### 개량형 상호 접속 시스템

도4는 하나의 IC(54) 내의 본딩 패드(52)를 다른 IC(58) 내의 본딩 패드(56)에 상호 접속하기 위한 본 발명에 따른 개량형 상호 접속 시스템을 구현한 PCB(50)를 도시한다. 본딩 와이어(60, 62)는 패드(52, 56)를 패키지 레그(64, 65)에 연결하고,

패키지 레그는 이어서 PCB(50)의 상부면 상의 PCB 트레이스(68)에 납땜된다. 전도성 비아(70)는 PCB(50)를 통과하여, 레그(64) 및 PCB 트레이스(68) 사이의 접촉점 부근에서 PCB 트레이스(68)와 접촉한다. 마찬가지로, 비아(72)는 PCB(50)를 통과하여, 레그(66)와의 접촉점 부근에서 PCB 트레이스(68)와 접촉한다.

도5는 본 발명에 따른 도4의 상호 접속 시스템의 등가 회로 선도이다. IC(54) 내의 드라이버(80)는 임피던스( $R_1$ )를 통해 패드(52)에 연결되고, IC(58) 내의 입력 임피던스( $R_2$ )를 갖는 수신기는 패드(56)에 연결된다. 본딩 와이어(60) 및 패키지 레그(64)는 인덕턴스(L1)로서 모델링되어 있고, 본딩 와이어(62) 및 패키지 레그(66)는 인덕턴스(L2)로서 모델링되어 있다. 패드(52, 56)의 커패시턴스는 도5에서 커패시터(C1, C2)로서 나타나 있고, PCB 트레이스(68)의 임피던스는 그 특성 임피던스(Z0)로서 나타나 있다. 비아(70, 72)는 주로 용량성이므로, 이들의 커패시턴스는 도5에서 커패시터( $C1_{VIA}$ ,  $C2_{VIA}$ )로 나타나 있다.

도5의 상호 접속 시스템은 임피던스(Z0)의 양 단부에서의 병렬 커패시터( $C1_{VIA}$ ,  $C2_{VIA}$ )의 추가를 제외하고는 도2의 종래 기술의 시스템과 위상적으로 유사하다. 비아(70, 72)는 PCB 트레이스(72)를 PCB(50)의 다른 층들 상의 트레이스에 연결하기 위해 편리하게 사용될 수 있지만, 비아(70, 72)의 주요 기능은 비교적 큰 병렬 커패시터( $C1_{VIA}$ ,  $C2_{VIA}$ )를 PCB 트레이스(68)에 추가하는 것이다. 따라서, 본 발명에 따르면, 비아(70, 72)(또는 다른 임의의 적당한 커패시턴스 소스)는 비아가 PCB 트레이스(68)를 PCB(50)의 다른 층 상의 트레이스에 연결하기 위해 사용되는지의 여부와 무관하게 PCB 트레이스(68)에 추가된다.

종래의 실제의 상호 접속 시스템에 따르면, 주파수 응답은 주로 비아 등의 용량성 엘리먼트의 트레이스에 대한 연결을 방지하여 트레이스(68)에서 병렬 커패시턴스를 최소화함으로써, 그리고 주로 전도체(60, 62, 64, 66)를 가능한 한 짧게 유지하여 직렬 인덕턴스(L1, L2)를 최소화함으로써 최적화된다. 그러나, 본 발명에 따르면, L1, L2,  $C1_{VIA}$ ,  $C2_{VIA}$ 의 값들이 상호 접속 시스템의 다른 엘리먼트의 값( $C1$ ,  $C2$ ,  $R1$ ,  $R2$ ,  $Z0$ )과 관련하여 적절히 조절된다고 가정하면, 시스템 주파수 응답은 트레이스(68)에의 커패시턴스( $C1_{VIA}$ ,  $C2_{VIA}$ )의 추가 및/또는 인덕턴스(L1, L2)의 이들의 최소 레벨 이상으로의 증가에 의해 실제로 개선된다.

각각의 비아(70, 72)의 커패시턴스( $C1_{VIA}$ ,  $C2_{VIA}$ )는 PCB(58)의 접지 및 전력 평면(88, 90)과 비아 사이의 용량성 결합으로부터 주로 발생하고, 평면(88, 90)과 비아 사이의 거리를 변경함으로써 제어될 수 있다. 특히, 비아(70)가 통과하는 평면(88, 90) 내의 구멍(92)의 크기를 감소(또는 증가)시킴으로써 비아(70)의 커패시턴스( $C1_{VIA}$ )를 증가(또는 감소)시킬 수 있다. 비아(72)의 커패시턴스( $C2_{VIA}$ )는 유사한 방식으로 조절될 수 있다. L1 및 L2의 크기는 본딩 와이어(60, 62)의 길이를 증가시키거나, 패키지 레그(64, 66)의 길이를 증가시키거나, 본딩 와이어(60, 62)와 직렬로 유도성 엘리먼트를 추가함으로써 증가될 수 있다.

표 2는 도2의 종래 기술의 등가 회로의 상호 접속 시스템 구성 엘리먼트들의 값들을 본 발명에 따라 조절될 때의 도5의 개량형 상호 접속 시스템의 상호 접속 시스템 구성 엘리먼트들의 값들과 비교한다.

[표 2]

엘리먼트	값(종래기술)	값(개량형)
L1	1 nH	3 nH
L2	1 nH	3 nH
C1	2 pF	2 pF
C2	2 pF	2 pF
$C1_{VIA}$	N/A	1.4 pF
$C2_{VIA}$	N/A	1.4 pF
$Z_0$	50 Ω	50 Ω
$R_1$	50 Ω	50 Ω
$R_2$	50 Ω	50 Ω

Z0, R1, R2, C1 및 C2에 대한 엘리먼트 값들은 IC의 특성이며, 설명을 위하여 종래 기술 및 개량형 상호 접속 시스템에 모두에 대해 유사한 값들을 갖도록 가정되어 있다. 그러나, 개량형 상호 접속 시스템은 추가의 커패시턴스( $C1_{VIA}$ ,  $C2_{VIA}$ )를 포함한다. 또한, 인덕턴스(L1, L2)는 도2의 종래 기술의 상호 접속 시스템에서의 1 nH로부터 도5의 개량형 상호 접속 시스템에서의 3 nH로 증가되어 있다.

도6은 각각의 구성 엘리먼트들이 표2의 "개량형" 열에 나타낸 값들로 설정된 때의 본 발명에 따른 도5의 상호 접속 시스템의 주파수 응답을 도시한다. 도6에 도시된 특별한 경우에서, L1, L2,  $C1_{VIA}$  및  $C2_{VIA}$ 의 값은 R1, R2, C1, C2 및 Z0의 주어진 값들에 대한 통과 대역 전력을 최대화하도록 선택되었다. 상호 접속 시스템의 통과 대역(0 내지 3 GHz) 내의 여러 신호 주파수에 의해 전달될 수 있는 신호 전역의 평균량을 최대화한 때 통과 대역 전력을 최대화시킨다. 이는 도5의 다른 구성 엘리먼트들의 주어진 값들에 대해서 L1, L2,  $C1_{VIA}$  및  $C2_{VIA}$ 가 0 GHz와 3 GHz 사이의 통과 대역에서 주파수 응답 곡선 아래의 전체 면적을 최대화시키도록 크기가 설정됨을 의미한다. L1, L2,  $C1_{VIA}$  및  $C2_{VIA}$ 의 적절한 값들을 결정하는 하나의 방법은 도6과 유사한 주파수 응답 곡선을 발생시키는 도5의 회로를 시뮬레이션하도록 종래의 회로 시뮬레이터를 사용하는 것이다. 통과 대역 전력을 최대화하는 L1, L2,  $C1_{VIA}$  및  $C2_{VIA}$ 의 값은 이들의 값을 반복적으로 조절하고 주파수 응답을 감시함으로써 결정될 수 있다.

도6은 개량형 상호 접속 시스템의 대역폭이 도3에 도시된 종래 기술의 시스템의 2 GHz 대역폭보다 실질적으로 큰 약 3 GHz임을 보여준다. 또한, 통과 대역이 도6에서 비교적 더 평坦하고, 저지 대역이 도3에서보다 도6에서 더욱 급격하게 떨어지며, 도6의 저지 대역이 더 적은 스파이크를 가짐을 알아야 한다. 도6에 도시된 주파수 응답은 3 GHz 통과 대역이 요구되는 적용에 있어서 도3의 주파수 응답에 비해 개량된 것임은 명백하다. 따라서, 이러한 경우에, 상호 접속 시스템의 주파수 응답의 통과 대역 전력 특성은 종래 기술에서 실용화된 것처럼 PCB 트레이스에서 최소 커패시턴스만을 제공하고 최소 직렬 인덕턴스(L1, L2)를 제공함으로써가 아니라 PCB 트레이스에서 적절히 조절된 추가의 커패시턴스( $C1_{VIA}$ ,  $C2_{VIA}$ )를 제공하고 L1 및 L2를 이들의 최소 레벨 이상으로 적절히 증가시킴으로써 최적화된다.

#### 버터워스 필터 및 체비세프 필터

상호 접속 시스템의 주파수 응답은 많은 특성을 가지며, 그 "최적" 주파수 응답이 적용에 좌우됨을 알아야 한다. 따라서, 추가의 PCB 커패시턴스( $C1_{VIA}$ ,  $C2_{VIA}$ ) 및 인덕턴스(L1, L2)가 조절되어야 할 적절한 값은 어느 주파수 응답 및 임피던스 특성이 특정 응용에 대하여 가장 중요한가에 좌우된다. 도6의 예에서,  $C1_{VIA}$ ,  $C2_{VIA}$ , L1 및 L2는 통과 대역 전력을 최대화하도록 선택되었다. 그러나,  $C1_{VIA}$ ,  $C2_{VIA}$ , L1 및 L2의 다른 값들은 상호 접속 시스템의 다른 특성을 최적화할 수 있다. 예컨대, 상호 접속 시스템이 최소 왜곡을 갖는 저주파수 아날로그 신호를 전달하는 것이고 대역폭이 그렇게 중요하지 않은 경우에, 상호 접속 시스템의 주파수 응답은 최소로 가능한 양의 리플(ripple)을 갖는 "최대로 평탄한" 통과 대역을 갖는 것이 바람직할 수 있다.

도5에 도시된 상호 접속 시스템의 등가 회로를 다극 필터(multiple pole filter)로서 생각하는 것이 유익할 수 있다.  $C1_{VIA}$ ,  $C2_{VIA}$ , L1 및 L2를 C1, C2 및 상호 접속 시스템의 다른 구성 엘리먼트들과 관련하여 적절히 조절함으로써, 상호 저속 시스템은 최대로 평탄한 주파수 응답을 제공하는 주지의 다극 "버터워스(Butterworth)" 필터처럼 동작하도록 제작될 수 있다.

다른 적용에 있어서, 최적 주파수 응답은 대역폭, 허용 통과 대역 리플 및 저지 대역 감쇠 사이의 절충일 것이다. 따라서,  $C1_{VIA}$ ,  $C2_{VIA}$ , L1 및 L2의 값들은 상호 접속 시스템이 주지의 다극 체비세프(Chebyshev) 필터의 형태로서 동작하도록 선택될 수 있다. 필터의 주파수 응답의 특성의 하나 이상의 조합을 최적화하도록 구성 엘리먼트 값들에 대한 적절한 선택을 포함하는 다극 버터워스 및 체비세프 필터의 설계는 당해 기술 분야의 숙련자에게 주지되어 있다. 예컨대, 프랜티스-홀, 인크.에 의해 1982년에 출판된 더블유.에이치. 헤이워드(W.H. Hayward)의 저서 "무선 주파수 설계 개론"의 제59면 내지 제68면을 참고한다(본 명세서에서 참조되어 합체됨).

#### 다른 구성 엘리먼트들의 조절

다른 구성 엘리먼트(R1, R2, Z0, C1, C2)의 값들을 조절하는 자유도를 가질 때 도5의 상호 접속 시스템의 주파수 응답을 더욱 최적화할 수 있다. 그러나, 실제로는 R1, R2 및 Z0의 값들은 IC 및 PCB 제조업자에 의해 고주파 적용에서 50 Ω으로

통상적으로 표준화되어 있다. 커패시턴스(C1, C2)는 조절될 수 있으나 이는 IC 제조업자에 의해서만 가능하며, 제조업자들은 통상적으로 C1 및 C2를 최소화하려고 한다. 따라서, 비아 커패시턴스( $C1_{VIA}$ ,  $C2_{VIA}$ ), 또는 트레이스에 연결될 수 있는 병렬 커패시턴스의 다른 소스와, 직렬 인더턴스(L1, L2)만이 전술한 방식으로 편리하게 조절될 수 있는 도5의 상호 접속 시스템의 구성 엘리먼트들일 수 있다. 그러나, 가능한 경우에 그 주파수 응답을 최적화하기 위하여 도5의 상호 접속 시스템의 임의의 또는 모든 구성 엘리먼트의 값들이 조절될 수 있으며, 구성 엘리먼트들의 값을 조절하는 데 있어서 더 많은 범위를 가질 때 더 높은 수준의 주파수 응답을 얻을 수 있음을 알아야 한다.

### 임피던스 정합(matching)

드라이버 입력 임피던스( $R1$ ), 수신기 입력 임피던스( $R2$ ) 및 트레이스 임피던스( $Z_0$ )는 시스템 주파수 응답을 악화시키는 신호 반사를 방지하도록 통상적으로 유사한 값(예컨대,  $50\ \Omega$ )으로 설정된다. 그러나, 본 발명에 따르면,  $L1$ ,  $L2$ ,  $C1_{VIA}$  및  $C2_{VIA}$ 를 적절히 조절함으로써 임피던스 부정합(mismatching)을 보상할 수 있기 때문에  $R1=R2=Z_0$ 이 필요치 않다. 예컨대, 상기 "무선 주파수 설계 개론"의 제59면 내지 제68면에는  $R1$ ,  $R2$  및  $Z_0$ 이 유사하지 않은 때에도 버터워스 및 체비세프 필터의 주파수 응답 동작을 얻기 위해 다른 필터 구성 엘리먼트 값들을 조절하는 방법을 나타내고 있다.

### 조절 가능한 PCB 커패시턴스의 다른 소스

도4의 상호 접속 시스템에서, 필요한 추가의 PCB 커패시턴스는 적절한 치수로 된 비아(70, 72)를 제공함으로써 얻어진다. 이는 대부분의 PCB 제조업자들이 적절한 크기로 된 비아를 PCB에 추가할 수 있기 때문에 이러한 커패시턴스를 제공하는 편리하고 저렴한 방법이다. 이러한 커패시턴스를 제공하기 위한 비아의 사용은 다른 PCB 층 상의 PCB 트레이스(도4에 도시 안됨) 등의 PCB 트레이스로 신호가 이동할 수 있게 하는 추가의 이점을 가짐으로써, 설계자가 고주파 PCB를 배치할 수 있는 유연성을 부가할 수 있다. 그러나, 필요한 PCB 커패시턴스가 비아(70, 72)를 사용하여 편리하게 얻어질 수 있지만, 이러한 추가의 커패시턴스는 다른 수단에 의해, 예컨대 적절한 크기로 된 디스크리트(discrete) 커패시터들을 PCB 트레이스(68)와 접지 평면(88) 사이에서 연결함으로써 제공될 수도 있다.

이상의 기재는 본 발명의 양호한 실시예를 설명하였지만, 당해 기술 분야의 숙련자는 넓은 태양에 있어서 본 발명으로부터 벗어남이 없이 양호한 실시예에 대해 많은 수정을 가할 수 있다. 예컨대, 양호한 실시예에서 상호 접속 시스템은 IC(12, 14)의 노드를 PCB 트레이스(26)에 연결하기 위해 본딩 와이어(22, 27) 및 패키지 래그(24, 29)를 채용하지만, 예컨대 스프링 와이어 등의 다른 형태의 유도성 전도체가 접적 회로의 노드를 PCB 트레이스에 연결하기 위해 채용될 수 있다. 또한, 본 발명의 상호 접속 시스템은 접적 회로 이외의 회로들을 상호 접속하기 위해 채용될 수 있다. 따라서, 첨부된 청구의 범위는 본 발명의 진정한 범주 및 사상 내에 속하는 이러한 모든 수정을 포함하고자 하는 것이다.

### (57) 청구의 범위

#### 청구항 1.

집적 회로의 노드와 인쇄 회로 기판(PCB) 트레이스 사이에 신호를 전달하는 상호 접속 시스템 - 상기 상호 접속 시스템은 상기 노드에 연결된 본딩 패드와 상기 본딩 패드를 상기 PCB 트레이스에 연결시키는 전도성 경로를 구비함 - 의 주파수 응답 특성을 최적화하는 방법으로서,

상기 본딩 패드, 상기 전도성 경로 및 상기 PCB 트레이스의 인더턴스와 커패시턴스를 확인하는 단계와,

확인된 인더턴스와 커패시턴스로부터 상기 PCB 트레이스에 추가되었을 때 상기 주파수 응답 특성을 최적화하는 병렬(shunt) 커패시턴스의 크기를 판단하는 단계와,

상기 크기의 병렬 커패시턴스를 상기 PCB 트레이스에 추가하는 단계

를 포함하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

#### 청구항 2.

제1항에 있어서,

상기 크기의 병렬 커패시턴스를 상기 PCB 트레이스에 추가하는 단계는 용량성 엘리먼트를 상기 PCB 트레이스에 연결하는 단계를 포함하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 3.

집적 회로의 노드를 인쇄 회로 기판(PCB) 트레이스에 연결시키는 상호 접속 시스템 - 상기 상호 접속 시스템은 상기 노드에 연결된 본딩 패드와 상기 본딩 패드를 상기 PCB 트레이스에 연결시키는 전도성 경로를 구비함 - 의 주파수 응답 특성을 최적화하는 방법으로서,

상기 주파수 응답 특성이 최적화되도록 크기가 설정된 병렬 커패시턴스를 상기 PCB 트레이스에 추가하는 단계를 포함하되,

상기 용량성 엘리먼트는 상기 PCB 트레이스에 연결된 비아(via)를 구비하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 4.

제1항에 있어서,

상기 주파수 응답 특성은 최대 통과 대역폭, 최대 통과 대역 평탄도, 및 최대 통과 대역 전력 중 하나인 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 5.

제1항에 있어서,

상기 PCB 트레이스에 추가된 상기 병렬 커패시턴스는 상기 상호 접속 시스템이 다극 버터워스(Butterworth) 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 6.

제1항에 있어서,

상기 PCB 트레이스에 추가된 상기 병렬 커패시턴스는 상기 상호 접속 시스템이 다극 체비세프(Chebyshev) 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 7.

제1항에 있어서,

상기 전도성 경로에 직렬 인더턴스를 추가하는 단계를 더 포함하며,

상기 직렬 인더턴스 및 상기 병렬 커패시턴스는 상기 주파수 응답 특성이 최적화되도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 8.

제7항에 있어서,

상기 전도성 경로에 직렬 인더터스를 추가하는 단계는 상기 전도성 경로의 길이를 증가시키는 단계를 포함하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 9.

제8항에 있어서,

상기 직렬 인더터스 및 상기 병렬 커패시터스는 상기 상호 접속 시스템이 다급 버터워스 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 10.

제8항에 있어서,

상기 직렬 인더터스 및 상기 병렬 커패시터스는 상기 상호 접속 시스템이 다급 체비세프 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 11.

집적 회로의 노드와 인쇄 회로 기판(PCB) 트레이스 사이에 신호를 전달하는 상호 접속 시스템 - 상기 상호 접속 시스템은 상기 노드에 연결된 본딩 패드와 상기 본딩 패드를 상기 PCB 트레이스에 연결시키는 전도성 경로를 구비함 - 의 주파수 응답 특성을 최적화하는 방법으로서,

상기 본딩 패드, 상기 전도성 경로 및 상기 PCB 트레이스의 인더터스와 커패시터스를 확인하는 단계와,

확인된 인더터스와 커패시터스로부터 상기 도전성 경로에 추가되었을 때 상기 주파수 응답 특성을 최적화하는 직렬 인더터스의 크기를 판단하는 단계와,

상기 크기의 직렬 인더터스를 상기 도전성 경로에 추가하는 단계

를 포함하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 12.

제11항에 있어서,

상기 전도성 경로에 직렬 인더터스를 추가하는 단계는 상기 전도성 경로의 길이를 증가시키는 단계를 포함하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 13.

제11항에 있어서,

상기 직렬 인더던스는 상기 상호 접속 시스템이 다극 버터워스 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

#### 청구항 14.

제11항에 있어서,

상기 직렬 인더던스는 상기 상호 접속 시스템이 다극 체비세프 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

#### 청구항 15.

제1 접적 회로(IC) 상의 드라이버를 제2 IC 상의 수신기에 상호 접속시키는 상호 접속 시스템 - 상기 상호 접속 시스템은 인쇄 회로 기판(PCB) 트레이스, 상기 제1 IC 상에 구현되고 상기 드라이버에 연결된 제1 본딩 패드, 상기 제1 본딩 패드를 상기 PCB 트레이스에 연결시키는 제1 전도체, 상기 제2 IC 상에 구현되고 상기 수신기에 연결된 제2 본딩 패드, 및 상기 제2 본딩 패드를 상기 PCB 트레이스에 연결시키는 제2 전도체를 구비함 - 의 주파수 응답 특성을 최적화하는 방법으로서,

상기 제1 전도체와 상기 PCB 트레이스 사이의 제1 접촉점 부근에서 제1 용량성 엘리먼트를 상기 PCB 트레이스에 부착하는 단계와,

상기 제2 전도체와 상기 PCB 트레이스 사이의 제2 접촉점 부근에서 제2 용량성 엘리먼트를 상기 PCB 트레이스에 부착하는 단계

를 포함하며,

상기 제1 및 제2 용량성 엘리먼트의 커패시턴스는 상기 주파수 응답 특성이 최적화되도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

#### 청구항 16.

제15항에 있어서,

상기 제1 및 제2 용량성 엘리먼트는 비아를 구비하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

#### 청구항 17.

제15항에 있어서,

상기 제1 및 제2 용량성 엘리먼트는 디스크리트(discrete) 커패시터를 포함하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

#### 청구항 18.

제15항에 있어서,

상기 주파수 응답 특성은 최대 통과 대역폭, 최대 통과 대역 평탄도, 및 최대 통과 대역 전력 중 하나인 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 19.

제15항에 있어서,

상기 제1 및 제2 용량성 엘리먼트의 커패시턴스는 상기 상호 접속 시스템이 다급 버터워스 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 20.

제15항에 있어서,

상기 제1 및 제2 용량성 엘리먼트의 커패시턴스는 상기 상호 접속 시스템이 다급 체비세프 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 21.

제15항에 있어서,

상기 주파수 응답 특성이 최적화되도록 상기 제1 및 제2 전도체의 인덕턴스를 조절하는 단계를 더 포함하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 22.

제21항에 있어서,

상기 제1 및 제2 전도체의 인덕턴스를 조절하는 단계는 상기 제1 및 제2 전도체의 길이를 조절하는 단계를 포함하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 23.

제20항에 있어서,

상기 주파수 응답 특성은 최대 통과 대역폭, 최대 통과 대역 평탄도, 및 최대 통과 대역 전력 중 하나인 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

### 청구항 24.

제20항에 있어서,

상기 제1 및 제2 용량성 엘리먼트의 커패시턴스는 상기 상호 접속 시스템이 다급 버터워스 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

**청구항 25.**

제20항에 있어서,

상기 제1 및 제2 용량성 엘리먼트의 커패시턴스는 상기 상호 접속 시스템이 다급 체비세프 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

**청구항 26.**

제1 집적 회로(IC) 상의 드라이버를 제2 IC 상의 수신기에 상호 접속시키는 상호 접속 시스템 - 상기 상호 접속 시스템은 인쇄 회로 기판(PCB) 트레이스, 상기 제1 IC 상에 구현되고 상기 드라이버에 연결된 제1 본딩 패드, 상기 제1 본딩 패드를 상기 PCB 트레이스에 연결시키는 제1 전도체, 상기 제2 IC 상에 구현되고 상기 수신기에 연결된 제2 본딩 패드, 및 상기 제2 본딩 패드를 상기 PCB 트레이스에 연결시키는 제2 전도체를 구비함 - 의 주파수 응답 특성을 최적화하는 방법으로서,

상기 주파수 응답 특성이 최적화되도록 상기 제1 및 제2 전도체의 인덕턴스를 조절하는 단계를 포함하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

**청구항 27.**

제26항에 있어서,

상기 제1 및 제2 전도체의 인덕턴스를 조절하는 단계는 상기 제1 및 제2 전도체의 길이를 조절하는 단계를 포함하는 것을 특징으로 하는 주파수 응답 특성 최적화 방법.

**청구항 28.**

집적 회로의 내부 노드와 외부 노드 사이에 신호를 전달하는 상호 접속 시스템으로서,

상기 내부 노드에 연결된 본딩 패드와,

상기 외부 노드에 연결된 인쇄 회로 기판(PCB) 트레이스와,

상기 본딩 패드를 상기 PCB 트레이스에 연결시키는 전도성 경로와,

상기 PCB 트레이스에 연결된 적어도 하나의 용량성 엘리먼트

를 포함하되,

상기 집적 회로는 상기 본딩 패드에 제1 병렬 커패시턴스와 제1 직렬 저항(resistance)을 제공하며,

상기 전도성 경로는 상기 본딩 패드와 상기 PCB 트레이스 사이에 제1 직렬 인덕턴스를 제공하며,

상기 PCB 트레이스는 고유의 제1 병렬 커패시턴스를 구비하며,

상기 적어도 하나의 용량성 엘리먼트는 상기 PCB 트레이스에 제2 병렬 커패시턴스를 추가하며,

상기 본딩 패드, 상기 전도성 패드, 상기 PCB 트레이스, 및 상기 용량성 엘리먼트는 상기 본딩 패드와 상기 PCB 트레이스 사이에 상기 신호를 전도시키기 위한 필터를 형성하며,

상기 제2 병렬 저항 및 제1 직렬 인덕턴스는, 상기 제2 직렬 인덕턴스, 상기 제1 병렬 커패시턴스 및 상기 부하 저항과 관련하여, 상기 필터의 주파수 응답 특성이 최적화되도록 하는 크기로 된 것을 특징으로 하는 상호 접속 시스템.

### 청구항 29.

집적 회로의 노드를 인쇄 회로 기판(PCB) 트레이스에 상호 접속시키는 상호 접속 시스템으로서,

상기 노드에 접속된 본딩 패드와,

상기 본딩 패드를 상기 PCB 트레이스에 연결시키며 인덕턴스를 갖는 전도체와,

상기 PCB 트레이스에 접속되며 커패시턴스를 갖는 용량성 엘리먼트

를 포함하되,

상기 용량성 엘리먼트의 커패시턴스 및 상기 전도체의 인덕턴스는 상기 상호 접속 시스템의 주파수 응답 특성이 최적화되도록 조절되며,

상기 용량성 엘리먼트는 상기 PCB 트레이스에 연결된 비아를 구비하는 것을 특징으로 하는 상호 접속 시스템.

### 청구항 30.

제28항에 있어서,

상기 인덕턴스는 상기 노드와 상기 PCB 트레이스를 상호 접속시키는 데 필요한 최소의 실용적인(practical) 길이를 초과하여 상기 전도성 경로의 길이를 증가시킴으로써 조절되는 것을 특징으로 하는 상호 접속 시스템.

### 청구항 31.

출력 저항 및 출력 커패시턴스를 갖고 제1 집적 회로(IC)에 구현된 제1 회로를 입력 저항 및 입력 커패시턴스를 갖고 제2 IC에 구현된 제2 회로에 상호 접속시키는 상호 접속 시스템으로서,

특성 임피던스를 갖는 인쇄 회로 기판(PCB) 트레이스와,

상기 제1 회로에 연결되고 상기 제1 IC 상에 구현된 제1 본딩 패드와,

상기 제1 본딩 패드를 상기 PCB 트레이스에 연결시키는 제1 전도체와,

상기 제2 회로에 연결되고 상기 제2 IC 상에 구현된 제2 본딩 패드와,

상기 제2 본딩 패드를 상기 PCB 트레이스에 연결시키는 제2 전도체와,

상기 PCB 트레이스에 부착된 제1 커패시터와,

상기 PCB 트레이스에 부착된 제2 커패시터

를 포함하되,

상기 제1 및 제2 커패시터의 커패시턴스와 상기 제1 및 제2 전도체의 인덕턴스는, 상기 입력 및 출력 저항, 상기 제1 및 제2 커패시턴스 및 상기 특성 임피던스, 상기 입력 및 출력 커패시턴스와 관련하여, 상기 상호 접속 시스템의 주파수 응답 특성이 최적화되도록 하는 크기로 된 것을 특징으로 하는 상호 접속 시스템.

### 청구항 32.

제31항에 있어서,

상기 제1 커패시터는 상기 제1 전도체와 상기 PCB 트레이스 사이의 제1 접촉점 부근에서 상기 PCB 트레이스에 부착되며,

상기 제2 커패시터는 상기 제2 전도체와 상기 PCB 트레이스 사이의 제2 접촉점 부근에서 상기 PCB 트레이스에 부착되는 것을 특징으로 하는 상호 접속 시스템.

### 청구항 33.

제31항에 있어서,

상기 제1 및 제2 커패시터는 비아를 구비하는 것을 특징으로 하는 상호 접속 시스템.

### 청구항 34.

제31항에 있어서,

상기 주파수 응답 특성은 최대 통과 대역폭, 최대 통과 대역 평탄도, 및 최대 통과 대역 전력 중 하나인 것을 특징으로 하는 상호 접속 시스템.

### 청구항 35.

제31항에 있어서,

상기 제1 및 제2 커패시터의 커패시턴스와 상기 제1 및 제2 전도체의 인덕턴스는 상기 상호 접속 시스템이 다극 버터워스 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 상호 접속 시스템.

### 청구항 36.

제31항에 있어서,

상기 제1 및 제2 커패시터의 커패시턴스와 상기 제1 및 제2 전도체의 인덕턴스는 상기 상호 접속 시스템이 다극 체비세프 필터로서 동작하도록 하는 크기로 된 것을 특징으로 하는 상호 접속 시스템.

### 청구항 37.

제31항에 있어서,

상기 PCB 트레이스의 특성 임피던스는 상기 입력 및 출력 저항과 정합하는 것을 특징으로 하는 상호 접속 시스템.

**청구항 38.**

제31항에 있어서,

상기 PCB 트레이스의 특성 임피던스는 상기 입력 및 출력 저항 중 적어도 하나와 정합하는 것을 특징으로 하는 상호 접속 시스템.

**청구항 39.**

제31항에 있어서,

상기 입력 및 출력 저항은 서로 다른 것을 특징으로 하는 상호 접속 시스템.

**청구항 40.**

삭제

**청구항 41.**

삭제

**청구항 42.**

삭제

**청구항 43.**

삭제

**청구항 44.**

삭제

**청구항 45.**

삭제

**청구항 46.**

삭제

**청구항 47.**

삭제

**청구항 48.**

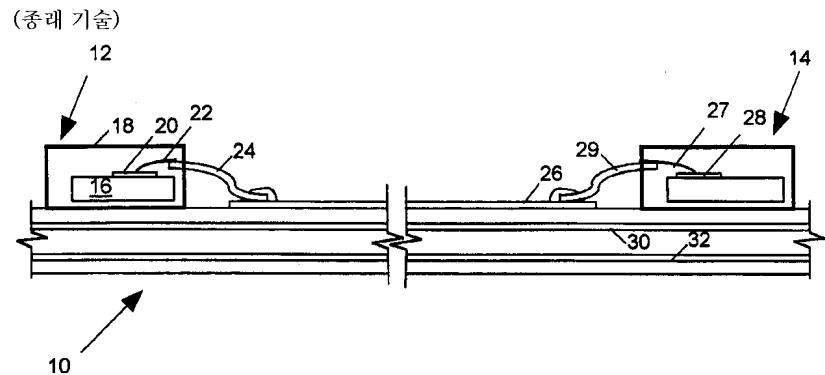
삭제

**청구항 49.**

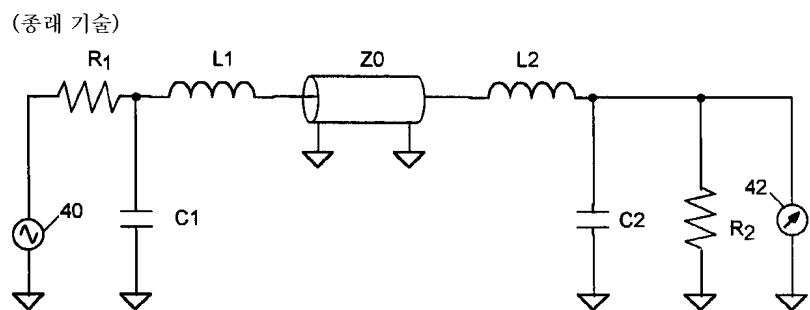
삭제

도면

도면1

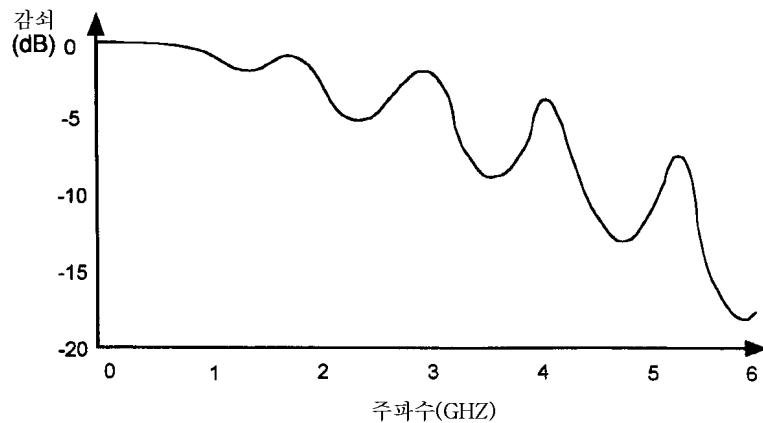


도면2

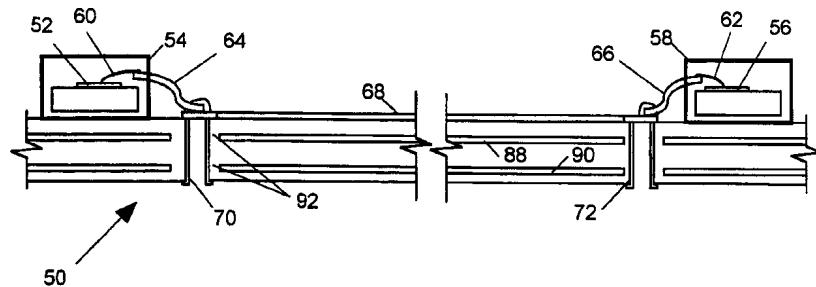


도면3

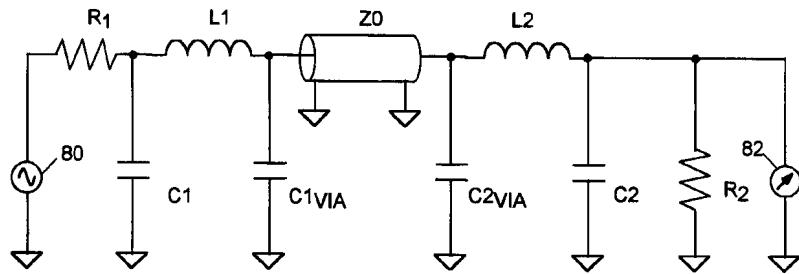
(종래 기술)



도면4



도면5



도면6

